

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3832548号
(P3832548)

(45) 発行日 平成18年10月11日(2006.10.11)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int. Cl.		F I		
G 1 1 C	17/18	(2006.01)	G 1 1 C	17/00 3 0 6 A
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00 6 1 3
			G 1 1 C	17/00 6 0 1 D

請求項の数 7 (全 9 頁)

<p>(21) 出願番号 特願平11-210986 (22) 出願日 平成11年7月26日(1999.7.26) (65) 公開番号 特開2000-48588(P2000-48588A) (43) 公開日 平成12年2月18日(2000.2.18) 審査請求日 平成15年5月27日(2003.5.27) (31) 優先権主張番号 1998P-30050 (32) 優先日 平成10年7月25日(1998.7.25) (33) 優先権主張国 韓国(KR)</p> <p>前置審査</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国443-742京畿道水原市靈通 区梅灘洞416</p> <p>(74) 代理人 100086368 弁理士 萩原 誠</p> <p>(72) 発明者 朴 ▲ジュン▼ ▲ホン▼ 大韓民国京畿道安陽市湾安区栢達1洞28 -32</p> <p>審査官 高野 芳徳</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 読出し専用メモリ装置

(57) 【特許請求の範囲】

【請求項1】

アドレスが変わるときマスタ信号を発生するマスタ信号源と、
一定の発振パルス周期を有するクロック信号源と、
複数のセンスアンプ制御信号によって動作するセンスアンプと、
前記センスアンプの出力に結合されたラッチ回路と、
センスアンプ制御回路とを備え、
前記センスアンプ制御回路は、
第1のセンスアンプ制御信号を発生する第1回路と、
所定の周波数条件下で、前記クロック信号のパルス周期に対応するラテンシ情報に応じ 10
て発生される第2のセンスアンプ制御信号を発生する第2回路と、
前記周波数条件下で、クロックサイクルが1センシングサイクルより短い場合において
は、与えられた1サイクルのセンシング期間内できるだけ、前記ラッチ回路が、前記セ
ンスアンプの出力データをラッチするタイミングを遅延させるように、1センシングサイ
クル中のクロックの数を示すラテンシカウント信号に应答してラッチ制御信号を発生し、
該ラッチ制御信号を前記ラッチ回路に供給する第3回路と、
前記マスタ信号に应答してセンスアンプを活性化するために起動され、前記センスアン
プの出力データをラッチするタイミングに应答してセンスアンプを非活性化するために停
止される第3のセンスアンプ制御信号を発生する第4回路とを有することを特徴とする読
出し専用メモリ装置。

【請求項 2】

前記第 2 及び第 3 回路の各々が、前記ラテンシ情報信号に応答して前記制御信号の遅延状態を決定する選択スイッチを備えることを特徴とする請求項 1 に記載の読出し専用メモリ装置。

【請求項 3】

前記所定の周波数条件は、前記センスアンプの 1 センスサイクル時間が前記クロック信号の前記パルス周期より長い時間であることを特徴とする請求項 1 に記載の読出し専用メモリ装置。

【請求項 4】

マスタ信号に応答して第 1 センスアンプ制御信号を発生する第 1 回路と、マスタ信号とラテンシ情報に応答して第 2 センスアンプ制御信号を発生する第 2 回路と、ラテンシカウンティング信号とラテンシ情報とに応答してセンスアンプラッチ制御信号を発生する第 3 回路と、前記センスアンプラッチ信号と前記マスタ信号に応答して第 3 センスアンプ制御信号を発生する第 4 回路とを具備するセンスアンプ制御回路と、

前記第 3 のセンスアンプ制御信号のリードエッジに同期してセンシングサイクルを開始し、前記第 3 のセンスアンプ制御信号のトレールエッジに同期して前記センシングサイクルを終了するセンスアンプと、

前記センシングサイクルの期間に、前記センスアンプの出力から読出しデータを受信し、前記センスアンプラッチ制御信号に応答して前記読出しデータをラッチするセンスアンプラッチ回路とを有し、

前記第 3 センスアンプ制御信号は、前記マスタ信号のリードエッジに同期したリードエッジと前記センスアンプラッチ制御信号のトレールエッジに同期したトレールエッジとを有し、前記センスアンプラッチ制御信号は、クロックサイクルが 1 センシングサイクルより短い場合においては、与えられた 1 サイクルのセンシング期間内できるだけセンスアンプの出力データをラッチするタイミングを遅延させるように、1 センシングサイクル中のクロックの数を示すラテンシカウント信号に応答して発生されることを特徴とする集積回路メモリデバイス。

【請求項 5】

前記センスアンプ制御回路は、前記マスタ信号のリードエッジに同期して発生される単一パルス信号に応答するゲートラッチ回路を有し、前記ゲートラッチ回路は、前記第 3 のセンスアンプ制御信号を発生することを特徴とする請求項 4 に記載の集積回路メモリデバイス。

【請求項 6】

前記ゲートラッチ回路は、前記センスアンプラッチ制御信号と、前記マスタ信号を入力とする短パルス発生器の出力信号に応答することを特徴とする請求項 5 に記載の集積回路メモリデバイス。

【請求項 7】

前記センスアンプ制御回路は、ラテンシカウント信号とラテンシ情報信号とに応答することを特徴とする請求項 6 に記載の集積回路メモリデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期式半導体メモリ装置に係り、特に、外部のクロック信号に応答する同期式メモリ装置に使用されるセンスアンプを制御する技術に関する。

【0002】

【従来の技術】

アドレス遷移検知回路 A T D は、読出し専用メモリのような半導体メモリで、センスアンプ回路等の内部アクセス回路を適当な制御タイミングで制御するために使用され、貯蔵されたデータのセンシング動作を向上させ、多数の制御信号を活性化させる。アドレス遷移検知回路は、外部アドレス信号の変化を検知し、アドレスの遷移を知らせるマスタ信号を

10

20

30

40

50

発生する。メモリ装置内でセンシング動作に使用される全ての制御信号は、マスタ信号を遅延させたり、マスタ信号と結合させたりして形成される。そのようなA T Dに基づく制御信号は固有なパルス幅とそれらの間の遅延時間とを有し、外部の動作周波数とは無関係に一定値に固定されており、回路設計基準に基づいて製造された後は変更出来ない。

【0003】

【発明が解決しようとする課題】

読出し専用メモリのセンシング動作においては、センシング動作の始まりからセンシング結果の貯蔵までの期間を定義する1センシングサイクルがいつも一定であるため、電源ノイズ、又はタイミング変化のために、センシングタイミングのズレとは関係なしに誤ったデータを貯蔵したり、不良メモリセルを選択する可能性がある。制御信号とセンシングサイ 10
クル時間とのそのような不整合は、メモリ装置の収率を低下させる。さらに、センスアンプのセンシング時間が設計値より短く要求される場合には、新しく変更されたアドレス遷移検知回路が必要である。

【0004】

非同期式メモリ装置の動作周波数を増加させるためには、同期式メモリが、高帯域メモリ動作に有用な技術と考えられる。同期式メモリは、所定のパルス幅と周波数とを有するシステムクロックに 20
応答して内部動作を行い、システムクロックは数種の周波数の1つに割当てられているので、センスアンプの制御は、システムクロックの1つの周波数に合うように設計されなければならない。

【0005】

従って、本発明の第1の目的は、一定の周期を有するクロック信号によってセンシング動作を制御する回路を有する同期式読出し専用メモリ装置を提供することである。

第2の目的は、多用なクロック周波数に適応可能であるようにセンシング動作を制御する回路を有する同期式読出し専用メモリ装置を提供することである。

第3の目的は、クロック周波数条件に対応する所定のラテンシ情報によって種々のクロック周波数条件下でセンシング動作を制御する回路を有する同期式読出し専用メモリ装置を提供することである。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明の同期式読出し専用メモリ装置は、一定の発振パルス 30
周期を有するクロック信号源と、複数の第1制御信号によって動作するセンスアンプと、センスアンプの出力に結合されたラッチ回路と、クロック信号のパルス周期に対応する情報に 40
応答して、第1制御信号とラッチ回路に印加される第2制御信号とを発生する回路を有する。

【0007】

又、本発明の読出し専用メモリは、一定の発振パルス周期を有するクロック信号源と、複数の制御信号によって動作するセンスアンプと、センスアンプの出力に結合されたラッチ回路と、制御信号と、ラッチ回路に印加されるラッチ制御信号とを発生する回路とを有し、センスアンプ制御信号が所定の周波数条件下で、クロック信号のパルス周期に対応するラテンシ情報に 40
応答して発生し、ラッチ制御信号が所定の周波数条件下でラテンシカウンティング信号に 40
応答して発生する特徴を有する。発生回路は、ラテンシ情報信号に 40
応答して制御信号の遅延状態を決定する選択スイッチを少なくとも有する。所定の周波数条件下は、センスアンプの1センシングサイクル時間がクロック信号のパルス周期よりさらに長い時である。

【0008】

又、本発明の読出し専用メモリは、アドレス信号の変化時に発生するマスタ信号源と、一定の発振パルス周期を有するクロック信号源と、複数のセンスアンプ制御信号によって動作するセンスアンプと、センスアンプの出力に結合されたラッチ回路と、センスアンプ制御信号の第1制御信号を発生する第1回路と、センスアンプ制御信号の第2制御信号を発生する第2回路と、ラッチ回路に印加されるラッチ制御信号を発生する第3回路と、セン 50

スアンプ制御信号の第3制御信号を発生する第4回路を有し、第2制御信号は、所定の周波数条件下で前記クロック信号の前記パルス周期に対応するラテンシ情報にตอบสนองして発生し、前記ラッチ制御信号は前記所定の周波数条件下でラテンシカウンティング信号にตอบสนองして発生し、第3制御信号は、マスタ信号にตอบสนองして活性化され、ラッチ制御信号に応じて非活性化される。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、図面中で同一部分には同一符号が付されている。

本発明による同期式メモリ装置で、システムクロック信号CLKに同期してセンシング動作を行う機能的な構成を示す図1を参照すると、センスアンプ9は、列デコーダ5によって制御される列ゲート回路7を介してメモリセルアレイ1に結合される。メモリセルアレイ1は、マスクイオン注入方式でプログラムされ、複数のビットライン及びワードラインに連結された複数の読み出し専用メモリセルで構成される。ワードラインは、行アドレスRAにตอบสนองして、行デコーダ3によって選択される。ビットラインは、各々の列ラインが列アドレスCAにตอบสนองして列デコーダ5から供給されるデコーディング信号によって各ビットラインと連結される列ゲート回路7を介してセンスアンプ9に連結される。センスアンプ9からの出力は、センスアンプラッチ回路11を介してデータバッファ13に伝送される。センスアンプ9とラッチ回路11とは、マスタ信号MS、クロック信号CLK及びラテンシ情報信号LIが印加されるセンスアンプ制御回路15に結合される。

【0010】

マスタ信号MSは、アドレスが変わるとき短いパルスが発生するアドレス遷移検知回路(図示せず)から供給される。ラテンシ情報信号LIは、アドレスストローブ信号(例えば、列アドレスストローブ信号)が活性化された後、最初のデータビットが出力ターミナルに出現するまでのCLKのクロックサイクル数を決定する信号を発生するモードレジスタから供給される。ラテンシ(潜在)は、同期式メモリ装置の高帯域動作環境で、安定されたデータ検知と信頼性のあるデータ値とを保障するために供給されるものである。ラテンシの値は、同期式メモリ装置の動作周波数に比例する。即ち、低周波数動作メモリは、小さいラテンシ値を有し、高周波数動作メモリは、大きいラテンシ値を有する。例えば、クロック信号の周波数が20MHz程度であるときには、1クロックサイクルのラテンシでも十分であるが、センシングサイクルが30nsであり、クロック信号の周波数が100MHzである場合には、3クロックサイクル、又はそれ以上のラテンシが必要である。従って、センスアンプ制御回路15は、最適のセンシング動作を調整するラテンシ情報によってセンスアンプ9とラッチ回路11とが動作するようにする。

【0011】

図2は、そのようなセンスアンプ制御回路の1実施形態を示す。ここで、図1のセンスアンプは、3つの制御信号PSAC1、PSAC2及びPSAC3を使用し、ラッチ回路11は、PLCHにตอบสนองし、このような全ての信号がセンスアンプ制御回路から発生すると仮定する。

図2を参照すると、マスタ信号MSは、短パルス発生器21に印加される。短パルス発生器21の出力は、遅延回路31を介してPSAC1に結合される。遅延回路31の出力は、短パルス発生器22に印加される。短パルス発生器22の出力は、シフトレジスタ41と選択スイッチ51とに印加される。シフトレジスタ41は、クロック信号CLKの各入力にตอบสนองして1クロックだけシフトされた信号を発生する。選択スイッチ51は、ラテンシ情報信号LIにตอบสนองしてシフトレジスタ41の出力と遅延回路32の出力のうち、1つを交互に伝送してPSAC2を発生する。

【0012】

PSAC2は、また、短パルス発生器22の入力に接続される。短パルス発生器22の出力は、遅延回路33を介して選択スイッチ52の一方の入力端子に印加される。他方の入力端子には、ラテンシカウンタ(図示せず)の出力信号であるCNTが、スイッチ53、

10

20

30

40

50

シフトレジスタ42、短パルス発生器24及び、遅延回路34を介して印加される。スイッチ53は、ラテンシカウンティング信号CNTをラテンシ情報信号LIに応答して伝送し、シフトレジスタ42は、CNTをCLKのクロッキングによって1クロックシフトされた信号に変換する。選択スイッチ52は、ラテンシ情報信号LIに応答して遅延回路32及び34の出力のうち、1つを交互に伝送してセンスアンブラッチ制御信号PLCHを発生する。PLCHは、また、ゲートラッチ回路60の一方の入力に印加される。ゲートラッチ回路60の他方の入力には短パルス発生器21の出力に接続されている。ゲートラッチ回路60の出力は、PSAC3になる。

【0013】

短パルス発生器に接続された遅延回路は、短パルス発生器によって形成された短パルスから延長されたパルス幅を有する信号を発生する。ラテンシカウンティング信号CNTは、1センシングサイクル中のクロックの数を示し、与えられた1サイクルのセンシング期間内でできるだけラッチ時点を遅延させることによってセンシング安定性を図るために提供される。図2の構成において、短パルス発生器を遅延回路及びスイッチの連結関係及びそれらの内部構成は、環境によって多様な形態で変更することができる。例えば、シフトレジスタの段数は、シフトされる出力信号のシフト幅を決定する。

【0014】

次に同期式メモリ装置の動作速度を決定する多様なクロック周波数によって制御信号の各々を発生する過程に関して説明する。

ここで、センスアンプの1センシングサイクル時間は約30nsと仮定する。まず、図3を参照すると、20MHz（この場合、1クロックサイクルが50nsであることを意味し、通常の非同期式メモリの場合と相異はない）程度の低周波数でPSAC1は、入力短パルス発生器21を介してマスタ信号MSに接続される遅延回路31の出力から発生される。50nsのクロック周期は、30ns程度のセンシングサイクルに十分な時間であるために、PSAC2は、シフトレジスタ41を介さず、短パルス発生器22と遅延回路32とだけを介してPSAC1から発生される。

【0015】

ここで、ラテンシ情報LIは、1として、これはラテンシがないのと同じであるため、選択スイッチ51は、遅延回路32の出力をPSAC2に直接接続する。PSAC2の場合と同じように、PLCHは、PSAC2から短パルス発生器23と遅延回路33とからなる経路を介して発生される。選択スイッチ52も遅延回路33の出力をPLCHに接続し、CNTからの信号を切断する。短パルス発生器21の以前の出力によって高レベルのラッチ状態を維持していたPSAC3は、短パルス発生器25とラッチ回路60とを介して印加されるPLCHに応答して低レベルに降下する。

【0016】

図3に示すように、センスアンブラッチ信号PLCHは、ラテンシ情報を印加しなくてもクロック信号の1周期内で活性化される。

しかし、ラテンシが3に設定され、クロック周波数が66MHzの高帯域動作の場合を示す図4を参照すると、PSAC2は、PSAC1から短パルス発生器22、遅延回路32及びシフトレジスタ41を介して発生される。シフトレジスタ41は、遅延回路32の出力信号を図4に示すように右の方に1クロックシフトさせる。選択スイッチ51は、遅延回路32の出力をPSAC2に直接接続せず、シフトレジスタ41の出力をPSAC2に接続する。これは、選択スイッチ51に印加されるLIが、マスタ信号MSが活性化された後、3クロック以内にメモリセルアレイからのデータビットをセンスアンブラッチ回路の出力に伝送させるのに有効なラテンシ情報信号であるからである。

【0017】

図3の場合とは異なり、選択スイッチ52は、PSAC2からの経路ではなく、CNTからの経路を選択する。従って、PLCHは、スイッチ53、シフトレジスタ42、短パルス発生器24及び遅延回路34を介してCNTから発生し、センスアンプの活性化期間のうち、最後のクロック期間で活性化される。PSAC3によって設定されるセンスアンプ

10

20

30

40

50

の活性化期間は、ゲートラッチ回路60の入力端子62に印加されるマスタ信号MSの活性化と共に始まり、PLCHに応答する短パルス発生器25の出力がゲートラッチ回路60の他の入力端子64に印加されるときに終了する。

【0018】

図5は、図4の場合よりさらに高いクロック周波数の場合を示しており、100MHzの動作周波数で、ラテンシが5の場合である。センスアンプの活性化期間がCLKの5クロックサイクルの間続く間に、PSAC1を除く制御信号PSAC2、PLCH及びPSAC3が、図4に示すように、現在のラテンシ情報信号によって制御される経路を介して発生する。

【0019】

低周波数の場合、図3に示す制御信号発生過程は、同期式メモリ装置においても、周知のATDに基づく非同期式制御技術と類似であることが分かる。しかし、クロックサイクルが同期式メモリ装置のセンスアンプのセンシング周期より短い場合においては、図4及び図5に示すように、所定のラテンシ情報の制御によりセンスアンプラッチ回路の制御信号は遅延させられ、センスアンプは有効なデータビットのための十分なセンシング時間を持つことが出来る。その結果、各クロック周波数に対応して設定されたラテンシ信号が完全なセンシング動作を実行することが出来るため同期式メモリ装置の収率が向上する。

【0020】

【発明の効果】

本発明では、一定の周期を有するクロック信号によってセンシング動作を制御することができる。また多様なクロック周波数に適応可能であるようにセンシング動作を制御することができる。さらに、クロック周波数環境に対応する所定のラテンシ情報によってセンシング動作を制御することができる。

【図面の簡単な説明】

【図1】同期式メモリでセンスアンプを制御する機能ブロックを示す。

【図2】同期式メモリでセンスアンプとセンスアンプラッチ回路とに印加される制御信号を発生するセンスアンプ制御回路の1実施形態を示す。

【図3】同期式メモリに印加されるシステムクロックの周波数が20MHzであるときに、図2に示すセンスアンプ制御回路から発生する信号の波形を示す。

【図4】同期式メモリに印加されるシステムクロックの周波数が66MHzであるときに、図2に示すセンスアンプ制御回路から発生する信号の波形を示す。

【図5】同期式メモリに印加されるシステムクロックの周波数が100MHzであるときに、図2に示すセンスアンプ制御回路から発生する信号の波形を示す。

【符号の説明】

- 1：メモリセルアレイ
- 3：行デコーダ
- 5：列デコーダ
- 7：列ゲート回路
- 9：センスアンプ
- 11：センスアンプラッチ回路
- 13：データバッファ
- 15：センスアンプ制御回路

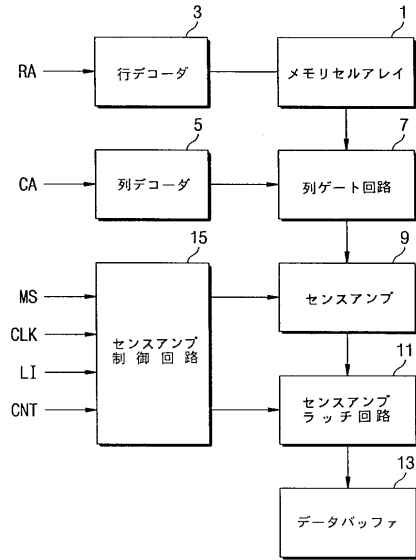
10

20

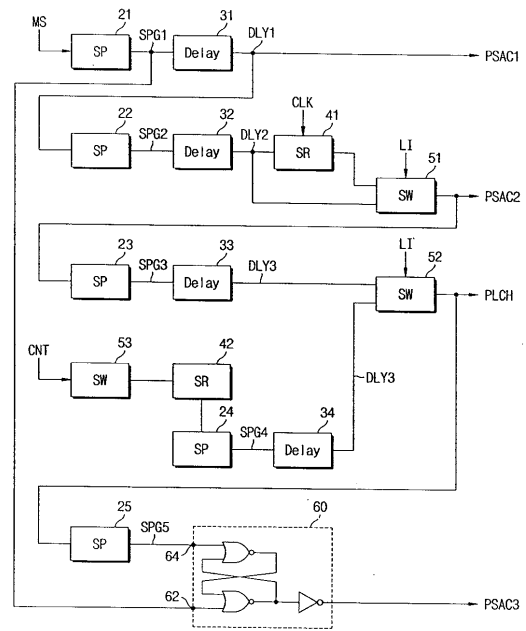
30

40

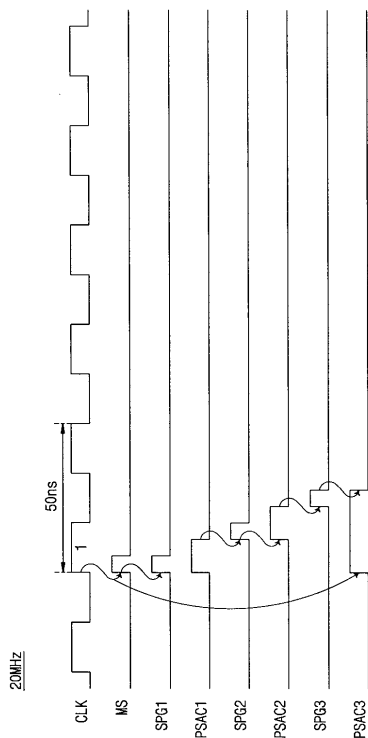
【 図 1 】



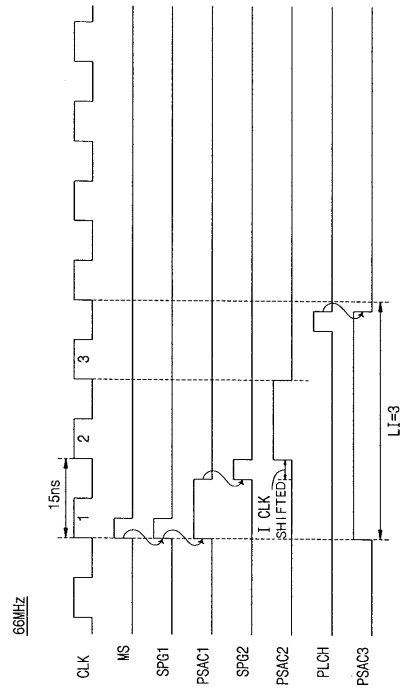
【 図 2 】



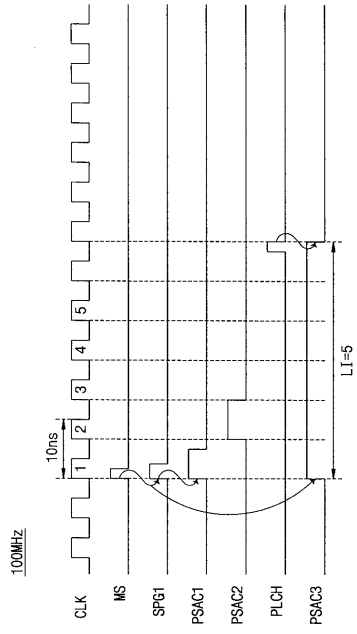
【 図 3 】



【 図 4 】



【 5 】



フロントページの続き

(56)参考文献 特開平10-188588(JP,A)
特開平10-011966(JP,A)

(58)調査した分野(Int.Cl.,DB名)
G11C 16/00,17/00