

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4336790号
(P4336790)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.		F I			
HO4L	7/00	(2006.01)	HO4L	7/00	Z
HO3L	7/00	(2006.01)	HO3L	7/00	C
HO4L	7/033	(2006.01)	HO4L	7/02	B

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2002-342362 (P2002-342362)	(73) 特許権者	000004237
(22) 出願日	平成14年11月26日(2002.11.26)		日本電気株式会社
(65) 公開番号	特開2004-179864 (P2004-179864A)		東京都港区芝五丁目7番1号
(43) 公開日	平成16年6月24日(2004.6.24)	(74) 代理人	100109313
審査請求日	平成17年10月17日(2005.10.17)		弁理士 机 昌彦
		(74) 代理人	100121290
			弁理士 木村 明隆
		(74) 代理人	100160554
			弁理士 浅井 俊雄
		(72) 発明者	山本 晃二
			東京都港区芝五丁目7番1号
			日本電気株式会社内
		審査官	衣鳩 文彦

最終頁に続く

(54) 【発明の名称】 クロック切替方法及びクロック切替装置

(57) 【特許請求の範囲】

【請求項1】

伝送装置における第1の入力インタフェース部から第2の入力インタフェース部へクロックを切替えるクロック切替方法であって、

前記第1の入力インタフェース部への複数の入力信号からの一つを第1の同期クロック源として選択し、第1の抽出選択クロックとして送出する工程と、

前記第2の入力インタフェース部への複数の入力信号からの一つを第2の同期クロック源として選択し、第2の抽出選択クロックとして送出する工程と、

第1の選択回路において、前記第1の抽出選択クロックおよび前記第2の抽出選択クロックのいずれかを選択して第1の選択出力として送出する工程と、

第2の選択回路において、前記第1の抽出選択クロックおよび前記第2の抽出選択クロックのいずれかを選択して第2の選択出力として送出する工程と、

第1のデジタルPLL回路において、前記第1の選択出力に同期した、第1の同期クロックと第1の同期フレームパルス(FP)の生成を行い、前記第1の入力インタフェース部及び前記第2の入力インタフェース部に送出する工程と、

第2のデジタルPLL回路において、前記第2の選択出力に同期した、第2の同期クロックと第2の同期FPの生成を行い、前記第1の入力インタフェース部及び前記第2の入力インタフェース部に送出する工程と、

前記第1の入力インタフェース部において、前記第1の同期クロックおよび第1の同期FP、又は前記第2の同期クロックおよび第2の同期FP、のいずれかを選択して送出す

る工程と、

前記第 2 の入力インタフェース部において、前記第 1 の同期クロックおよび第 1 の同期 F P、又は前記第 2 の同期クロックおよび第 2 の同期 F P、のいずれかを選択して送出する工程と、

前記第 1 の同期 F P の位相と前記第 2 の同期 F P の位相が同じになるように制御する第 1 の制御出力を生成して、前記第 1 のデジタル P L L 回路に送出する工程と、

前記第 1 の同期 F P の位相と前記第 2 の同期 F P の位相が同じになるように制御する第 2 の制御出力を生成して、前記第 2 のデジタル P L L 回路に送出する工程と、を備えることを特徴とするクロック切替方法。

【請求項 2】

伝送装置における第 1 の入力インタフェース部から第 2 の入力インタフェース部へクロックを切替えるクロック切替装置であって、

前記第 1 のインタフェース部は、第 1 の抽出選択回路と、第 1 の選択回路と、第 1 のデジタル P L L 回路と、第 1 のクロック切替回路と、第 1 の従属制御回路とを備え、

前記第 2 のインタフェース部は、第 2 の抽出選択回路と、第 2 の選択回路と、第 2 のデジタル P L L 回路と、第 2 のクロック切替回路と、第 2 の従属制御回路とを備え、

前記第 1 の抽出選択回路は、前記第 1 の入力インタフェース部への複数の入力信号からの一つを第 1 の同期クロック源として選択し、第 1 の抽出選択クロックとして前記第 1 の選択回路および前記第 2 の選択回路へ送出し、

前記第 2 の抽出選択回路は、前記第 2 の入力インタフェース部への複数の入力信号からの一つを第 2 の同期クロック源として選択し、第 2 の抽出選択クロックとして前記第 1 の選択回路および前記第 2 の選択回路へ送出し、

前記第 1 の選択回路は、前記第 1 の抽出選択クロックおよび前記第 2 の抽出選択クロックのいずれかを選択して第 1 の選択出力として前記第 1 のデジタル P L L 回路へ送出し、

前記第 2 の選択回路は、前記第 1 の抽出選択クロックおよび前記第 2 の抽出選択クロックのいずれかを選択して第 2 の選択出力として前記第 2 のデジタル P L L 回路へ送出し、

前記第 1 のデジタル P L L 回路は、前記第 1 の選択出力に同期した、第 1 の同期クロックと第 1 の同期 F P の生成を行い、前記第 1 の入力インタフェース部及び前記第 2 の入力インタフェース部に送出し、

前記第 2 のデジタル P L L 回路は、前記第 2 の選択出力に同期した、第 2 の同期クロックと第 2 の同期 F P の生成を行い、前記第 1 のクロック切替回路および前記第 2 のクロック切替回路へ送出し、

前記第 1 のクロック切替回路は、前記第 1 の同期クロックおよび第 1 の同期 F P、又は前記第 2 の同期クロックおよび第 2 の同期 F P、のいずれかを選択して送出し、

前記第 2 のクロック切替回路は、前記第 1 の同期クロックおよび第 1 の同期 F P、又は前記第 2 の同期クロックおよび第 2 の同期 F P、のいずれかを選択して送出し、

前記第 1 の従属制御回路は、前記第 1 の同期 F P の位相と前記第 2 の同期 F P の位相が同じになるように制御する第 1 の制御出力を生成して、前記第 1 のデジタル P L L 回路に送出し、

前記第 2 の従属制御回路は、前記第 1 の同期 F P の位相と前記第 2 の同期 F P の位相が同じになるように制御する第 2 の制御出力を生成して、前記第 2 のデジタル P L L 回路に送出する、

ことを特徴とするクロック切替装置。

【請求項 3】

前記第 1 および第 2 のデジタル P L L 回路が、

前記選択回路の選択出力を $N(N-2)$ 分周した N 分周出力を送出する分周器 N と、

前記クロックを $M(M-2)$ 分周した M 分周出力を送出する分周器 M と、

前記 N 分周出力及び前記 M 分周出力の位相比較を行い、位相比較結果を送出する位相比

10

20

30

40

50

較回路と、

前記位相比較結果をカウントし、カウント値を送出するA/D変換回路と、
 前記カウント値を記憶し記憶値として送出手相記憶回路と、
 前記カウント値及び前記記憶値の選択出力を選択値として送出手相回路Tと、
 前記選択値をD/A変換してアナログ電圧を生成して送出手相回路と、
 前記アナログ電圧に含まれる不要な周波数成分を抑圧して送出手相フィルタと、
 前記フィルタから送出手相された電圧に従って周波数を制御した前記クロックを送出
 する電圧制御発信器と、
 前記クロックを $P(P-2)$ 分周して生成したFPを送出手相する分周器Pと、
 前記カウント値と前記記憶値の比較を行い比較結果を送出手相する比較回路と、
 前記選択回路T、前記位相記憶回路、前記分周器Mを制御する制御回路と、
 を備えることを特徴とする請求項2に記載のクロック切替装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はクロック切替方法及びクロック切替装置に関し、特にクロック切替によって伝送
 信号エラーが発生することなく切替を行うクロック切替方法及びクロック切替装置に関す
 る。

【0002】

【従来の技術】

無線伝送装置においては、装置での信号処理を簡易化する為に入力信号からクロック抽出
 を行い、装置内クロックとして用いる。装置内のクロックはPLL回路を用いて入力信号
 に同期したクロックを生成するが、複数の入力信号がある場合には、任意の入力信号を同
 期源として装置内クロックを生成し、この装置内クロックで他の入力信号を同期化して伝
 送する。一方、複数の入力信号を装置内クロックで同期化する為の入力インタフェース部
 が必要となる。しかし、装置へ実装出来るサイズ等で入力インタフェース部の大きさには
 限界があり、全ての入力信号を1枚の入力インタフェース部にて同期化する事は出来ず、
 複数枚の入力インタフェース部を用いて同期化を行う。

20

【0003】

この為、装置内クロック生成用同期源とする入力信号が障害により劣化した場合や、入
 力インタフェース部を保守の為に装置から取り外す際には、取り外さない入力インタフェ
 ース部に装置内クロック同期源を切替える必要がある。この装置内クロック同期源の切替
 を無瞬断で行う為にデジタルサンプリングPLL回路を用いる。このデジタルサンプリ
 ングPLL回路を用いることで、ライン抽出として利用する入力信号切替時にも装置内
 クロックの周波数変動を抑圧することができ、他の伝送信号では不要なデータ誤りが発生
 しない。しかし、デジタルサンプリングPLL回路は、位相差をデジタル化する際の
 量子化誤差や回路構成上の実現性からサンプリングデータの下位 $X(X-1)$ ビットを除
 いた値を用いて位相制御を行うため、装置内クロック同期源を切替えると以下の問題が発
 生する。

30

【0004】

ここで、従来例として入力インタフェース部 2_{11} 、 2_{12} が図9となるもので構成され
 た装置の現用第1無線回線を含む現用第1回線(図1)を用いて図10~12を参照して
 説明する。装置内クロック同期源が入力信号 1_{1201} の場合には、入力インタフェ
 ース部 2_{11} では、変換回路101にて入力信号 1_{1201} から抽出したクロックが抽出選
 択回路104に送出手相され、抽出選択回路104では位相制御部 4_1 からの制御信号221
 を用いて選択され、選択回路105に送出手相される。選択回路105では、制御信号221
 を用いて入力インタフェース部 2_{11} 内の抽出選択回路104からの抽出選択クロック2
 20を選択し、デジタルPLL回路106に送出手相する。デジタルPLL回路106で
 は、選択回路105の選択出力222に同期したクロック、フレームパルス(以下、FP
)を生成し、入力インタフェース部 2_{11} 内の多重化回路103に送出手相する。

40

50

【 0 0 0 5 】

一方、入力インタフェース部 2₁₂でも同様に制御信号 221 から選択回路 105 にて、入力インタフェース部 2₁₁からの抽出選択クロック 220 を選択し、デジタル PLL 回路 106 に送出する。デジタル PLL 回路 106 では、選択回路 105 の選択出力 222 に同期したクロック、FP を生成し、入力インタフェース部 2₁₂内の多重化回路 103 に送出する。この時のデジタル PLL 回路 106 を図 10 で示し、回路動作を図 11 を用いて説明する。分周器 N301 では、選択出力 222 を N (N - 2) 分周し、N 分周出力 401 として位相比較回路 303 に送出する。分周器 M302 では、電圧制御発信器 311 の出力クロック 406 を M (M - 2) 分周した M 分周出力 402 を位相比較回路 303 に送出する。位相比較回路 303 では N 分周出力 401 と M 分周出力 402 の位相差を比較し位相比較結果 403 を A/D 変換回路 306 にて変換してカウント値 404 "a" (下位 X (X - 2) ビットを除いた値は "A") となる。タイミング生成回路 305 のタイミング信号 (タイミングクロック) を用いて位相記憶回路 307 では、カウント値 404 "a" を記憶値 405 "a" として記憶する。この動作が入力インタフェース部 2₁₁と入力インタフェース部 2₁₂それぞれで行われ、入力インタフェース部 2₁₁と入力インタフェース部 2₁₂それぞれの分周器 P315 の出力 FP 407 の位相差が "0" となる。

10

【 0 0 0 6 】

図 12 の時刻 t 1' ' 時に装置内クロック同期源の切替が発生すると、入力インタフェース部 2₁₁のデジタル PLL 回路 106 では、制御回路 313 は、制御信号 408 を "H" として位相保持状態とし、選択回路 T308 の出力を A/D 変換回路 306 のカウント値 404 "a" から位相記憶回路 307 の記憶値 405 "a" の切替を行い D/A 変換回路 309 に送出し、位相記憶回路 307 の記憶値 405 "a" をサンプリングクロックで更新しないように保持するモードとなる。

20

【 0 0 0 7 】

次に、分周器 N301 の N 分周出力 401 の位置が従来 t 2' ' の位置だったものが装置内クロック同期源の切替により、t 3' ' の位置に変動する。A/D 変換回路 306 の時刻 t 3' ' から t 4' ' までのカウント値 404 は、時刻 t 5' ' で "a" から "b" (下位 X ビットを除いた値は "B") となり、比較回路 314 では、カウント値 404 "b" の下位 X ビットを除いた値 "B" と記憶値 405 "a" の下位 X ビットを除いた値 "A" を比較し、比較結果 409 を "LT" として送出する。これにより、制御回路 313 が分周器 M302 を制御し M 分周出力 402 の位相を時刻 t 7' ' から t 8' ' に変更する。時刻 t 5' ' から t 9' ' までの A/D 変換回路 306 のカウント値 404 は "e" (下位 X ビットを除いた値は "A") となる。時刻 t 9' ' の時は、比較回路 314 では、カウント値 404 "e" の下位 X ビットを除いた値 "A" と記憶値 405 "a" の下位 X ビットを除いた値 "A" を比較し、カウント値 404 と記憶値 405 が一致するので比較結果 409 を "EQ" として制御回路 313 に送出する。制御回路 313 では、比較結果 409 "EQ" となると制御信号 408 を "L" として選択回路 T308 の出力を記憶値 405 "a" からカウント値 404 "e" に切替え、位相記憶回路 307 の記憶値 405 の保持状態を解除し位相保持動作を終了する。

30

40

【 0 0 0 8 】

その後、デジタル PLL 回路 106 は通常動作となり、一定の時間経過後の時刻 t 10' ' には、カウント値 404 "a" となるので 3' ' = 1' ' となる (図 11、図 12)。同様に入力インタフェース部 2₁₂でも装置内クロック同期源の切替が発生し、位相保持動作後に制御が行われる。ただし、時刻 t 5' ' から t 9' ' までの A/D 変換回路 306 のカウント値 404 は "f" (下位 X ビットを除いた値は "A") となり、その後制御を解除して時刻 t 10' ' 時には 3' ' = 1' ' となる。

【 0 0 0 9 】

【 特許文献 1 】

特開平 11 - 27247 号公報 (請求項 1、図 1)

50

【 0 0 1 0 】

【 発明が解決しようとする課題 】

しかし、この従来技術には、次のような問題点があった。

【 0 0 1 1 】

第1の問題点は、2つの入力インタフェース部 2_{11} 、 2_{12} 内の分周器P315の出力FP407の位相が変動することである。その理由は、装置内クロック同期源の切替が発生し、定常状態となると、デジタルPLL回路106の動作によって $3'' = 1''$ となるが、入力インタフェース部 2_{11} のデジタルPLL回路106の出力FP407と入力インタフェース部 2_{12} のデジタルPLL回路106の出力FP407に位相差 $4''$ (図12)が発生し、位相差が一定とならない。これは、2枚の入力インタフェース部 2_{11} 、 2_{12} のデジタルPLL回路106が独立で動作しているためであり、それぞれのデジタルPLL回路106の制御動作やサンプリングクロックが非同期であること、またサンプリングクロックの量子化誤差や回路構成上の実現性からカウント値404と記憶値405の下位Xビットを除いた値で比較を行うために図12のように時刻 $t5''$ から $t9''$ までのA/D変換回路306のカウント値404は"e"と"f"であるが、下位Xビットを除いた値は同じ"a"となり一致とみなし制御が終わる。その後、時刻 $t10''$ では、"e"と"f"の値分の位相差が発生する。この位相差は切替が発生する度に発生し累積する。このFPは多重化回路103から位相制御部 4_1 に出力され、位相制御部 4_1 (図4)内の位相吸収回路108のPLL回路110の同期源として用いられ位相吸収回路108で2枚の入力インタフェース部 2_{11} 、 2_{12} の位相差を吸収後に変調部 5_1 に送出される。位相吸収回路108はある範囲の位相差までは位相吸収可能であり装置内同期クロック源の切替が発生しても伝送信号を誤り無く伝えることが可能であるが、位相差が位相吸収回路108の位相吸収範囲を超えると装置内クロック同期源の切替時に伝送信号に誤りを生じる。

【 0 0 1 2 】

第2の問題点は、伝送時の遅延が増加することである。その理由は、第1の問題点を解決するために位相制御部 4_1 内の位相吸収回路108で位相吸収範囲を大きくするためにメモリを増やす方法が考えられる。しかし位相吸収範囲を大きくすると大量にメモリに書き込み、読み出す事となるので、多重化時に信号の遅延が増加することになる。また、メモリを増やしても有限であり、その位相吸収範囲を超えてしまうと伝送信号に誤りを生じる。

【 0 0 1 3 】

本発明は、以上の問題点を解決する装置内クロック切替方法及び装置を提供する。

【 0 0 1 4 】

【 課題を解決するための手段 】

本発明のクロック切替方法は、伝送装置における第1の入力インタフェース部から第2の入力インタフェース部へクロックを切替えるクロック切替方法であって、第1の入力インタフェース部への複数の入力信号からの一つを第1の同期クロック源として選択し、第1の抽出選択クロックとして送出する工程と、第2の入力インタフェース部への複数の入力信号からの一つを第2の同期クロック源として選択し、第2の抽出選択クロックとして送出する工程と、第1の選択回路において第1の抽出選択クロックおよび第2の抽出選択クロックのいずれかを選択して第1の選択出力として送出する工程と、第2の選択回路において第1の抽出選択クロックおよび第2の抽出選択クロックのいずれかを選択して第2の選択出力として送出する工程と、第1のデジタルPLL回路において、第1の選択出力に同期した、第1の同期クロックと第1の同期FPの生成を行い、第1の入力インタフェース部及び第2の入力インタフェース部に送出する工程と、第2のデジタルPLL回路において、第2の選択出力に同期した、第2の同期クロックと第2の同期FPの生成を行い、第1の入力インタフェース部及び第2の入力インタフェース部に送出する工程と、第1の入力インタフェース部において、第1の同期クロックおよび第1の同期FP、又は第2の同期クロックおよび第2の同期FP、のいずれかを選択して送出する工程と、第2の

入力インタフェース部において、第1の同期クロックおよび第1の同期FP、又は第2の同期クロックおよび第2の同期FP、のいずれかを選択して送出する工程と、第1の同期FPの位相と第2の同期FPの位相が同じになるように制御する第1の制御出力を生成して、第1のデジタルPLL回路に送出する工程と、第1の同期FPの位相と第2の同期FPの位相が同じになるように制御する第2の制御出力を生成して、第2のデジタルPLL回路に送出する工程と、を備えることを特徴とする。

【0020】

本発明のクロック切替装置は、伝送装置における第1の入力インタフェース部から第2の入力インタフェース部へクロックを切替えるクロック切替装置であって、第1の入力インタフェース部は、第1の抽出選択回路と、第1の選択回路と、第1のデジタルPLL回路と、第1のクロック切替回路と、第1の従属制御回路とを備え、第2の入力インタフェース部は、第2の抽出選択回路と、第2の選択回路と、第2のデジタルPLL回路と、第2のクロック切替回路と、第2の従属制御回路とを備え、第1の抽出選択回路は、第1の入力インタフェース部への複数の入力信号からの一つを第1の同期クロック源として選択し、第1の抽出選択クロックとして第1の選択回路および第2の選択回路へ送出し、第2の抽出選択回路は、第2の入力インタフェース部への複数の入力信号からの一つを第2の同期クロック源として選択し、第2の抽出選択クロックとして第1の選択回路および第2の選択回路へ送出し、第1の選択回路は、第1の抽出選択クロックおよび第2の抽出選択クロックのいずれかを選択して第1の選択出力として第1のデジタルPLL回路へ送出し、第2の選択回路は、第1の抽出選択クロックおよび第2の抽出選択クロックのいずれかを選択して第2の選択出力として第2のデジタルPLL回路へ送出し、第1のデジタルPLL回路は、第1の選択出力に同期した、第1の同期クロックと第1の同期FPの生成を行い、第1の入力インタフェース部及び第2の入力インタフェース部に送出し、第2のデジタルPLL回路は、第2の選択出力に同期した、第2の同期クロックと第2の同期FPの生成を行い、第1のクロック切替回路および第2のクロック切替回路へ送出し、第1のクロック切替回路は、第1の同期クロックおよび第1の同期FP、又は第2の同期クロックおよび第2の同期FP、のいずれかを選択して送出し、第2のクロック切替回路は、第1の同期クロックおよび第1の同期FP、又は第2の同期クロックおよび第2の同期FP、のいずれかを選択して送出し、

第1の従属制御回路は、第1の同期FPの位相と第2の同期FPの位相が同じになるように制御する第1の制御出力を生成して、第1のデジタルPLL回路に送出し、第2の従属制御回路は、第1の同期FPの位相と第2の同期FPの位相が同じになるように制御する第2の制御出力を生成して、第2のデジタルPLL回路に送出する、ことを特徴とする。

【0021】

本発明のクロック切替装置においては、デジタルPLL回路が、選択回路の選択出力を $N(N-2)$ 分周した N 分周出力を送出する分周器 N と、クロックを $M(M-2)$ 分周した M 分周出力を送出する分周器 M と、 N 分周出力及び M 分周出力の位相比較を行い、位相比較結果を送出する位相比較回路と、位相比較結果をカウントし、カウント値を送出するA/D変換回路と、カウント値を記憶し記憶値として送出する位相記憶回路と、カウント値及び記憶値の選択出力を選択値として送出する選択回路 T と、選択値をD/A変換してアナログ電圧を生成して送出するD/A変換回路と、アナログ電圧に含まれる不要な周波数成分を抑圧して送出するループフィルタと、ループフィルタから送出された電圧に従って周波数を制御した前記クロックを送出する電圧制御発信器と、クロックを $P(P-2)$ 分周して生成したFPを送出する分周器 P と、カウント値と記憶値の比較を行い比較結果を送出する比較回路と、選択回路 T 、位相記憶回路、分周器 M を制御する制御回路と、を備えることを特徴とする。

【0022】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。本発明によるクロッ

10

20

30

40

50

ク切替は、装置内同期クロック源として選択した一方の入力インタフェース部のデジタルPLL回路にて生成したクロックとフレームパルス（以下、FP）を他方の入力インタフェース部に供給することで装置内のクロックを1つのデジタルPLLで生成し、他方の入力インタフェース部ではクロック切替回路（図2の112）にて供給されたクロックとFPを選択して入力信号の多重化を行い、従属制御回路（図2の113）にてデジタルPLL回路（図2の106）で生成するFPの位相が供給FPと一意の位相関係となる制御信号の生成を行い、この制御信号をデジタルPLL回路（図2の106）に用いることで、装置内クロック同期源の切替となりクロックとFPを供給する入力インタフェース部の切替が発生しても、FPが一意の位相関係にある為、伝送信号にエラーが発生しないクロック切替を実現する。

10

【0023】

図1～4において入力信号を多重化して伝送する現用N（N₂）回線を有する無線伝送装置において、入力信号1₁ 201を装置内クロック同期源として選択するので入力インタフェース部2₁ 1がマスター動作となり、入力インタフェース部2₁ 2がスレーブ動作になるものとする。定常状態では、装置内クロック同期源となる入力信号1₁ 201を処理する入力インタフェース部2₁ 1においてはマスター動作となるので、入力信号1₁ 201は変換回路101で変換され、位相制御部4₁からの制御信号221を用いて抽出選択回路104、選択回路105で装置内クロック同期源として選択され、デジタルPLL回路106に送出される。デジタルPLL回路106では、デジタルPLLを用いて入力信号1₁ 201に同期したクロックとFPを生成し、クロック切替回路1

20

112と他方の入力インタフェース部2₁ 2内のクロック切替回路112に送出する。この時デジタルPLL回路106では、同期源となる選択出力222を分周器N301で分周したN分周出力401と電圧制御発信器311の出力クロック406を分周器M302で分周したM分周出力402から位相比較回路303、A/D変換回路306を用いて位相差を測定し、位相記憶回路307にて記憶を行う。クロック切替回路112は、マスター動作から従属制御回路113からの制御出力224を用いて入力インタフェース部2₁ 1にて生成したクロックとFPを選択し多重化回路103に送出する。また、従属制御回路113の制御信号227は、マスター動作から入力インタフェース部2₁ 1内のデジタルPLL回路106内の分周器P312の制御を行わない。

一方、入力インタフェース部2₁ 2においてはスレーブ動作となるので、位相制御部4₁からの制御信号221を用いて入力インタフェース部2₁ 1の抽出選択クロック220を選択しデジタルPLL回路106に送出する。デジタルPLL回路106は、選択出力222に同期したクロックとFPを生成し、クロック切替回路112と入力インタフェース部2₁ 1内のクロック切替回路112に送出する。この時のデジタルPLL回路106では入力インタフェース部2₁ 1同様に位相差を位相記憶回路307にて記憶を行う。クロック切替回路112は、従属制御回路113からの制御出力224を用いて入力インタフェース部2₁ 1にて生成したクロックとFPを選択し多重化回路103に送出する。また、スレーブ動作から従属制御回路113の制御出力227がデジタルPLL回路106内の分周器P312の制御を行って入力インタフェース部2₁ 1のFPと一意の位相となるようにFPの位相制御を行う。

30

40

【0024】

装置内クロック同期源が入力信号1₁から入力信号1₅に切替が発生すると、入力インタフェース部2₁ 1、2₁ 2では、デジタルPLL回路106内においては、制御回路313は定常状態時に位相記憶回路307で記憶した値を用いて装置内クロック同期源切替が発生する前の状態を保持し、位相制御部4₁からの制御信号221から選択回路105においてデジタルPLL出力の切替えを行い、位相比較回路303、A/D変換回路306を用いて、同期クロック源切替後の分周器N301のN分周出力401と分周器M302のM分周出力402の位相差を測定し、分周器M302を制御することで分周器M302のM分周出力402の位相を変化させ定常状態時に記憶した値と一致する制御を行う。一致後一定時間経過すると、入力インタフェース部2₁ 1内の従属制御回路113では

50

マスター動作からスレーブ動作への切替が発生し、クロック切替回路112では多重化回路103への出力を入力インタフェース部2₁₁のデジタルPLL出力223から入力インタフェース部2₁₂のデジタルPLL出力229への切替信号を送出する。また、デジタルPLL回路106に送出した制御出力227は入力インタフェース部2₁₁のFPと一意の位相となる様な位相制御を開始する。

【0025】

一方、入力インタフェース部2₁₂の従属制御回路113ではスレーブ動作からマスター動作となり、クロック切替回路112では、多重化回路103への出力を入力インタフェース部2₁₁のデジタルPLL出力223から入力インタフェース部2₁₂のデジタルPLL出力229への切替信号を送出する。また、デジタルPLL回路106に送出した制御信号227で行ったFP位相制御を停止する。

10

【0026】

これにより、入力インタフェース部2₁₁、2₁₂間の装置内同期クロック源の切替が発生しても、入力インタフェース部2₁₁、2₁₂の多重化回路103の出力位相を一意の位相関係に保つことで位相制御部4₁の位相吸収回路108にて装置内同期クロック源切替が発生してもFPの位相が位相吸収回路108の位相吸収範囲以内に保たれる為、FPの位相変動による伝送信号エラーを発生することなく装置内クロック切替が可能となる。

【0027】

本発明による装置内同期クロック切替方法及び装置は、装置内クロック同期源として選択した一方の入力インタフェース部のデジタルPLL回路で生成したクロックとFPを他方の入力インタフェース部へ供給することで装置内クロックを同一化し、他方のデジタルPLL回路で生成するFPを一意の位相関係に制御することにより、複数の入力インタフェース部から位相制御部4₁への出力位相を一定に保つことができる。これにより、クロック切替が発生しても入力インタフェース部のFPは、位相制御部4₁内の位相吸収回路108の位相吸収範囲内に納めることができるのでクロック切替によってエラーが発生することなく切替を行うことができるものである。

20

【0028】

上記した本発明の実施の形態を更に詳細に説明すべく、本発明の実施例を以下に図面を参照して説明する。

30

【0029】

第1の実施形態：図1は、本発明実施例の無線伝送装置の装置構成ブロック図を示す。図2は装置内の入力インタフェース部2₁₁、2₁₂、図3は入力インタフェース部2₁₁、2₁₂内のデジタルPLL回路106であり、図4は、位相制御部4₁である。

【0030】

図1の現用第1無線回線を含む現用第1回線は、入力信号1₁₁～1₁₄、入力信号1₁₅～1₁₈、入力インタフェース部2₁₁、2₁₂、位相制御部4₁、変調部5₁、送信部6₁、受信部7₁、復調部8₁、分配部9₁、出力インタフェース部10₁₁、10₁₂、出力信号11₁₁～11₁₄、出力信号11₁₅～11₁₈を含んで構成される。現用第2、3、N無線回線を含む現用第2、3、N回線も同様の構成である。

40

【0031】

本発明は、図1の現用第1無線回線を含む現用第1回線の入力インタフェース部2₁₁、2₁₂、位相制御部4₁、変調部5₁を取り上げて説明するが、現用第2無線回線、現用第3無線回線、現用第N無線回線の入力インタフェース部2₂₁、2₂₂、2₃₁、2₃₂、2_{N1}、2_{N2}なども同様の構成、機能である。

【0032】

入力インタフェース部2₁₁、2₁₂においては、変換回路101では、入力信号1₁～1₄、入力信号1₅～1₈を伝送路バイポーラ信号を装置にて処理しやすいユニポーラ信号に変換してからフレーム同期を確立し、ユニポーラ信号に変換したデータ・フレームパルス(以下、FP)・クロックを記憶回路102に送出し、クロックを抽出選択回路10

50

4 に送出する。

【 0 0 3 3 】

記憶回路 1 0 2 では、変換回路 1 0 1 から送出されたデータをメモリーに書き込み、後述する多重化回路 1 0 3 からのクロックによってデータの読み出しを行う。

【 0 0 3 4 】

多重化回路 1 0 3 では、後述するクロック切替回路 1 1 2 から送出されたクロックと F P を用いて記憶回路 1 0 2 のデータを読み出して多重化を行い位相制御部 4₁ に送出する。

【 0 0 3 5 】

抽出選択回路 1 0 4 では、位相制御部 4₁ からの制御信号 (H W (ハイウェイ) 選択信号) 2 2 1 を用いて複数の入力信号 1₁ ~ 1₄ (入力信号 1₅ ~ 1₈) から 1 つを同期クロック源として選択し、抽出選択クロック 2 2 0 (抽出選択クロック 2 1 9) として選択回路 1 0 5 と他方入力インタフェース部 2_{1 2} の選択回路 1 0 5 に送出し、入力信号 1₁ ~ 1₄ が選択可能かを表す抽出クロック情報 2 1 0 を位相制御部 4₁ に送出する。

10

【 0 0 3 6 】

選択回路 1 0 5 は、制御信号 2 2 1 を用いて自パネル抽出選択回路 1 0 4 の抽出選択クロック 2 2 0 または、他方入力インタフェース部 2_{1 2} の抽出選択回路 1 0 4 の抽出選択クロック 2 1 9 のいずれかを選択して選択出力 2 2 2 としてデジタル P L L 回路 1 0 6 に送出する。

【 0 0 3 7 】

デジタル P L L 回路 1 0 6 では、定常状態時には選択出力 2 2 2 に同期したクロックと F P の生成を行いデジタル P L L 出力 2 2 3、2 2 9 としてクロック切替回路 1 1 2 と他方入力インタフェース部 2_{1 2} のクロック切替回路 1 1 2 に送出し、従属制御回路 1 1 3 に制御信号 4 0 8 を制御信号 2 2 8 として送出する。制御信号 2 2 1 からの同期クロック源に変化がある場合には、定常状態時に記憶しておいたサンプリング値を用いて動作を行いながら同期クロック源の切替を行う。

20

【 0 0 3 8 】

クロック切替回路 1 1 2 では、後述する従属制御回路 1 1 3 からの制御出力 2 2 4 を用いてデジタル P L L 回路 1 0 6 からのクロック、F P、または、他方入力インタフェース部 2_{1 2} 内デジタル P L L 回路 1 0 6 からのクロック、F P のいずれかを選択して多重化回路 1 0 3 に送出し、クロック切替回路 1 1 2 が他方入力インタフェース部 2_{1 2} のクロック、F P を選択した場合には選択 F P を従属制御回路 1 1 3 に送出する。

30

【 0 0 3 9 】

従属制御回路 1 1 3 では、後述する制御回路 3 1 3 の制御信号 4 0 8 (2 2 8) と制御信号 2 2 1 を用いて、制御信号 2 2 1 が自パネル側入力信号の場合は、マスター動作として自パネル側 (例えば、入力インタフェース 2_{1 1}) のデジタル P L L 回路 1 0 6 出力を選択する " L "、他方入力信号であればスレーブ動作として他方パネル側のデジタル P L L 回路 1 0 6 出力を選択する " H " となる制御出力 2 2 4 を送出し、他方入力インタフェース部 2_{1 2} へは、マスター動作の場合には " L "、スレーブ動作の場合には " H " 制御出力 2 2 5、2 2 6 を送出し、スレーブ動作時にはクロック切替回路 1 1 2 から送出された選択 F P をデジタル P L L 回路 1 0 6 に送出する。

40

【 0 0 4 0 】

デジタル P L L 回路 1 0 6 (図 3) では、選択回路 1 0 5 の選択出力 2 2 2 を分周器 N 3 0 1 にて N (N 2) 分周した N 分周出力 4 0 1 を位相比較回路 3 0 3 に送出する。

【 0 0 4 1 】

分周器 M 3 0 2 では、電圧制御発信器 3 1 1 の出力クロック 4 0 6 を M (M 2) 分周した M 分周出力 4 0 2 を位相比較回路 3 0 3 に送出する。また、制御回路 3 1 3 からの制御信号 4 1 0 によって M 分周出力 4 0 2 の位相を可変できる。

【 0 0 4 2 】

位相比較回路 3 0 3 では、N 分周出力 4 0 1 の波形立ち上がりから M 分周出力 4 0 2 の波形立ち上がりの間を " H " とする位相比較を行い、位相比較結果 4 0 3 を A / D 変換回路

50

306に送出する。

【0043】

A/D変換回路306では、位相比較結果403が”H”となる間を発信器304のクロックを用いてカウントし、カウント値404を位相記憶回路307、選択回路T308と比較回路314に送出する。

【0044】

タイミング生成回路305は、各回路の動作タイミングを決定するタイミング信号(タイミングクロック)をA/D変換回路306、位相記憶回路307、選択回路T308、制御回路313に送出する。

【0045】

位相記憶回路307は、タイミング生成回路305の出力するタイミング信号(タイミングクロック)に従ってカウント値404を記憶しておき、制御回路313からの制御信号408に従って記憶した値を保持する機能を有し、選択回路T308と比較回路314へ記憶値405を送出する。

【0046】

選択回路T308では、カウント値404と記憶値405の出力選択を制御回路313からの制御信号408で行い、選択値をD/A変換回路309に送出する。

【0047】

D/A変換回路309では、選択回路T308から送出された選択値をD/A変換することでアナログ電圧を生成し、ループフィルタ310に送出する。

【0048】

ループフィルタ310では、入力したアナログ電圧に含まれる不要な周波数成分を抑圧し電圧制御発信器311へ送出する。

【0049】

電圧制御発信器311では、ループフィルタ310から送出された電圧に従って周波数を制御した出力クロック406を分周器P312、分周器M302とクロック切替回路112に送出する。

【0050】

分周器P312は、出力クロック406をP(P-2)分周して生成した出力FP(フレームパルス)407をクロック切替回路112を経由して多重化回路103に送出する。また、従属制御回路113からの制御出力227で分周カウンタのリセットを行う。

【0051】

比較回路314では、カウント値404と記憶値405の下位X(X-1)ビットを除いた値を用いて比較を行い、記憶値405よりカウント値404が小さい場合には”LT”、大きい場合には”GT”、同じ場合には”EQ”とする比較結果409を制御回路313に送出する。

【0052】

制御回路313では、定常状態では制御信号408”L”を出力しておき、制御信号221が状態変化した場合には、制御信号408を”H”としてHOLD OVERモードに移行し、選択回路T308へ制御信号408を用いて記憶値405側に切替え、位相記憶回路307の記憶値405を保持することでクロックが変動しないようにした後、A/D変換回路306のカウント値404と記憶値405の比較結果409を用いて分周器M302の制御を行い、切替直前の位相状態と同じになるように制御する。比較回路314の比較結果409が”EQ”となり一致すると制御信号408を”L”選択回路T308の選択値を記憶値405からカウント値404に切替え、位相記憶回路307で保持した記憶値405を解除する。

【0053】

図4に示す位相制御部4₁では、位相吸収回路108は、入力インタフェース部2₁₁の出力209と入力インタフェース部2₁₂の出力209を電圧制御発信器107のクロックを用いて位相差を吸収して変調部5₁に送出する。選択回路B109は、後述するクロ

10

20

30

40

50

ック制御回路 1 1 1 からの制御信号によって入力インタフェース部 2₁₁、2₁₂いずれかの F P を選択し、P L L 回路 1 1 0 へ送出する。P L L 回路 1 1 0 は、選択回路 B 1 0 9 で選択された F P に同期する制御信号を電圧制御発信器 1 0 7 に送出する。電圧制御発信器 1 0 7 は、P L L 回路 1 1 0 の制御信号により同期したクロックを生成し位相吸収回路 1 0 8 に送出する。クロック制御回路 1 1 1 は、入力インタフェース部 2₁₁、2₁₂からの抽出クロック情報 2 1 0 を用いて装置内同期クロックを決定し、選択結果を選択回路 B 1 0 9 と入力インタフェース部 2₁₁、2₁₂ (制御信号 2 2 1 として) に送出する。

【 0 0 5 4 】

次に、図 1 ~ 4 の回路動作について図 5 ~ 6 のタイミングチャート (タイムチャート) とともに説明する。本説明では、装置内同期クロック源切替が入力信号 1₁₁ から入力信号 1₁₅ に切替が発生するものとし、カウント値 4 0 4、記憶値 4 0 5 についての括弧部分はそれぞれの値の下位 X (X = 1) ビットを除いた値とする。

10

【 0 0 5 5 】

定常状態時の入力インタフェース部 2₁₁ では、位相制御部 4₁ からの制御信号 2 2 1 により入力信号 1₁₁ の選択となるので、従属制御回路 1 1 3 は、マスター動作となり、他方の入力インタフェース部 2₁₂ への制御出力 2 2 5 を " L " とし、クロック切替回路 1 1 2 への制御出力 2 2 4 を " L "、デジタル P L L 回路 1 0 6 への制御出力 2 2 7 を " H " とする。抽出選択回路 1 0 4 では、制御信号 2 2 1 が入力信号 1₁₁ の選択から入力信号 1₁ のユニポーラ信号 2 1 1 を選択し、抽出選択クロック 2 2 0 として選択回路 1 0 5 と他方の入力インタフェース部 2₁₂ の選択回路 1 0 5 に送出する。

20

【 0 0 5 6 】

選択回路 1 0 5 では、制御信号 2 2 1 が入力信号 1₁₁ 選択から抽出選択クロック 2 2 0 を選択し、デジタル P L L 回路 1 0 6 に送出する。クロック切替回路 1 1 2 は、従属制御回路 1 1 3 の制御出力 2 2 4 が " L " から自パネル側のデジタル P L L 出力 2 2 3 を選択し、多重化回路 1 0 3 に送出する。

【 0 0 5 7 】

デジタル P L L 回路 1 0 6 (図 3) 内の分周器 N 3 0 1 は、選択回路 1 0 5 で選択となる選択出力 2 2 2 を N 分周し、N 分周出力 4 0 1 として位相比較回路 3 0 3 に送出する。分周器 M 3 0 2 は、電圧制御発信器 3 1 1 の出力クロック 4 0 6 を M 分周し M 分周出力 4 0 2 を位相比較回路 3 0 3 に送出する。

30

【 0 0 5 8 】

位相比較回路 3 0 3 では、N 分周出力 4 0 1 の立ち上がり波形から M 分周出力 4 0 2 の立ち上がり波形までの時間 T を " H " とした位相比較結果 4 0 3 を A / D 変換回路 3 0 6 に送出する。A / D 変換回路 3 0 6 では、位相比較結果 4 0 3 を発信器 3 0 4 のクロックを用いてカウントし、カウント値 4 0 4 " a " に変換して位相記憶回路 3 0 7、選択回路 T 3 0 8 と比較回路 3 1 4 に送出する。

【 0 0 5 9 】

位相記憶回路 3 0 7 は、タイミング生成回路 3 0 5 からのタイミング信号 (タイミングクロック) でカウント値 4 0 4 " a "、記憶値 4 0 5 " a " として記憶する。

40

【 0 0 6 0 】

選択回路 T 3 0 8 は、制御信号 4 0 8 によりカウント値 4 0 4 " a " を選択値として D / A 変換回路 3 0 9 に送出する。D / A 変換回路 3 0 9 では、選択値 " a " を D / A 変換にて電圧変換し、ループフィルタ 3 1 0 に送出する。電圧制御発信器 3 1 1 では、ループフィルタ 3 1 0 で不要な周波数成分を抑圧した電圧を用いて周波数制御した出力クロック 4 0 6 を出力する。

【 0 0 6 1 】

分周器 P 3 1 2 では、出力クロック 4 0 6 を P 分周した出力 F P 4 0 7 を生成して、クロック切替回路 1 1 2 に送出する。

【 0 0 6 2 】

50

一方の入力インタフェース部 2₁₂ では、位相制御部 4₁ からの制御信号 2₂₁ より入力信号 1₁₁ 選択となるので、従属制御回路 1₁₃ は、スレーブ動作となり、他方入力インタフェース部 2₁₁ への制御出力 2₂₆ を "H" とし、クロック切替回路 1₁₂ への制御出力 2₂₄ を "H"、デジタル PLL 回路 1₀₆ への制御出力 2₂₇ を送出する。クロック切替回路 1₁₂ は、制御出力 2₂₄ が "H" から他方入力インタフェース部 2₁₁ 側のデジタル PLL 出力 2₂₃ を選択し、多重化回路 1₀₃ に送出する。またデジタル PLL 回路 1₀₆ は、入力インタフェース部 2₁₁ と同じ動作となるが、分周器 P₃₁₂ は従属制御回路 1₁₃ からの制御出力 2₂₇ を用いて P 分周カウンタをリセットし、入力インタフェース部 2₁₁ の FP と出力位相が同じになるように制御する。

【0063】

ここで、入力信号 1₁₁ から入力信号 1₁₅ に切替が発生すると、位相制御部 4₁ からの制御信号 2₂₁ も入力信号 1₁₁ から入力信号 1₁₅ に変化する。入力インタフェース部 2₁₁ では、制御信号 2₂₁ の状態変化を検出してデジタル PLL 回路 1₀₆ 内の制御回路 3₁₃ は、時刻 t₁ に制御信号 4₀₈ を "H" として送出することで、位相記憶回路 3₀₇ では記憶値 4₀₅ を保持状態とし、選択回路 T₃₀₈ では、D/A 変換回路 3₀₉ への選択値をカウント値 4₀₄ から記憶値 4₀₅ に切替える。制御信号 2₂₁ により入力インタフェース部 2₁₁ では、選択回路 1₀₅ では選択出力 2₂₂ を入力インタフェース部 2₁₁ からの抽出選択クロック 2₂₀ から他方入力インタフェース部 2₁₂ からの抽出選択クロック 2₁₉ に切替える。選択出力 2₂₂ の切替えにより分周器 N₃₀₁ の N 分周出力 4₀₁ の位相が定常状態時に時刻 t₂ に出力された N 分周出力 4₀₁ が時刻 t₃ の位置で出力となる。

【0064】

位相比較回路 3₀₃ では、時刻 t₃ から t₄ までの位相差を "H" とする位相比較結果 4₀₃ を A/D 変換回路 3₀₆ に送出し、A/D 変換回路 3₀₆ は発信器 3₀₄ のクロックを用いてカウントしたカウント値 4₀₄ "b" を比較回路 3₁₄ に送出する。時刻 t₅ の時には、比較回路 3₁₄ では、カウント値 4₀₄ "b" の下位 X ビットを除いた値 "B" と保持している記憶値 4₀₅ "a" の下位 X ビットを除いた値 "A" の比較を行い、"b" < "a" より記憶値 4₀₅ よりも小さいことを表す比較結果 4₀₉ "LT" を制御回路 3₁₃ に送出する。制御回路 3₁₃ では、比較結果 4₀₉ "LT" より分周器 M₃₀₂ の制御を行い M 分周出力 4₀₂ の位相を t₇ から t₈ の位相に変更する。位相比較回路 3₀₃ では、時刻 t₆ から t₈ までの位相差を "H" とする位相比較結果 4₀₃ を A/D 変換回路 3₀₆ に送出し、A/D 変換回路 3₀₆ は発信器 3₀₄ のクロックを用いてカウントしたカウント値 4₀₄ "e" を比較回路 3₁₄ に送出する。時刻 t₉ の時には、比較回路 3₁₄ では、カウント値 4₀₄ "e" の下位 X ビットを除いた値 "A" と記憶値 4₀₅ "a" の下位 X ビットを除いた値 "A" が一致する比較結果 4₀₉ "EQ" を制御回路 3₁₃ に送出する。制御回路 3₁₃ は、比較結果 4₀₉ "EQ" から、制御信号 4₀₈ "L" を送出する。制御信号 4₀₈ "L" から選択回路 T₃₀₈ では、選択値を記憶値 4₀₅ からカウント値 4₀₄ に切替え、位相記憶回路 3₀₇ では、記憶値 4₀₅ の保持動作を解除し、タイミング生成回路 3₀₅ のタイミング信号 (タイミングクロック) に従ってカウント値 4₀₄ を記憶値 4₀₅ とする動作に復帰する。

【0065】

他方入力インタフェース部 2₁₂ では、選択回路 1₀₅ では選択出力 2₂₂ を他方入力インタフェース部 2₁₁ の抽出選択クロック 2₂₀ から入力インタフェース部 2₁₂ の抽出選択クロック 2₁₉ に切替え、デジタル PLL 回路 1₀₆ に送出する。デジタル PLL 回路 1₀₆ は入力インタフェース部 2₁₁ と同様に位相を保持して同期クロックを切替える。

【0066】

入力インタフェース部 2₁₁ の従属制御回路 1₁₃ は、制御信号 2₂₁ も入力信号 1₁₁ から入力信号 1₁₅ となり、デジタル PLL 回路 1₀₆ の比較結果 4₀₉ が "EQ" となり一定時間経過後の時刻 t₁₁ にマスター動作からスレーブ動作となり、他方入力イン

10

20

30

40

50

タフェース部 2₁₂ への制御出力 225 を "H" とし、クロック切替回路 112 への制御出力 224 を "H"、デジタル PLL 回路 106 への制御出力 227 を送出する。これによりクロック切替回路 112 ではクロックを入力インタフェース部 2₁₁ のデジタル PLL 出力 223 から他方入力インタフェース部 2₁₂ のデジタル PLL 出力 229 に切替える。

【0067】

入力インタフェース部 2₁₂ の従属制御回路 113 は、他方入力インタフェース部 2₁₁ への制御出力 225 が "L" から "H" となる時にスレーブ動作からマスター動作となり、他方入力インタフェース部 2₁₁ への制御出力 226 を "L" とし、クロック切替回路 112 への制御出力 224 を "L"、デジタル PLL 回路 106 への制御出力 227 を "H" として送出する。これによりクロック切替回路 112 ではクロックを他方入力インタフェース部 2₁₁ のデジタル PLL 出力 223 から入力インタフェース部 2₁₂ のデジタル PLL 出力 229 に切替える。

10

【0068】

第2の実施形態：次に、本発明の第2の実施形態について図面を参照して詳細に説明する。図7は本発明の第2の実施例、図8はタイミングチャートであり従来と同じ部分は省略する。

【0069】

入力インタフェース部 2₁₁ 内の従属制御回路 113 は、制御出力 225、他方入力インタフェース部 2₁₂ 内の従属制御回路 113 の制御出力 226 と、抽出選択回路 104 からの抽出クロック情報 210 を用いてマスター動作とスレーブ動作を制御する。制御出力 225 が "H"、制御出力 226 が "H"、抽出クロック情報 210 がユニポーラ信号 211 ~ 214 のいずれか1つでも使用可能である場合には、マスター動作となり、制御出力 225 を "L"、クロック切替回路 112 への制御出力 224 を "L"、デジタル PLL 回路 106 への制御出力 227 を "H" とする。制御出力 225 が "H"、制御入力 226 が "L" の場合にはスレーブ動作となり、制御出力 225 を "H"、クロック切替回路 112 への制御出力 224 を "H"、制御出力 227 としてクロック切替回路 112 から入力する FP を送出する。マスター動作からスレーブ動作への切替が発生するのは、抽出クロック情報 210 がユニポーラ信号全て使用不可能の信号を送出してから一定時間経過後に、制御出力 225 を "L" から "H"、制御出力 224 を "L" から "H"、デジタル PLL 回路 106 への制御出力 227 を "H" からクロック切替回路 112 から入力する FP に切替える。

20

30

【0070】

一方、入力インタフェース部 2₁₂ も同様の論理で動作するが、制御出力 226 が "H"、制御出力 225 が "H"、抽出クロック情報 210 がユニポーラ信号 211 ~ 214 のいずれか1つでも使用可能である場合でもスレーブ動作となるものとする。入力信号 1₁₁ から入力信号 1₁₅ に切替が発生した場合には、入力信号 1₁₂ から入力信号 1₁₄ が入力断または異常状態の場合には本発明の第1の実施形態と同じ動作となる。一方、入力信号 1₁₂ から入力信号 1₁₄ が正常の場合には、図8の t11' の時にもマスター動作とスレーブ動作切替を行わず入力インタフェース部にて入力信号 1₁₅ に同期した装置内クロックを用いる。この実施例の利点は、従属制御回路 113 の構成が簡単となることである。

40

【0071】

【発明の効果】

第1の効果は、入力インタフェース部間の装置内クロック同期源切替が発生しても誤り無く伝送信号を伝送できることである。その理由は、本発明によるクロック切替装置は、装置内クロック同期源として選択した入力インタフェース部のデジタル PLL 回路で生成したクロックと FP を他の入力インタフェース部へ供給することで装置内クロックを同一化し、他のデジタル PLL 回路で生成する FP を一意の位相関係に制御することにより、複数の入力インタフェース部から位相制御部への出力位相を一定に保つことである。こ

50

れにより、クロック切替が発生しても入力インタフェース部のFPは、位相制御部内の位相吸収回路の位相吸収範囲内に納めることができるのでクロック切替によって伝送信号エラーが発生することなく切替を行うことができる。この為、伝送信号を誤り無く伝送することが可能となる。

【0072】

第2の効果は、不要なアラームが発生しないことである。その理由は、従来では装置内クロック切替に起因して多重化回路にて同期はずれアラーム等が発生するが、本発明を用いれば、同期はずれが発生しないので不要なアラームは発生しないためである。

【図面の簡単な説明】

【図1】本発明に関する現用N回線を有する無線伝送装置の装置構成である。

10

【図2】本発明の第1の実施例による入力インタフェース部である。

【図3】本発明入力インタフェース部内のデジタルPLL回路である。

【図4】本発明の位相制御部である。

【図5】本発明定常状態時のクロック同期回路動作タイミングチャートである。

【図6】本発明装置内クロック切替動作時のクロック同期回路動作タイミングチャートである。

【図7】本発明の第2の実施例による入力インタフェース部である。

【図8】本発明第2の実施例による装置内クロック切替動作時のクロック同期回路動作タイミングチャートである。

【図9】従来例による入力インタフェース部である。

20

【図10】従来例による入力インタフェース部内のデジタルPLL回路である。

【図11】従来例による定常状態時のクロック同期回路動作タイミングチャートである。

【図12】従来例による装置内クロック切替動作時のクロック同期回路動作タイミングチャートである。

【符号の説明】

1₁₁ ~ 1₁₄、1₁₅ ~ 1₁₈ 入力信号

1₁ ~ 1₄、1₅ ~ 1₈ 入力信号

2₁₁、2₁₂ 入力インタフェース部

4₁ 位相制御部

5₁ 変調部

30

6₁ 送信部

7₁ 受信部

8₁ 復調部

9₁ 分配部

10₁₁、10₁₂ 出力インタフェース部

11₁₁ ~ 11₁₄、11₁₅ ~ 11₁₈ 出力信号

101 変換回路

102 記憶回路

103 多重化回路

104 抽出選択回路

40

105 選択回路

106 デジタルPLL回路

107 電圧制御発信器

108 位相吸収回路

109 選択回路B

110 PLL回路

111 クロック制御回路

112 クロック切替回路

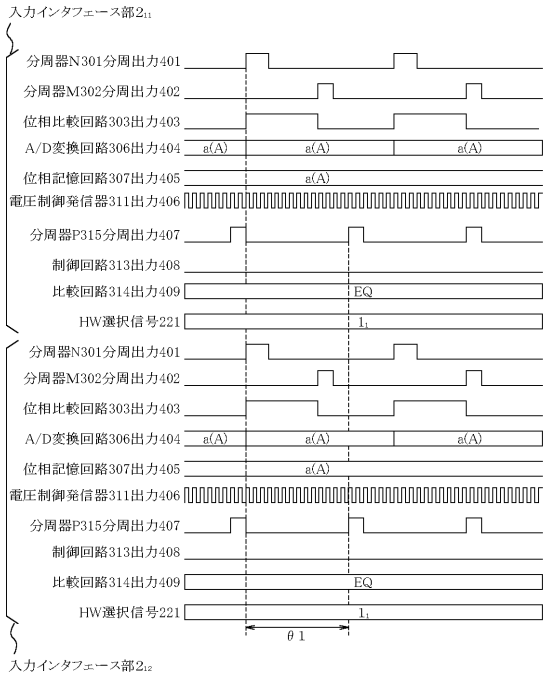
113 従属制御回路

201 入力信号

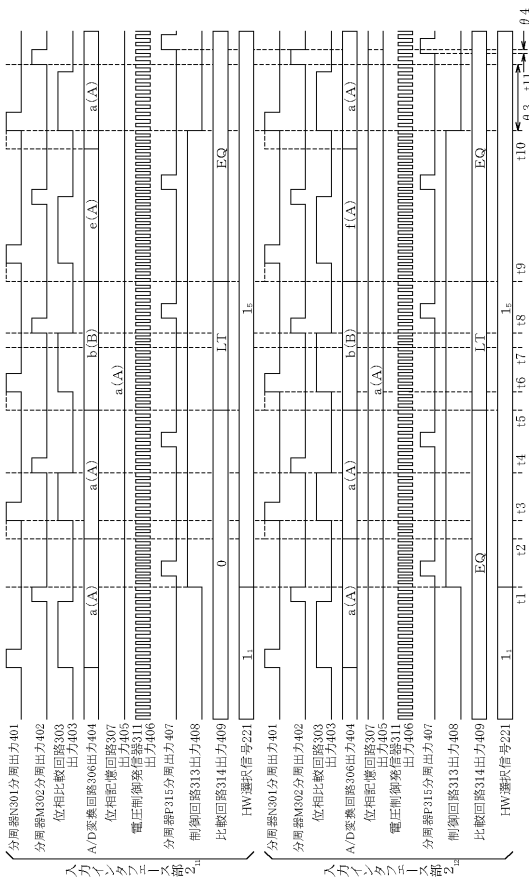
50

2 0 9	出力	
2 1 0	抽出クロック情報	
2 1 1 ~ 2 1 4	ユニポーラ信号	
2 1 9、2 2 0	抽出選択クロック	
2 2 1	制御信号	
2 2 2	選択出力	
2 2 3	デジタル P L L 出力	
2 2 4	制御出力	
2 2 5	制御出力	
2 2 6	制御出力	10
2 2 7	制御出力	
2 2 8	制御信号	
2 2 9	デジタル P L L 出力	
3 0 1	分周器 N	
3 0 2	分周器 M	
3 0 3	位相比較回路	
3 0 4	発信器	
3 0 5	タイミング生成回路	
3 0 6	A / D 変換回路	
3 0 7	位相記憶回路	20
3 0 8	選択回路 T	
3 0 9	D / A 変換回路	
3 1 0	ループフィルタ	
3 1 1	電圧制御発信器	
3 1 2	分周器 P	
4 0 1	N 分周出力	
4 0 2	M 分周出力	
4 0 3	位相比較結果	
4 0 4	カウント値	
4 0 5	記憶値	30
4 0 6	出力クロック	
4 0 7	出力 F P	
4 0 8	制御信号	
4 0 9	比較結果	
4 1 0	制御信号	

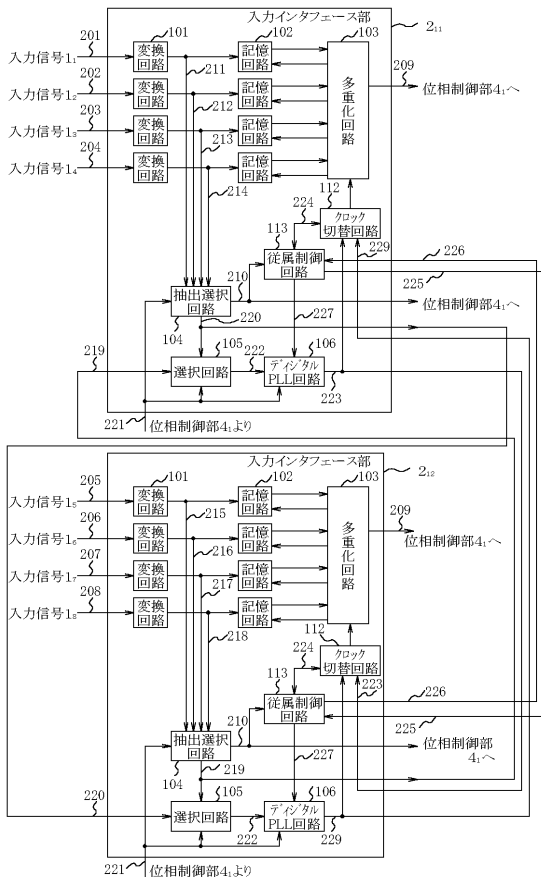
【図5】



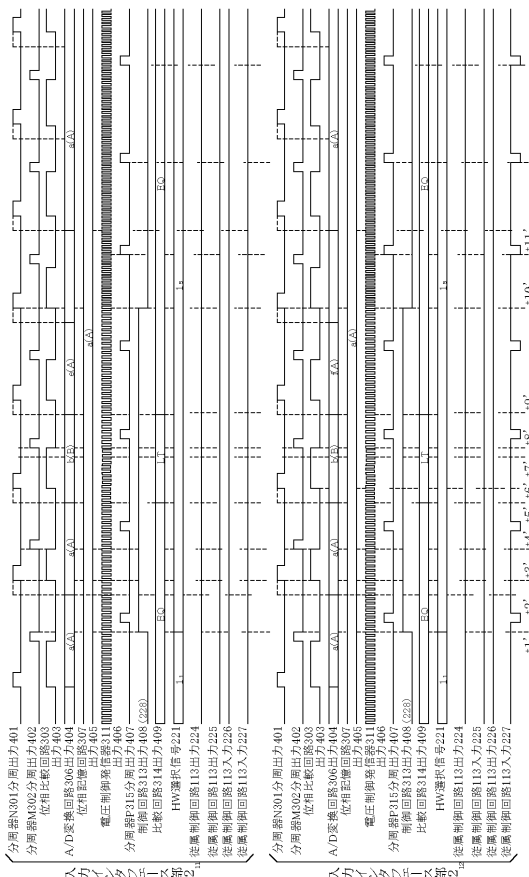
【図6】



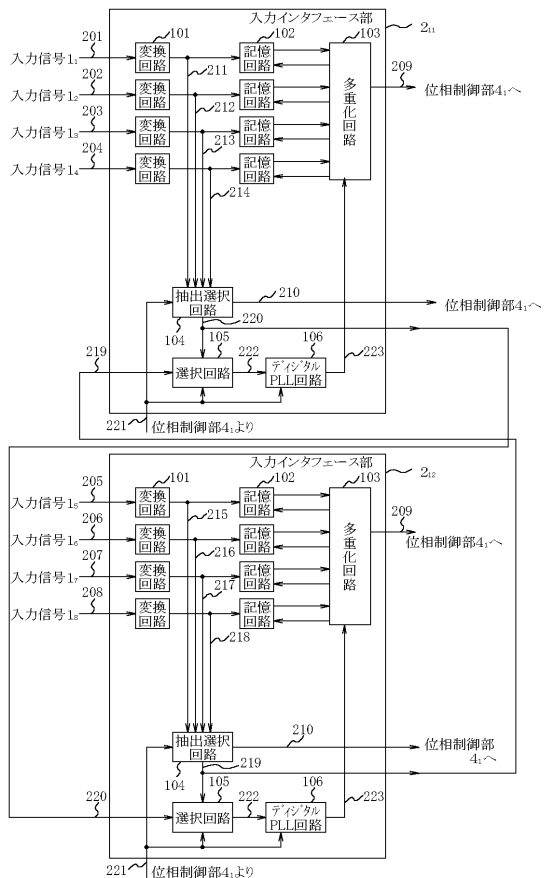
【図7】



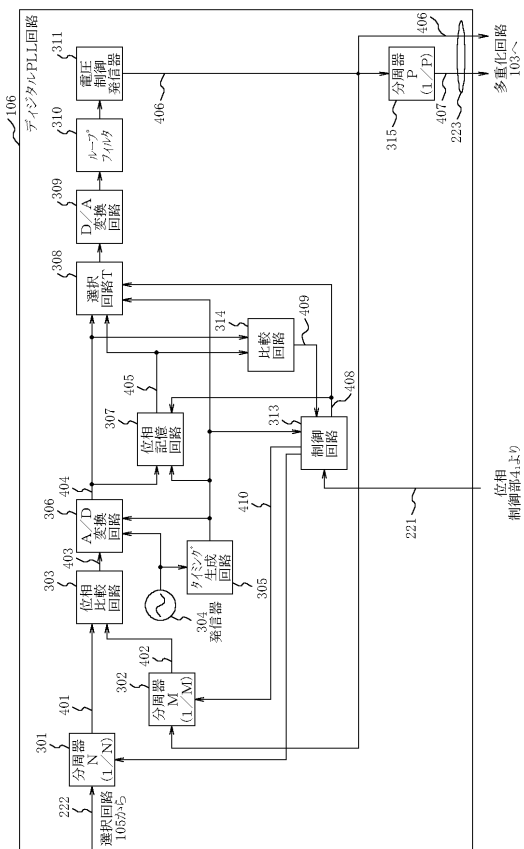
【図8】



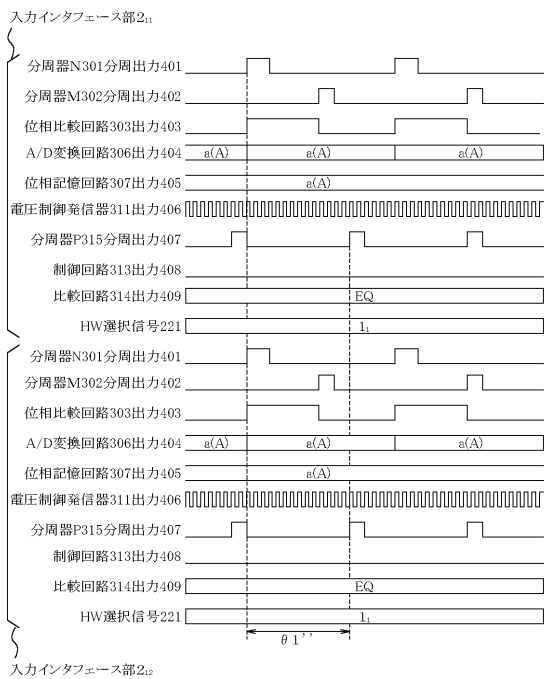
【図9】



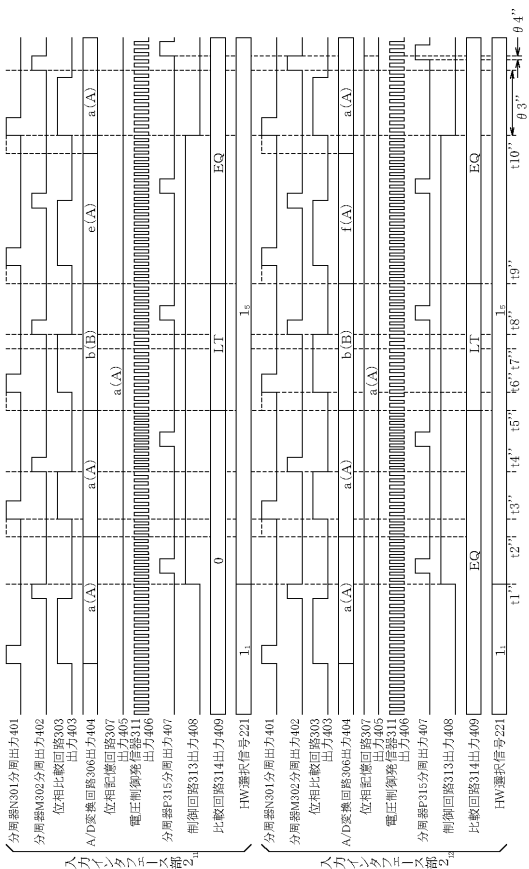
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開平08 - 204689 (JP, A)
特開2001 - 237815 (JP, A)
特開2002 - 232405 (JP, A)
特開2002 - 006980 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03L 7/00