



CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

⑤ Int. Cl.³: H 03 K 23/22
G 04 G 3/02
H 01 L 27/10

Demande de brevet déposée pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

⑫ **FASCICULE DE LA DEMANDE** A3

⑪

631 597 G

⑳ Numéro de la demande: 6187/79

⑦ Requéant(s):
Ebauches S.A., Neuchâtel

㉔ Date de dépôt: 03.07.1979

㉓ Priorité(s): 06.07.1978 FR 78 20163

⑦ Inventeur(s):
Jakob Lüscher, Venthône

㉒ Demande publiée le: 31.08.1982

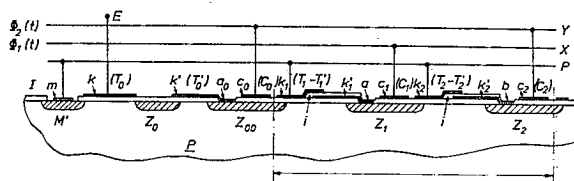
㉒ Fascicule de la demande
publié le: 31.08.1982

⑤ Rapport de recherche au verso

⑤ **Registre à décalage intégré.**

⑤ L'invention a pour objet un registre à décalage de très faible consommation. Chaque chaînon du registre est constitué de deux demi-chaînon comportant chacun:

- une structure MOS (T_1, T'_1) qui possède deux électrodes principales (Z_{00}, Z_1) formant respectivement l'entrée (Z_{00}) et la sortie (Z_1) du demi-chaînon, et deux électrodes de commande (k_1, k'_1) dont l'une (k_1) peut être reliée à une source de polarisation (P) et dont l'autre (k'_1) est connectée à l'électrode de sortie (Z_1), et
- un condensateur (C_1) dont une armature (Z_1) est connectée à ladite électrode de sortie (Z_1) et dont l'autre armature (C_1) est destinée à recevoir l'un de deux signaux périodiques $\phi_1(t)$ et $\phi_2(t)$ en opposition de phase.





Bundesamt für geistiges Eigentum
Office fédéral de la propriété intellectuelle
Ufficio federale della proprietà intellettuale

RAPPORT DE RECHERCHE RECHERCHENBERICHT

Demande de brevet No.:
Patentgesuch Nr.:

CH 6187/79

I.I.B. Nr.:

HO 13726

Documents considérés comme pertinents Einschlägige Dokumente		
Catégorie Kategorie	Citation du document avec indication, en cas de besoin, des parties pertinentes. Kennzeichnung des Dokuments, mit Angabe, soweit erforderlich, der massgeblichen Teile	Revendications con- cernées Betrifft Anspruch Nr.
A	"3rd INTERNATIONAL CONFERENCE ON CHARGE COUPLED DEVICES, vol. 3, septembre 1976 EDINBURGH (GB) BUSS & WECKLER: "Bucket Brigade Devices -Circa 1976" pages 55-65 * pages 55 et 56, paragraphe "Introduction"; figures 1-2 * --	1,3,5
	US - A - 3 812 520 (BAKER) * de colonne 7, ligne 16 à colonne 9, ligne 30; figures 2, 3 * --	1
	US - A - 3 643 106 (BERWIN & RADO) * de colonne 2, ligne 56 à colonne 8, ligne 16; de colonne 9, ligne 40 à colonne 10, ligne 17; figures 1-3, 6 * --	1
	US - A - 3 763 480 (WEIMER) * de colonne 9, ligne 1 à colonne 10, ligne 10; figures 3, 4 * --	1
	DE - A - 1 616 402 (FERNSEH) * page 2, lignes 9-26; figure, page 5 * --	1
	US - A - 3 645 088 (STE. SUISSE POUR INDUSTRIE HORLOGERE) --	1
Domaines techniques recherchés Recherchierte Sachgebiete (INT. CL.2)		G 11 C 19/18 H 03 K 23/00 G 11 C 19/28 H 01 L 27/10 G 04 F 5/00 H 03 K 23/22 G 11 C 27/02
Catégorie des documents cités Kategorie der genannten Dokumente:		X: particulièrement pertinent von besonderer Bedeutung A: arrière-plan technologique technologischer Hintergrund O: divulgation non-écrite mündliche Offenbarung P: document intercalaire Zwischenliteratur T: théorie ou principe à la base de l'invention der Erfindung zugrunde liegende Theorien oder Grundsätze E: demande faisant interférence kollidierende Anmeldung L: document cité pour d'autres raisons aus andern Gründen angeführtes Dokument &: membre de la même famille, document correspondant Mitglied der gleichen Patentfamilie; übereinstimmendes Dokument

Etendue de la recherche/Umfang der Recherche

Revendications ayant fait l'objet de recherches
Recherchierte Patentansprüche:

ensemble

Revendications n'ayant pas fait l'objet de recherches
Nicht recherchierte Patentansprüche:

Raison:
Grund:

Date d'achèvement de la recherche/Abschlussdatum der Recherche

Examineur I.I.B./I.I.B. Prüfer

22 octobre 1979

REVENDECATIONS

1. Registre à décalage comprenant un ensemble de transistors et de condensateurs qui sont intégrés dans un substrat semi-conducteur et forment une pluralité de chaînons branchés les uns à la suite des autres, chaque chaînon comportant deux demi-chaînons identiques qui sont connectés en série et, en fonctionnement, alimentés respectivement par des signaux périodiques en opposition de phase, caractérisé en ce que chaque demi-chaînon comporte:

- une structure MOS à double transistor qui possède deux électrodes principales formant respectivement l'entrée et la sortie du demi-chaînon, et deux électrodes de commande dont l'une est, en fonctionnement, reliée à une source de polarisation et dont l'autre est connectée à l'électrode de sortie; et
- un condensateur dont une armature est connectée à ladite électrode de sortie et dont l'autre armature est destinée à recevoir l'un desdits signaux périodiques.

2. Registre à décalage selon la revendication 1, caractérisé en ce que ladite structure comprend un transistor MOS à double électrode de commande.

3. Registre à décalage selon la revendication 1, caractérisé en ce que ladite structure comprend deux transistors MOS connectés en série.

4. Registre à décalage selon la revendication 2, caractérisé en ce que la structure MOS et le condensateur d'un demi-chaînon sont formés par:

- une première et deuxième zones semi-conductrices d'un type opposé à celui du substrat dans lequel elles sont intégrées;
- une première couche conductrice isolée débutant au-dessus de la première zone et s'arrêtant sensiblement à mi-chemin entre la première et la deuxième zone;
- une deuxième couche conductrice isolée débutant sensiblement à mi-chemin entre la première et la deuxième zone et s'arrêtant au-dessus de la deuxième zone;
- une troisième couche conductrice en contact avec ladite deuxième zone et reliée à la deuxième couche conductrice; et
- une quatrième couche conductrice isolée disposée en regard de la deuxième zone, les deux zones semi-conductrices formant les électrodes principales de ladite structure dont les électrodes de commande respectives sont formées par lesdites première et deuxième couches conductrices, et la quatrième couche conductrice formant une armature dudit condensateur dont l'autre armature est formée par ladite deuxième zone.

5. Registre à décalage selon la revendication 4, caractérisé en ce que lesdites première et deuxième zones semi-conductrices forment aussi respectivement la deuxième zone semi-conductrice du demi-chaînon précédent et la première zone semi-conductrice du demi-chaînon suivant.

La présente invention a pour objet un registre à décalage et, plus particulièrement, un registre à décalage intégré de très faible consommation. Un tel registre convient particulièrement bien, sans toutefois que cela constitue son seul domaine d'application, pour la réalisation d'un circuit diviseur de fréquence pouvant être utilisé dans tout type de dispositif portatif de petites dimensions, alimenté par une pile qui est appelée à assurer l'alimentation de l'ensemble avec une autonomie de marche pouvant atteindre plusieurs années. Comme on le sait, le problème de la consommation d'énergie se pose avec particulièrement d'acuité lorsque la fréquence à di-

viser est élevée, voire de quelques MHz, comme c'est le cas, par exemple, pour les montres à hautes performances chronométriques.

Pour réduire la consommation d'énergie des diviseurs de fréquence, des tentatives ont été faites avec des circuits binaires intégrés C-MOS. Ce sont de tels circuits qui équipent actuellement la plupart des montres à quartz. Dans ce cas, la consommation est essentiellement donnée par la charge et décharge des capacités que présente chaque étage du registre à décalage et, cela, avec la périodicité de son signal de sortie. La consommation de chaque étage est donc proportionnelle à la valeur de ses capacités et à la fréquence de son signal de sortie. Pour une montre à quartz haute fréquence, ce sont donc alors les premiers étages, c'est-à-dire ceux qui divisent les fréquences les plus élevées, qui sont déterminants pour la consommation de l'électronique. Afin d'abaisser les capacités de ces étages, on a utilisé différentes techniques de fabrication, telles que celles qui sont connues sous le nom de Si-gate ou SOS. Cependant, pour maintenir la consommation dans des limites acceptables, il est nécessaire que les dimensions des circuits intégrés soient réduites à un point tel que, dans l'état actuel de la technique, le coût de leur fabrication devient prohibitif.

Pour abaisser la consommation, on a aussi proposé des diviseurs de fréquences élevées dont une grande partie des capacités font partie d'un circuit résonnant. Un système de ce type est décrit, par exemple, dans le brevet suisse no 558 111. Dans ce cas, l'énergie stockée périodiquement dans les capacités est récupérée. Le système fait usage d'un registre à décalage réalisé sous forme intégrée, du type «IGFET bucket brigade». Un tel registre, décrit par exemple dans l'article de C.N. Berglund et al. «Fabrication and Performance Considerations of Charge - Transfer Dynamic Shift Registers» Bell Syst. Techn. Journal, Vol. 51, No 3, Mars 1972, est formé de chaînons comportant chacun, d'une part, deux transistors à effet de champ à électrode isolée, qui sont montés en série, et, d'autre part, deux condensateurs respectivement branchés entre l'électrode de commande et le drain des transistors. Les électrodes de commande sont reliées de façon alternée à deux lignes alimentées par des signaux alternatifs en opposition de phase. Il existe également pour ces registres une version tétrode dans laquelle chaque transistor commandé par un signal alternatif est séparé de son voisin par un transistor supplémentaire polarisé par une tension continue, ce qui permet d'améliorer le rendement de transfert des charges et, de ce fait, de pouvoir augmenter le nombre de chaînons du registre. (Voir par exemple la publication de R.R. Buss et G.P. Weckler «Bucket Brigade Devices-Birca 1976», 3rd International Conference on Charge Coupled Devices, vol. 3, sept. 1976, Edinbourg.)

Dans le diviseur de fréquence qui fait l'objet du brevet suisse précité le registre à décalage est branché en anneau, les deux tensions alternatives sont fournies par un oscillateur symétrique à quartz et un seul paquet de charge est transféré d'un chaînon à l'autre. Par ailleurs des moyens sont prévus pour polariser le substrat cristallin dans lequel les circuits sont intégrés. L'ensemble des chaînons du registre présente une faible charge pour l'oscillateur et le courant réactif dû à cette capacité provoque une faible perte dans le quartz. La puissance réelle principale que doit fournir l'oscillateur est celle qui est dissipée dans le transistor par lequel se fait le transfert de la charge d'un demi-chaînon à l'autre.

Le mode de fonctionnement du registre à décalage décrit ci-dessus (et dont on trouvera une explication détaillée dans l'article de C.N. Berglund et al. susmentionné) est tel que le courant traverse le transistor pendant 1/4 de période environ et que la tension source-drain de celui-ci passe pendant ce temps pratiquement de la valeur V_p à 0, V_p étant la valeur

crête-crête de la tension d'alimentation de phase fournie par l'oscillateur. Il en résulte que la puissance fournie par l'oscillateur, exprimée par la relation générale:

$$P_T = \frac{2}{T} \int_0^{T/2} i_D(t) \cdot v_{SD}(t) dt, \text{ où } i_D(t) \text{ et } v_{SD}(t) \text{ sont les va-}$$

leurs instantanées respectivement du courant de drain et de la tension source-drain du transistor, T étant la période de l'oscillation, devient: $P_T = (V_p + v_m)^2 \cdot C \cdot f$. Dans cette expression, C est la capacité associée au transistor, f est la fréquence de l'oscillateur et v_m représente la tension de commande moyenne qui dépasse la tension de seuil du transistor.

La tension v_m est normalement de quelques dixièmes de volt, alors que V_p est de quelques volts.

En prenant un exemple typique avec les valeurs: $V_p = 2 \text{ V}$, $v_m = 0,3 \text{ V}$, $C = 0,1 \text{ pF}$, et $f = 4,2 \text{ MHz}$, on obtient pour P_T une valeur de $2,2 \mu\text{W}$.

C'est donc à cause de la tension élevée nécessaire pour le transfert du paquet de charges d'un chaînon du registre à l'autre que la puissance fournie par l'oscillateur est relativement élevée.

La présente invention a pour principal objet de fournir un registre à décalage nécessitant une très faible tension pour le transfert de la charge, ce qui réduit considérablement la puissance que doit fournir l'oscillateur.

Les caractéristiques et avantages de l'invention ressortiront de la description qui va suivre, faite en regard des dessins annexés et donnant, à titre explicatif mais nullement limitatif, une forme de réalisation de ce registre à décalage. Sur ces dessins:

La figure 1 représente partiellement un registre à décalage selon l'invention;

la figure 2 donne le schéma équivalent d'un demi-chaînon du registre de la figure 1; et

la figure 3 est un diagramme servant à expliquer le fonctionnement du registre de la figure 1.

On se référera tout d'abord à la figure 1 sur laquelle on a représenté une structure MOS comportant un substrat cristallin de type p, par exemple, dans lequel sont intégrées cinq zones de type n, respectivement désignées M' , Z_0 , Z_{00} , Z_1 , Z_2 . Le tout est recouvert par une couche isolante I interrompue localement au-dessus d'une partie des zones M' , Z_{00} , Z_1 et Z_2 pour permettre le dépôt, directement sur la zone n concernée, de contacts m , a_0 , a et b , respectivement.

La couche isolante I comporte elle-même un certain nombre de dépôts conducteurs, ou électrodes, désignés respectivement k , k' , k_1 , k'_1 , k_2 , k'_2 , qui s'étendent principalement au-dessus de la zone p. Plus précisément, l'électrode k s'étend entre les extrémités des zones M' et Z_0 , alors que l'électrode k' s'étend de la fin de la zone Z_0 au début de la zone Z_{00} où elle est électriquement reliée au contact a_0 déjà mentionné. L'électrode k_1 commence à la fin de la zone Z_{00} pour s'arrêter sensiblement à mi-chemin entre Z_{00} et Z_1 et laisser la place à l'électrode k'_1 qui s'étend jusqu'au début de la zone Z_1 où elle est électriquement reliée au contact a . L'électrode k_1 , lorsqu'elle se termine, présente une portion légèrement relevée qui recouvre, sans la toucher, la portion initiale de l'électrode k'_1 , une couche isolante i assurant l'absence de contact électrique entre les deux électrodes. Les électrodes $k_2-k'_2$ sont déposées entre les zones Z_1 et Z_2 de la même manière que les électrodes k_1 et k'_1 .

Finalement, la couche isolante I comporte des dépôts conducteurs, ou électrodes, c_0 , c_1 et c_2 , qui s'étendent au-dessus des zones Z_{00} , Z_1 et Z_2 respectivement. L'électrode k est l'électrode destinée à recevoir le signal de déclenchement par lequel un nouveau paquet de charges est introduit dans le registre. Cette électrode est reliée à une borne d'entrée E .

Le registre est commandé par un oscillateur symétrique (non représenté), tel que décrit, par exemple, dans le brevet suisse no 580 837, qui fournit sur des lignes X et Y deux tensions sinusoïdales en opposition de phase $\Phi_1(t)$ et $\Phi_2(t)$ respectivement. Les électrodes c_0 , c_1 et c_2 sont reliées alternativement aux lignes X et Y . De plus, l'oscillateur polarise, au moyen d'un multiplicateur de tension (non représenté), comme par exemple celui qui est décrit dans le brevet suisse no 553 481, le substrat cristallin de l'ensemble négativement par rapport à une masse de référence M' à laquelle sont reliées, par une ligne P , les électrodes m , k_1 et k_2 .

Il apparaît ainsi que le circuit intégré de la figure 1 est formé d'un ensemble de condensateurs et de transistors MOS. Les électrodes c_0 , c_1 et c_2 constituent, en effet, les armatures de condensateurs C_0 , C_1 et C_2 , respectivement, dont les autres armatures sont formées par les zones Z_{00} , Z_1 et Z_2 , respectivement. En outre, l'électrode k constitue l'électrode de commande d'un transistor MOS T_0 dont la zone M' est la source et dont la zone Z_0 est le drain. Quant à l'électrode k' , elle constitue l'électrode de commande d'un transistor MOS T'_0 dont la zone Z_0 est la source et dont la zone Z_{00} est le drain. Ce transistor a donc, du fait de la liaison entre k' et le contact a_0 , son électrode de commande reliée à son drain.

En ce qui concerne maintenant la paire d'électrodes $k_1-k'_1$, il apparaît qu'elles constituent les électrodes de commande des portions respectives $T_1-T'_1$ d'une structure transistor double dont la zone Z_{00} constitue la source et dont la zone Z_1 constitue le drain. Le transistor T'_1 a, du fait de la liaison du contact a avec k'_1 , son électrode de commande reliée à son drain. Il en est exactement de même pour la paire $k_2-k'_2$ qui constituent les électrodes de commande des portions respectives $T_2-T'_2$ d'une structure transistor double dont les zones Z_1 et Z_2 constituent respectivement la source et le drain. La zone Z_2 constitue également la source de la structure transistor suivante, rigoureusement identique aux structures $T_1-T'_1$ et $T_2-T'_2$, et dont on a seulement représenté sur la figure 1 le début de la première électrode, reliée à la ligne P .

Le circuit représenté figure 1 regroupe l'étage d'injection, ou de déclenchement, ainsi que le premier chaînon d'un registre à décalage. L'étage d'injection est formé par le condensateur C_0 et les transistors T_0 et T'_0 , alors que le premier chaînon du registre est formé de deux demi-chaîbons identiques en série formés par le condensateur C_1 et la structure MOS double $T_1-T'_1$ pour le premier, par le condensateur C_2 et la structure MOS double $T_2-T'_2$ pour le deuxième.

Un registre à décalage conforme à l'invention comportera donc une pluralité de chaîbons semblables à celui de la figure 1 et branchés les uns à la suite des autres avec leurs électrodes de commande reliées à la ligne de polarisation P et leurs deux condensateurs respectivement reliés aux lignes X et Y pour le premier demi-chaînon et Y pour le deuxième.

On se référera maintenant à la figure 2 sur laquelle on a représenté le schéma équivalent d'un demi-chaînon du registre à décalage selon l'invention. Ce registre comporte ainsi un condensateur C_n et une structure transistor double dont les deux composants T_n et T'_n ont pour électrodes de commande k_n et k'_n respectivement. Cette structure double est représentée sur la figure par deux transistors reliés par une ligne en pointillés qui symbolise la zone commune au drain de T_n et à la source T'_n . L'électrode de commande k_n de T_n est reliée à la ligne de polarisation P et sa source est connectée à la sortie du demi-chaînon précédent, formée par le drain du deuxième transistor, T'_{n-1} de celui-ci. L'une des armatures du condensateur C_n est connectée à la ligne X ou à la ligne Y selon que le demi-chaînon est le premier ou le deuxième, respectivement, du chaînon considéré. L'autre armature de C_n est reliée à la fois au drain et à l'électrode de

commande k'_n de T'_n . La sortie du demi-chaînon, constituée par le drain du transistor T'_n est reliée à l'entrée du demi-chaînon suivant, formée par la source du premier transistor, T_{n+1} , de celui-ci.

En se référant maintenant aux figures 1 et 2, ainsi qu'au diagramme explicatif de la figure 3, le fonctionnement du registre à décalage selon l'invention peut être décrit comme suit. Dans un but de simplification, il sera supposé que les tensions de seuil des structures MOS seront 0. Le cristal étant polarisé négativement par rapport à la masse et les deux lignes X et Y étant alimentées par les tensions sinusoïdales en opposition de phase $\Phi_1(t)$ et $\Phi_2(t)$ respectivement, si le transistor T_0 est bloqué, des tensions sinusoïdales v_a et v_b (ayant respectivement pour valeur crête-crête V_a et V_b) apparaissent sur les zones Z_1 et Z_2 aux points a et b respectivement. La forme de ces deux tensions est représentée sur le diagramme de la figure 3. Si le transistor T_0 est alors commandé, entre les instants t_0 et t_1 , par application sur son électrode de commande k (borne E) d'une impulsion dérivée de la tension $\Phi_2(t)$, des électrons passent, dans l'intervalle t_0-t_1 , de la zone de référence M' sur la zone Z_0 et, de là, par le transistor T'_0 , sur la zone Z_{00} . Le condensateur C_0 se trouve ainsi chargé sur la valeur crête de $\Phi_2(t)$. A l'instant t_1 , le potentiel de la zone Z_{00} par rapport à M' est donc pratiquement 0.

Le potentiel au point a_0 prenant ensuite une valeur négative par rapport à M' , le transistor T'_0 est bloqué puisque son électrode de commande k' est reliée à la zone Z_{00} . Les électrons passent donc sur la zone Z_1 par la structure MOS $T_1-T'_1$ et chargent le condensateur C_1 sur la valeur crête de $\Phi_1(t)$. Pendant la demi-période suivante, c'est-à-dire entre les instants t_2 et t_3 , le même mécanisme est répété pour la transfert entre les zones Z_1 et Z_2 , par la structure MOS $T_2-T'_2$, du paquet de charges $Q = C_1 \cdot \Phi_1$, et ainsi de suite. Si la valeur de la réactance $1/\omega C_1 = 1/\omega C_2$ (ω étant la pulsation de l'oscillateur) est beaucoup plus grande que la valeur de la résistance différentielle que présente la structure MOS d'un demi-chaînon, le courant que doit fournir l'oscillateur pour le transfert du paquet de charges est sensiblement sinusoïdal et déphasé de presque 90° par rapport aux tensions de phase $\Phi_1(t)$ et $\Phi_2(t)$. La tension source-drain de la structure MOS, qui représente dans ce cas aussi sa tension de commande, devient pour ce transfert très faible. La puissance que doit fournir l'oscillateur est donc, elle aussi, très faible.

L'analyse montre, en s'exprimant dans les mêmes termes que ceux qui ont été utilisés précédemment pour un registre à décalage du type «IGFET bucket brigade», que la puissance à fournir par l'oscillateur pour le transfert du paquet de charges est alors $P_T = 1,8 V_p v_m \cdot C \cdot f$.

En prenant les mêmes valeurs type que précédemment, on obtient une puissance de $0,45 \mu W$. Cette puissance était de $2,2 \mu W$ avec le registre «IGFET bucket brigade». On voit ainsi que le registre à décalage selon l'invention permet de réaliser une économie de puissance considérable.

Comme le montre la figure 3, la tension v_a qui s'établit sur le point a entre les instants t_1 et t_2 lors du transfert de la charge par la structure MOS $T_1-T'_1$, puis entre les instants t_2 et t_3 lors du transfert par $T_2-T'_2$, est très faible par rapport à la tension qui s'établit lorsqu'il n'y a pas de transfert. Il en est de même pour la tension v_b sur le point b entre les instants t_2 et t_3 , puis entre les instants t_3 et t_4 lorsque la charge passe par la structure MOS suivante. Du fait de cette différence, le registre à décalage suivant l'invention se prête particulièrement bien à la réalisation de circuits diviseurs de fréquence. Un tel circuit est décrit dans la demande de brevet français déposée le 6 juillet 1978 par la Demanderesse pour un «Diviseur de fréquence intégré» et publiée sous le no 2 430 696.

Le registre à décalage selon l'invention peut être réalisé selon la technique de fabrication connue sous le nom de Sigate. On peut aussi, bien entendu, utiliser une technique plus simple appelée Al-gate. Dans ce deuxième cas, la structure d'un demi-chaînon est constituée par deux transistors MOS en série. A cause, cependant, de la capacité que présente la jonction flottante formant alors le drain du premier et la source du deuxième transistor, la performance du registre risque d'être quelque peu diminuée, et cela essentiellement dans le sens que le nombre possible de chaînons est plus réduit que si la structure représentée figure 1 est utilisée. Cela est dû à une certaine perte de la charge lorsqu'elle est transférée d'un condensateur à l'autre.

Par ailleurs, l'étage d'injection du registre peut, au lieu d'être constitué par deux transistors en série, être identique à un demi-chaînon du registre et comporter donc seulement deux zones n , M' et Z_{00} .

Naturellement, le registre à décalage qui a été décrit ci-dessus est susceptible de nombreuses variantes qui restent dans le cadre de l'invention.

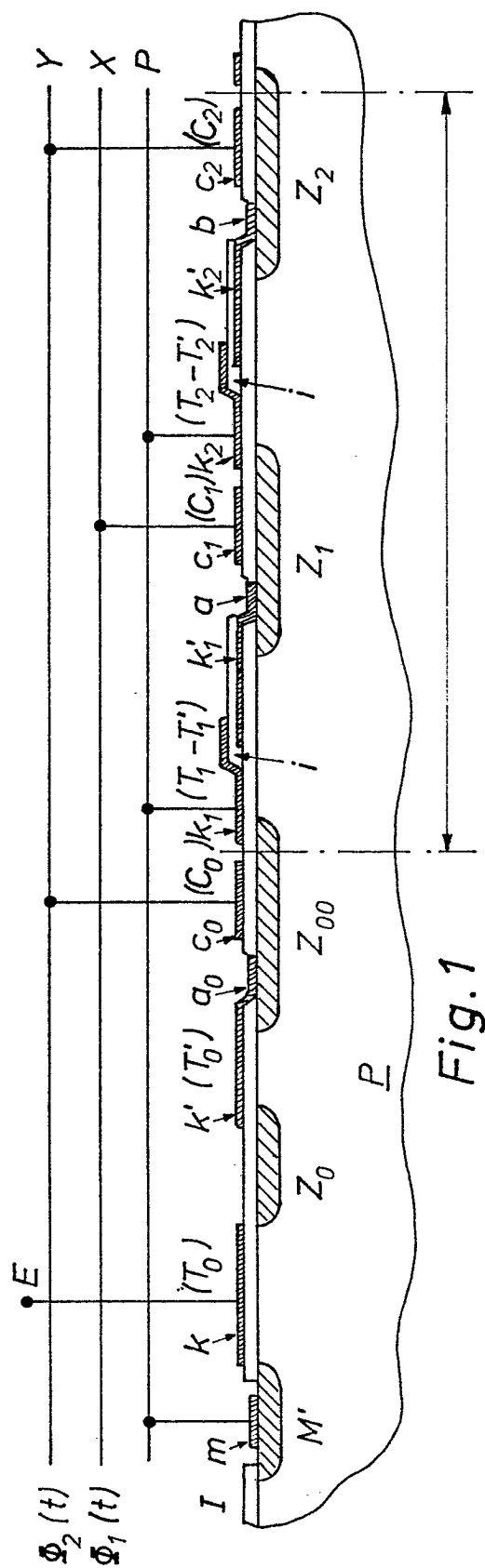


Fig. 1

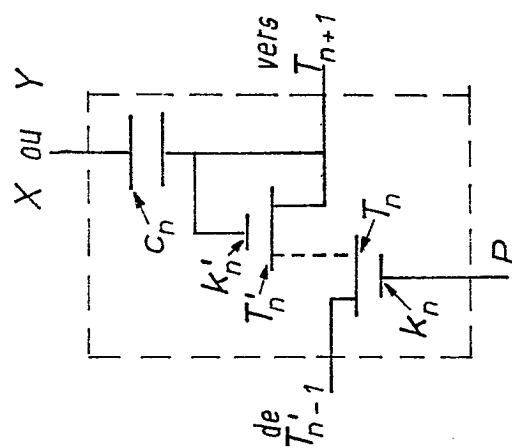


Fig. 2

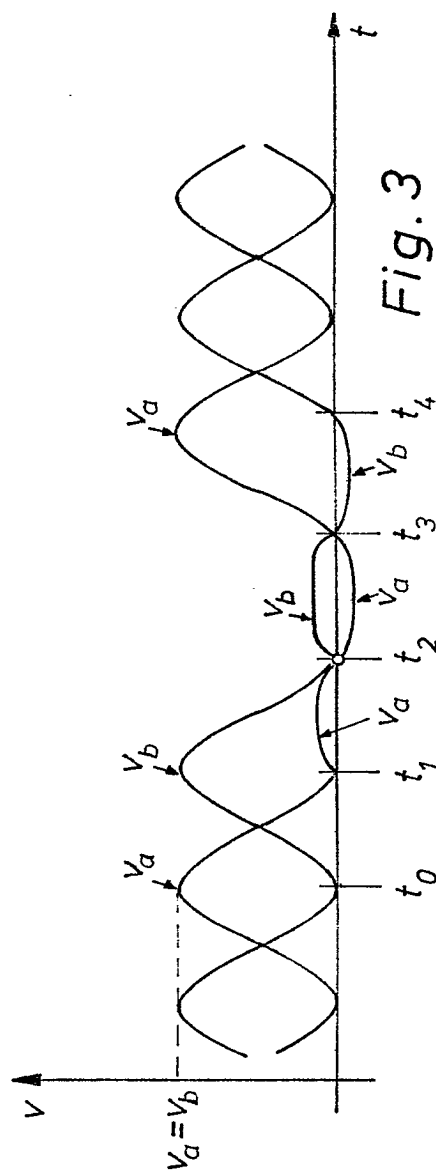


Fig. 3