(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월09일
(11) 등록번호 10-1055917
(24) 등록일자 2011년08월03일

(51) Int. Cl.
G11C 29/04 (2006.01) *G11C 17/00* (2006.01)
(21) 출원번호 10-2009-7006381
(22) 출원일자(국제출원일자) 2007년10월17일
심사청구일자 2009년04월03일
(85) 번역문제출일자 2009년03월27일
(65) 공개번호 10-2009-0068322
(43) 공개일자 2009년06월26일
(86) 국제출원번호 PCT/EP2007/061109
(87) 국제공개번호 WO 2008/052885
국제공개일자 2008년05월08일
(30) 우선권주장
11/555,323 2006년11월01일 미국(US)
11/850,477 2007년09월05일 미국(US)
(56) 선행기술조사문헌
US04268911 A
WO2002027793 A2
전체 청구항 수 : 총 9 항

(73) 특허권자
인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
(72) 발명자
아우엘렛 미첼 리차드
미국 버몬트주 05494, 웨스트포드, 올드 스테이지 로드 1151
페리 트로이 조셉
미국 버몬트주 05468, 조지아, 샌디 버치 로드 1541
(74) 대리인
윤여원, 허정훈

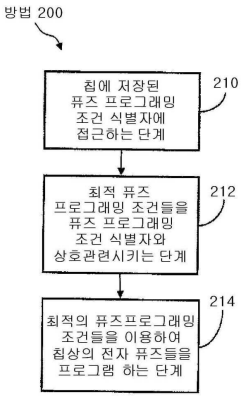
심사관 : 이명진

(54) 전자 퓨즈의 최적 필드 프로그램밍을 제공하는 방법

(57) 요 약

필드에서, 예를 들어, 제조업자 시험 환경 밖의, 집적회로 소비자 의해 전자 퓨즈들을 프로그램하는데 최적 퓨즈 프로그래밍 조건들을 제공하는 방법이다. 최적 퓨즈 프로그래밍 식별자는 최적 퓨즈 프로그래밍 조건들과 상호관련되고, 상기 소비자의 칩 상에 판독가능한 형식으로 상기 소비자에게 제공될 수 있다. 상기 소비자의 칩 상의 최적 퓨즈 프로그래밍 식별자에 접근할 수 있음으로, 상기 소비자는 하나 혹은 그 이상의 상호관련된 최적 퓨즈 프로그래밍 조건들에 따라서 상기 필드에서 퓨즈 프로그래밍 프로세스를 수행할 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

필드에서 칩의 전자퓨즈를 프로그래밍하기 위한 전자퓨즈 프로그래밍 방법에 있어서, 상기 방법은:

칩의 제조 시험 프로세스에 의하여 칩의 하나 혹은 그 이상의 전자퓨즈들에 대해 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들이 결정되는 단계 ;

칩의 제조 시험 프로세스에 의하여 상기 칩의 하나 혹은 그 이상의 메모리 비트들에 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들의 표시자(indicator)가 저장되는 단계 ; 및

상기 칩을 제공받은 필드의 소비자가 상기 하나 혹은 그 이상의 전자 퓨즈들 중 적어도 하나를 프로그램할 수 있도록, 상기 하나 혹은 그 이상의 메모리 비트들로부터 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들에 접근하기 위한 지침이 상기 소비자에게 제공되는 단계를 포함하는

전자퓨즈를 프로그래밍하는 방법.

청구항 2

제 1 항에서, 상기 하나 혹은 그 이상의 메모리 비트들은 전자 칩 식별 매크로에 포함되는 전자 퓨즈를 프로그래밍하는 방법.

청구항 3

제 1 또는 2항에서, 상기 하나 혹은 그 이상의 메모리 비트들은 전자 퓨즈를 포함하는 전자 퓨즈를 프로그래밍하는 방법.

청구항 4

제 1 항에서, 칩의 제조 시험 프로세스에 의하여 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들이 결정되는 단계는 상기 칩의 제조 시험 동안 칩 별로 결정되는

전자 퓨즈를 프로그래밍하는 방법.

청구항 5

제 4 항에서, 칩의 제조 시험 프로세스에 의하여 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들이 결정되는 단계는,

하나 혹은 그 이상의 최적 칩 프로그래밍 조건들을 알아내기 위해 복수의 시험 칩이 시험되는 단계;

상기 복수의 시험 칩들로부터 상호관련 파라미터의 복수의 시험 값들 - 상기 복수의 시험 값들 각각은 복수의 퓨즈 프로그래밍 조건 세트들 중 하나를 위한 것임 - 이 결정되는 단계;

상기 상호 관련 파라미터의 실제 값을 위해 상기 칩이 시험되는 단계;

상기 실제 값을 상기 복수의 시험 값들과 비교하여 상기 칩에 대한 상기 복수의 퓨즈 프로그래밍 조건 세트들 중 최적 세트가 결정되는 단계;

상기 복수의 퓨즈 프로그래밍 조건 세트들 중 상기 최적 세트의 표시자(indicator)가 상기 퓨즈 프로그래밍 조건 식별자로 저장되는 단계를 포함하는

전자 퓨즈를 프로그래밍하는 방법.

청구항 6

제 1 또는 5항에서, 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들은 퓨즈 프로그래밍 시간, 퓨즈 프로그래밍 게이트 전압, 퓨즈 프로그래밍 소스 전압 및 이들의 어떤 조합으로 구성되는 그룹으로부터 선택된 하나의 조건을 포함하는 전자 퓨즈를 프로그래밍하는 방법.

청구항 7

집적회로 칩에 있어서,

하나 혹은 그 이상의 프로그램되지 않은 전자 퓨즈들; 및

상기 프로그램되지 않은 전자퓨즈들을 프로그래밍하기 위한 최적 조건들과 관련된 정보를 포함하는 하나 혹은 그 이상의 메모리 비트들을 포함하되, 상기 최적 조건들은 칩 별로(on chip by chip basis) 결정되어 지는

집적회로 칩.

청구항 8

삭제

청구항 9

설계 자료(design structure)가 구현된 기계판독 매체에 있어서, 상기 설계 자료는,

하나 혹은 그 이상의 프로그램되지 않은 전자 퓨즈들을 프로그래밍하기 위한 최적의 조건들과 관련된 정보를 포함하는 하나 혹은 그 이상의 메모리 비트들에 관한 정보를 포함하되, 상기 최적 조건들은 칩 별로(on chip by chip basis) 결정 되어지는

설계 자료가 구현된 기계판독 매체.

청구항 10

칩의 전자퓨즈 프로그래밍을 위한 설계 자료가 구현된 기계판독 매체에 있어서, 상기 설계자료는,

칩의 하나 혹은 그 이상의 전자퓨즈들에 대해 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들을 결정하는 수단 ;

상기 칩 상의 하나 혹은 그 이상에 메모리 비트들에 상기 하나 혹은 그 이상의 최적 전자 퓨즈 프로그래밍 조건들의 표시자(indicator)를 저장하는 수단 ;

상기 칩을 필드의 소비자(a customer in the field)에게 제공하는 수단 ; 및

상기 소비자가 상기 하나 혹은 그 이상의 전자 퓨즈들 중 적어도 하나를 프로그램 할 수 있도록 상기 하나 혹은 그 이상의 메모리 비트들로부터 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들을 접근하기 위한 지침을 상기 소비자에게 제공하는 수단을 포함하는

전자퓨즈 프로그래밍을 위한 설계 자료가 구현된 기계판독 매체.

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 전자 퓨즈에 관한 것이다. 특히 본 발명은 전자 퓨즈의 최적 필드 프로그래밍을 제공하기 위한 방법과 설계 자료(design structure)에 관한것이다.

배 경 기 술

[0002] 전자퓨즈는 통상적으로 많은 집적회로(IC)설계에서 볼수 있다. 전자 퓨즈의 한가지 실례는 폴리 실리콘 퓨즈 링크(a poly silicon fuse link)이다. 이 폴리 실리콘 퓨즈 링크의 한쪽 단자는 전압선(보통 F소스라 부름)과 결합되고. 다른쪽 단자는 보통 프로그래밍 FET로 불리우는 N채널 전계효과 트랜지스터(NFET)에 결합되다. 퓨즈 프로그래밍 동작이 진행되는 동안, F소스에 의해 전압이 공급되면 프로그래밍 FET가 일정 시간 동안 턴온상태가 되는데, 이 시간 동안 제어된 전자 이동(electromigration)이 일어난다. 이 제어된 전자이동은 상기 폴리 퓨즈 링크의 애노드 측에 살리사이드/ 붕소 파일업(pile-up)을 일으킨다. 그 결과 상기 폴리 퓨즈링크 양단의 저항은 수백 오옴에서 수 천 오옴(many Kilo ohm)으로 증가하는데, 이것은 상기 폴리 퓨즈가 개방되는 효과, 즉 전자퓨즈가 "프로그램" 되는 효과를 가져온다.

[0003] 선행기술에서 알려져 있듯이, 퓨즈 프로그래밍 동작 중 퓨즈 저항의 증가 는 특정 집적회로 칩의 특성요건(characteristic requirement)을 충족해야한다. 퓨즈 프로그래밍 동작에서 하나의 사이즈로 모두를 맞추려는

("one size fits all" approach) 접근방식의 사용은 다음 2가지 바람직하지 않은 결과를 가져올 수 있다. 즉, (1) 균열이 있는 퓨즈, 혹은 (2) 약하게 프로그램된 퓨즈가 만들어 질수 있는 것이다. 그러므로 집적회로칩의 특성이 달라질 때, 바람직한 퓨즈 결과물(desired fuse yield)을 얻으려면, 퓨즈 프로그래밍 프로세스도 그에 따라 다르게 할 필요가 있다. 다시 말하면, 퓨즈 프로그래밍 프로세스의 환경적 변수들, 즉 프로그래밍 Vdd, F 소스 전압, 혹은 퓨즈 프로그래밍 기간을 각 칩의 다른 특성요건에 따라 칩별로(chip-by-chip basis) 다르게 할 필요가 있다. 집적회로 칩 제조업자들은 하나 혹은 그 이상의 환경적 변수들을 다르게 할 필요가 있는지 아닌지 및 그 변수들을 어떻게 다르게 할 것인지를 칩 별로 만족스럽게 결정해왔다. 그 결과 적절한 퓨즈 프로그래밍 조건들이 정상적인 제조 시험(test flow)동안 자동화된 시험장비에 의해서 적용될 수 있었고, 따라서 전자 퓨즈 프로그래밍 동작과정은 성공적으로 수행될 수 있었다.

[0004] 전자 퓨즈 프로그래밍 프로세스와 관련된 파라미터 및 조건들은 퓨즈 프로그래밍 프로세스의 환경적 변수들을 포함하고 있는데, 이러한 변수들은 집적회로 칩 제조업자들에게는 알려져 있지만, 칩을 제공받는 소비자들에게는 알려져 있지 않다. 칩 제조업자들이 그러한 정보를 소비자들에게 제공하는 관행이 없기 때문이다. 그러나 소비자들도 필드에서(in the filed) 다양한 이유로 전자퓨즈를 프로그램하는 것을 원할 수 있다. 그러한 경우 전자퓨즈 프로그래밍 프로세스에 관한 지식은 그들에게 도움이 될 수 있다. 예를 들어, 소비자 사양의 칩을 제조업자로부터 제공받을 때, 소비자는 그 칩 사양에 세팅된 기능 혹은 성능을 실현(implement)하기 위해 전자 퓨즈를 프로그램하기를 원할 것이다. 불행하게도 그 소비자 칩의 환경적 변수들을 상세하게(specifically) 고려한 적절한 전자퓨즈 프로그래밍 정보가 없기 때문에, 필드(예를 들어, 즉 제조업자 시험 환경을 벗어난 장소)에서의 전자 퓨즈 프로그래밍은 좋지 않은 결과(low fuse yield)를 가져올 수밖에 없다.

[0005] 집적 회로 칩 제조업자들은 비시험 관련 데이터(non-test related data)(예를 들어 로트 번호(lot number), 웨이퍼ID, 칩 코디네이트(chip coordinates)와 같은 칩 식별 데이타)를 저장하기 위해 전자칩 식별 매크로(an electronic chip identification(ECID) macro of a chip)를 이용해왔다. 칩 소비자들도 이러한 칩 식별정보(chip identification information)에 접근할 수 있을 것이다. 그러나 집적회로 칩 제조업자들은 제조 프로세스(예를 들어 효과적으로 전자 퓨즈를 프로그램하는 프로세스)를 필드(소비자의 작업 현장)에 까지 확대할 수 있는 지식은 어떤 형식으로도 소비자들에게 제공하지 않았다.

[0006] 그러므로 칩 소비자들이 필드에서도 원하는 퓨즈 결과물을 생산할 수 있는 전자 퓨즈 프로그래밍 프로세스를 수행할 수 있도록 하기 위해서, 전자 퓨즈의 최적 필드 프로그래밍 제공 방법의 필요성이 존재한다.

발명의 상세한 설명

[0007] 한 실시 예에서, 전자퓨즈 프로그래밍 방법이 제공된다. 이 방법은 하나의 칩 상에 존재하는 하나 혹은 그 이상의 메모리 비트들에 저장된 퓨즈 프로그래밍 조건 식별자에 접근하는 단계와; 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들을 상기 퓨즈 프로그래밍 조건 식별자와 상호 관련시키는 단계와; 상기 하나의 혹은 그 이상의 퓨즈 프로그래밍 조건들을 이용하여 상기 칩 상의 하나 혹은 그 이상의 퓨즈들을 프로그래밍하는 단계를 포함한다.

[0008] 다른 실시 예에서는, 집적회로 칩이 제공된다. 이 칩은 하나 혹은 그 이상의 프로그램되지 않는 전자퓨즈들과; 상기 하나 혹은 그 이상의 프로그램 되지 않은 전자 퓨즈들을 프로그래밍하기 위한 최적의 조건들과 관련된 정보를 포함하는 하나 혹은 그 이상의 메모리 비트들을 포함하되, 상기 최적 조건들은 칩 별로(on a chip by chip basis)결정된다.

[0009] 또 다른 실시 예에서는, 칩 제조업자의 소비자에 의해서 필드에서 그 칩의 전자 퓨즈를 프로그래밍하는 방법이 제공된다. 이 방법은, 칩의 하나 혹은 그 이상의 전자 퓨즈들을 위한 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들을 결정하는 단계와; 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들의 표시자(indicator)를 상기 칩 상의 하나 혹은 그 이상의 메모리 비트들에 저장하는 단계와; 상기 칩을 필드에 있는 소비자에게 제공하는 단계와; 상기 소비자가 상기 하나 혹은 그 이상의 전자 퓨즈들 중 적어도 하나를 프로그램할 수 있도록 상기 하나 혹은 그 이상의 메모리 비트들로부터 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들에 접근하는데 필요한 지침을 상기 소비자에게 제공하는 단계를 포함한다.

실 시 예

[0016] 본 발명의 한 실시 예는 최적 퓨즈 프로그래밍 조건들을 제공하는 방법을 포함한다. 이 방법에 의해서 집적회로 칩 제조시험 환경을 벗어난, 즉 필드에서 집적회로 칩 소비자는 전자 퓨즈를 프로그램할 수 있다. 특히, 이 실시 예에서는 최적 퓨즈 프로그래밍 식별자(an optimal fuse programming identifier)가 소비자 IC칩상에서 판독 가능한 형태로(in readable fashion) 소비자에게 제공된다. 여기서, 최적 퓨즈 프로그래밍 식별자는 한세트의 최적 퓨즈 프로그래밍 조건들과 상호 관련되어있다. 소비자의 IC칩상에서 상기 최적 프로그래밍 식별자에 접근한 후, 소비자는 상호관련된 최적 퓨즈 프로그래밍 조건들에 따라 퓨즈 프로그래밍 프로세스를 필드에서 실시해 볼 수 있다. 한 실시 예에서, 이렇게 했을때, 소비자가 원하는 전자 퓨즈 결과물을 달성할 수 있었다.

[0017] 제 1도는 IC 칩(100)의 한 실시 예의 기능 블록 다이어그램을 보여준다. 이 칩 상에는 필드에서 전자퓨즈를 프로그래밍 하는 방법의 실시를 가능케 하는 퓨즈 프로그래밍 조건 식별자가 저장된다. IC칩(100)은 어떤 집적회로 칩일 수 있는데, 가령 특정용도 집적회로(an application specific integreated circuit : ASIC)와 같은 적어도 한 개의 전자퓨즈 회로(electronic fuses arrangement : eFUSEs)를 포함하는 집적회로 칩일 수 있다. 예를 들어, 제 1도의 IC칩(100)은 제 1의 전자퓨즈 뱅크(110)와 제 2의 전자퓨즈 뱅크(112)를 포함하고 있음을 보여준다. 이들 뱅크 각각은 단일의 전자퓨즈 또는 복수의 전자퓨즈들(예를 들어, IC칩(100) 내에서 특정한 형태의 로직 매크로를 형성하는)로 될 수 있다. 상기 뱅크들(110) 및/또는 (112)의 전자퓨즈들은 처음에는 프로그램되어있지 않은(예를 들어, 폐쇄된) 상태일 수있다. 한 실시 예에서, 제 1 전자퓨즈 뱅크(110) 및/또는 제 2 전자퓨즈 뱅크(112)는 메모리 회로들(memory arrays)에서 통상적으로 발견되는 구조체들(structures), 즉 특정 리던던시 구조체들(certain redundancy structures)(예를 들어, 리던던트 워드라인들(redundant word lines) 또는 리던던트 컬럼들(redundant coulms)을 형성하는 전자퓨즈들 일 수 있다. 이 실시예에서, 상기 전자퓨즈들은, 예를 들어 정상워드라인(normal wordline)에 결함이 발견되었을 때, 정상 워드라인을 끊고 이 끊어진 정상워드라인을 리던던트 워드라인으로 대체할 수 있도록 프로그램될 수 있다. 다른 실시예에서, 제 1 퓨즈뱅크(110) 및/또는 제 2 퓨즈뱅크(112)는 ECID 매크로를 형성하는 전자퓨즈들일 수 있다. 여기서 ECID 매크로는, 예를 들어, 칩 식별 데이터를 반영하는 값(value)에 프로그램된 전자퓨즈들을 포함한다.

[0018] 제 1도는 또한 제 1 전자퓨즈뱅크(110)의 전형적인 전자퓨즈(114)를 상세하게 보여준다. 좀더 구체적으로 설명하면, 전자퓨즈(114)는 폴리 실리콘 퓨즈 링크 일 수 있는데, 이 폴리 실리콘 퓨즈 링크의 한쪽단자는 전압선(F소스)과 결합되고 다른쪽 단자는 프로그래밍FET(116)라 불리우는 NEFT에 결합된다. 상기 프로그래밍FET(116)의 게이트는 IC칩(100)의 칩 전압(Vdd)에 의해서 제어된다. 전자퓨즈 프로그래밍이 진행되는 동안, F소스에 의해 전압이 공급되면 프로그래밍FET(116)는 Vdd가 인가된 상태에서 일정시간 동안 턴온상태가 되는데, 그 결과 제어된 전자이동(the controlled electromigration)이 일어나는 것이 허용된다. 이 제어된 전자 이동은 상기 전자퓨즈의 애노드 측에 살리사이드/ 붕소 파일업(pile-up)을 일으킨다. 그 결과, 전자 퓨즈(114) 양단의 저항은 증가(예를 들어, 수백 오옴에서 수천 오옴으로)하는데, 이것은 전자퓨즈가 개방(예를 들어, 프로그래밍)되는 효과를 가져온다.

[0019] 제 1도를 다시 참조하면, IC칩(100)은 저장장치(118)도 포함하고 있는데, 이 저장장치에는 하나 혹은 그 이상의 퓨즈 프로그래밍 조건 식별자들(120)과 관련된 디지털 값이 저장된다. 저장장치(118)는, 메모리 장치 또는 하나 혹은 그 이상의 전자퓨즈(여기에 국한하는 것은 아니다)와 같은, 하나 혹은 그 이상의 비트들의 디지털 데이터를 저장할 수 있는 어떤 장치일 수 있다. 한 실시 예에서, 저장 장치(118)는 비휘발성(non-volatile) SRAM(static random access memory) 또는 비휘발성 PROM(programmable read-only memory)일 수 있다. 다른 실시 예에서, 저장장치(118)는, 상기 제 1 및/또는 제 2 전자 퓨즈뱅크 (110,112) 내부에 있는 여분의 전자퓨즈들(114)(이것에 국한하는 것은 아니다)과 같은, 즉 IC칩(100) 내의 전자퓨즈 뱅크 내부에 있는 하나 혹은 그 이상의 여분의 전자퓨즈들이 될 수도 있다. 또 다른 예에서, 저장 장치(118)는 ECID의 하나 또는 그 이상의 전자퓨즈들 전부, 또는 그것들의 일부가 될 수 있다. 하나 또는 그 이상의 퓨즈 프로그래밍 조건 식별자들은 저장장치, 예를 들어 저장장치(118)에 저장되어 있는 하나 혹은 그 이상의 논리 값(logical value)들에 의해서 표시될 수 있다(represented). 예를 들어, 전자퓨즈(114)의 프로그램된 상태 혹은 프로그램되지 않은 상태는 논리값(1) 혹은 (0)으로 표시할 수 있다. 예를 들어 프로그램되지 않은 전자 퓨즈=1, 프로그램된 전자퓨즈 =0으로 표시되거나, 반대로 표시할 수도 있다.

[0020] 이 분야에 통상의 지식을 가진 자들은 IC칩(100)으로 표시되어있는 집적회로 칩장치는 하나 혹은 그 이상의 논리 기능들을 수행하는 회로장치들(arrangements)을 포함할 수 있음을 이해할 것이다(단순화하기 위해 제 1도에는 도시되어 있지 않다).

[0021] 균열이 있는 전자 퓨즈 또는 약하게 프로그램된 전자 퓨즈를 피하고, 높은 전자퓨즈 결과물(high eFUSE yield)을 달성하기 위해서는, 제조시험동작(the manufacturing test operation)동안 전자 퓨즈 프로그래밍 프로세스의

조건들은 정확히 칩별로 제어되어야 한다. 각 IC칩마다 그 제조 프로세스가 다르기 때문에(due to manufacturing process variations) 때문에, 즉, 하나의 IC 칩(100)의 제조 프로세스와, 그 다음 IC 칩(100)의 제조프로세스와, 그 다음 IC칩(100)의 제조프로세스가 다 다르기 때문에, 최적의 전자 프로그래밍 조건들도 칩마다 다르다. 한 대표적인 최적의 전자퓨즈 프로그래밍 조건들을 결정하는 방법은 미국 특허(특허 번호 7,170,299) "전자퓨즈 블로 미믹 및 전자퓨즈 블로를 조정하기 위한 방법(Electronic fuse blow mimic and methods far adjusting electronic fuse blow)"에 기술되어 있다. 상기 7,170,299 특허는 전자퓨즈의 퓨즈 프로그래밍에 관한 환경적 변수를 조정하기 위한 시스템, 방법 그리고 프로그램 제품을 기술하고 있다. 특히, 미믹 NFET(mimic NFET)가 전자 퓨즈에 부착되는(attached) 것이 아닌 점을 제외하고는 전자 퓨즈가 결합하는 것과 같은 방식으로, 미믹NFET는 퓨즈 프로그래밍 소스 전압선, 퓨즈 프로그래밍 게이트 전압선, 그리고 칩 그라운드(chip ground)와 결합될 수 있다. 상기 미믹NEFT의 온-전류(I-ON)와 오프-전류(I-OFF)는 상기 전자 퓨즈의 퓨즈 프로그래밍 전류(I-PROGRAM)를 결정하기 위해서 측정된다. 환경적 변수는 상기 결정된 프로그래밍 전류에 기초하여 조정된다. 조정방법의 다른 실시 예는 제 3도의 방법(300)을 참조하여 아래에서 설명한다.

[0022] 대표적인 환경적 변수들에는 다음 값들이 포함된다(여기에 국한되는 것은 아니다). 즉, F소스, Vdd , 백그라운드 누설전류, I-PROGRAM, 칩과 테스터 그라운드 사이의 오프셋(chip vs. tester ground offset), 프로그래밍 지속 시간(duration), 온도, 그리고 시험장치(test equipment)의 정확도가 포함된다. 퓨즈 프로그래밍 조건 식별자(120)(제1도 참조)는 특정의 전자 퓨즈 프로그래밍 조건과 상호 관련되어 있는 하나 혹은 그 이상의 비트들의 디지털 코드일 수 있다. 특정의 전자퓨즈 프로그래밍 조건이란 주어진 IC 칩(100)을 위한 유일한 최적의 전자 퓨즈 프로그래밍 조건일 수 있다. 예를 들어, 퓨즈 프로그래밍 조건 식별자(120)는 제 1 IC칩(a first IC chip : 100)을 위한 제1 최적 전자 퓨즈 프로그래밍 조건과 상호 관련시키기 위해 상기 제 1 IC칩(100) 상에 제 1 값(a first value)으로 유일하게 인코드(encode)될 수 있고, 그 다음 IC칩(a next IC chip : 100)을 위한 그 다음 최적 전자 퓨즈 프로그래밍 조건과 상호 관련시키기 위해 상기 그 다음 IC칩(100) 상에 그 다음 값(a next value)으로 유일하게 인코드될 수 있다. 퓨즈 프로그래밍 조건 식별자(120) 내에 포함된 상기 코드는 복수의 환경적 변수들 중 하나 혹은 여러 조합(one or any combination)과 상호관련(correlate)될 수 있다. 복수의 환경적 변수들에는, 예를 들어, F소스,Vdd, 백그라운드 누설전류, I-PROGRAM, 칩과 테스터 그라운드 사이의 오프셋(chip vs. tester ground offset), 프로그래밍 지속 시간, 온도, 그리고 시험 장치의 정확도가 포함될 수 있다.

[0023] 퓨즈 프로그래밍 조건 식별자(120)를 형성하는 비트의 수는 주어진 IC 칩을 위한 최적의 전자퓨즈 프로그래밍 조건들을 전달하기 위해 필요한 환경적 변수들의 수 혹은 조합들에 따라 달라진다. 한 실시 예에서, 퓨즈 프로그래밍 조건 식별자(120)는 제 1 및 제 2의 최적 Vdd 값과 상호관련 되는 1-비트 코드가 될 수 있다. 예를 들어, Vdd=1.20v에 대한 퓨즈 프로그래밍 조건식별자(120)를 "0"으로 할 때, Vdd=1.35v에 대한 퓨즈 프로그래밍 조건 식별자(120)는 "1"로 할 수 있다. 다른 실시 예에서, 퓨즈 프로그래밍 조건 식별자(120)는 4개의 최적의 Vdd 값과 상호관련되는 2-비트 코드로 될 수 있다. 예를 들어, Vdd=1.20v를 위한 퓨즈 프로그래밍 조건식별자(120)은 "00", Vdd=1.35v를 위한 퓨즈 프로그래밍 조건 식별자(120)은 "01", 그리고 Vdd=1.50v를 위한 퓨즈 프로그래밍 조건 식별자(120)은 "10"으로 할 수 있다. 또 다른 실시 예에서, 퓨즈 프로그래밍 조건 식별자(120)은 특정의 전자퓨즈 프로그래밍 조건의 실제 디지털 값(특정의 해상도를 갖는), 예를 들어, F소스, Vdd, 혹은 I-PROGRAM의 실제 값들을 표시하는 8-비트, 10-비트, 12-비트, 또는 16-비트의 이진워드(binary word)들과 상호관련 되는 n-비트 이진수 코드로 될 수도 있다. 이 모든 실시 예들에서, 퓨즈 프로그래밍 조건식별자(120)의 상기 정보는 정상적인 제조 시험처리과정(normal manufacturing test flow) 동안 칩 제조업자에 의해 저장될 수 있다. 퓨즈 프로그래밍 조건 식별자(120)를 형성하는 비트들이 메모리 비트들인 경우, 이들 비트들은 공지의 메모리 쓰기 동작(memory write operation)을 통해서 원하는 상태로 세팅될 수 있다. 그러나 만일 퓨즈 프로그래밍 조건 식별자(120)를 형성하는 비트들이 전자 퓨즈들(114)인 경우에는, 하나 혹은 그 이상의 전자 퓨즈(114)들을 원하는 코드에 따라 프로그램된 상태 혹은 프로그램 되지 않은 상태로 세팅할 수 있다.

[0024] 제 1도의 IC 칩(100)으로 예시한 바와 같이, 칩 제조업자는 퓨즈 프로그래밍 조건 식별자(120)와 같은 퓨즈 프로그래밍 조건 식별자를 칩 내부에 제공하며, 이 때문에 칩 제조업자는 소비자가 그 퓨즈 프로그래밍 조건 식별자에 접근할 수 있도록 판독 메커니즘도 제공한다. 소비자는 이에 의해서 자신의 칩을 위한 최적의 전자 퓨즈 프로그램 조건을 상호관련시킬 수 있다. 상호관련시키기(correlation)는 다양한 방법으로 할 수 있다. 한 실시 예에서, 상호관련시키기는 퓨즈 프로그래밍 조건 식별자를 디지털 방식으로 저장된 값(예를 들어, 룩업 데이터 테이블(lookup data table)에 저장된 값)과 비교하는 방식으로 할 수 있다. 다른 실시에서는, 상호관련시키기를 퓨즈 프로그래밍 조건 식별자를 인쇄된 매뉴얼(a printed manual)에 있는 값과 비교하는 방식으로 할 수 있다. 또 다른 실시에서, 상호관련시키기에는 실제 프로그래밍 조건을 알아내기 위해 퓨즈 프로그래밍 조건 식별

자를 판독하는 방식이 포함될 수 있다. 결과적으로, 퓨즈 프로그래밍 조건 식별자는 특정 칩마다 유일한 최적 프로그래밍 조건을 소비자가 적용하는 것을 가능케 한다. 그 결과 필드에서, 즉 제조업자의 시험환경을 벗어난 소비자의 카드 레벨 시험동작(the customer's card level test operation) 환경에서, 소비자가 전자 퓨즈들을 효율적으로 프로그램할 수 있게 해 준다. 더 자세한 설명은 도면 제 2, 3, 4도를 참조하여 기술한다.

[0025] 제 2도는 IC칩(100)과 같은 집적회로 칩에 저장되어 있는 퓨즈 프로그래밍 조건 식별자(120)와 같은 퓨즈 프로그래밍 조건 식별자를 사용하여 전자 퓨즈를 프로그래밍하는 방법(200)에 관한 한 실시 예의 흐름도를 보여준다. 방법(200)은 다음의 단계들을 포함하나,이에 한정하는 것은 아니다.

[0026] 단계(210)에서, 칩 상의 하나 혹은 그 이상의 메모리 비트들에 저장된 퓨즈 프로그래밍 조건 식별자에 접근한다. 한 실시 예에서(제1도를 다시 참조한다), IC 칩(100)과 같은 칩이 칩 제조업자로부터 칩 구매자에게로 넘겨지고 난 후, 저장장치(118)에 저장된 퓨즈 프로그래밍 조건 식별자는 칩 구매자가 접근할 수 있다. 퓨즈 프로그래밍 조건 식별자(120)를 형성하는 비트들이 메모리 비트들인 경우, 이들 비트들은 공지의 메모리 판독 동작을 통하여 접근된다. 이와 달리, 퓨즈 프로그래밍 조건 식별자(120)를 형성하는 비트들이 전자 퓨즈들(114)인 경우, 하나 혹은 그 이상의 전자퓨즈들(114)의 프로그램된 혹은 프로그램되지 않은 상태가 연관된 표준 회로, 예를 들어 제 1의 전자퓨즈 뱅크(110) 혹은 제 2의 전자 퓨즈 뱅크(112)를 통해서 감지된다.

[0027] 단계(212)에서, 하나 혹은 그 이상의 최적 전자 퓨즈 프로그래밍 조건들은 퓨즈 프로그래밍 조건 식별자 정보와 상호관련된다. 예를 들어 IC 칩(100)의 저장장치(118)에 저장된 퓨즈 프로그래밍 조건 식별자(120)의 정보와 상호 관련된다. 한 실시 예에서, 이러한 상호관련시키기(correlation)는 칩 제조업자가 칩 구매자에게 어떤 표준 방법을 제공함으로써 수행될 수 있다. 이 방법(예를 들면, 소프트웨어 룩업 테이블(a software lookup tale), 전자적 혹은 인쇄된 가이드 북, 혹은 전화 소비자 서비스 센터(a telephone customer service center))로 퓨즈 프로그래밍 조건 식별자(120) 내에 인코드 될 수 있는 각 가능한 값을 최적 전자 퓨즈 프로그래밍 조건과 상호 관련시킬 수 있다. 한 실시예에서, “0”으로 세팅된 1-비트 퓨즈 프로그래밍 조건 식별자(120)는, 예를 들어 Vdd=1.20v로 세팅시키도록 상호관련시킬 수 있고, “1”로 세팅된 1-비트 퓨즈 프로그래밍 조건 식별자(120)는, 예를 들어 Vdd=1.35v로 세팅시키도록 상호관련시킬 수 있다. 다른 실시예에서, “00”으로 세팅된 2-비트 퓨즈 프로그래밍 조건 식별자(120)는, 예를 들어 Vdd=1.20v로 세팅시키도록 상호관련시킬 수 있고, “01”로 세팅된 2-비트 퓨즈 프로그래밍 조건 식별자(120)는, 예를 들어 Vdd=1.35v로 세팅시키도록 상호관련시킬 수 있고, “10”으로 세팅된 2-비트 퓨즈 프로그래밍 조건 식별자(120)는, 예를 들어 Vdd=1.50v로 세팅시키도록 상호관련시킬 수 있다.

[0028] 단계(214)에서, IC 칩 상의 하나 혹은 그 이상의 퓨즈들은 상기 하나 혹은 그 이상의 상호관련된 전자 퓨즈 프로그래밍 조건들을 이용하여 프로그램된다. 특히, IC 칩 구매자는, 예를 들어 웨이퍼 제조 및/혹은 모듈 시험 동작 동안, 자신의 칩에서 추출된 상기 상호관련된 최적의 전자 퓨즈 프로그래밍 조건들을 적용하여 하나 혹은 그 이상의 IC 칩 구매자 선택 전자 퓨즈들(114)을 프로그램할 수 있다.

[0029] 제 3도는 방법(300)의 한 실시 예의 흐름도를 보여준다. 이 방법(300)은 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건 식별자들을 결정하여 전자 퓨즈를 프로그래밍 할 수 있게 한다. 이 실시 예에서, 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건 식별자들은 제조 시험동작 동안 칩별로 이 방법(300)을 이용하여 결정될 수 있다. 방법(300)은 다음의 단계들을 포함한다(이에 한정되는 것은 아니다).

[0030] 단계(310)에서, 복수의 IC 시험 칩들은 최적 칩 프로그래밍 조건들을 위해 시험된다. 특히, 칩 제조업자는 환경적 변수들의 선택을 위해 전자 퓨즈 프로그래밍 프로세스를 복수의 IC 시험 칩(예를 들어, 수백개에서 수백만개)상에서 실시하여, 전자 퓨즈들을 프로그램하는 바람직한 방법(the preferred way)을 알아낸다.

[0031] 단계(312)에서, 복수의 상호관련 파라미터 시험값들(a plurality of test values of a correlating parameter)이 복수의 IC 시험 칩들로부터 결정된다. 상호관련 파라미터는 어떤 측정될 수 있는 값이다. 이 값은 퓨즈 프로그래밍 환경적 조건을 위한 대응 값(a corresponding value)을 표시할 수 있다. 예를 들어, 퓨즈 프로그래밍 전류는 특정 퓨즈 프로그래밍 조건 값, 즉 특정 Vdd 값에서 측정될 수 있다. 상기 복수의 시험 값들 각각은 복수의 퓨즈 프로그래밍 조건 세트들 중 하나를 위한 것일 수 있다. 상기 시험 값들은 모든 공지의 프로세스 편차(every known process variation)에 대해서 단계(310)에서 모아진 상기 전자 퓨즈 프로그래밍 정보에 기초하고 있다. 예를 들어, IC 시험 칩(physical measurements of an IC test chip)의 물리적 측정 결과들은 특정 전자 퓨즈 프로그래밍 파라미터들에 매핑(mapped)될 수 있다.

[0032] 단계(314)에서, 각 IC 시험 칩은 상호관련 파리미터의 실제값을 위해 시험된다. 한 실시 예에서, 시험 중인 IC

칩의 배경 누설 전류(the background leakage current)(I-BKG)를 측정하고, 노미널 Vdd(nominal Vdd) 및 F소스 값(nominal Vdd and FSource values)에서 미믹 프로그래밍 FET의 온-전류(the on-current)(I-ON)를 측정하여, I-ON으로부터 I-BKG를 빼서 퓨즈 프로그래밍 전류(I-PROGRAM)을 결정한다.

[0033] 단계(316)에서, 실제 값을 복수의 시험 값들과 비교하여 복수의 퓨즈 프로그래밍 조건 세트들 중 최적의 것을 시험 중인 IC 칩을 위해 결정한다. 한 실시 예에서, 3자 결정 방식(a three-way decision)이 실시 될 수 있다. 구체적으로 설명하면, 결정된 I-PROGRAM을 위해 상위 레벨 쓰레시홀드(an upper level threshold)를, 예들 들어 14mA로, 하위 레벨 쓰레시홀드(an lower level threshold)를, 예를 들어 10mA로 세팅해 둘 수 있다. 만일 상기 결정된 I-PROGRAM이 상기 상위 레벨 쓰레시홀드(여기서는 14mA)보다 더 높으면, 프로그래밍 전압 Vdd는 감소될 것이다. 예를 들어, 미리 설정된 1.35v에서 1.20v로 감소될 것이다. 반대로 상기 결정된 I-PROGRAM이 상기 하위 레벨 쓰레시홀드(여기서는 10mA)보다 더 낮으면, 프로그래밍 전압 Vdd는 증가될 것이다. 예를 들어, 미리 세트된 1.35v에서 1.50v로 증가될 것이다. 또한 상기 결정된 I-PROGRAM이 상기 상위 레벨 쓰레시홀드(여기서는 14mA)와 상기 하위 레벨 쓰레시홀드(여기서는 10mA) 사이의 범위 내에 존재하면, 프로그래밍 전압 Vdd는 적절한 것으로 간주될 수 있으며, 미리 설정된 값과 동일한 값으로 유지될 것이다. 즉, 미리 설정된 1.35v에서 유지될 것이다. 이렇게 함으로서, 시험중인 IC칩의 실제 I-PROGRAM에 상호관련된는, 프로그래밍 전압 Vdd의 최적값이 결정된다.

[0034] 단계(318)에서, 복수의 퓨즈 프로그래밍 조건 세트들 중 최적의 것에 대한 표시자(indicator)가 퓨즈 프로그래밍 조건 식별자로 저장된다. 예를 들어, 상기 최적 프로그래밍 전압 Vdd가 1.20v라면, 시험 중인 IC 칩을 위한 2-비트 퓨즈 프로그래밍 조건 식별자(120)은 “00”에 세팅 될 수 있다. 만일 상기 최적 프로그래밍 전압 Vdd가 1.35v라면, 상기 2-비트 퓨즈 프로그래밍 조건 식별자(120)는 “01”에 세팅 될 수 있다. 만일 상기 최적 프로그래밍 전압 Vdd가 1.50v라면, 상기 2-비트 퓨즈 프로그래밍 조건 식별자(120)는 “10”에 세팅 될 수 있다.

[0035] 제 4도는, 예를 들어, 집적회로 칩 소비자에 의해 필드에서 전자퓨즈를 프로그래밍하는 방법(400)의 흐름도를 보여준다. 방법(400)은 다음의 단계들을 포함한다(여기에 한정되는 것은 아니다).

[0036] 단계(410)에서, 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들이 결정된다. 이 조건들은, 예를 들어, 제 3도의 방법(300)의 단계(310)에서 단계(316)까지를 수행함에 의해서, IC 칩(100)과 같은 주어진 칩 상의 모든 전자 퓨즈들에 적용될 수 있다.

[0037] 단계(412)에서, 제조 시험 동작 동안, 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들의 표시자는 시험 중인 상기 IC 칩상의 하나 혹은 그 이상의 메모리 비트들에 저장된다. 상기 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건들의 표시자는, 예를 들어 제 1도 에서, 그리고 제3 도의 방법(300)의 단계(318)에서 기술하였듯이, IC 칩(100)의 저장장치(118)의 퓨즈 프로그래밍 조건 식별자(120)에 저장된다.

[0038] 단계(414)에서, 칩 제조업자는 IC 칩(100)과 같은 IC 칩을 필드에 있는 소비자에게 제공한다.

[0039] 단계(416)에서, IC 칩 소비자는 하나 혹은 그 이상의 전자 퓨즈들 중 적어도 하나를 프로그램할 수 있도록 하나 혹은 그 이상의 메모리 비트들로부터 하나 또는 그 이상의 최적 퓨즈 프로그래밍 조건들을 접근하는 방법에 관하여 지침을 제공 받는다. 예를 들어, IC 칩(100)의 저장장치(118)의 퓨즈 프로그래밍 조건 식별자(120)에 접근하는 방법에 관하여 IC 칩 제조업자는 IC 칩 소비자에게 지침(instruction)을 제공할 수 있다. 또한, IC 칩 제조업자는 퓨즈 프로그래밍 조건 식별자(120)에 인코드 될 수 있는 각각 가능한 값을 각각의 최적 전자 퓨즈 프로그래밍 조건과 상호관련시키는 표준 방법을 칩 구매자에게 제공할 수 있다. 상호관련시키는 표준 방법들(Standard correlation methods)에는 소프트웨어 룩업 테이블(a software lookup table), 전자적 혹은 인쇄된 가이드 북, 혹은 전화 소비자 서비스 센터(a telephone customer service center)에 의한 전화걸기(calling)가 포함될 수 있으나, 이에 한정되는 것은 아니다.

[0040] 제 5도는 한 실시예의 설계 흐름(500)의 블록 다이어그램을 보여준다. 설계 흐름(500)은 설계된 IC 칩의 타입에 따라서 변화될 수 있다. 예를 들어, 특정용도 IC 칩(ASIC)을 설계하기 위한 설계 흐름(500)는 표준 IC 칩을 설계하기 위한 설계 흐름(500)과는 다르다. 설계 자료(design structure)(520)는 설계 프로세스(510)에 입력된다. 이러한 자료는 IP 제공업자(IP provider), 핵심 개발자(core developer), 또는 다른 설계 회사로부터 제공될 수 있거나 설계 플로우(design flow)의 오퍼레이터(operator)에 의해 발생될 수 있으며, 또는 기타 소스로부터 제공받을 수 있다. 설계 자료(520)는 도면(schemetics) 또는 하드웨어 서술언어, 즉 HDL(예를 들어, Verilog, VHDL, C등..)의 형태로 IC 칩(100)에 대한 정보를 포함한다. 설계 자료(520)는 하나 혹은 그 이상의 기계 판독 매체(one or more machine readable medium)에 포함될 수 있다. 예를 들어, 설계 자료(520)은 IC 칩(100)의 텍

스트 파일(text file) 혹은 그래픽 표시 파일(graphical representation)일 수 있다. 설계 프로세스(510)는 IC 칩 정보를 넷리스트(netlist)(580)에 바람직하게 합성(혹은 번역)한다(synthesizes(or translate)). 여기서, 넷리스트(580)는, 예를 들어, 배선들(wires), 트랜지스터들, 논리 게이트들, 제어회로들, I/O, 모델들, 등의 목록(list)으로서, 집적회로 설계에서 다른 회로 소자들 및 회로들(other elements and circuits)에 대한 연결관계를 기술하며, 적어도 하나의 기계판독 매체에 기록된다. 이 프로세스는 반복적인 프로세스(iterative process)이며, 이 프로세스 내에서 넷리스트(580)는 회로에 대한 설계 사양과 파라미터들에 따라서 한번 혹은 그 이상 재합성된다(resynthesized).

[0041] 설계 프로세스(510)은 다양한 입력들을 이용하는 것을 포함할 수 있다. 이러한 입력들에는, 예를 들어, 라이브러리 엘리멘트들(library elements)(530), 설계 사양들(540), 캐릭터리제이션 데이터(charicterization data)(550), 베리피케이션 데이터(verification data)(560), 설계 규칙들(570) 및 시험 데이터 파일들(585)(시험패턴들 및 다른 시험정보들을 포함할 수 있다)을 포함할 수 있다. 여기서, 라이브러리 엘리멘트들(530)은 주어진 제조기술(예를 들어 다른 기술 노드들, 32nm, 45nm, 90nm, 등)에 관하여, 모델들, 배치설계들, 및 심볼 표시들(symbolic representations)을 포함하는 공통적으로 사용되는 소자들(elements), 회로들, 및 장치들(devices)의 세트를 포함할 수 있다. 설계 프로세스(510)는 또한, 예를 들어, 타이밍 분석, 베리피케이션, 설계 규칙 첵킹, 장소 및 루트 동작(place and route operation) 등과 같은 표준 회로 설계 프로세스들을 더 포함할 수 있다. 집적회로 설계 분야에서 통상의 지식을 가진자는 본 발명의 범위와 정신을 벗어남이 없이 설계 프로세스(510)에서 사용된 가능한 전자 설계 자동 도구들(possible electronic automation tools)과 응용들(applications)을 확장할 수 있다. 본 발명의 설계 자료는 어떤 특정의 설계 흐름에만 한정되는 것이 아니다.

[0042] 궁극적으로, 설계 프로세스(510)은 IC 칩(100)의 정보를 집적회로 설계를 위한 다른 정보들과 함께(그럴 기회가 주어진다면) 최종 설계 자료(590)(이 정보는, 예를 들어 GDS저장 매체에 저장됨)로 합성된다(translate). 최종 설계 자료(590)는 다음과 같은 정보를 포함할 수 있다. 예를 들어, 시험 데이터 파일들, 설계 컨텐트 파일들(design content files), 제조 데이터, 배치설계 파라미터들, 배선들, 메탈 레벨들(levels of metal), 비아들(vias), 형상들(shapes), 시험 데이터, 제조 라인을 통한 라우팅 데이터(data for routing through the manufacturing line) 및 기타 IC 칩(100)을 생산하기 위해서 반도체 제조업자가 필요로 하는 데이터를 포함할 수 있다. 그 다음 최종 설계 자료(590)는 단계(595)에 제공된다. 여기서, 예를 들어, 최종 설계 자료(590)는(테이프에 기록되어서) 제조공장으로, 다른 설계 하우스로 혹은 소비자에게 보내진다.

[0043] 지금까지 대표적인 실시 예들을 도면과 함께 보여주었다. 지금까지 본 발명의 상세한 설명에서 보여준 실시 예들에 대하여 본 발명의 범위와 정신에 벗어남이 없이 다양한 변경과, 삭제 및 추가가 가능 하다는 것이 이 분야의 통상의 지식을 가진 자들에게는 자명할 것이다.

도면의 간단한 설명

[0010] 본 발명을 설명할 목적으로, 본 발명의 하나 혹은 그 이상의 실시 예들을 보여주는 도면이 제공된다. 그러나 본 발명이 도면들에서 보여진 상세한 세부 실시 예들로 한정되는 것이 아님을 이해해야 한다.

[0011] 제 1도는 집적회로 칩의 한 실시 예의 기능 블록 다이어그램을 보여준다. 이 집적회로 칩에는 필드에서 전자퓨즈를 프로그래밍하는 방법을 실시할 수 있도록 퓨즈프로그래밍 조건 식별자가 저장된다.

[0012] 제 2도는 전자 퓨즈 프로그래밍 방법의 한 예로서 흐름도를 보여준다. 이 방법은 상기 집적회로 칩에 저장된 퓨즈 프로그래밍 조건 식별자의 사용에 의하여 실시된다.

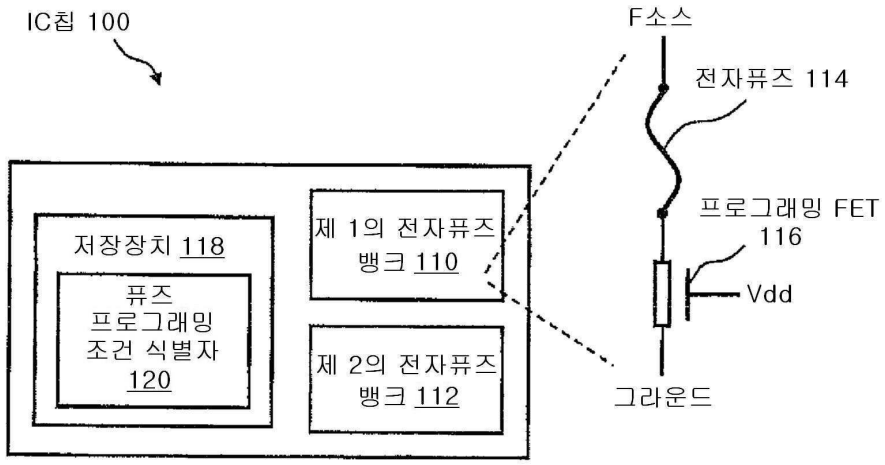
[0013] 제 3도는 하나 혹은 그 이상의 최적 퓨즈 프로그래밍 조건 식별자를 결정하는 방법의 한 예로서 흐름도를 보여준다. 이 방법은 필드에서 전자퓨즈를 프로그래밍하는 방법의 실시를 가능케한다.

[0014] 제 4도는 집적회로 칩 소비자에 의해서 필드에서 전자퓨즈를 프로그래밍하는 방법의 한 실시 예로서 흐름도를 보여준다.

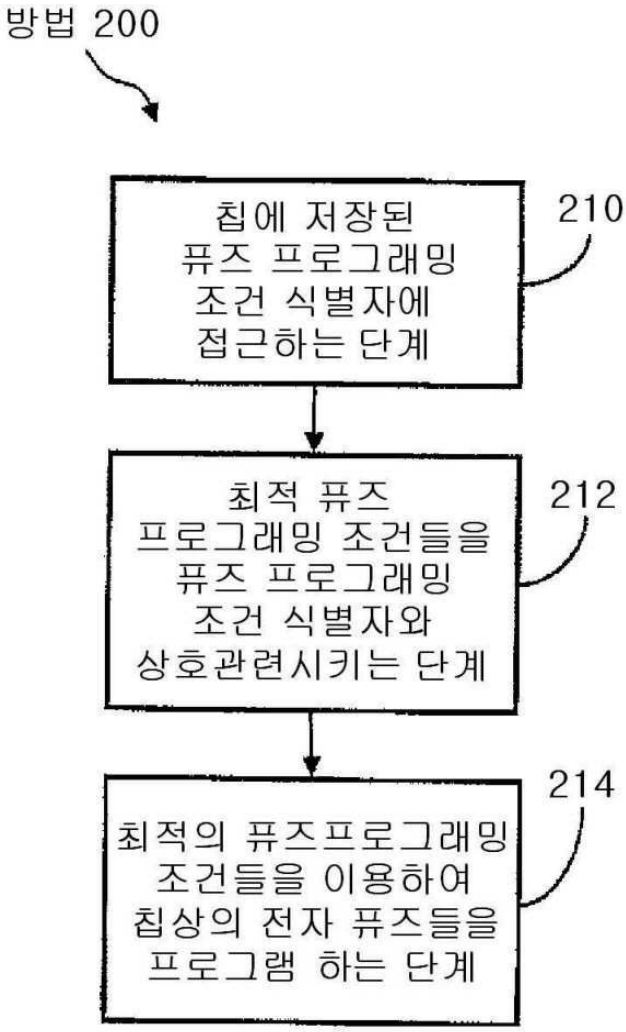
[0015] 제 5도는 한 실시 예에 따른 설계 자료(the design structure)를 사용하는 설계 흐름과정의 블록 다이어그램을 보여준다.

도면

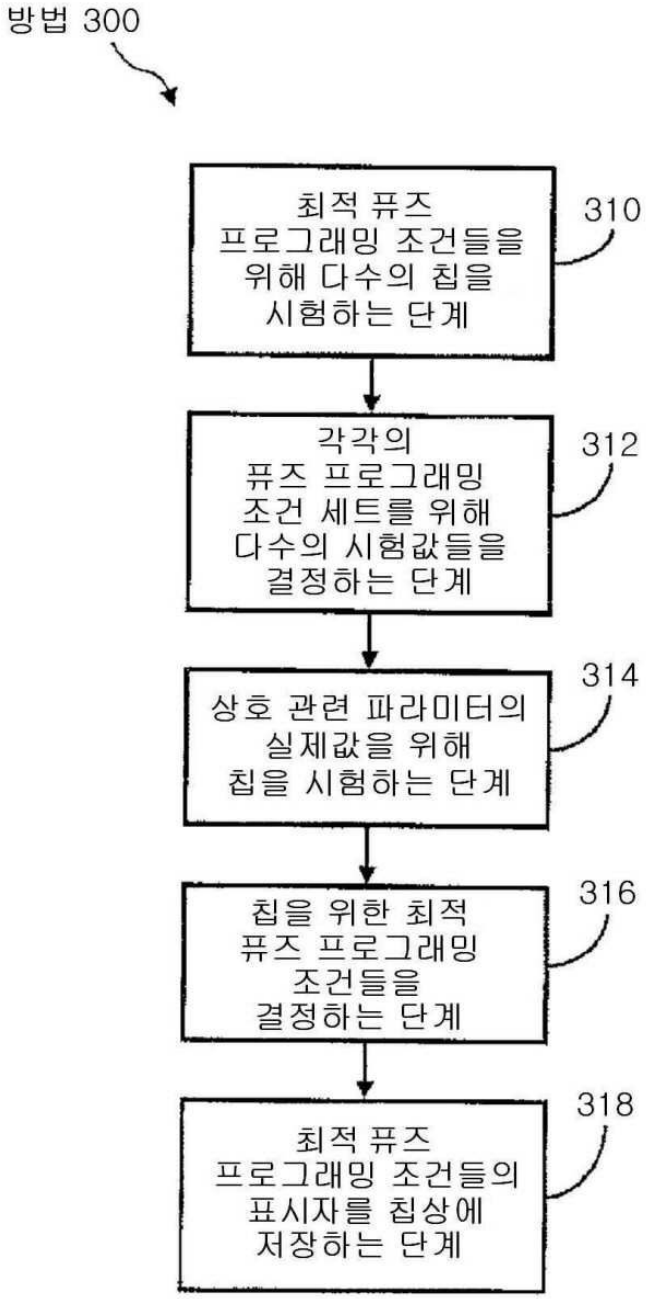
도면1


IC칩 100
저장장치 118
퓨즈
프로그래밍
조건 식별자
120
제 1의 전자퓨즈
뱅크 110
제 2의 전자퓨즈
뱅크 112
F소스
전자퓨즈 114
프로그래밍 FET
116
Vdd
그라운드

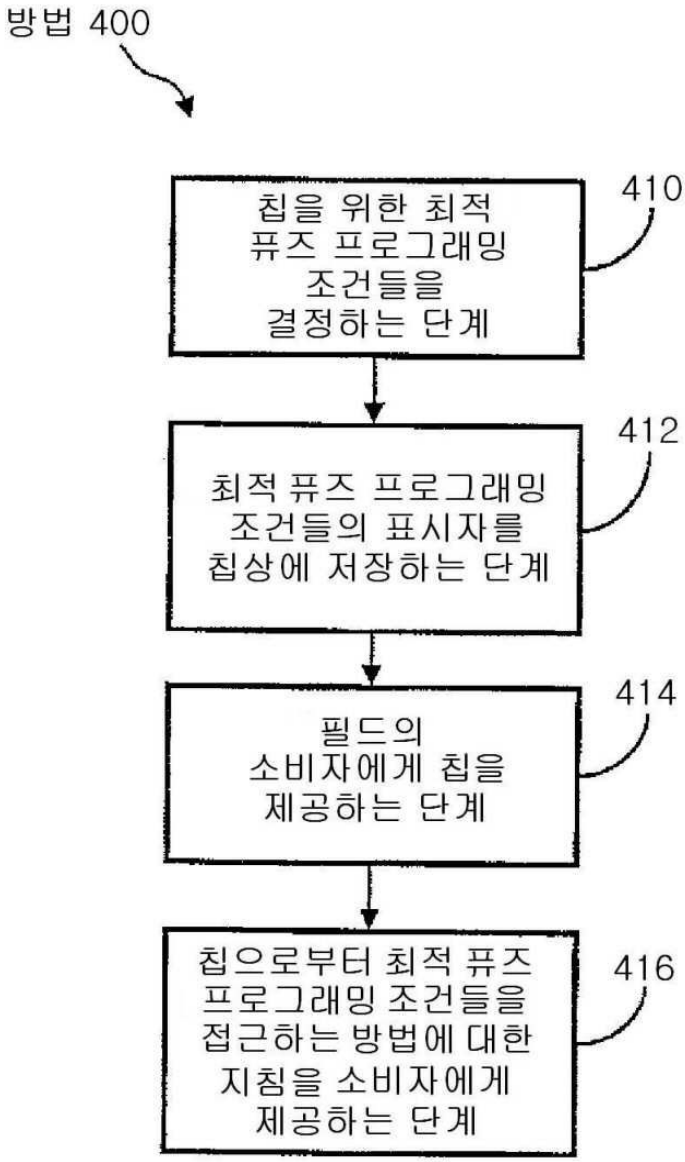
도면2


방법 200
칩에 저장된 퓨즈 프로그래밍 조건 식별자에 접근하는 단계
210
최적 퓨즈 프로그래밍 조건들을 퓨즈 프로그래밍 조건 식별자와 상호관련시키는 단계
212
최적의 퓨즈프로그래밍 조건들을 이용하여 칩상의 전자 퓨즈들을 프로그램 하는 단계
214

도면3


방법 300
최적 퓨즈 프로그래밍 조건들을 위해 다수의 칩을 시험하는 단계
310
각각의 퓨즈 프로그래밍 조건 세트를 위해 다수의 시험값들을 결정하는 단계
312
상호 관련 파라미터의 실제값을 위해 칩을 시험하는 단계
314
칩을 위한 최적 퓨즈 프로그래밍 조건들을 결정하는 단계
316
최적 퓨즈 프로그래밍 조건들의 표시자를 칩상에 저장하는 단계
318

도면4


방법 400
칩을 위한 최적 퓨즈 프로그래밍 조건들을 결정하는 단계
410
최적 퓨즈 프로그래밍 조건들의 표시자를 칩상에 저장하는 단계
412
필드의 소비자에게 칩을 제공하는 단계
414
칩으로부터 최적 퓨즈 프로그래밍 조건들을 접근하는 방법에 대한 지침을 소비자에게 제공하는 단계
416

도면5

