

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 7 月 5 日(05.07.2012)



(10) 国際公開番号

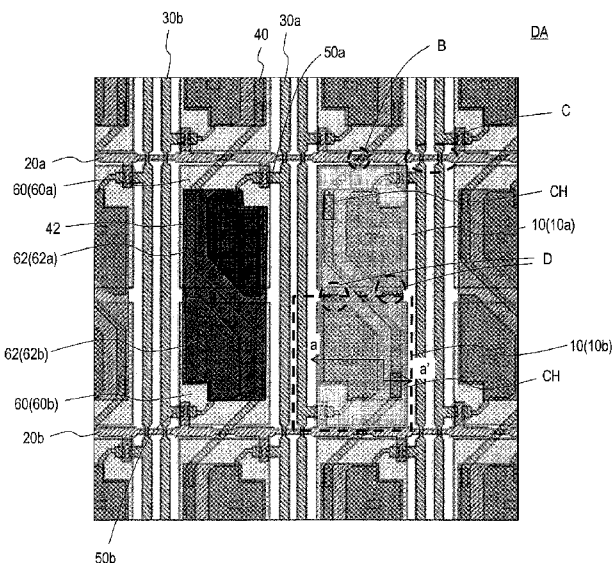
WO 2012/090879 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2011/079917
- (22) 国際出願日: 2011 年 12 月 22 日(22.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-292882 2010 年 12 月 28 日(28.12.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 光本 一順 (MITSUMOTO Kazuyori). 吉田 昌弘 (YOSHIDA Masahiro). 堀内 智 (HORIUCHI Satoshi).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目 8 番 1 6 号 大阪証券取引所ビル 10 階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE

(54) 発明の名称: アクティブマトリクス基板

【図3】



(57) Abstract: This active matrix substrate is provided with: first and second scan lines (20a, 20b) which extend in a first direction; first and second signal lines (30a, 30b) which extend in a second direction; first and second pixels (10a, 10b) which are arranged adjacent to each other along the second direction; an auxiliary capacitor line (40); first and second pixel electrodes (60a, 60b); a first TFT (50a); a second TFT (50b); an auxiliary capacitor electrode (42) which is connected to the auxiliary capacitor line (40) and extends below the first and second pixel electrodes (60a, 60b); a first auxiliary capacitor counter electrode (62a) which is connected to the first pixel electrode (60a); and a second auxiliary capacitor counter electrode (62b) which is connected to the second pixel electrode (60b).

(57) 要約: アクティブマトリクス基板は、第1方向に延びる第1および第2走査線(20a、20b)と、第2方向に延びる第1および第2信号線(30a、30b)と、第2方向に沿って隣り合う第1および第2画素(10a、10b)と、補助容量線(40)と、第1および第2画素電極(60a、60b)と、第1TFT(50a)と、第2TFT(50b)と、補助容量線(40)に接続され、第1および第2画素電極(60a、60b)の下に広がる補助容量電極(42)と、第1画素電極(60a)に接続された第1補助容量対向電極(62a)と、第2画素電極(60b)に接続された第2補助容量対向電極(62b)と、を備えている。

WO 2012/090879 A1

明 細 書

発明の名称：アクティブマトリクス基板

技術分野

[0001] 本発明は、表示装置、イメージセンサ等に用いられるアクティブマトリクス基板に関する。

背景技術

[0002] 液晶表示装置、有機EL (E l e c t r o L u m i n e s c e n c e) 表示装置、フレキシブル表示装置、電子ブック等の表示装置は、一般に、各画素のスイッチング素子として薄膜トランジスタ (T h i n F i l m T r a n s i s t o r ; 以下、「T F T」とも呼ぶ) が形成されたアクティブマトリクス基板 (「T F T基板」とも呼ぶ) を備えている。

[0003] アクティブマトリクス基板には、複数のデータラインと、複数のゲートラインと、これらの交差部にそれぞれ配置された複数のT F Tと、液晶層などの光変調層に電圧を印加するための画素電極と、補助容量配線および補助容量電極などが形成されている。

[0004] アクティブマトリクス基板を用いた液晶表示装置の一例が特許文献1に記載されている。図20は、特許文献1に開示されたアクティブマトリクス基板における複数の画素の一部を表した平面図である。図20に示すように、このアクティブマトリクス基板は、複数の画素に対応して配置された画素電極130およびT F T140と、複数のゲートライン(走査線)G Lと、複数のゲートラインG Lに垂直に延びる複数のデータライン(信号線)D Lとを備えている。

[0005] 特許文献1の液晶表示装置は、画素電極130への書き込み時間を長くするとともにフリッカを低減させるために、M F D (M u l t i - F i e l d D r i v i n g) が採用されている。M F Dを実現するために、このアクティブマトリクス基板では、横方向に隣り合う2つの画素電極130の間に2つのデータラインD Lが延びている。また、開口率を上げるために、ゲー

トラインGLは2つの画素電極130毎に配置されている。つまり、縦方向に沿って隣り合う2つのゲートラインGLの間に2つの画素電極130が延びている。

[0006] アクティブマトリクス基板は、表示装置のみならず、イメージセンサの基板としても用いられる。イメージセンサにおいては、各画素に対応するようにアクティブマトリクス基板上にフォトダイオードが配置されている。フォトダイオードに光が入射すると光電効果によって電荷が発生し、発生した電荷は複数の画素電極（あるいは画素容量）に一時的に保持される。保持された電荷は、走査線からの操作信号によって各TFTのON-OFFが切り換えられて、順次信号線に読み出される。このようにして、イメージセンサに入射した画像が、画像信号に置き換えられる。フォトダイオードの代わりに入射した光を直接電荷に変換する変換層を配置することも有り得る。

[0007] 特許文献2には、アクティブマトリクス基板を有する液晶表示装置およびイメージセンサが記載されている。図21は、特許文献2に記載されたアクティブマトリクス基板の一部を表した平面図である。図21に示すように、このアクティブマトリクス基板は、複数の画素に対応して配置されたTFT140、下層画素電極130a、上層画素電極130b、および画素容量電極（補助容量電極）410と、複数のゲートラインGLと、複数のデータラインDLと、複数の画素容量線（補助容量線）SLを備えている。

[0008] 各画素において、下層画素電極130aと上層画素電極130bは、両電極間の絶縁層に形成されたコンタクトホール720によって接続されており、下層画素電極130aおよび上層画素電極130bは画素電極として機能する。画素容量線SLと画素容量電極410は、コンタクトホール400を介して接続されている。画素電極、画素容量電極410、および両電極間の誘電体層により画素容量（補助容量）140aが形成される。

[0009] また、特許文献3および4には、電気泳動方式を利用した表示装置、電子ペーパー、電子書き込み装置等が記載されている。特許文献3の図4および図5、特許文献4の図1および図2には、そのような表示装置等のためのア

クティブマトリクス基板の構成が記載されている。

先行技術文献

特許文献

[0010] 特許文献1：特開平 1 0－1 9 7 8 9 4 号公報

特許文献2：特開 2 0 0 0－3 2 3 6 9 8 号公報

特許文献3：特開 2 0 1 0－2 0 4 2 4 9 号公報

特許文献4：特開 2 0 1 0－2 2 4 1 4 1 号公報

発明の概要

発明が解決しようとする課題

[0011] 表示装置によって高画質の表示を実現するためには、画素電極に与えられる電圧を、一定時間十分な値に保持させる必要がある。そのため、アクティブマトリクス基板に補助容量配線を配置するとともに、画素毎に補助容量電極に接続された補助容量電極を配置することが多い。その場合、補助容量電極の上部には、絶縁層または誘電体層を挟んで補助容量対向電極が配置され、補助容量電極、絶縁層、および補助容量対向電極によって補助容量が形成される。補助容量対向電極はその上部の画素電極に接続され、画素電極の電位が補助容量を利用して、比較的長い時間保持される。

[0012] また、イメージセンサにおいては、光電変換によって発生した電荷を十分な時間保持するための補助容量（画素容量）が、例えば上記の特許文献 2 に記載された構成により画素毎に形成される。

[0013] しかしながら、表示装置、イメージセンサ等のアクティブマトリクス基板に補助容量線を配置すると、補助容量線と信号線との交差部が多数形成され、両配線間に寄生容量が発生してデータ信号の S N 比が低下したり、クロストークにより信号品質比が低下するといった問題が発生し得る。

[0014] 図 2 0 に示した特許文献 1 のアクティブマトリクス基板には、補助容量線、補助容量電極、および補助容量対向電極は配置されておらず、この文献には補助容量線、補助容量線、および補助容量対向電極の配置に関する提案は

なされていない。

[0015] 図 2 1 に示した特許文献 2 のアクティブマトリクス基板には、画素容量線に接続された画素容量電極と画素電極とによって補助容量が形成されるとされている。しかし、このアクティブマトリクス基板の構成では、信号線と画素容量線が縦方向に直線的に延びるとともに、縦方向に隣り合う任意の 2 画素の間を走査線が横方向に延びている。そのため、全ての信号線および画素容量線は全ての走査線と交差することになり、クロストーク等により信号の劣化が生じ易い。

[0016] 図 2 2 は、補助容量線を配置したアクティブマトリクス基板の参考例の一部を表した平面図である。図に示すように、参考例のアクティブマトリクス基板 2 0 0 は、マトリクス状に配置された複数の画素 2 1 0、複数の走査線 2 2 0、走査線 2 2 0 に垂直に延びる複数の信号線 2 3 0、および走査線 2 2 0 に平行に延びる複数の補助容量線 2 4 0 を備えている。各画素 2 1 0 には、T F T 2 5 0、画素電極 2 6 0、補助容量電極 2 4 2、および補助容量対向電極 2 6 2 が配置されている。補助容量電極 2 4 2 は、補助容量線 2 4 0 の一部（画素 2 1 0 の中央付近で広がった部分）からなる。補助容量対向電極 2 6 2 は、T F T 2 5 0 のドレイン電極に接続されており、また、画素 2 1 0 の中心付近の層間絶縁層に形成されたコンタクトホールを介して画素電極 2 6 0 に接続されている。

[0017] 参考例のアクティブマトリクス基板 2 0 0 によれば、走査線 2 2 0 と補助容量線 2 4 0 とが交差しないので、両配線および補助容量電極 2 4 2 を同一階層に形成することができる。そのため補助容量線 2 4 0 と補助容量電極 2 4 2 とを接続するためのコンタクトホールを形成する必要がなく、アクティブマトリクス基板 2 0 0 の製造が容易となる。

[0018] しかし、参考例のアクティブマトリクス基板 2 0 0 においては、信号線 2 3 0 が全ての走査線 2 2 0 および補助容量線 2 4 0 と交差するため、信号品質の低下が懸念される。

[0019] 本発明は、上記に鑑みてなされたものであり、十分な補助容量を確保する

とともに、高い信号品質を保持し得る高性能のアクティブマトリクス基板を提供することを目的とする。

課題を解決するための手段

- [0020] 本発明の実施形態によるアクティブマトリクス基板は、隣り合う第1走査線および第2走査線を含み、第1方向に延びる複数の走査線と、隣り合う第1信号線および第2信号線を含み、第2方向に延びる複数の信号線と、前記第2方向に沿って隣り合う第1画素および第2画素を含み、マトリクス状に配置された複数の画素と、補助容量線と、前記第1走査線、前記第2走査線、前記第1信号線、および前記第2信号線に囲まれた領域に配置された前記第1画素の第1画素電極および前記第2画素の第2画素電極と、前記第1信号線に接続された前記第1画素の第1TF Tと、前記第2信号線に接続された前記第2画素の第2TF Tと、前記補助容量線に接続され、前記第1画素電極および前記第2画素電極の下に広がる補助容量電極と、前記第1画素電極に接続された前記第1画素の第1補助容量対向電極と、前記第2画素電極に接続された前記第2画素の第2補助容量対向電極と、を備えている。
- [0021] ある実施形態では、前記補助容量線が前記第2方向に延び、前記第1TF Tが前記補助容量線よりも前記第1方向の正の側に位置し、前記第2TF Tが前記補助容量線よりも前記第1方向の負の側に位置している。
- [0022] ある実施形態では、前記補助容量線が前記第2方向に屈曲して延び、前記第1補助容量対向電極が前記補助容量線よりも前記第1方向の正の側に位置し、前記第2補助容量対向電極が前記補助容量線よりも前記第1方向の負の側に位置している。
- [0023] ある実施形態では、前記補助容量線と前記複数の走査線とが交わる第1交差部における前記複数の走査線の幅が、前記複数の画素の境界における前記第1交差部以外の前記複数の走査線の幅よりも狭い。
- [0024] ある実施形態では、前記複数の信号線と前記複数の走査線とが交わる第2交差部における前記複数の走査線の幅が、前記複数の画素の境界における前記第1交差部以外の前記複数の走査線の幅よりも狭い。

- [0025] ある実施形態では、前記複数の補助容量線が、前記第 1 および第 2 の画素内において、前記第 2 方向に延びる部分と、前記第 2 方向に対して斜めに延びる部分とを有する。
- [0026] ある実施形態では、前記複数の補助容量線が、前記第 1 画素内において前記第 1 方向に直線的に延びる部分と、前記第 1 および第 2 の画素の境界において前記第 2 方向に直線的に延びる部分と、前記第 2 画素内において前記第 1 方向に直線的に延びる部分とを有する。
- [0027] ある実施形態では、前記補助容量電極に接続された、前記第 1 の方向に延びる第 2 補助容量線を備え、前記補助容量電極と前記第 2 補助容量線とが同じ材料によって形成されている。
- [0028] ある実施形態では、前記補助容量電極と前記第 1 走査線と前記第 2 走査線とが、同一の階層に同じ材料によって形成されており、前記第 1 補助容量対向電極と、前記第 2 補助容量対向電極と、前記第 1 信号線と、前記第 2 信号線とが、同一の階層に同じ材料によって形成されている。
- [0029] ある実施形態では、前記補助容量電極と前記第 1 信号線と前記第 2 信号線とが、同一の階層に同じ材料によって形成されており、前記第 1 補助容量対向電極と、前記第 2 補助容量対向電極と、前記第 1 走査線と、前記第 2 走査線とが、同一の階層に同じ材料によって形成されている。
- [0030] ある実施形態では、前記補助容量線が前記第 2 方向に直線的に延び、前記第 1 補助容量対向電極が、前記補助容量線よりも前記第 1 方向の正の側に配置された第 1 部分と、前記補助容量線よりも前記第 1 方向の負の側に配置された第 2 部分とに分割されており、前記第 2 補助容量対向電極が、前記補助容量線よりも前記第 1 方向の正の側に配置された第 1 部分と、前記補助容量線よりも前記第 1 方向の負の側に配置された第 2 部分とに分割されている。
- [0031] ある実施形態では、前記第 1 補助容量対向電極の前記第 1 部分が、前記第 1 T F T のドレイン電極に接続され、前記第 1 補助容量対向電極の前記第 1 部分および前記第 2 部分が、それぞれコンタクトホールを介して前記第 1 画素電極に接続されており、前記第 2 補助容量対向電極の前記第 2 部分が、前

記第2 T F Tのドレイン電極に接続され、前記第2補助容量対向電極の前記第1部分および前記第2部分が、それぞれコンタクトホールを介して前記第2画素電極に接続されている。

[0032] ある実施形態では、前記第1画素電極および第2画素電極が、前記第1信号線および前記第2信号線を覆うように形成されている。

[0033] ある実施形態では、アクティブマトリクス基板が、前記第1走査線を挟んで前記第1画素に隣り合う第3画素と、前記第2走査線を挟んで前記第2画素に隣り合う第4画素と、前記第1信号線に接続された前記第3画素の第3 T F Tと、前記第2信号線に接続された前記第4画素の第4 T F Tと、前記第3画素の画素電極に接続された前記第3画素の第3補助容量対向電極と、前記第4画素の画素電極に接続された前記第4画素の第4補助容量対向電極と、を備え、前記補助容量線が前記第2方向に延び、前記第1 T F T、前記第2 T F T、前記第1補助容量対向電極、および前記第2補助容量対向電極が、前記補助容量線よりも前記第1方向の正の側に位置し、前記第3 T F T、前記第4 T F T、前記第3補助容量対向電極、および前記第4補助容量対向電極が、前記補助容量線よりも前記第1方向の負の側に位置している。

[0034] ある実施形態では、アクティブマトリクス基板が、前記第1信号線を挟んで前記第1画素に隣り合う第5画素と、前記第1信号線を挟んで前記第2画素に隣り合う第6画素と、前記第1走査線に接続された前記第5画素の第5 T F Tと、前記第2走査線に接続された前記第6画素の第6 T F Tと、前記第5画素の画素電極に接続された前記第5画素の第5補助容量対向電極と、前記第6画素の画素電極に接続された前記第6画素の第6補助容量対向電極と、前記第5画素および前記第6画素を通して前記第2方向に延びる他の補助容量線と、を備え、前記第5 T F Tおよび前記第5補助容量対向電極が、前記他の補助容量線よりも前記第1方向の負の側に位置しており、前記第6 T F Tおよび前記第6補助容量対向電極が、前記他の補助容量線よりも前記第1方向の正の側に位置している。

[0035] ある実施形態では、アクティブマトリクス基板が、前記第1信号線を挟ん

で前記第1画素に隣り合う第5画素と、前記第1信号線を挟んで前記第2画素に隣り合う第6画素と、前記第1信号線に接続された前記第5画素の第5 T F Tと、前記第2信号線に接続された前記第6画素の第6 T F Tと、前記第5画素の画素電極に接続された前記第5画素の第5補助容量対向電極と、前記第6画素の画素電極に接続された前記第6画素の第6補助容量対向電極と、前記第5画素および前記第6画素を通して前記第2方向に延びる他の補助容量線と、を備え、前記第5 T F T、前記第6 T F T、前記第5補助容量対向電極、および前記第6補助容量対向電極が、前記他の補助容量線よりも前記第1方向の負の側に位置している。

[0036] ある実施形態では、前記第1信号線および前記第2信号線が前記第2方向に屈曲して延び、前記補助容量線が前記第2方向に直線的に延びており、前記第1 T F Tおよび前記第1補助容量対向電極が前記補助容量線よりも前記第1方向の正の側に位置し、前記第2 T F Tおよび前記第2補助容量対向電極が前記補助容量線よりも前記第1方向の負の側に位置している。

[0037] ある実施形態では、前記第1信号線、前記第2信号線、および前記補助容量線が前記第2方向に屈曲して延び、前記第1 T F Tおよび前記第1補助容量対向電極が前記補助容量線よりも前記第1方向の正の側に位置し、前記第2 T F Tおよび前記第2補助容量対向電極が前記補助容量線よりも前記第1方向の負の側に位置している。

[0038] ある実施形態では、前記補助容量線が前記第1方向に延び、前記第1 T F Tおよび前記第1補助容量対向電極が前記補助容量線よりも正の前記第2方向側に位置し、前記第2 T F Tおよび前記第2補助容量対向電極が前記補助容量線よりも負の前記第2方向側に位置している。

[0039] ある実施形態では、前記補助容量線と前記複数の信号線とが交わる第3交差部における前記補助容量線の幅が、前記複数の画素の境界における前記第3交差部以外の前記補助容量線の幅よりも狭い。

[0040] ある実施形態では、前記複数の信号線と前記複数の走査線とが交わる第4交差部における前記複数の走査線の幅が、前記複数の画素の境界における前

記複数の走査線の幅よりも狭い。

- [0041] ある実施形態では、前記第 3 交差部および前記第 4 交差部における前記複数の信号線の幅が、前記第 3 交差部および前記第 4 交差部以外における前記複数の走査線の幅よりも狭い。

発明の効果

- [0042] 本発明の実施形態によれば、信号線と交わる走査線および補助容量線の数が少ないため、信号データの劣化が防止され、表示装置による高品質の表示、およびイメージセンサによる高品質のデータ収集が可能となる。また、本発明の実施形態によれば、広い面積の補助容量電極および補助容量対向電極を形成することができるので、十分に大きな補助容量を得ることができる。

図面の簡単な説明

- [0043] [図1]本発明の実施形態 1 によるアクティブマトリクス基板 100 の構成を模式的に表した平面図である。
- [図2]アクティブマトリクス基板 100 における表示領域 DA の構成を模式的に表した平面図である。
- [図3]アクティブマトリクス基板 100 における表示領域 DA の一部を拡大して表した平面図である。
- [図4]アクティブマトリクス基板 100 の図 3 における a ~ a' 断面の構成を模式的に表した図である。
- [図5] (a) ~ (c) は、実施形態 1 による画素構成の第 1 ~ 第 3 変形例を模式的に表した平面図である。
- [図6] (a) および (b) は、実施形態 1 による画素構成の第 4 および第 5 変形例を模式的に表した平面図である。
- [図7]アクティブマトリクス基板 100 における周辺領域 PA の構成を模式的に表した平面図である。
- [図8]周辺領域 PA の図 7 における b ~ b' 断面の構成を模式的に表した図である。
- [図9]本発明の実施形態 2 によるアクティブマトリクス基板 100 の構成を模

式的に表した平面図である。

[図10]本発明の実施形態3によるアクティブマトリクス基板100の構成を模式的に表した平面図である。

[図11]本発明の実施形態4によるアクティブマトリクス基板100の構成を模式的に表した平面図である。

[図12]実施形態4によるアクティブマトリクス基板100の、図11におけるc～c'断面の構成を模式的に表した図である。

[図13]本発明の実施形態4によるアクティブマトリクス基板100の変形例の構成を模式的に表した平面図である。

[図14]実施形態4による変形例のアクティブマトリクス基板100の、図13におけるd～d'断面の構成を模式的に表した図である。

[図15]本発明の実施形態5によるアクティブマトリクス基板100の構成を模式的に表した平面図である。

[図16]実施形態5によるアクティブマトリクス基板100の、図15におけるe～e'断面の構成を模式的に表した図である。

[図17]図15におけるe～e'断面構成の変形例を模式的に表した図である。

[図18]本発明の実施形態6によるアクティブマトリクス基板100の構成を模式的に表した平面図である。

[図19]本発明の実施形態7によるアクティブマトリクス基板100の構成を模式的に表した平面図である。

[図20]特許文献1に開示されたアクティブマトリクス基板における複数の画素の一部を表した平面図である。

[図21]特許文献2に開示されたアクティブマトリクス基板における画素の構成を表した平面図である。

[図22]参考例のアクティブマトリクス基板における画素の構成を表した平面図である。

発明を実施するための形態

[0044] 以下、図面を参照しながら、本発明の実施形態によるアクティブマトリクス基板を説明する。ただし、本発明の範囲は以下の実施形態に限られるものではない。

[0045] 本発明の実施形態のアクティブマトリクス基板は、上記特許文献に示されたような、電気泳動方式等を利用した電子ペーパー、表示装置、電子書き込み装置、液晶表示装置、およびイメージセンサのアクティブマトリクス基板として用いられ得る。また、本発明の実施形態のアクティブマトリクス基板は、有機EL表示装置や、液晶、有機EL等を利用したフレキシブルディスプレイ、X線センサ等のアクティブマトリクス基板としても用いられ得る。本発明の実施形態によるアクティブマトリクス基板をこれら機器に用いる場合、対向基板、周辺配線など、以下に説明するアクティブマトリクス基板以外の構成要素には、基本的に公知の構成要素を用いてよい。

[0046] (実施形態1)

図1は、本発明の実施形態によるアクティブマトリクス基板100の構成を模式的に示した平面図である。

[0047] 図1に示すように、アクティブマトリクス基板100は、複数の画素がマトリクス状に配置された表示領域DAと、表示領域DAを取り囲んで配置された周辺領域PAとを備えている。周辺領域PAの端部付近には、複数の走査線用端子21、信号線用端子31、および補助容量線用端子45が配置されている。各走査線用端子21にはX方向（図の左右方向：第1方向）に延びる走査線（ゲートバスライン）20が接続されており、各信号線用端子31にはY方向（図の上下方向：第2方向）に延びる信号線（ソースバスライン）30が接続されており、各補助容量線用端子45にはX方向に延びる補助容量幹配線41が接続されている。各補助容量幹配線41からは、複数の補助容量線（Csライン）がY方向に延びている。

[0048] 周辺領域PAには、図示は省略しているが、走査線駆動回路、信号線駆動回路、電圧供給回路等の電気素子がCOG（Chip on Glass）方式で配置されている。また、周辺領域PAの外端部付近にはFPC（F I

exible Printed Circuits)等の外部素子を取り付けるための端子部が配置されている。

[0049] 図2は、アクティブマトリクス基板100の表示領域DAの一部(図1におけるAの部分)を表した平面図であり、図3は、図2の一部を拡大して表した平面図である。

[0050] 図2および図3に示すように、表示部DAには複数の画素10がマトリクス状に配置されており、複数の画素10の境界に沿って、複数の走査線20と複数の信号線30とが、互いに直交するように延びている。各画素10は、その角部付近に配置されたTFT50、およびその大部分を覆うように配置された例えばITO(Indium Tin Oxide)からなる画素電極60を含んでいる。TFT50のゲート電極、ソース電極、およびドレイン電極は、それぞれ走査線20、信号線30、および画素電極60に接続されている。また、Y方向に延びる画素列毎に、Y方向に屈曲して延びる補助容量線40が配置されている。

[0051] 各画素10には、補助容量線40に接続された補助容量電極(Cs電極)42、および画素電極60に接続された補助容量対向電極(Cs対向電極)62が配置されており、補助容量電極42、補助容量対向電極62、およびこれらの電極の間に配置された絶縁層または誘電体層によって補助容量が形成される。

[0052] 図1および図2に示すように、信号線30は、表示領域DAの中央付近で途切れており、上方に延びる信号線30および下方に延びる信号線30のそれぞれに対して、1つの信号線用端子31が配置されている。例えば、図2に示した一般的な表示装置のアクティブマトリクス基板においては、768本の走査線、および3072本の信号線が用いられるが、本実施形態では信号線30の数はその2倍となる。このように信号線を配置することにより、データの読み出し期間、または書き込み期間(TFTの選択期間)を通常の約2倍とすることができ、また、信号線の1本あたりの負荷を低減できるため、より品質の高い表示またはデータ取得が可能となる。

- [0053] 図4は、アクティブマトリクス基板100の図3におけるa-a'断面の構成を模式的に表している。
- [0054] 図4に示すように、アクティブマトリクス基板100は、ガラス基板等の基板12と、基板12の上に形成された補助容量電極(Cs下部電極)42と、補助容量電極42を覆うように基板12の上に積層された絶縁層(第1無機絶縁膜またはゲート絶縁膜とも呼ぶ)13と、絶縁層13の上に形成された補助容量線40および補助容量対向電極(Cs上部電極)62と、補助容量線40および補助容量対向電極62を覆うように絶縁層13の上に積層された絶縁層(第2無機絶縁膜または保護膜とも呼ぶ)14と、絶縁層14の上に積層された絶縁層(有機絶縁膜または層間絶縁膜とも呼ぶ)15と、を有している。絶縁層13および14は、例えば、窒化シリコンまたは酸化シリコンからなる。
- [0055] 画素電極60と信号線30との間の寄生容量を低減させるために、絶縁層15には低誘電率の材料を用いることが好ましい。そのため絶縁層14に、例えば、厚さ0.3 μ mの窒化シリコンを用い、絶縁層15に、例えば、厚さ3.0 μ m、比誘電率3.4程度の感光性アクリル樹脂を用いることが好ましい。
- [0056] 絶縁層15の上には画素電極60が形成されている。画素電極60は補助容量対向電極62に、絶縁層15に形成されたコンタクトホールCHを介して接続されており、補助容量線40は補助容量電極42に、絶縁層13に形成されたコンタクトホールCHを介して接続されている。
- [0057] 補助容量電極42、走査線20、およびTFT50のゲート電極は、同一工程において金属層をパターニングすることによって得られるため、同一の金属材料からなる。補助容量電極42、走査線20、およびTFT50のゲート電極は、例えば、Ti(チタン)の上にAl(アルミニウム)およびTiN(窒化チタン)を積層したTiN/Al/Tiの3層構成からなる。この金属層を、Ti/Al/Ti、Al/Ti、Cu(銅)/Ti、Cu/Mo(モリブデン)等の多層構成としてもよく、これらの金属の1つによる単

層構成としてもよい。

[0058] 補助容量線 40、補助容量対向電極 62、信号線 30、ならびに TFT50 のソース電極およびドレイン電極は、同一工程において金属層をパターンニングすることによって得られるため、同一の金属材料からなる。補助容量電極 42、走査線 20、および TFT50 のゲート電極は、例えば、Al/Ti の 2 層構成の金属層からなる。この金属層を、Cu/Ti、Cu/Mo、Ti/Al/Ti などの多層構造としてもよい。また、この金属層に、走査線 20 に対して適用可能とした上述の多層構造または単層構造を適用してもよい。

[0059] 次に、図 2 および図 3 を参照しながら、表示領域 DA のより詳細な構成を説明する。

[0060] 表示領域 DA において Y 方向に隣り合う任意の 2 つの走査線 20（図の上側の走査線（第 1 走査線）を 20a、下側の走査線（第 2 走査線）を 20b とする）の間には、2 つの画素 10（上側の画素（第 1 画素）を 10a、下側の画素（第 2 画素）を 10b とする）が配置されている。画素 10a および 10b は、隣り合う 2 つの信号線 30（右の信号線（第 1 信号線）を 30a、左側の信号線（第 2 信号線）を 30b とする）の間に配置されている。X 方向に沿って隣り合う任意の 2 つの画素 10 の間には、2 つの信号線 30a および 30b が延びている。

[0061] 画素 10a 内には、TFT（第 1 TFT）50a、画素電極（第 1 画素電極）60a、補助容量対向電極（第 1 補助容量対向電極）62a が配置されており、画素 10b 内には、TFT（第 2 TFT）50b、画素電極（第 2 画素電極）60b、補助容量対向電極（第 2 補助容量対向電極）62b が配置されている。

[0062] TFT50a のゲート電極、ソース電極、およびドレイン電極は、それぞれ走査線 20a、信号線 30a、および補助容量対向電極 62a に接続されている。補助容量対向電極 62a と画素電極 60a とは絶縁層 15 に形成されたコンタクトホール CH を介して接続されているため、画素電極 60a は

TFT50aのドレイン電極に電氣的に接続される。TFT50bのゲート電極、ソース電極、およびドレイン電極は、それぞれ走査線20b、信号線30b、および補助容量対向電極62bに接続されている。補助容量対向電極62bと画素電極60bとは絶縁層15に形成されたコンタクトホールCHを介して接続されているため、画素電極60bはTFT50bのドレイン電極に電氣的に接続される。

[0063] 走査線20aおよび20bならびに信号線30aおよび30bに囲まれた領域内に配置された補助容量電極42は、2つの画素10aおよび10bの補助容量電極として機能する。補助容量電極42は画素10a内に形成された絶縁層13のコンタクトホールCH、および画素10b内に形成された絶縁層13のコンタクトホールCHを介して補助容量線40に接続されている。基板面に垂直な方向から見た場合、補助容量電極42は補助容量対向電極62aおよび62bがその内側に含まれるように広がっている。

[0064] 補助容量線40は、TFT50aおよび50bを避けて画素10aおよび10bを通るように、第2方向に屈曲して延びている。つまり、補助容量線40は、画素10aおよび10bにおいて、Y方向に直線的に延びる部分と、Y方向に対して斜めに延びる部分とを有する。TFT50aおよび補助容量対向電極62aは補助容量線40よりもX方向の正の側（図中の右側）に位置し、TFT50bおよび補助容量対向電極62bは補助容量線40よりもX方向の負の側（図中の左側）に位置している。

[0065] 本実施形態のアクティブマトリクス基板100によれば、1つの走査線によってY方向に隣接する2つの画素を走査することができるので、走査線の数通常半分の数となり、走査線と信号線の交差点の数が減少する。また同時に、信号線と交わることなく補助容量線を配置することができるので、画素毎に補助容量を確保するとともに、信号品質の劣化が防止される。また、補助容量線を屈曲させることにより、より簡単な構成で広い面積の補助容量対向電極を形成することができるため、少ない数のコンタクトホールにより製造効率よく大きな補助容量を得ることができる。

[0066] また、このように走査線の数が少ないため、データの読み出し期間、または書き込み期間（T F Tの選択期間）を通常の約2倍とすることができるため、より品質の高い表示またはデータ取得が可能となる。また、走査線の数が減るとともにT F Tを小型にすることができる（例えばチャンネル長を縮小できる）ため、T F T部の寄生容量（例えばゲート電極とドレイン電極間の容量）を小さくすることができ、走査線の負荷を低減できる。また、T F Tと補助容量電極等との間の距離を広く取ることができ、リーク不良を低減できる。また、透過型の液晶表示装置においては、開口率を向上することが可能となる。

[0067] 図3におけるBは、補助容量線40と走査線20とが交わる交差部（第1交差部）を表している。交差部Bにおける走査線20の幅は、Y方向に隣り合う2つの画素10の境界における交差部B以外における走査線20の幅よりも狭くなっている。また、信号線30と走査線20とが交わる交差部（第2交差部）Cにおける走査線20の幅は、交差部BおよびC以外における走査線20の幅よりも狭い。このように、配線交差部における配線幅を狭くすることにより、配線の交差面積が狭まるので、配線間に生じ得る容量を低減させることができる。よって、より品質の高い信号が提供され、優れた表示およびデータ取得が可能となる。

[0068] 次に、図5および図6を参照して、実施形態1による画素構成の第1～第5変形例を説明する。図5（a）～（c）は第1～第3変形例を模式的に表した平面図であり、図6（a）および（b）は第4および第5変形例を模式的に表した平面図である。なお、図6（a）および（b）においては、便宜上、図の右から左に向かう方向を正のX方向としている。

[0069] これらの変形例において、走査線20aを挟んで画素10aに隣り合う画素（第3画素）を画素10cとし、画素10cのT F T（第3T F T）および補助容量対向電極（第3補助容量対向電極）を、それぞれ50cおよび62cで表す。また、走査線20bを挟んで画素10bに隣り合う画素（第4画素）を画素10dとし、画素10dのT F T（第4T F T）および補助容

量対向電極（第4補助容量対向電極）を、それぞれ50dおよび62dで表す。信号線30aを挟んで画素10aに隣り合う画素（第5画素）10eはTF T（第5TF T）50eおよび補助容量対向電極（第5補助容量対向電極）62eを含み、信号線30aを挟んで画素10bに隣り合う画素（第6画素）10fはTF T（第6TF T）50fおよび補助容量対向電極（第6補助容量対向電極）62fを含むものとする。また、画素10eおよび10fを通して前記第2方向に延びる補助容量線（他の補助容量線）を補助容量線40Nとする。

[0070] 第1変形例においては、図5（a）に示すように、TF T 50aおよび補助容量対向電極62a、ならびにTF T 50bおよび補助容量対向電極62bは、補助容量線40よりもX方向の正の側に位置しており、TF T 50cおよび補助容量対向電極62c、ならびにTF T 50dおよび補助容量対向電極62dは、補助容量線40よりもX方向の負の側に位置している。また、TF T 50eおよび補助容量対向電極62e、ならびにTF T 50fおよび補助容量対向電極62fは、補助容量線40NよりもX方向の正の側に位置している。

[0071] 第2変形例においては、図5（b）に示すように、TF T 50aおよび補助容量対向電極62a、ならびにTF T 50dおよび補助容量対向電極62dは、補助容量線40よりもX方向の正の側に位置しており、TF T 50bおよび補助容量対向電極62b、ならびにTF T 50cおよび補助容量対向電極62cは、補助容量線40よりもX方向の負の側に位置している。また、TF T 50eおよび補助容量対向電極62eは、補助容量線40NよりもX方向の負の側に位置しており、TF T 50fおよび補助容量対向電極62fは、補助容量線40NよりもX方向の正の側に位置している。

[0072] 第3変形例においては、図5（c）に示すように、TF T 50aおよび補助容量対向電極62a、ならびにTF T 50bおよび補助容量対向電極62bは、補助容量線40よりもX方向の正の側に位置しており、TF T 50cおよび補助容量対向電極62c、ならびにTF T 50dおよび補助容量対向

電極 6 2 d は、補助容量線 4 0 よりも X 方向の負の側に位置している。また、T F T 5 0 e および補助容量対向電極 6 2 e、ならびに T F T 5 0 f および補助容量対向電極 6 2 f は、補助容量線 4 0 N よりも X 方向の負の側に位置している。

[0073] 第 4 変形例においては、図 6 (a) に示すように、信号線 3 0 a および 3 0 b は Y 方向に屈曲して延び、補助容量線 4 0 および 4 0 N は Y 方向に直線的に延びている。T F T 5 0 a および補助容量対向電極 6 2 a、ならびに T F T 5 0 d および補助容量対向電極 6 2 d は、補助容量線 4 0 よりも X 方向の正の側に位置しており、T F T 5 0 b および補助容量対向電極 6 2 b、ならびに T F T 5 0 c および補助容量対向電極 6 2 c は、補助容量線 4 0 よりも X 方向の負の側に位置している。また、T F T 5 0 e および補助容量対向電極 6 2 e は、補助容量線 4 0 N よりも X 方向の正の側に位置しており、T F T 5 0 f および補助容量対向電極 6 2 f は、補助容量線 4 0 N よりも X 方向の負の側に位置している。

[0074] 第 5 変形例においては、図 6 (b) に示すように、信号線 3 0 a および 3 0 b ならびに補助容量線 4 0 および 4 0 N は、Y 方向に屈曲して延びている。T F T 5 0 a および補助容量対向電極 6 2 a、ならびに T F T 5 0 d および補助容量対向電極 6 2 d は、補助容量線 4 0 よりも X 方向の正の側に位置しており、T F T 5 0 b および補助容量対向電極 6 2 b、ならびに T F T 5 0 c および補助容量対向電極 6 2 c は、補助容量線 4 0 よりも X 方向の負の側に位置している。また、T F T 5 0 e および補助容量対向電極 6 2 e は、補助容量線 4 0 N よりも X 方向の正の側に位置しており、T F T 5 0 f および補助容量対向電極 6 2 f は、補助容量線 4 0 N よりも X 方向の負の側に位置している。

[0075] 次に、図 7 および図 8 を参照して、アクティブマトリクス基板 1 0 0 における信号線 3 0 および信号線用端子 3 1 の配置構成について説明する。図 7 は、信号線 3 0 と信号線用端子 3 1 との間の構成を模式的に表した平面図であり、図 8 は、図 7 における b ~ b' 断面の構成を模式的に表した図である

。

[0076] 図7に示すように、信号線30は、各信号線30に対応して周辺領域PAに配置された信号供給線32によって信号線用端子31に接続される。補助容量幹配線41には複数の補助容量線40が接続されている。

[0077] 図8に示すように、信号供給線32は、絶縁層13を挟んで補助容量幹配線41よりも下層に配置されている。信号線30と信号供給線32とは、絶縁層13に形成されたコンタクトホールを含む接続部33を介して互いに接続されている。このような配置により、同じ階層に配置されている信号線30、補助容量線40、および補助容量幹配線41が導通することが回避される。

[0078] 次に、本発明による他の実施形態（実施形態2～7）を説明する。以下の説明においては、実施形態1と同じ構成要素には同じ参照番号を付け、その詳細な説明を省略する。実施形態2～7において説明する部分以外は、基本的に実施形態1と同じであり、同じ構成要素からは同様の効果を得ることができる。また、画素10aおよび画素10bを、両者を区別する必要がない場合は、画素10と表すこともある。走査線20aおよび20b、信号線30aおよび30bなど、他の一对の構成要素も同様に表すことがある。

[0079] （実施形態2）

図9は、実施形態2によるアクティブマトリクス基板100の表示部DAの構成を模式的に示す断面図である。

[0080] 図9に示すように、実施形態2においては、補助容量線40は、画素10aおよび10bの中でY方向に延びる直線部分と、画素10aと画素10bとの境界においてX方向に延びる部分とを有する。補助容量線40と補助容量電極42は、補助容量線40のX方向に延びる部分の上の絶縁層13に形成された1つのコンタクトホールCHを介して接続されている。補助容量線40と補助容量電極42を、実施形態1と同様に2つのコンタクトホールCHを介して接続した形態も、本実施形態に含まれる。

[0081] 実施形態2のアクティブマトリクス基板100によれば、実施形態1に比

べて補助容量対向電極 6 2 の面積を大きくすることができるので、より高品質の表示およびデータ取得が可能となる。また、補助容量電極 4 2 と補助容量線 4 0 とを接続するコンタクトホールが画素電極 6 0 a および 6 0 b の間に配置される。これにより、コンタクトホールにおける接続不良等が生じた場合に、レーザ照射することによってメルト修正する場合であっても、画素電極にダメージを与えるリスクが減少する。すなわち、画素電極の飛び散りによる、リーク等の二次不良を回避することができる。

[0082] (実施形態 3)

図 1 0 は、実施形態 3 によるアクティブマトリクス基板 1 0 0 の表示部 D A の構成を模式的に示す図である。

[0083] 図 1 0 に示すように、実施形態 3 においては、補助容量線 4 0 に加えて補助容量線（第 2 補助容量線） 4 0 b が、画素 1 0 a と画素 1 0 b の境界に沿って X 方向に延びている。補助容量線 4 0 b と補助容量電極 4 2 は、基板上に積層された金属層を 1 つの工程でパターニングして得られる。そのため、補助容量線 4 0 b と補助容量電極 4 2 は、同一階層に同一の材料によって形成されている。補助容量電極 4 2 を、画素 1 0 a および 1 0 b の下にまで広がった補助容量線 4 0 b の一部と考えることもできる。

[0084] この構成によれば、補助容量線の配線抵抗を小さくでき、表示部内の抵抗分布を小さくすることができるので、より品質の高い表示またはデータ取得が可能となる。また、補助容量電極 4 2 を形成した時点で、X 方向に隣接する補助容量電極 4 2 が相互接続されるので、静電気の帯電による不良を低減することができる。

[0085] (実施形態 4)

図 1 1 は、実施形態 4 によるアクティブマトリクス基板 1 0 0 の表示部 D A の構成を模式的に示す断面図であり、図 1 2 は、図 1 1 における c ~ c' 断面の構成を模式的に表した図である。

[0086] 図 1 1 に示すように、実施形態 4 は実施形態 3 から補助容量線 4 0 を除いた構成を有しており、補助容量電極 4 2 は補助容量線 4 0 b のみに接続され

ている。また、図 1 2 に示すように、T F T 5 0 は、基板 1 2 の上に形成されたゲート電極 5 1 と、絶縁層 1 3 の上に形成された半導体層 5 2 と、それぞれが半導体層 5 2 の一部を覆うように形成されたソース電極 5 3 s およびドレイン電極 5 3 d を含んでいる。ソース電極 5 3 s およびドレイン電極 5 3 d の上には絶縁層 1 4 および絶縁層 1 5 がこの順番に積層されている。

[0087] 補助容量電極 4 2 の上には、絶縁層 1 3、補助容量対向電極 6 2、絶縁層 1 4、絶縁層 1 5、および画素電極 6 0 がこの順に積層されている。T F T 5 0 のドレイン電極 5 3 d は補助容量対向電極 6 2 に接続されており、補助容量対向電極 6 2 は絶縁層 1 4 および 1 5 に形成されたコンタクトホール C H を介して画素電極 6 0 に接続されている。

[0088] 図 1 2 に示した T F T 5 0 の部位および補助容量部の断面構成は、実施形態 1 と同じである。実施形態 4 では、実施形態 1 とは異なり、補助容量線 4 0 が形成されないため、補助容量対向電極 6 2 a および 6 2 b を、それぞれが近接する部分を除いて、補助容量電極 4 2 とほぼ同じ広さに形成することができる。これにより、各画素 1 0 の補助容量を増やすことができる。また、補助容量線 4 0 と走査線 2 0 との交差部が形成されないので、走査信号の品質が向上する。さらに、補助容量線 4 0 と補助容量電極 4 2 とを接続するためのコンタクトホール C H を絶縁層 1 3 に形成する必要がないので、製造効率が向上する。

[0089] 次に、実施形態 4 の変形例を説明する。

[0090] 図 1 3 は、実施形態 4 の変形例の表示部 D A の構成を模式的に示す断面図であり、図 1 4 は、図 1 3 における d ~ d' 断面の構成を模式的に表した図である。

[0091] 図 1 3 に示すように、変形例は上述した実施形態 4 と同様、実施形態 3 から補助容量線 4 0 を除いた構成を有しており、補助容量電極 4 2 は補助容量線 4 0 b のみに接続されている。図 1 4 に示すように、T F T 5 0 の部位は実施形態 4 と同じ構成を有している。

[0092] 補助容量電極 4 2 の上には、絶縁層 1 3、半導体層 5 2、補助容量対向電

極 6 2、絶縁層 1 4、絶縁層 1 5、および画素電極 6 0がこの順に積層されている。半導体層 5 2は、T F T 5 0の半導体層 5 2と同一の工程で、同じ材料によって形成されている。T F T 5 0のドレイン電極 5 3 dは補助容量対向電極 6 2に接続されており、補助容量対向電極 6 2は絶縁層 1 4および 1 5、および補助容量対向電極 6 2を貫通し、半導体層 5 2の上部に達するコンタクトホール C Hを介して画素電極 6 0に接続されている。

[0093] (実施形態 5)

図 1 5 は、実施形態 5 によるアクティブマトリクス基板 1 0 0 の表示部 D A の構成を模式的に示す断面図であり、図 1 6 は、図 1 5 における e ~ e ' 断面の構成を模式的に表した図である。

[0094] 図 1 5 に示すように、実施形態 5 においては、補助容量線 4 0 は画素 1 0 の概ね中心を通過して Y 方向に延びている。図 1 6 に示すように、補助容量電極 4 2 は、T F T 5 0 のドレイン電極 5 3 d と同じ階層（ソース電極、補助容量線 4 0、信号線 3 0 と同じ階層）に形成されている。補助容量電極 4 2 は、ドレイン電極 5 3 d、ソース電極、補助容量線 4 0、および信号線 3 0 と同じ工程において、同時に同一材料によって形成される。補助容量電極 4 2 を、画素 1 0 内に広がった補助容量線 4 0 の一部と考えることもできる。

[0095] 補助容量対向電極 6 2 は、走査線 2 0 および T F T 5 0 のゲート電極と同じ階層に形成されている。補助容量対向電極 6 2 は、走査線 2 0 およびゲート電極と同じ工程において、同時に同一材料によって形成される。補助容量対向電極 6 2 とドレイン電極 5 3 d は、絶縁層 1 3 に形成されたコンタクトホール C H を介して互いに接続されており、ドレイン電極 5 3 d と画素電極 6 0 は、絶縁層 1 4 および 1 5 に形成されたコンタクトホール C H を介して互いに接続されている。

[0096] 各画素 1 0 における補助容量は、補助容量電極 4 2 と補助容量対向電極 6 2 との間、および補助容量電極 4 2 と画素電極 6 0 との間で形成される。そのため、補助容量線 4 0 と補助容量電極 4 2 とを接続するためのコンタクト

ホールを形成する必要がないので、製造効率が向上する。

[0097] 次に、実施形態5の変形例を説明する。

[0098] 図17は、この変形例の構成を模式的に表した断面図であり、図15におけるe～e'断面に該当する構成を模式的に表した図である。

[0099] 変形例のアクティブマトリクス基板100は、基本的に図15および図16に示したものと同一構成を有する。ただし、図17に示すように絶縁層15は形成されず、ここには、絶縁層13と同様の比誘電率である絶縁層14を絶縁層13と同等の厚さだけ形成する構成を示している。そのため、本実施形態によれば、補助容量電極42を走査線20と同じ階層に形成する形態と比べて、約2倍の補助容量を得ることができる。絶縁層15を図に示す以外の領域に形成する必要がある場合は、通常露光またはハーフトーン露光を用いたフォトリソグラフィ法によって、不要な部分の絶縁層15が除去される。変形例によっても、上述した実施形態5と同じ効果が得られる。さらに、絶縁層15を全く形成しない場合には、製造効率が向上する。

[0100] (実施形態6)

図18は、実施形態6によるアクティブマトリクス基板100の表示部DAの構成を模式的に示す断面図である。

[0101] 図18に示すように、実施形態6においては、補助容量線40は画素10の概ね中心を通過してY方向に延びている。補助容量電極42は、実施形態1と同様、走査線20およびTF T50のゲート電極と同じ階層に形成され、補助容量対向電極62は、TF T50のソース電極およびドレイン電極、ならびに補助容量線40、信号線30と同じ階層に形成される。

[0102] 補助容量線40は、Y方向に画素10のほぼ中心を通過して直線状に延びている。各画素10において、補助容量対向電極62は、補助容量線40を挟む2つの部分（画素10aにおける62a-aと62a-b、画素10bにおける62b-aと62b-b）に分割されている。補助容量線40と補助容量電極42は、画素10aにおいて補助容量線40の下部に形成されたコンタクトホール、画素10bにおいて補助容量線40の下部に形成されたコ

ンタクトホール、および画素10aと画素10bの境界に形成されたコンタクトホールによって互いに接続されている。補助容量線40と補助容量電極42を、3つのコンタクトホールではなく、このうちの1つまたは2つのコンタクトホールで接続してもよい。

[0103] 画素10aにおいて、補助容量対向電極62a-aは、TFT50aのドレイン電極に接続されるとともに、コンタクトホールによって画素電極60aに接続されている。補助容量対向電極62a-bは、TFT50aのドレイン電極に接続されることなく、コンタクトホールによって画素電極60aに接続されている。画素10bにおいて、補助容量対向電極62b-aは、TFT50bのドレイン電極に接続されることなく、コンタクトホールによって画素電極60bに接続されている。補助容量対向電極62b-bは、TFT50bのドレイン電極に接続されるとともに、コンタクトホールによって画素電極60bに接続されている。

[0104] (実施形態7)

図19は、実施形態7によるアクティブマトリクス基板100の表示部DAの構成を模式的に示す断面図である。

[0105] 図19に示すように、実施形態7の表示部DAは、基本的に実施形態1と同じ構成を有する。ただし、本実施形態においては、画素電極10aおよび10bが、信号線30aおよび30bを覆うように広がっている。これにより、実施形態1から得られる利点に加えて、表示における光漏れを減少させるという効果が得られる。また、アクティブマトリクス基板100を液晶表示装置に用いる場合、信号線30aおよび30bからの電界漏れが低減され、電界漏れに起因する液晶の配向異常を防止することができる。

[0106] 本実施形態の変形例として、各画素10においてTFT50を直列に配置した2つのTFTに置き換えた形態がある。つまり、2つのTFTの両方のゲート電極を1つの走査線20に平行接続し、一方のTFTのソース電極を信号線30に接続し、そのドレイン電極を他方のTFTのソース電極に接続し、他方のTFTのドレイン電極を補助容量対向電極62または画素電極6

0に接続する形態である。

[0107] この変形例によれば、T F Tの非選択期間に発生するリーク電流を低減させることができる。したがって、この変形例のアクティブマトリクス基板100は、比較的長い時間電圧を保持する必要がある低周波で駆動する低消費電力の液晶表示装置や、電子ペーパーなどに好適に用いられ得る。

産業上の利用可能性

[0108] 本発明の実施形態は、電気泳動方式等を利用した電子ペーパー、表示装置、および電子書き込み装置、液晶表示装置、有機E L表示装置、フレキシブルディスプレイ、イメージセンサ、X線センサ等に好適に用いられ得る。

符号の説明

- [0109]
- | | |
|----|---------------|
| 10 | 画素 |
| 12 | 基板 |
| 13 | 絶縁層（第1無機絶縁膜） |
| 14 | 絶縁層（第2無機絶縁膜） |
| 15 | 絶縁層（有機絶縁膜） |
| 20 | 走査線（ゲートバスライン） |
| 21 | 走査線用端子 |
| 30 | 信号線（ソースバスライン） |
| 31 | 信号線用端子 |
| 32 | 信号供給線 |
| 33 | 接続部 |
| 40 | 補助容量線（Csライン） |
| 41 | 補助容量幹配線 |
| 42 | 補助容量電極（Cs電極） |
| 45 | 補助容量線用端子 |
| 50 | T F T |
| 51 | ゲート電極 |
| 52 | 半導体層 |

5 3 s ソース電極

5 3 d ドレイン電極

6 0 画素電極

6 2 補助容量対向電極 (C s 対向電極)

請求の範囲

- [請求項1] 隣り合う第1走査線および第2走査線を含み、第1方向に延びる複数の走査線と、
- 隣り合う第1信号線および第2信号線を含み、第2方向に延びる複数の信号線と、
- 前記第2方向に沿って隣り合う第1画素および第2画素を含み、マトリクス状に配置された複数の画素と、
- 補助容量線と、
- 前記第1走査線、前記第2走査線、前記第1信号線、および前記第2信号線に囲まれた領域に配置された前記第1画素の第1画素電極および前記第2画素の第2画素電極と、
- 前記第1信号線に接続された前記第1画素の第1TF Tと、
- 前記第2信号線に接続された前記第2画素の第2TF Tと、
- 前記補助容量線に接続され、前記第1画素電極および前記第2画素電極の下に広がる補助容量電極と、
- 前記第1画素電極に接続された前記第1画素の第1補助容量対向電極と、
- 前記第2画素電極に接続された前記第2画素の第2補助容量対向電極と、を備えたアクティブマトリクス基板。
- [請求項2] 前記補助容量線が前記第2方向に延び、
- 前記第1TF Tが前記補助容量線よりも前記第1方向の正の側に位置し、
- 前記第2TF Tが前記補助容量線よりも前記第1方向の負の側に位置している、請求項1に記載のアクティブマトリクス基板。
- [請求項3] 前記補助容量線が前記第2方向に屈曲して延び、
- 前記第1補助容量対向電極が前記補助容量線よりも前記第1方向の正の側に位置し、
- 前記第2補助容量対向電極が前記補助容量線よりも前記第1方向の

負の側に位置している、請求項 2 に記載のアクティブマトリクス基板。

[請求項4] 前記補助容量線と前記複数の走査線とが交わる第 1 交差部における前記複数の走査線の幅が、前記複数の画素の境界における前記第 1 交差部以外の前記複数の走査線の幅よりも狭い、請求項 1 に記載のアクティブマトリクス基板。

[請求項5] 前記複数の信号線と前記複数の走査線とが交わる第 2 交差部における前記複数の走査線の幅が、前記複数の画素の境界における前記第 1 交差部以外の前記複数の走査線の幅よりも狭い、請求項 1 に記載のアクティブマトリクス基板。

[請求項6] 前記複数の補助容量線が、前記第 1 および第 2 の画素内において、前記第 2 方向に延びる部分と、前記第 2 方向に対して斜めに延びる部分とを有する、請求項 3 に記載のアクティブマトリクス基板。

[請求項7] 前記複数の補助容量線が、前記第 1 画素内において前記第 1 方向に直線的に延びる部分と、前記第 1 および第 2 の画素の境界において前記第 2 方向に直線的に延びる部分と、前記第 2 画素内において前記第 1 方向に直線的に延びる部分とを有する、請求項 3 に記載のアクティブマトリクス基板。

[請求項8] 前記補助容量電極に接続された、前記第 1 の方向に延びる第 2 補助容量線を備え、

前記補助容量電極と前記第 2 補助容量線とが同じ材料によって形成されている、請求項 3 に記載のアクティブマトリクス基板。

[請求項9] 前記補助容量電極と前記第 1 走査線と前記第 2 走査線とが、同一の階層に同じ材料によって形成されており、

前記第 1 補助容量対向電極と、前記第 2 補助容量対向電極と、前記第 1 信号線と、前記第 2 信号線とが、同一の階層に同じ材料によって形成されている、請求項 1 に記載のアクティブマトリクス基板。

[請求項10] 前記補助容量電極と前記第 1 信号線と前記第 2 信号線とが、同一の

階層に同じ材料によって形成されており、

前記第 1 補助容量対向電極と、前記第 2 補助容量対向電極と、前記第 1 走査線と、前記第 2 走査線とが、同一の階層に同じ材料によって形成されている、請求項 1 に記載のアクティブマトリクス基板。

[請求項11]

前記補助容量線が前記第 2 方向に直線的に延び、

前記第 1 補助容量対向電極が、前記補助容量線よりも前記第 1 方向の正の側に配置された第 1 部分と、前記補助容量線よりも前記第 1 方向の負の側に配置された第 2 部分とに分割されており、

前記第 2 補助容量対向電極が、前記補助容量線よりも前記第 1 方向の正の側に配置された第 1 部分と、前記補助容量線よりも前記第 1 方向の負の側に配置された第 2 部分とに分割されている、請求項 2 に記載のアクティブマトリクス基板。

[請求項12]

前記第 1 補助容量対向電極の前記第 1 部分が、前記第 1 T F T のドレイン電極に接続され、

前記第 1 補助容量対向電極の前記第 1 部分および前記第 2 部分が、それぞれコンタクトホールを介して前記第 1 画素電極に接続されており、

前記第 2 補助容量対向電極の前記第 2 部分が、前記第 2 T F T のドレイン電極に接続され、

前記第 2 補助容量対向電極の前記第 1 部分および前記第 2 部分が、それぞれコンタクトホールを介して前記第 2 画素電極に接続されている、請求項 1 に記載のアクティブマトリクス基板。

[請求項13]

前記第 1 画素電極および第 2 画素電極が、前記第 1 信号線および前記第 2 信号線を覆うように形成されている、請求項 1 に記載のアクティブマトリクス基板。

[請求項14]

前記第 1 走査線を挟んで前記第 1 画素に隣り合う第 3 画素と、
前記第 2 走査線を挟んで前記第 2 画素に隣り合う第 4 画素と、
前記第 1 信号線に接続された前記第 3 画素の第 3 T F T と、

前記第 2 信号線に接続された前記第 4 画素の第 4 T F T と、
前記第 3 画素の画素電極に接続された前記第 3 画素の第 3 補助容量
対向電極と、
前記第 4 画素の画素電極に接続された前記第 4 画素の第 4 補助容量
対向電極と、
を備え、
前記補助容量線が前記第 2 方向に延び、
前記第 1 T F T、前記第 2 T F T、前記第 1 補助容量対向電極、お
よび前記第 2 補助容量対向電極が、前記補助容量線よりも前記第 1 方
向の正の側に位置し、
前記第 3 T F T、前記第 4 T F T、前記第 3 補助容量対向電極、お
よび前記第 4 補助容量対向電極が、前記補助容量線よりも前記第 1 方
向の負の側に位置している、請求項 1 に記載のアクティブマトリクス
基板。

[請求項15]

前記第 1 信号線を挟んで前記第 1 画素に隣り合う第 5 画素と、
前記第 1 信号線を挟んで前記第 2 画素に隣り合う第 6 画素と、
前記第 1 走査線に接続された前記第 5 画素の第 5 T F T と、
前記第 2 走査線に接続された前記第 6 画素の第 6 T F T と、
前記第 5 画素の画素電極に接続された前記第 5 画素の第 5 補助容量
対向電極と、
前記第 6 画素の画素電極に接続された前記第 6 画素の第 6 補助容量
対向電極と、
前記第 5 画素および前記第 6 画素を通して前記第 2 方向に延びる他
の補助容量線と、
を備え、
前記第 5 T F T および前記第 5 補助容量対向電極が、前記他の補助
容量線よりも前記第 1 方向の負の側に位置しており、
前記第 6 T F T および前記第 6 補助容量対向電極が、前記他の補助

容量線よりも前記第 1 方向の正の側に位置している、請求項 3 に記載のアクティブマトリクス基板。

- [請求項16] 前記第 1 信号線を挟んで前記第 1 画素に隣り合う第 5 画素と、
前記第 1 信号線を挟んで前記第 2 画素に隣り合う第 6 画素と、
前記第 1 信号線に接続された前記第 5 画素の第 5 T F T と、
前記第 2 信号線に接続された前記第 6 画素の第 6 T F T と、
前記第 5 画素の画素電極に接続された前記第 5 画素の第 5 補助容量対向電極と、
前記第 6 画素の画素電極に接続された前記第 6 画素の第 6 補助容量対向電極と、
前記第 5 画素および前記第 6 画素を通して前記第 2 方向に延びる他の補助容量線と、
を備え、
前記第 5 T F T、前記第 6 T F T、前記第 5 補助容量対向電極、および前記第 6 補助容量対向電極が、前記他の補助容量線よりも前記第 1 方向の負の側に位置している、請求項 1 4 に記載のアクティブマトリクス基板。

- [請求項17] 前記第 1 信号線および前記第 2 信号線が前記第 2 方向に屈曲して延び、
前記補助容量線が前記第 2 方向に直線的に延びており、
前記第 1 T F T および前記第 1 補助容量対向電極が前記補助容量線よりも前記第 1 方向の正の側に位置し、
前記第 2 T F T および前記第 2 補助容量対向電極が前記補助容量線よりも前記第 1 方向の負の側に位置している、請求項 1 に記載のアクティブマトリクス基板。

- [請求項18] 前記第 1 信号線、前記第 2 信号線、および前記補助容量線が前記第 2 方向に屈曲して延び、
前記第 1 T F T および前記第 1 補助容量対向電極が前記補助容量線

よりも前記第 1 方向の正の側に位置し、

前記第 2 T F T および前記第 2 補助容量対向電極が前記補助容量線よりも前記第 1 方向の負の側に位置している、請求項 1 に記載のアクティブマトリクス基板。

[請求項19] 前記補助容量線が前記第 1 方向に延び、

前記第 1 T F T および前記第 1 補助容量対向電極が前記補助容量線よりも正の前記第 2 方向側に位置し、

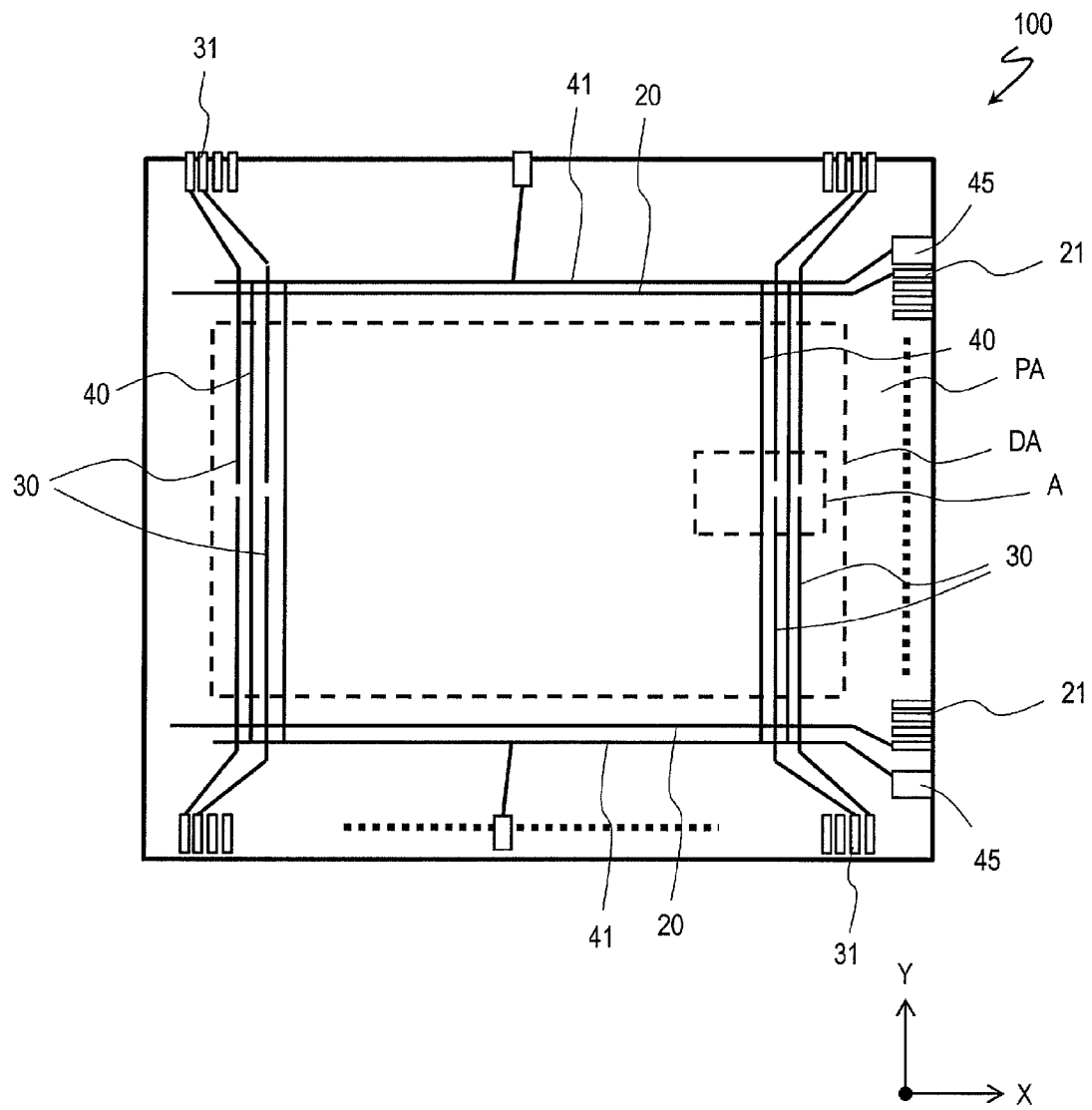
前記第 2 T F T および前記第 2 補助容量対向電極が前記補助容量線よりも負の前記第 2 方向側に位置している、請求項 1 に記載のアクティブマトリクス基板。

[請求項20] 前記補助容量線と前記複数の信号線とが交わる第 3 交差部における前記補助容量線の幅が、前記複数の画素の境界における前記第 3 交差部以外の前記補助容量線の幅よりも狭い、請求項 19 に記載のアクティブマトリクス基板。

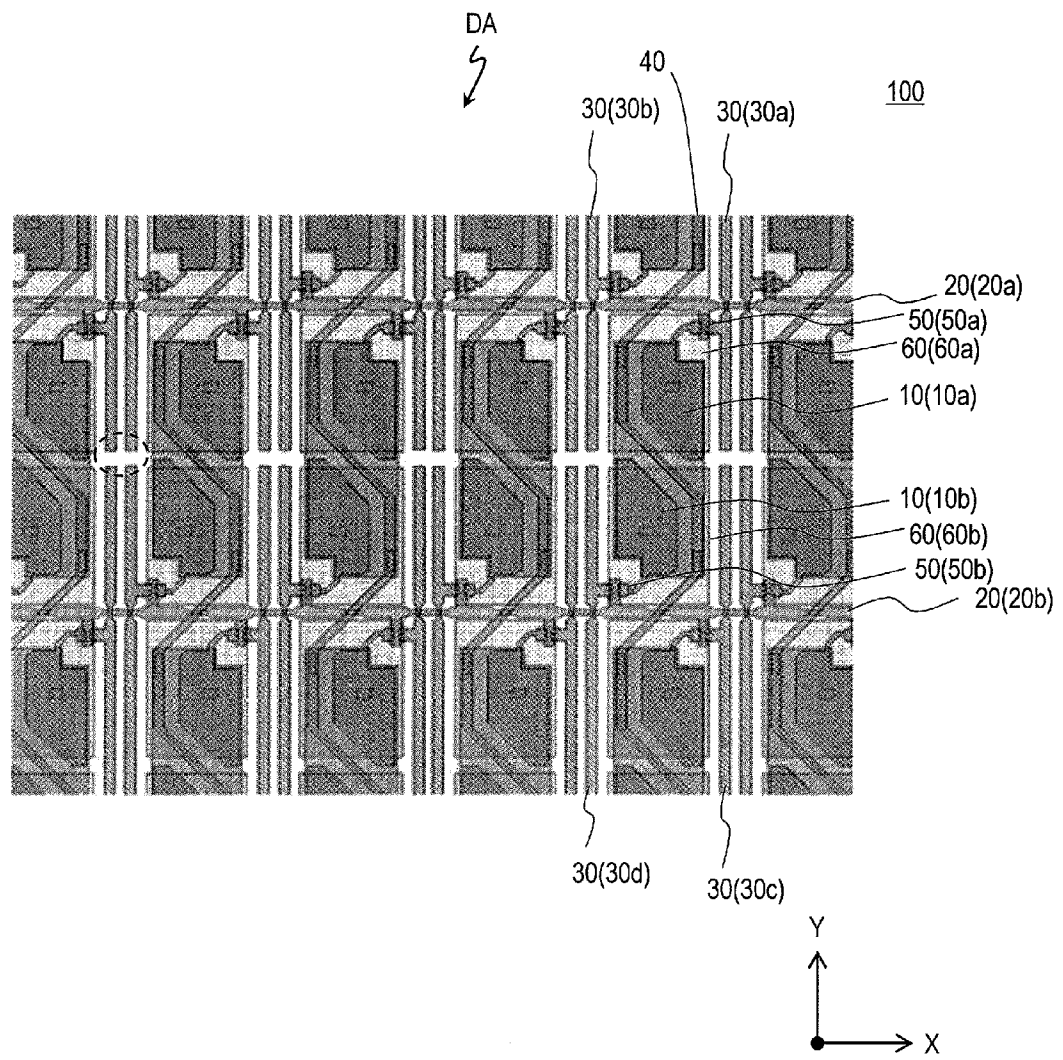
[請求項21] 前記複数の信号線と前記複数の走査線とが交わる第 4 交差部における前記複数の走査線の幅が、前記複数の画素の境界における前記複数の走査線の幅よりも狭い、請求項 20 に記載のアクティブマトリクス基板。

[請求項22] 前記第 3 交差部および前記第 4 交差部における前記複数の信号線の幅が、前記第 3 交差部および前記第 4 交差部以外における前記複数の走査線の幅よりも狭い、請求項 21 に記載のアクティブマトリクス基板。

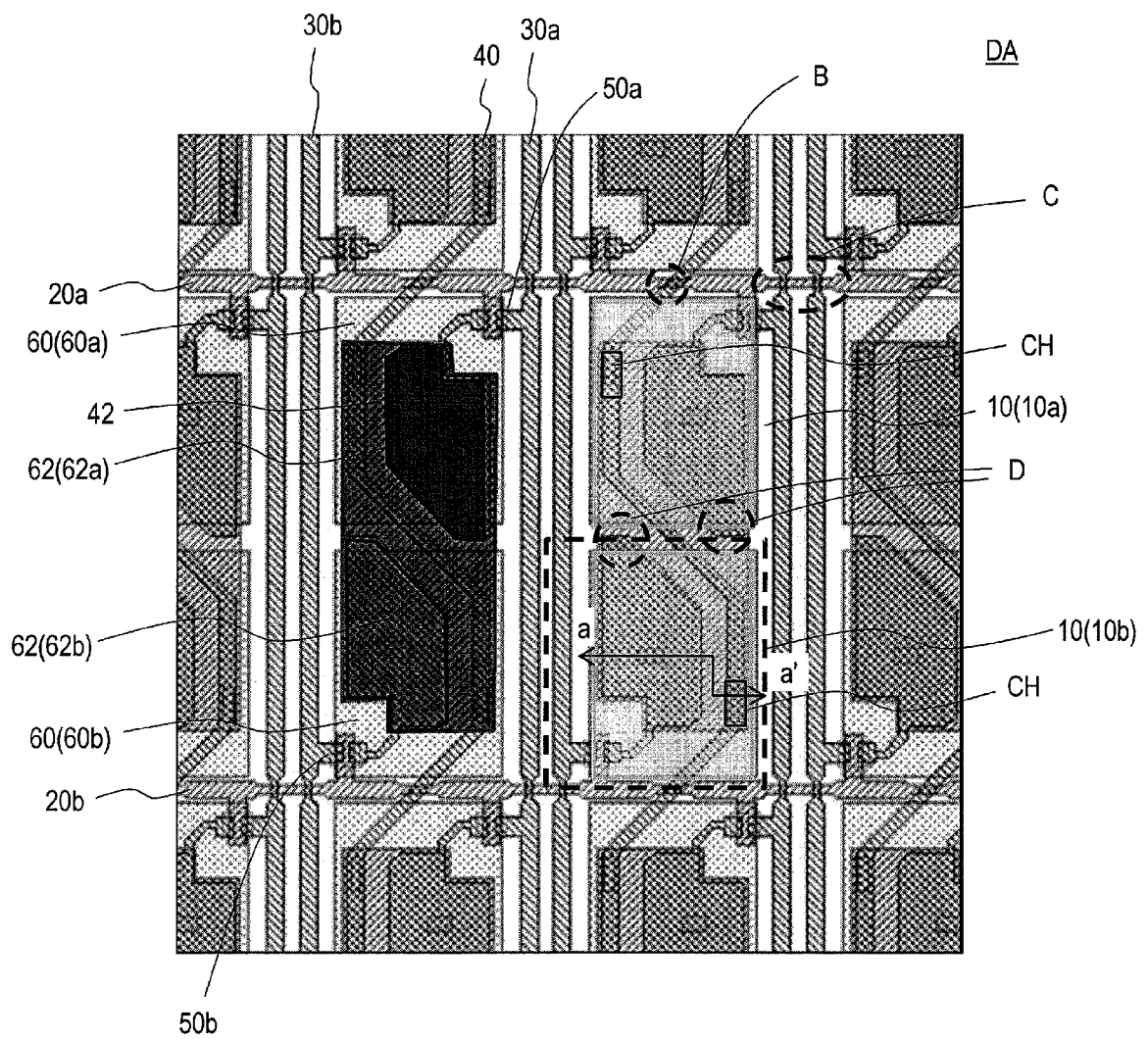
[図1]



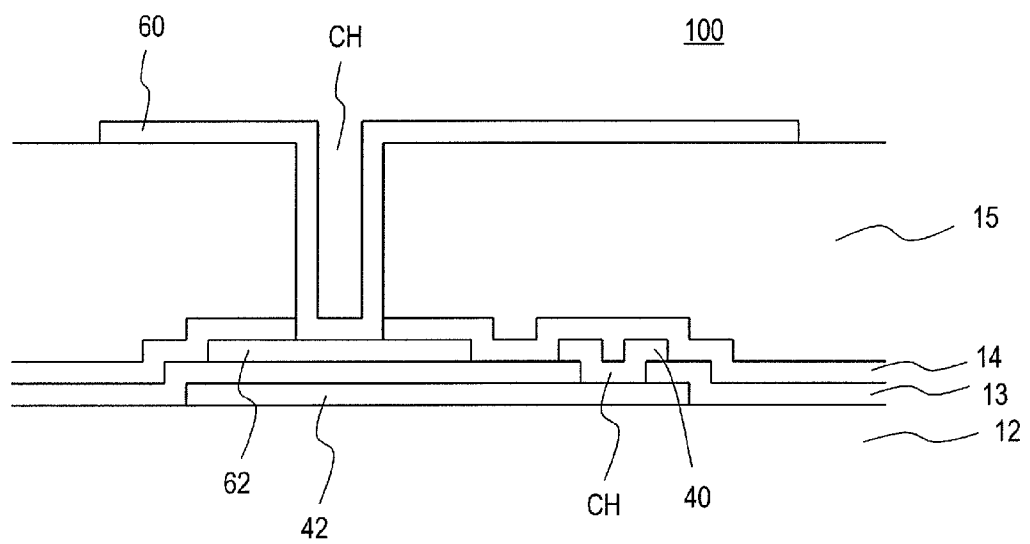
[図2]



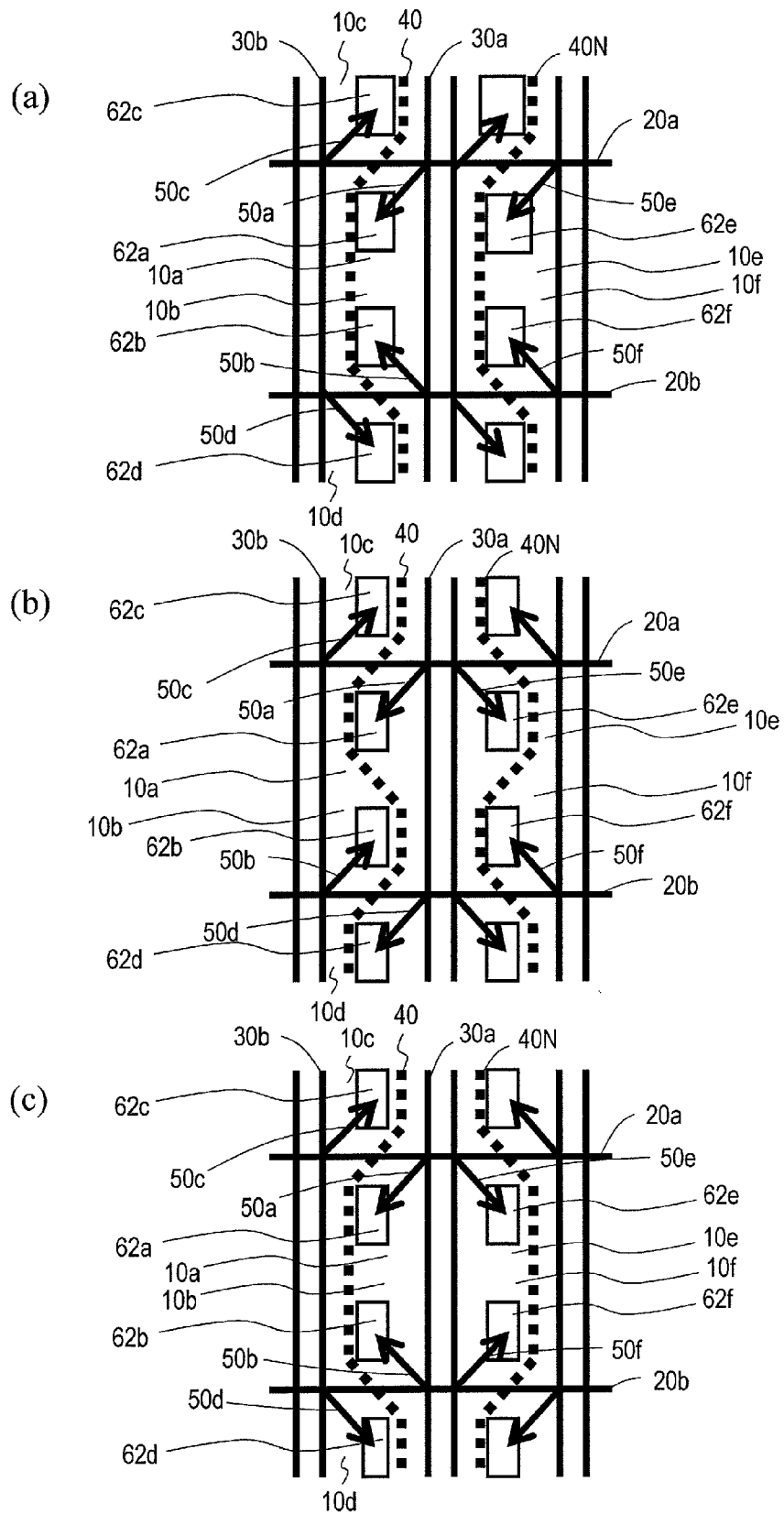
[図3]



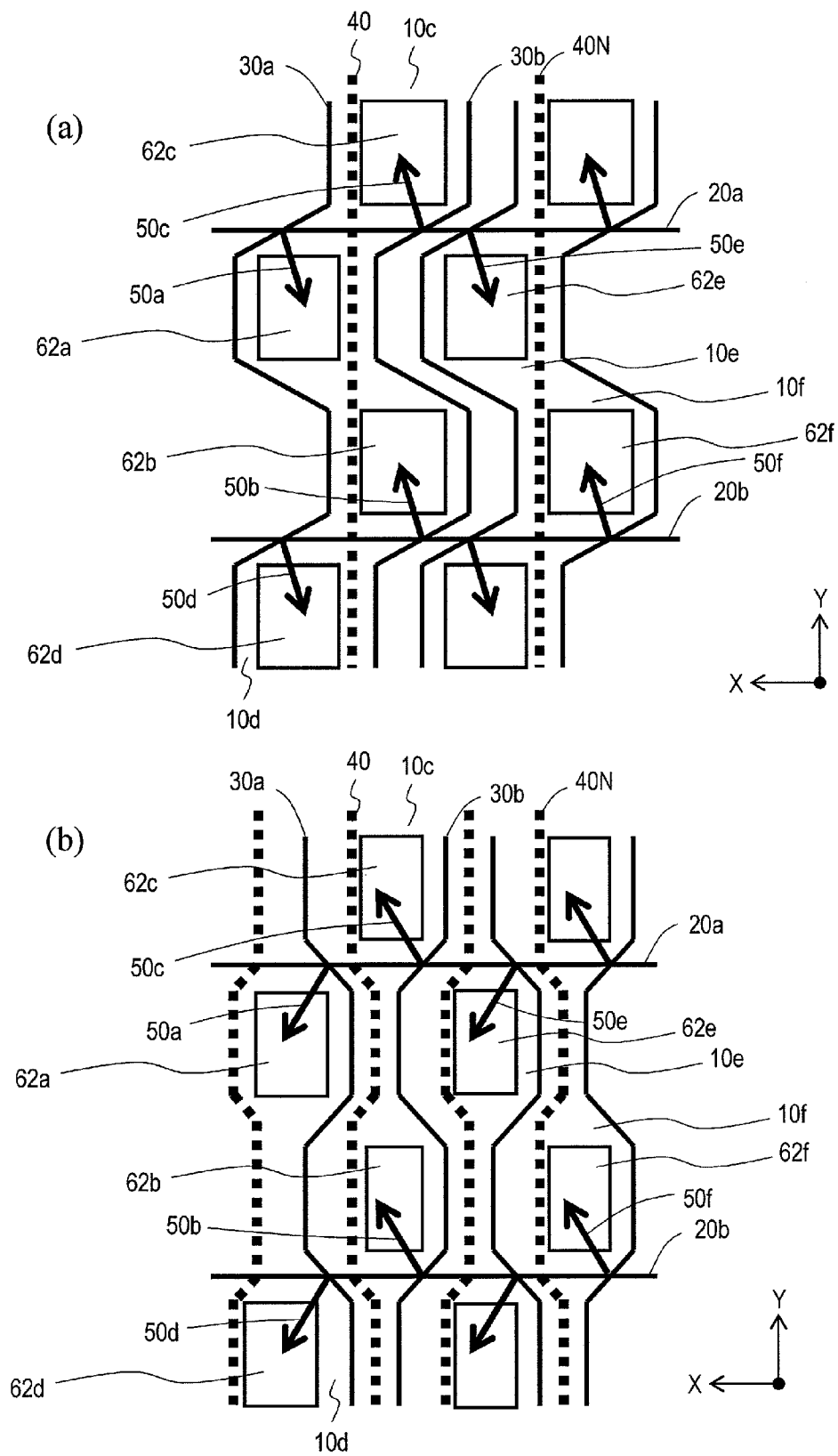
[図4]



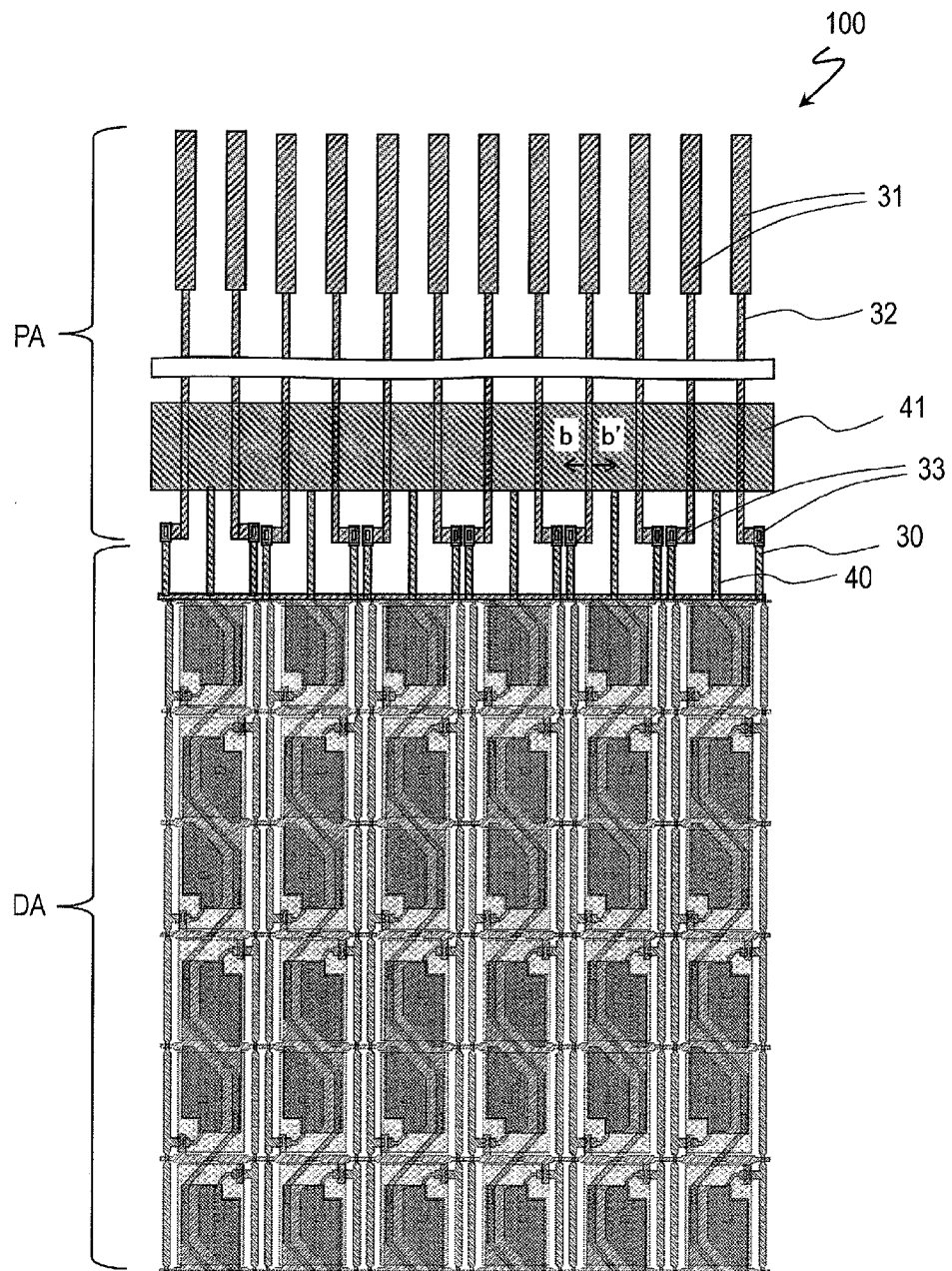
[図5]



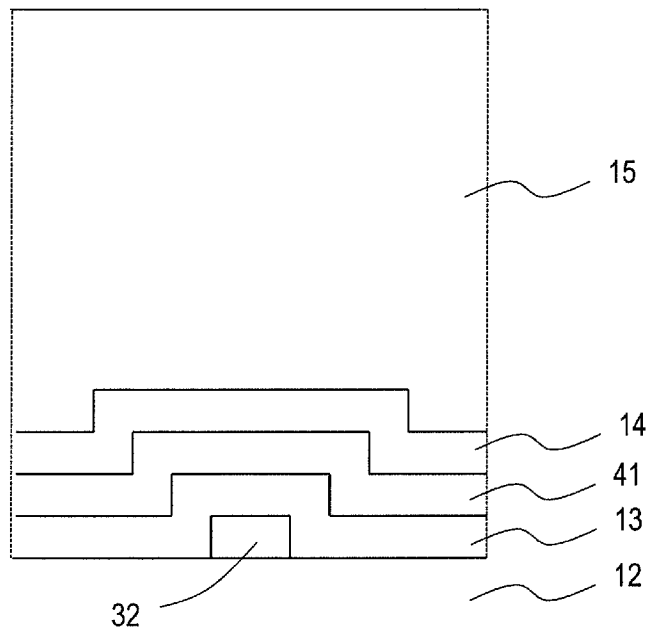
[図6]



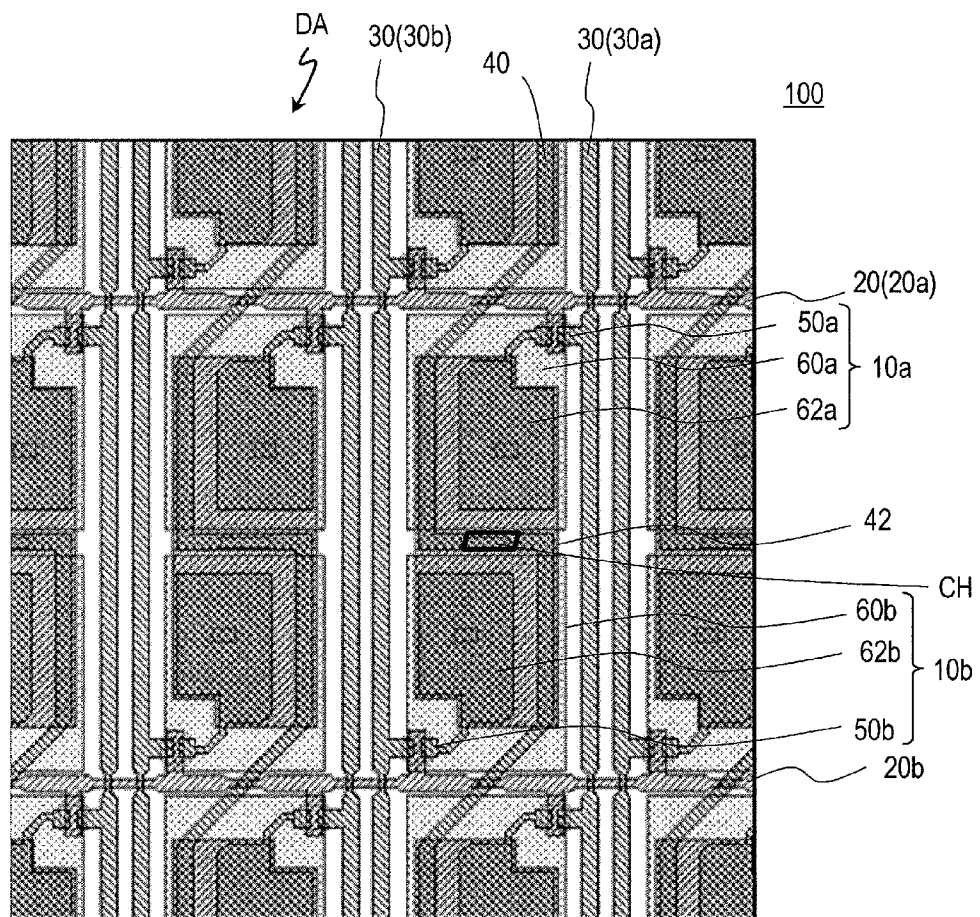
[図7]



[図8]



[図9]



[図10]

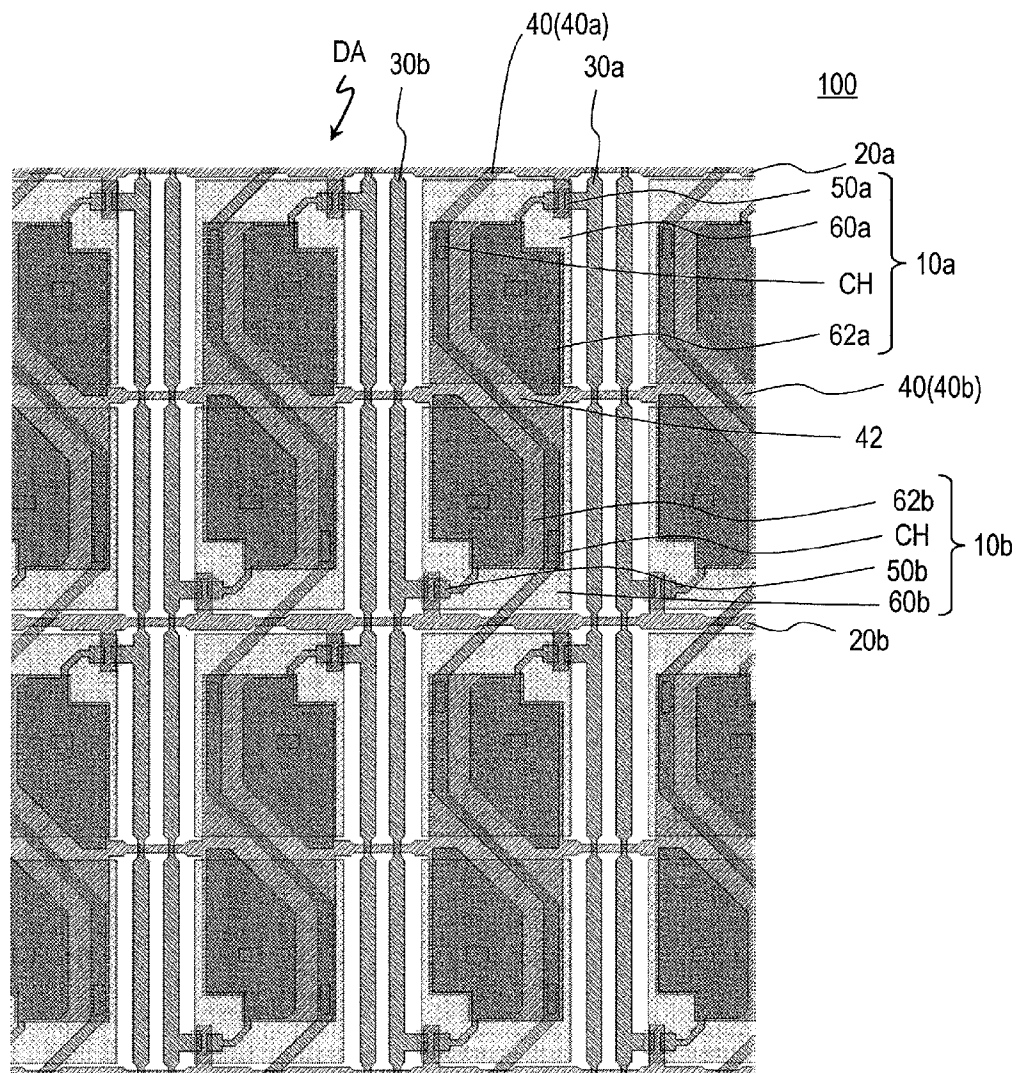
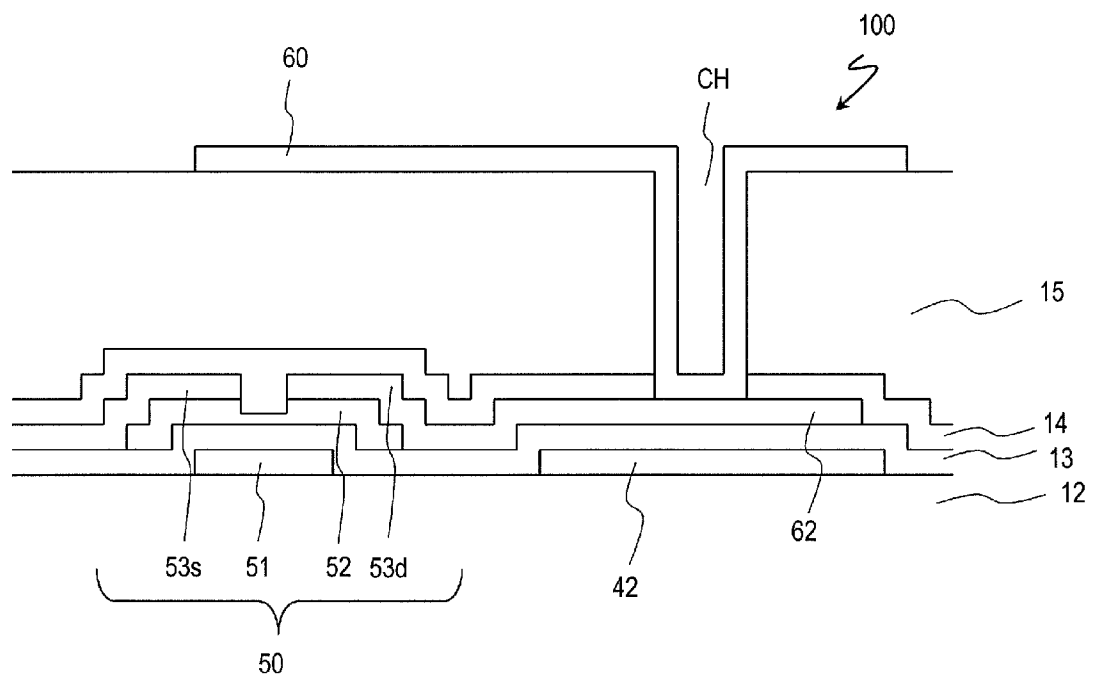


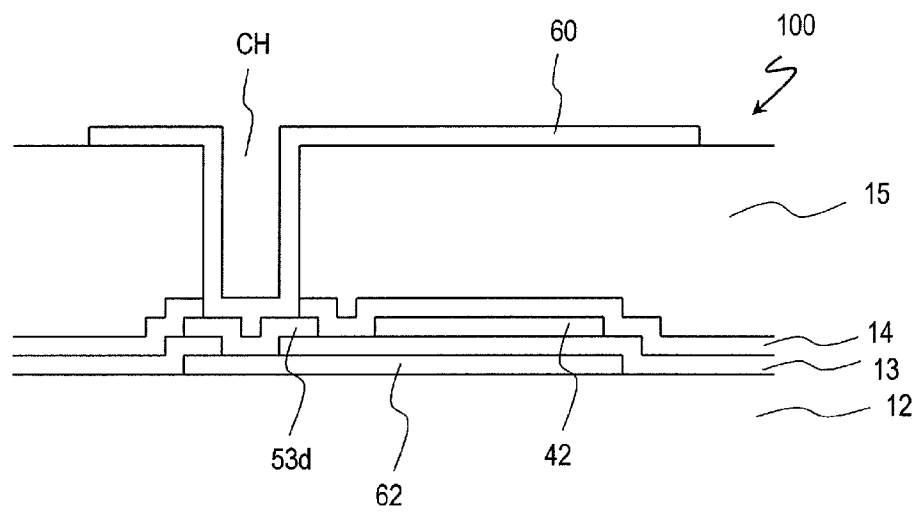
FIG. 1 is a cross-sectional view of a semiconductor device 100. The device features a grid of vertical pillars 30a and 30b. Horizontal layers 20a and 20b are positioned above and below the pillars. Various interconnects and vias are shown, including 40, 42, 50a, 50b, 60a, 60b, 62a, and 62b. A dashed line C-C' indicates a cross-section through the pillars.

[図12]

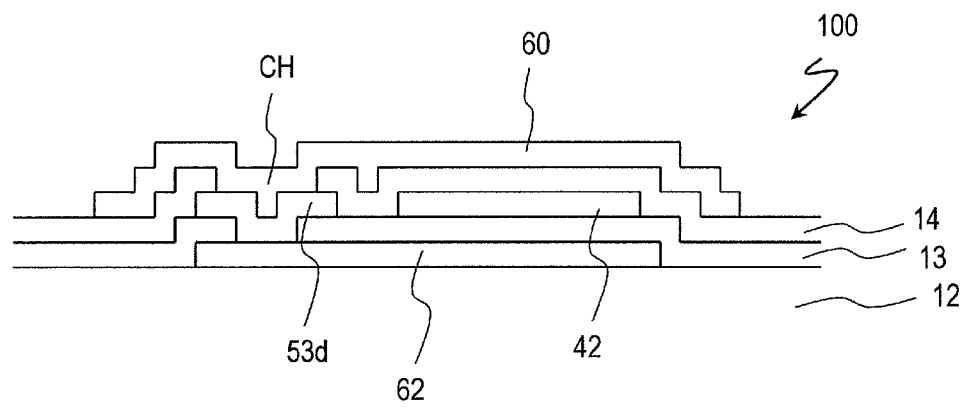


A cross-sectional view of a semiconductor device 100. The device features a gate stack 50 on a substrate 12, which includes a gate dielectric 13 and a gate electrode 14. The gate stack 50 is composed of regions 51, 52, 53s, and 53d. A channel 42 is formed in the substrate 12 beneath the gate stack 50. A contact 60 is formed in the substrate 12, extending through the gate stack 50 and the channel 42 to a lower layer 62. The contact 60 is surrounded by a protective layer 62. A dashed line 15 indicates a cross-section through the device.

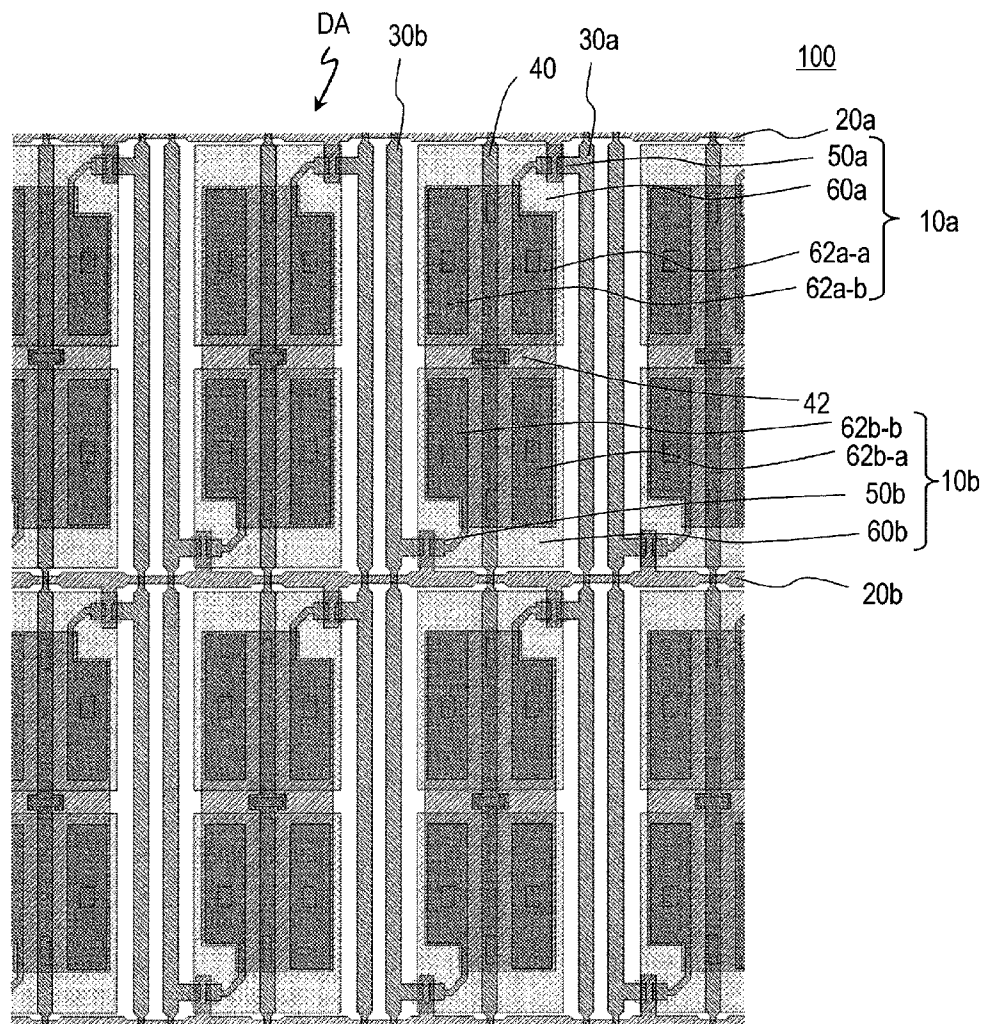
[図16]



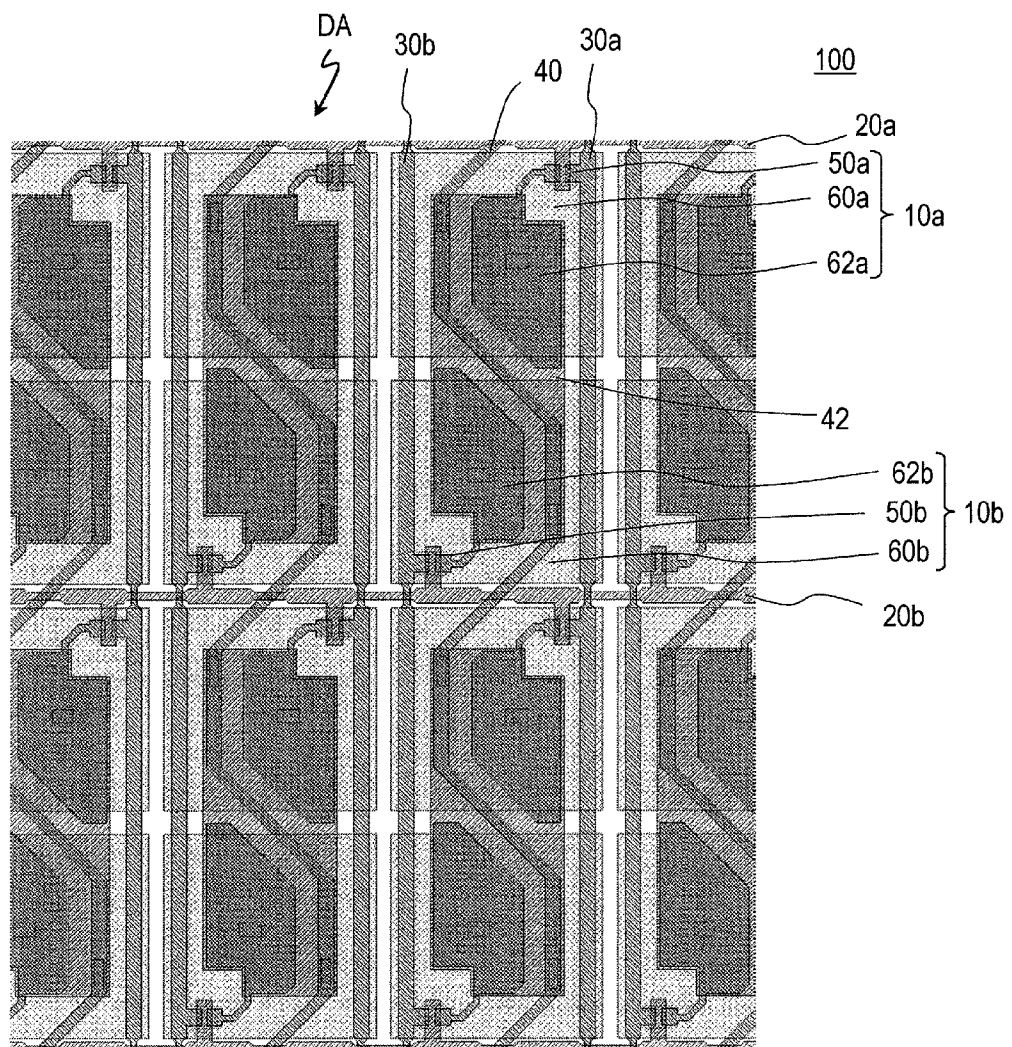
[図17]



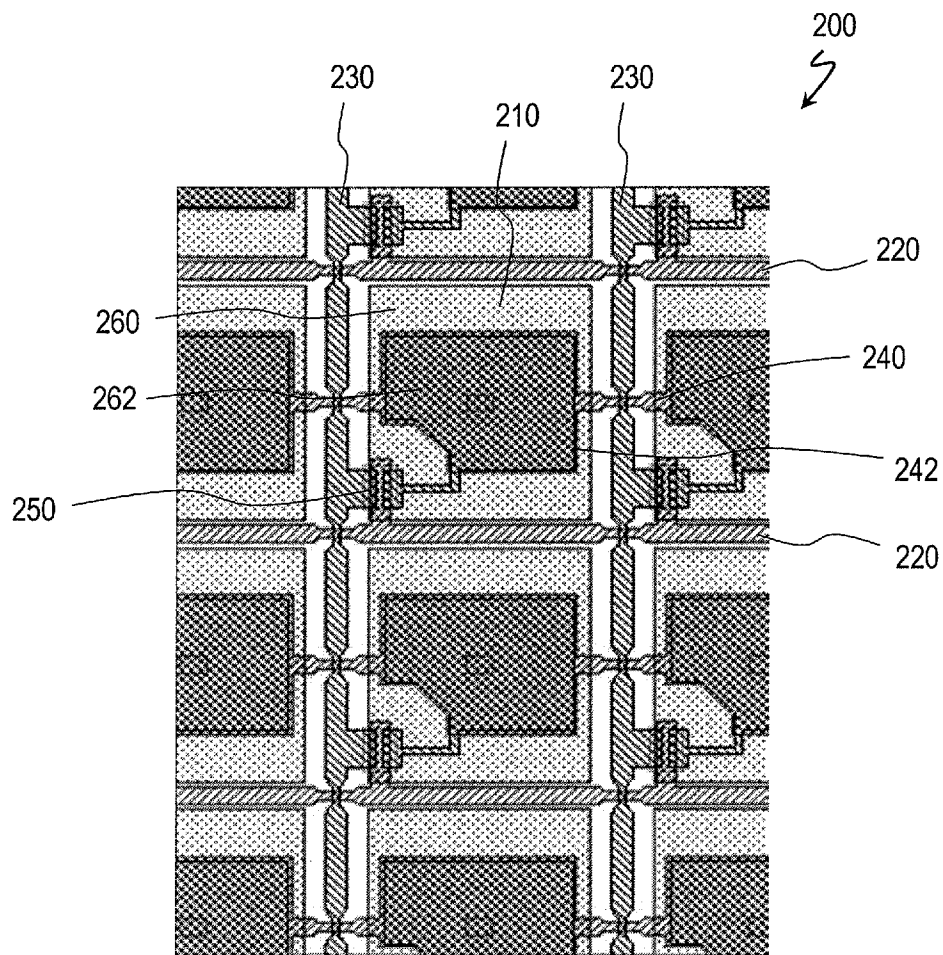
[図18]



[図19]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079917

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-164100 A (Epson Imaging Devices Corp.), 28 June 2007 (28.06.2007), paragraphs [0013] to [0028]; fig. 1 to 2 (Family: none)	1, 19 2, 4-5, 8-13, 20-22 3, 6-7, 14-18
Y	JP 2000-323698 A (Sharp Corp.), 24 November 2000 (24.11.2000), paragraphs [0004] to [0010], [0021]; fig. 9 to 11, 14 to 15 & US 6784949 B1 & US 2004/0169991 A1 & EP 1037095 A2 & EP 2192441 A2 & DE 60044443 D & TW 258626 B	2, 4-5, 8-13, 20-22
A	JP 2003-005214 A (Hitachi, Ltd.), 08 January 2003 (08.01.2003), entire text; all drawings (Family: none)	1-22

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 February, 2012 (29.02.12)Date of mailing of the international search report
13 March, 2012 (13.03.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079917

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-296286 A (NEC Corp.), 06 December 1990 (06.12.1990), entire text; all drawings (Family: none)	1-22
A	JP 2001-033757 A (NEC Corp.), 09 February 2001 (09.02.2001), entire text; all drawings & US 6552706 B1 & KR 10-2001-0015385 A	1-22
A	JP 2010-026245 A (Sony Corp.), 04 February 2010 (04.02.2010), entire text; all drawings & US 2010/0013803 A1 & CN 101630100 A & KR 10-2010-0009507 A	1-22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079917

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 does not have novelty and inventiveness in the light of JP 2007-164100 A, and therefore does not have a special technical feature.

Consequently, the inventions of claims 1-22 have no same or corresponding special technical feature.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/30, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-164100 A（エプソンイメージングデバイス株式会社） 2007.06.28, 段落【0013】－【0028】、図1－2（ファミリーなし）	1、19
Y		2、4－5、 8－13、 20－22
A		3、6－7、 14－18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 2 . 2 0 1 2

国際調査報告の発送日

1 3 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 久則

電話番号 03-3581-1101 内線 3273

2 I

4 0 0 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-323698 A (シャープ株式会社) 2000.11.24, 段落【0004】-【0010】、【0021】、図9-11、14-15 & US 6784949 B1 & US 2004/0169991 A1 & EP 1037095 A2 & EP 2192441 A2 & DE 60044443 D & TW 258626 B	2、4-5、 8-13、 20-22
A	JP 2003-005214 A (株式会社日立製作所) 2003.01.08, 全文全図 (ファミリーなし)	1-22
A	JP 2-296286 A (日本電気株式会社) 1990.12.06, 全文全図 (ファミリーなし)	1-22
A	JP 2001-033757 A (日本電気株式会社) 2001.02.09, 全文全図 & US 6552706 B1 & KR 10-2001-0015385 A	1-22
A	JP 2010-026245 A (ソニー株式会社) 2010.02.04, 全文全図 & US 2010/0013803 A1 & CN 101630100 A & KR 10-2010-0009507 A	1-22

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、文献JP 2007-164100 A により新規性・進歩性を有しないから、特別な技術的特徴を有しない。

よって、請求項1－22に係る発明は、同一の又は対応する特別な技術的特徴を有しない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。