

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6245856号
(P6245856)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.

F I

HO 4 N 5/374 (2011.01) HO 4 N 5/374

HO 4 N 5/378 (2011.01) HO 4 N 5/378

HO 4 N 9/07 (2006.01) HO 4 N 9/07 C

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2013-125720 (P2013-125720)	(73) 特許権者	000001007
(22) 出願日	平成25年6月14日 (2013.6.14)		キヤノン株式会社
(65) 公開番号	特開2015-2415 (P2015-2415A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成27年1月5日 (2015.1.5)	(74) 代理人	100126240
審査請求日	平成28年6月9日 (2016.6.9)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	黒田 享裕
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	柏谷 満成

最終頁に続く

(54) 【発明の名称】 光電変換装置、光電変換システム

(57) 【特許請求の範囲】

【請求項 1】

単位セルと信号出力部とを各々が有するとともに、受光領域に設けられた複数の領域と、

第一及び第二信号線とを有し、

前記単位セルの各々は、複数の光電変換部と、セル出力部とを有し、

前記セル出力部は、前記複数の光電変換部の各々の信号に基づく信号と、前記複数の光電変換部の信号を加算した加算信号に基づく信号とをそれぞれ前記第一信号線に出力し、

前記信号出力部に前記第一信号線から、前記加算信号に基づく信号が入力され、

前記信号出力部が、前記加算信号に基づく信号を前記第二信号線に出力し、

前記複数の信号出力部の各々が、互いに異なる前記単位セルの間に設けられていること

を特徴とする光電変換装置。

【請求項 2】

単位セルと加算部と信号出力部とを各々が有するとともに、受光領域に設けられた複数の領域と、

第一及び第二信号線とを有し、

前記単位セルの各々は、複数の光電変換部と、セル出力部とを有し、

前記セル出力部は、前記複数の光電変換部の各々の信号に基づく信号を前記第一信号線に出力し、

前記加算部に前記第一信号線から前記複数の光電変換部の各々の信号に基づく信号が入

力され、前記加算部が、前記複数の光電変換部の信号を加算した加算信号を生成して前記信号出力部に出力し、

前記信号出力部が、前記加算信号に基づく信号を前記第二信号線に出力し、

前記複数の信号出力部の各々が、互いに異なる前記単位セルの間に設けられていること
を特徴とする光電変換装置。

【請求項 3】

前記光電変換装置は前記受光領域の外部に読み出し部をさらに有し、

前記複数の領域の各々から前記読み出し部に、前記第一信号線を介して前記複数の光電変換部の各々の信号に基づく信号が入力され、

前記複数の領域の各々から前記読み出し部に、前記第二信号線を介して前記加算信号に基づく信号が入力されることを特徴とする請求項 1 または 2 に記載の光電変換装置。 10

【請求項 4】

前記信号出力部の出力する前記加算信号に基づく信号が、前記複数の単位セルの各々の前記加算信号に基づく信号同士で平均化した信号であることを特徴とする請求項 1 ~ 3 のいずれかに記載の光電変換装置。

【請求項 5】

前記複数の領域が行列状に設けられ、

前記複数の光電変換部が、前記単位セル内に行列状に設けられ、

前記光電変換装置は、複数の前記第一信号線と、複数の前記第二信号線とを有し、

前記複数の第一信号線の各々が、前記複数の光電変換部の設けられた列に対応して設けられ、 20

前記複数の第二信号線の各々が、前記複数の領域の設けられた列に対応して設けられていることを特徴とする請求項 1 ~ 4 のいずれかに記載の光電変換装置。

【請求項 6】

前記第一信号線が第 1 方向に沿って延在し、

前記第二信号線が、前記第 1 方向に沿って延在することを特徴とする請求項 1 ~ 5 のいずれかに記載の光電変換装置。

【請求項 7】

前記複数の光電変換部にカラーフィルタが対応して配され、

前記加算信号が、同色のカラーフィルタの配された前記複数の光電変換部が出力する信号を加算した信号であることを特徴とする請求項 1 ~ 6 のいずれかに記載の光電変換装置。 30

【請求項 8】

請求項 1 ~ 7 のいずれかに記載の光電変換装置と、

前記光電変換装置から出力される信号によって、被写体の測光を行う測光処理部と、を有することを特徴とする光電変換システム。

【請求項 9】

前記光電変換装置が、第一及び第二の信号を前記測光処理部に出力し、

前記第一の信号は、前記第一信号線に出力された、前記複数の光電変換部の各々の信号に基づく信号であり、 40

前記第二の信号は、前記第二信号線に出力された、前記加算信号に基づく信号であり、

前記測光処理部が、前記第一の信号に基づいて、被写体の撮影シーンを検出し、

前記測光処理部が、前記第一の信号と前記第二の信号との一方と、検出された前記撮影シーンとに基づいて前記被写体の測光を行うことを特徴とする請求項 8 に記載の光電変換システム。

【請求項 10】

請求項 1 ~ 7 のいずれかに記載の光電変換装置と、

前記光電変換装置から出力される信号によって画像を生成する出力信号処理部と、を有することを特徴とする光電変換システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、光電変換システム、光電変換装置の駆動方法に関する。

【背景技術】

【0002】

特許文献1には、複数の画素から出力される信号を加算した加算信号を出力する加算回路と、複数の画素の出力する信号を加算することなく出力する非加算回路を有する撮像装置が記載されている。特許文献1において、加算回路と非加算回路は、複数の画素が設けられた画素アレイに対して1個の領域にのみ設けられている。

【0003】

また、特許文献2の撮像装置は、加算モードと非加算モードで動作する。加算モードでは、複数の画素を有する領域において、複数の画素の出力する信号を加算した加算信号を生成し、該領域から信号線に加算信号が出力される。非加算モードでは、複数の画素の各々から該信号線に信号が出力される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-348041号公報

【特許文献2】特開2003-18465号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1の撮像装置は、加算回路が設けられた領域が一つであるため、加算信号を高速に生成することが困難であった。

【0006】

特許文献2の撮像装置は、複数の画素が設けられた領域から加算信号が出力される信号線と、該領域から非加算信号が出力される信号線が同一である。加算モードでは、複数の画素の一部の画素から加算信号が信号線に出力される。また、加算信号を出力しない画素の出力スイッチのノードが信号線に電氣的に接続されている。このため、非加算モードにおいて、加算信号を出力しない画素の出力スイッチの寄生成分が、信号線の駆動負荷を増大させる。この駆動負荷の増大により、画素が信号線に加算信号の出力を開始してから信号線の電位が加算信号の電位に変化するまでの期間が長くなる。従って、加算信号を高速に読み出せない課題があった。

【課題を解決するための手段】

【0007】

本発明は上記の課題を鑑みて為されたものであり、その一の態様は単位セルと信号出力部とを各々が有するとともに、受光領域に設けられた複数の領域と、第一及び第二信号線とを有し、前記単位セルの各々は、複数の光電変換部と、セル出力部とを有し、前記セル出力部は、前記複数の光電変換部の各々の信号に基づく信号と、前記複数の光電変換部の信号を加算した加算信号に基づく信号とをそれぞれ前記第一信号線に出力し、前記信号出力部に前記第一信号線から、前記加算信号に基づく信号が入力され、前記信号出力部が、前記加算信号に基づく信号を前記第二信号線に出力し、前記複数の信号出力部の各々が、互いに異なる前記単位セルの間に設けられていることを特徴とする光電変換装置である。

【0008】

本発明の別の態様は、単位セルと加算部と信号出力部とを各々が有するとともに、受光領域に設けられた複数の領域と、第一及び第二信号線とを有し、前記単位セルの各々は、複数の光電変換部と、セル出力部とを有し、前記セル出力部は、前記複数の光電変換部の各々の信号に基づく信号を前記第一信号線に出力し、前記加算部に前記第一信号線から前記複数の光電変換部の各々の信号に基づく信号が入力され、前記加算部が、前記複数の光電変換部の信号を加算した加算信号を生成して前記信号出力部に出力し、前記信号出力部

10

20

30

40

50

が、前記加算信号に基づく信号を前記第二信号線に出力し、前記複数の信号出力部の各々が、互いに異なる前記単位セルの間に設けられていることを特徴とする光電変換装置である。

【0009】

本発明の別の態様は、単位セルと信号保持部と信号出力部とを各々が有するとともに、受光領域に設けられた複数の領域と、第一及び第二信号線とを有し、前記単位セルの各々は、複数の光電変換部と、セル出力部とを有する光電変換装置の駆動方法であって、前記セル出力部が、前記複数の光電変換部の各々の信号に基づく信号と、前記複数の光電変換部の信号を加算した加算信号に基づく信号とをそれぞれ前記第一信号線に出力する工程と、前記信号保持部が前記第一信号線に出力された前記加算信号に基づく信号を保持する工程と、前記信号出力部が、前記信号出力部が保持した信号に基づく信号を前記第二信号線に出力する工程と、を有し、前記加算信号に基づく信号を保持する前記工程を、互いに異なる前記領域の複数の前記信号保持部が、前記加算信号に基づく信号を保持する期間の少なくとも一部同士を重ねて行うことを特徴とする光電変換装置の駆動方法である。

10

【発明の効果】

【0010】

本発明の光電変換装置は、受光領域に設けられた複数の領域の各々で、複数の光電変換部の信号を加算した加算信号を生成することで加算信号を高速に生成することができる。また、本発明の光電変換装置は、複数の光電変換部の各々の信号を出力する第一信号線とは別に、加算信号に基づく信号が出力される第二信号線を有する。これにより、本発明の光電変換装置は、加算信号に基づく信号を高速に読み出すことができる。

20

【図面の簡単な説明】

【0011】

【図1】光電変換システムの構成の一例の図と、光電変換装置の構成の一例の図と、光電変換装置の動作の一例の図

【図2】光電変換装置の構成の一例の図

【図3】光電変換装置の構成の一例の図

【図4】光電変換装置の動作の一例の図

【図5】光電変換装置の動作の一例の図

【図6】光電変換装置の動作の一例の図と、読み出し回路の構成の一例の図

30

【図7】光電変換装置の構成の一例の図

【図8】光電変換装置の構成の一例の図

【図9】光電変換装置の構成の一例の図

【図10】光電変換システムの構成の一例の図

【発明を実施するための形態】

【0012】

以下、図面を参照しながら各実施例を説明する。

【0013】

(実施例1)

図1(a)は、本実施例の光電変換システムの構成例を示した模式図である。図1(a)の光電変換システムは、光電変換装置1、演算部2を有する。演算部2は、アナログ-デジタル変換部(以下A/D部)4、メモリ5、測光処理部6、システム制御部7を有する。

40

【0014】

光電変換装置1は、被写体からの光に基づく信号を演算部2に出力する。光電変換装置1から演算部2に出力された信号は、A/D部4でアナログ-デジタル変換される。メモリ5は、A/D部4で変換されたデジタル信号を保持する。光電変換装置1及びA/D部4の動作は、システム制御部7により制御される。更に、メモリ5は保持した信号を測光処理部6に出力し、測光処理部6は出力された信号に基づいて被写体の測光を行う。システム制御部7は、演算部2の各部及び光電変換装置1の制御を行う。

50

【 0 0 1 5 】

図 1 (b) は、光電変換装置 1 の構成例を示したものである。光電変換装置 1 は、画素部 1 1、主走査回路 1 2、読み出し回路 1 3、副走査回路 1 4、出力アンプ 1 5、タイミングジェネレータ (以下 T G) 1 6 を備えている。画素部 1 1 は被写体からの光が入射する受光領域である。

【 0 0 1 6 】

画素部 1 1 は、光電変換部を備えた複数の画素が行列状に並んで配置されている。主走査回路 1 2 は、光電変換部に蓄積された電荷の読み出し、複数の光電変換部で蓄積された信号電荷の加算、光電変換部のリセットのそれぞれの制御を、画素部 1 1 の行単位で行う。画素部 1 1 は、主走査回路 1 2 の制御に基づいて、リセットレベルの信号と、被写体からの光に基づく光電変換信号とを出力する。読み出し回路 1 3 は、主走査回路 1 2 によって読み出された画素部 1 1 の信号を C D S (C o r r e l a t e d D o u b l e S a m p l i n g) 処理する。具体的には、読み出し回路 1 3 は、画素部 1 1 から読み出し回路 1 3 に至る電氣的経路が有する固有のオフセットを含むリセットレベルの信号と、光電変換信号との差の信号を出力する。この C D S 処理により、読み出し回路 1 3 は、ノイズ成分の低減された光電変換信号を出力アンプ 1 5 に出力する。副走査回路 1 4 は、読み出し回路 1 3 に保持されている C D S 処理後の光電変換信号を、読み出し回路 1 3 から順次、出力アンプ 1 5 に出力させる。出力アンプ 1 5 は、副走査回路 1 4 により読み出し回路 1 3 から出力された、C D S 処理後の光電変換信号を増幅し、出力信号 V o u t として演算部 2 に出力する。出力信号 V o u t が、光電変換装置 1 が演算部 2 に出力する、被写体からの光に基づく信号である。T G 1 6 には外部からクロック信号 C L K が与えられている。T G 1 6 は、主走査回路 1 2、読み出し回路 1 3、副走査回路 1 4 の動作を制御する。

【 0 0 1 7 】

図 1 (c) は、出力信号 V o u t と垂直同期信号 V D、水平同期信号 H D との関係を示すタイミング図である。T G 1 6 が主走査回路 1 2 に出力する垂直同期信号 V D を H i g h レベル (以下 H レベル) とすると、主走査回路 1 2 は画素部 1 1 から順次、読み出し回路 1 3 にノイズレベルの信号と光に基づく信号とを出力させる。垂直同期信号 V D が L o w レベル (以下 L レベル) の期間、すなわち時刻 t 1 から時刻 t 2 までの期間が主走査ブランキング期間である。また、垂直同期信号 V D が H レベルの期間、すなわち時刻 t 2 から時刻 t 5 までの期間が主走査信号期間である。1 つの主走査ブランキング期間と、1 つの主走査信号期間とを合わせた期間、すなわち時刻 t 1 から時刻 t 5 までの期間が主走査期間である。また、T G 1 6 に入力される水平同期信号 H D が H レベルの期間、T G 1 6 は副走査回路 1 4 に、読み出し回路 1 3 を走査させる。この走査により、読み出し回路 1 3 は、C D S 処理した光電変換信号を出力アンプ 1 5 に出力する。水平同期信号 H D が H レベルである期間、すなわち時刻 t 3 から時刻 t 4 までの期間が、副走査信号期間である。また、垂直同期信号 V D が H レベルとなってから、水平同期信号 H D が H レベルとなるまでの期間、すなわち時刻 t 2 から時刻 t 3 までの期間が、副走査ブランキング期間である。1 つの副走査ブランキング期間と、1 つの副走査信号期間と、を合わせた期間、すなわち時刻 t 2 から時刻 t 4 までの期間が副走査期間である。

【 0 0 1 8 】

図 1 (c) に示した V o u t は、図 1 の出力アンプ 1 5 の出力信号 V o u t を示している。

【 0 0 1 9 】

図 2 は、本実施例の画素部 1 1 を示した図である。

【 0 0 2 0 】

画素部 1 1 は、複数の領域 2 1 を有する。図 2 に示した画素部 1 1 は、2 行 2 列の領域 2 1 を有する。領域 2 1 には、セル部 2 2 及び単位信号処理部 2 3 が設けられている。

【 0 0 2 1 】

図 2 に示した画素部 1 1 の各画素 2 4 のフォトダイオードには、カラーフィルタが設け

10

20

30

40

50

られている。各画素 2 4 のフォトダイオードのカラーフィルタの色は、図 2 の画素 2 4 の内部に「R、Gr、Gb、B」で示している。「R」が付されている画素 2 4 は、対応して設けられているカラーフィルタの色が Red (赤)であることを示している。「Gr」が付されている画素 2 4 は、「R」の画素 2 4 と同一行に設けられた画素 2 4 であるとともに、該画素 2 4 に対応して設けられているカラーフィルタの色が Green (緑)であることを示している。「Gb」が付されている画素 2 4 は、「B」の画素 2 4 と同一行に設けられた画素 2 4 であるとともに、該画素 2 4 に対応して設けられているカラーフィルタの色が Green (緑)であることを示している。第一信号線 L 1 1 - 1 ~ L 1 1 - 8 は、画素 2 4 の各々の信号が出力される信号線である。単位信号処理部 2 3 には、複数の画素 2 4 で生じた信号電荷が加算されたことに基づく信号が入力される。そして、各列の単位信号処理部 2 3 は、入力された該信号に基づく信号を第二信号線 L 2 1 - 1、L 2 1 - 2 に出力する。また、同列に配置された複数の単位信号処理部 2 3 の各々は、共通の第二信号線 L 2 1 に信号を出力する。

10

【0022】

図 3 は、領域 2 1 をより詳細に示した図である。各制御線 3 0 ~ 3 5 に印加される信号はそれぞれ順に、信号 $\phi TX 1$ 、 $\phi TX 2$ 、 $\phi TX 3$ 、 $\phi TX 4$ 、 $\phi SEL 1$ 、 $\phi RES 1$ である。また、各制御線 3 7 ~ 4 3 に印加される信号はそれぞれ順に、信号 ϕCON 、 $\phi TX 5$ 、 $\phi TX 6$ 、 $\phi TX 7$ 、 $\phi TX 8$ 、 $\phi SEL 2$ 、 $\phi RES 2$ である。

【0023】

セル部 2 2 は、フォトダイオード 1 0 1 と、フォトダイオード 1 0 1 に蓄積された電荷を転送するトランジスタ 1 0 2 を有する画素 2 4 を複数有する以下、図 3 において、R 1、Gb 1、R 3、Gb 3 を付した画素 2 4 を有する単位セル 1 0 0 について説明する。単位セル 1 0 0 は 4 つの画素 2 4、トランジスタ 1 0 3、1 0 4、1 0 5 を有している。

20

【0024】

トランジスタ 1 0 2 のゲートは、図 1 の主走査回路 1 2 に接続された制御線 3 0 に接続されている。トランジスタ 1 0 3 の一方の主ノードには、電源線 V L 1 から電圧が入力されている。トランジスタ 1 0 3 の他方の主ノードはトランジスタ 1 0 4 の一方の主ノードに電氣的に接続されている。トランジスタ 1 0 4 の他方の主ノードは、第一信号線 L 1 1 - 1 に電氣的に接続されている。制御線 3 4 に印加される信号 $\phi SEL 1$ を T G 1 6 が H レベルとすることにより、トランジスタ 1 0 3 からトランジスタ 1 0 4 を介して第一信号線 L 1 1 - 1 に至る電氣的経路が導通状態となる。不図示の電流源が第一信号線 L 1 1 - 1 に電流を供給することによって、トランジスタ 1 0 3 はソースフォロアとして動作する。従って、トランジスタ 1 0 3 は、トランジスタ 1 0 3 の入力ノードの電位に応じた信号を、トランジスタ 1 0 4 を介して第一信号線 L 1 1 - 1 に出力する。トランジスタ 1 0 3 は、単位セル 1 0 0 の信号を第一信号線に出力するセル出力部である。

30

【0025】

トランジスタ 1 0 5 の一方の主ノードには電源線 V L 2 から電圧が入力されている。トランジスタ 1 0 5 の他方の主ノードはトランジスタ 1 0 3 の入力ノードに電氣的に接続されている。

【0026】

図 3 で R 1、Gb 1、R 3、Gb 3 を付した各画素 2 4 の各々のトランジスタ 1 0 2 は、同一のトランジスタ 1 0 3 の入力ノードに電氣的に接続されている。

40

【0027】

図 3 では、複数の単位セル 1 0 0 が行列状に設けられている。図 3 では、一つの単位セル 1 0 0 に関わる各トランジスタについて符号を付している。他の単位セル 1 0 0 についても、カラーフィルタの配列を除いて、各トランジスタに符号を付した単位セル 1 0 0 と同様の回路構成である。以下、図 3 で各トランジスタに符号を付した単位セル 1 0 0 を中心に説明する。

【0028】

同行のトランジスタ 1 0 2 は、共通の制御線 3 0 ~ 3 3 に電氣的に接続されている。ま

50

た、同行のトランジスタ 104 は共通の制御線 34 に電氣的に接続されている。また、同行のトランジスタ 105 は共通の制御線 35 に電氣的に接続されている。

【0029】

また、同列のトランジスタ 103 の入力ノードは、トランジスタ 106 によって電氣的に接続されている。

【0030】

単位信号処理部 23 は、容量素子 108、トランジスタ 107、109 が複数列設けられている。各列の容量素子 108、トランジスタ 107、109 は、単位セルの各列に対応して設けられている。さらに単位信号処理部 23 は、出力アンプ 110 を有する。

【0031】

図 4 を参照しながら、図 3 に示したセル部 22、単位信号処理部 23 の動作を説明する。

【0032】

図 4 は、図 3 におけるセル部 22 の動作のタイミング図である。図 4 に示した動作では、フォトダイオード 101 を露光する。その後、1 副走査期間中に単位セル 100 が含む 4 つの画素 24 の各々が光に基づく信号を、第一信号線 L11 を介して、図 1 (b) の読み出し回路 13 に出力する。図 4 に示した各信号は、図 3 に示した各信号に対応している。図 4 に示した時刻 t0 から時刻 t32 までの期間、TG16 は制御線 45 に印加される信号 ϕME 、制御線 46 に印加される ϕAVE 、制御線 37 に印加される ϕCON を共に L レベルとしている。つまり、図 4 に示した動作では、第一信号線 L11 に出力された信号は全て、単位信号処理部 23 の容量素子 108 には出力されず、読み出し回路 13 に出力される。

【0033】

時刻 t0 に TG16 が信号 $\phi RES1$ 、 $\phi RES2$ を H レベルとした後、TG16 が信号 $\phi TX1 \sim \phi TX8$ を全て H レベルとする。これにより、図 3 に示した 2 行 4 列の単位セル 100 に含まれる全画素 24 のトランジスタ 103 の入力ノードとフォトダイオード 101 の電位がリセットされる。

【0034】

時刻 t1 に、TG16 が信号 $\phi TX1 \sim \phi TX8$ を全て L レベルにする。これにより、各画素のフォトダイオード 101 の信号電荷がリセットされる。単位セル 100 の各画素 24 の露光期間は、時刻 t1 から、各画素 24 に入力される信号 ϕTX が次に H レベルになるまでの期間である。図 4 では、信号 $\phi TX1$ によって制御されるトランジスタ 102 を有する画素 24 の露光期間を示している。

【0035】

時刻 t2 に、TG16 が信号 $\phi RES1$ を H レベルとすると、制御線 35 に電氣的に接続されているトランジスタ 105 がオンとなる。これにより、制御線 35 によって制御されるトランジスタ 105 に電氣的に接続されたトランジスタ 103 の入力ノードの電位がリセットされる。

【0036】

時刻 t3 に、TG16 は信号 $\phi SEL1$ を H レベルとする。これにより、制御線 34 によって制御されるトランジスタ 104 が第一信号線 L11 にリセットレベルの信号を出力する。

【0037】

時刻 t4 に、TG16 は信号 $\phi TX1$ を H レベルとする。これにより、図 3 で R1、Gr1、R2、Gr2 と付した画素 24 の各々のフォトダイオード 101 が蓄積した信号電荷が、各々の単位セル 100 のトランジスタ 103 の入力ノードに転送される。これにより、制御線 34 によって制御されるトランジスタ 104 が第一信号線 L11 に光電変換信号を出力する。

【0038】

時刻 t5 に、TG16 は信号 $\phi SEL1$ を L レベルにする。

【 0 0 3 9 】

時刻 t_6 に、 $TG16$ は信号 $\phi RES1$ を H レベルにする。これにより、制御線 35 によって制御されるトランジスタ 105 に電氣的に接続されたトランジスタ 103 の入力ノードの電位がリセットされる。

【 0 0 4 0 】

時刻 t_7 に、 $TG16$ は信号 $\phi SEL1$ を H レベルにする。これにより、制御線 34 によって制御されるトランジスタ 104 が第一信号線 $L11$ を介して読み出し回路 13 にリセットレベルの信号を出力する。

【 0 0 4 1 】

時刻 t_8 に、 $TG16$ は信号 $\phi TX2$ を H レベルにする。これにより、図 3 で $Gb1$ 、 $B1$ 、 $Gb2$ 、 $B2$ と付した画素 24 の各々のフォトダイオード 101 が蓄積した信号電荷が、各々の単位セル 100 のトランジスタ 103 の入力ノードに転送される。これにより、制御線 34 によって制御されるトランジスタ 104 が第一信号線 $L11$ に光電変換信号を出力する。

10

【 0 0 4 2 】

時刻 t_9 に、 $TG16$ は信号 $\phi SEL1$ を L レベルにする。

【 0 0 4 3 】

以降、 $TG16$ は時刻 t_6 から時刻 t_9 で行った動作と同様に、信号 $\phi TX3$ 、 $\phi TX4$ を順次 H レベルにする。これにより、信号 $\phi SEL1$ によって制御されるトランジスタ 104 を有する単位セル 100 の各画素 24 の信号電荷に基づく光電変換信号が読み出し回路 13 に出力される。

20

【 0 0 4 4 】

その後、時刻 t_{16} に、水平同期信号 HD が H レベルとなる。これにより、 $TG16$ は副走査回路 14 に読み出し回路 13 を走査させる。よって、各読み出し回路 13 が順次、 CDS 処理後の光電変換信号を出力アンプ 15 に出力する。この CDS 処理後の光電変換信号とは、リセットレベルの信号と光電変換信号との差の信号である。

【 0 0 4 5 】

その後、 $TG16$ は時刻 t_1 から時刻 t_{16} まですで行った動作と同様の動作を時刻 t_1 から時刻 t_{32} までの期間に、信号 $\phi SEL1$ の代わりに信号 $\phi SEL2$ を制御して行う。

30

【 0 0 4 6 】

次に、図 5 を参照しながら、セル部 22 の単位セル 100 が光電変換信号を単位信号処理部 23 に出力する動作を説明する。

【 0 0 4 7 】

時刻 t_0 に、 $TG16$ は信号 ϕCON を H レベルにする。これにより、図 3 に示したトランジスタ 106 がオンとなり、同列に設けられた、複数の単位セル 100 のトランジスタ 103 の入力ノード同士の間の電氣的経路が導通状態となる。

【 0 0 4 8 】

時刻 t_1 に、 $TG16$ は信号 $\phi RES1$ 、 $\phi RES2$ を H レベルにする。これにより、制御線 35、43 によって制御されるトランジスタ 105 と電氣的に接続されたトランジスタ 103 の入力ノードの電位がリセットされる。

40

【 0 0 4 9 】

時刻 t_2 に、 $TG16$ は信号 $\phi SEL1$ を H レベルにする。これにより、制御線 34 によって制御されるトランジスタ 104 は、第一信号線 $L11$ にリセットレベルの信号を出力する。

【 0 0 5 0 】

時刻 t_3 に、 $TG16$ は信号 $\phi TX1$ 、 $\phi TX3$ 、 $\phi TX5$ 、 $\phi TX7$ を H レベルにする。これにより、図 3 の 1 列目、3 列目の単位セル 100 では、トランジスタ 103 の入力ノードで、「 R 」の色のカラーフィルタが設けられたフォトダイオード 101 の画素 24 同士の信号電荷が加算される。このトランジスタ 103 の入力ノードで加算された信号

50

電荷を加算信号と表記する。特許請求の範囲で示した加算部は、本実施例ではトランジスタ103の入力ノードである。2列目、4列目の単位セル100では、トランジスタ103の入力ノードで、「G」の色のカラーフィルタが設けられたフォトダイオード101の画素24同士の信号電荷が加算される。制御線34によって制御される、1~4列目のトランジスタ104のそれぞれは、加算信号に基づく信号を第一信号線L11に出力する。

【0051】

また、時刻t3にTG16は信号φMEMをHレベルにする。これにより、容量素子108は、該容量素子108に対応する列の第一信号線L11に出力されている加算信号に基づく信号を保持する。本実施例の容量素子108は、加算信号に基づく信号を保持する信号保持部である。信号保持部が保持した信号を保持信号と表記する。

10

【0052】

時刻t4に、TG16は信号φMEMをLレベルにする。

【0053】

時刻t5に、TG16は信号φAVEをHレベルにする。これにより、図3に示した各列の容量素子108同士が導通状態となる。よって、各列の容量素子108の保持信号は平均化され、この平均化された保持信号が出力アンプ110に入力される。以下、平均化された保持信号を、平均加算信号と表記する。平均加算信号は、容量素子108の保持信号に基づく信号である。出力アンプ110は、平均加算信号を増幅した信号を生成する。そして、出力アンプ110は、この平均加算信号を、第二信号線L21を介して読み出し回路13に出力する。本実施例の平均加算信号は、加算信号に基づいている。従って、平均加算信号についても、加算信号に基づく信号であると言える。本実施例の出力アンプ110は、加算信号に基づく信号を出力する信号出力部である。

20

【0054】

時刻t6に、TG16は信号φSEL1をLレベルにする。

【0055】

時刻t7に、TG16は信号φRES1, φRES2をHレベルにする。これにより、各单位セル100のトランジスタ103の入力ノードの電位がリセットされる。

【0056】

時刻t8に、TG16は信号φSEL1をHレベルにする。

【0057】

30

時刻t9に、TG16は信号φTX2、φTX4、φTX6、φTX8をHレベルにする。これにより、図3の1列目、3列目の単位セル100では、トランジスタ103の入力ノードで、「G」の色のカラーフィルタが設けられたフォトダイオード101の画素24同士の信号電荷が加算される。2列目、4列目の単位セル100では、トランジスタ103の入力ノードで、「R」の色のカラーフィルタが設けられたフォトダイオード101の画素24同士の信号電荷が加算される。制御線34によって制御される1~4列目のトランジスタ104のそれぞれは、加算信号に基づく信号を第一信号線L11に出力する。

【0058】

また、時刻t9に、TG16は信号φMEMをHレベルにする。これにより、容量素子108は、対応する列の第一信号線L11に出力されている加算信号に基づく信号を保持する。

40

【0059】

時刻t10に、TG16は信号φMEMをLレベルにする。

【0060】

時刻t11に、TG16は信号φAVEをHレベルにする。これにより、図3に示した各列の容量素子108同士が導通状態となる。よって、各列の容量素子108が保持した保持信号が平均化されて平均加算信号が生成される。この平均加算信号が出力アンプ110に入力される。出力アンプ110は、平均加算信号を読み出し回路13に出力する。読み出し回路13は、副走査回路14の走査によって、出力アンプ110から入力された平均加算信号を出力アンプ15に出力する。

50

【0061】

このように、読み出し回路13は、各画素24の信号電荷に基づく光電変換信号をCDS処理した信号を出力アンプ15に出力する。また、読み出し回路13は、単位信号処理部23から出力された平均加算信号を出力アンプ15に出力する。つまり、本実施例の読み出し回路13は、各画素24の信号電荷に基づく光電変換信号と、加算信号に基づく信号とが入力される読み出し部である。

【0062】

本実施例の光電変換装置は、各画素24の信号電荷に基づく光電変換信号をCDS処理した信号と、複数列の単位セル100の加算信号に基づく信号を平均化した平均加算信号とをそれぞれ得ることができる。これにより本実施例の光電変換システムは、高解像度、低解像度の画像をそれぞれ得ることができる。

10

【0063】

また、加算部が加算信号を生成することにより、低輝度の被写体の測光を行う場合の光電変換信号の信号振幅を大きくすることができる。これにより、複数の画素24の信号電荷を加算しない場合に比して、本実施例の光電変換装置は光電変換信号のS/N比を向上させることができる。これにより、本実施例の光電変換装置を有する光電変換システムは、光電変換装置が複数の画素24の加算信号を生成しない場合に比して、測光処理の精度を向上させることができる。

【0064】

一方で、高輝度の被写体の測光を行った場合に、加算信号が飽和すると測光処理の精度が低下してしまう。このような場合には、読み出し回路13が出力する、複数の画素24の各々の信号電荷に基づく光電変換信号を用いることによって、測光処理を行うことができる。

20

【0065】

よって、本実施例の光電変換装置は、複数の画素24の各々の信号電荷に基づく光電変換信号のみ、あるいは、平均加算信号のみを出力する場合に比して、測光処理を好適に行うことのできる被写体の輝度の範囲を拡大することができる。

【0066】

また、本実施例の光電変換装置は、各画素24の信号電荷に基づく光電変換信号をCDS処理した信号と、複数列の単位セル100の加算信号に基づく信号を平均化した平均加算信号とをそれぞれ得ることができる。これにより、各画素24の信号電荷に基づく光電変換信号をCDS処理した信号によって、演算部2は画像を生成することができる。生成した画像により演算部2は、被写体の撮影シーンを検出することができる。この被写体の撮影シーンとは、例えば人の顔など注目したい被写体を含む撮影、夜景撮影、太陽など高輝度の被写体を含む撮影などを指す。そして、演算部2は、検出した撮影シーンと平均加算信号とに基づいて、被写体の測光を行う。これにより、本実施例の光電変換装置は、撮影シーンに対応した好適な測光を行うことができる。

30

【0067】

本実施例に光電変換装置は、各単位セル100が加算部を有している。加算回路が設けられた領域が一つである特許文献1の撮像装置に対し、本実施例の光電変換装置は、加算信号を高速に生成することができる。

40

【0068】

また、特許文献1の撮像装置は、加算信号を保持する領域が、画素アレイに対して1つの領域である。一方で、本実施例の光電変換装置は、各々が加算信号に基づく信号を保持する複数の単位信号処理部23を有する。そして、本実施例の光電変換装置は、複数の単位信号処理部23で並行して加算信号に基づく信号を保持する。そして、本実施例の光電変換装置は、複数の単位信号処理部23が並行して、平均加算信号を読み出し回路13に出力することができる。これにより、本実施例に光電変換装置は、特許文献1に記載の撮像装置に比して、複数の領域21の各々から平均加算信号を高速に読み出すことができる。

50

【 0 0 6 9 】

また、本実施例の光電変換装置は、複数の単位信号処理部 2 3 を有している。これにより、互いに異なる単位信号処理部 2 3 の容量素子 1 0 8 が加算信号に基づく信号を保持する期間の少なくとも一部同士を重ねることができる。そして、T G 1 6 が複数の単位信号処理部 2 3 に出力する信号 ϕ A V E を H レベルにすることにより、複数の単位信号処理部 2 3 で並行して平均加算信号を生成することができる。これにより、単位信号処理部 2 3 が一つの場合に比して、領域 2 1 の各々の平均加算信号を生成する期間を短縮することができる。

【 0 0 7 0 】

また、本実施例の光電変換装置は、複数の単位信号処理部 2 3 は、第一信号線 L 1 1 とは別の第二信号線 L 2 1 に平均加算信号を出力する。第二信号線 L 2 1 は、各単位信号処理部 2 3 に電氣的に接続されており、第一信号線 L 1 1 よりも寄生成分が少ない。これにより、第二信号線 L 2 1 の駆動負荷は、第一信号線 L 1 1 の駆動負荷よりも小さい。これにより、第一信号線 L 1 1 を用いて各単位信号処理部 2 3 から平均加算信号を出力させる場合に比して、本実施例の光電変換装置は高速に平均加算信号を各単位信号処理部 2 3 から読み出し回路 1 3 に出力させることができる。

【 0 0 7 1 】

特許文献 2 に記載の撮像装置で、平均加算信号を得るためには、各画素内に容量素子を設ける必要があった。従って、各画素のフォトダイオードの面積が容量素子によって圧迫される課題があった。本実施例の光電変換装置は、画素 2 4 とは別に容量素子 1 0 8 を設けている。これにより、画素 2 4 のフォトダイオード 1 0 1 の面積が、特許文献 2 の撮像装置の構成に比して、圧迫されにくい。これにより、フォトダイオード 1 0 1 の光に対する感度を、特許文献 2 の撮像装置 2 の構成に比して向上させることができる。

【 0 0 7 2 】

尚、本実施例では図 4 を参照しながら説明したように、T G 1 6 が全ての単位セル 1 0 0 で同じ信号出力動作を行わせていた。他の例として、T G 1 6 が単位セル 1 0 0 ごとに信号出力動作を異ならせるようにしても良い。このような信号出力動作の一例を、図 6 (a) を参照しながら説明する。図 6 (a) では信号 ϕ M E M、 ϕ A V E を示していないが、図 6 (a) の動作を行う期間、T G 1 6 は信号 ϕ M E M、 ϕ A V E を共に L レベルとしている。

【 0 0 7 3 】

時刻 t 1 に、T G 1 6 は信号 ϕ R E S 1 を H レベルにする。

【 0 0 7 4 】

そして時刻 t 2 に、T G 1 6 は信号 ϕ S E L 1 を H レベルにする。これにより、制御線 3 4 によって制御されるトランジスタ 1 0 4 がリセットレベルの信号を第一信号線 L 1 1 に出力する。

【 0 0 7 5 】

時刻 t 3 に、T G 1 6 は信号 ϕ T X 1 を H レベルにする。これにより、制御線 3 4 によって制御されるトランジスタ 1 0 4 が、制御線 3 0 によって制御されるトランジスタ 1 0 2 を有する画素 2 4 の信号電荷に基づく光電変換信号を第一信号線 L 1 1 に出力する。

【 0 0 7 6 】

時刻 t 4 に、信号 ϕ S E L 1 を L レベルにする。

【 0 0 7 7 】

その後、T G 1 6 は時刻 t 1 5 までの期間、単位セル 1 0 0 内の各画素 2 4 の信号電荷に基づく光電変換信号をそれぞれ第一信号線 L 1 1 に出力させる。

【 0 0 7 8 】

時刻 t 1 6 に、T G 1 6 は、信号 ϕ R E S 2 を H レベルにした後、信号 ϕ T X 5 ~ T X 8 を H レベルにする。これにより、制御線 3 8 ~ 4 1 によって制御されるトランジスタ 1 0 2 を有する画素 2 4 のフォトダイオード 1 0 1 の電位がリセットされる。

【 0 0 7 9 】

10

20

30

40

50

つまり、図 6 (a) に示した動作では、制御線 3 0 ~ 3 3 によって制御されるトランジスタ 1 0 2 を有する画素 2 4 は、ローリングシャッタ動作を行う。一方、制御線 3 8 ~ 4 1 によって制御されるトランジスタ 1 0 2 を有する画素 2 4 は、グローバルシャッタ動作を行う。

【 0 0 8 0 】

このように、T G 1 6 が単位セル 1 0 0 ごとに信号出力動作を異ならせるようにしても良い。

【 0 0 8 1 】

また、本実施例の読み出し回路 1 3 は、単位信号処理部 2 3 から入力される平均加算信号についても C D S 処理を行っても良い。この場合、C D S 処理に用いるリセットレベルの信号は、各単位セル 1 0 0 が出力するリセットレベルの信号を平均化した信号とすることができる。

10

【 0 0 8 2 】

また、本実施例では、読み出し回路 1 3 が平均加算信号を出力アンプ 1 5 に出力していた。他の例として、読み出し回路 1 3 が出力アンプ 1 5 を介さずに光電変換装置の外部に平均加算信号を出力する形態であっても良い。

【 0 0 8 3 】

また、図 1 (b) に示した構成では、光電変換装置が 1 つの出力アンプ 1 5 を有するとして説明した。他の例として、図 6 (b) に示すように、読み出し回路 1 3 が複数のラインメモリ 1 3 1 ~ 1 3 4 を有し、出力アンプ 5 1 ~ 5 4 がそれぞれ、ラインメモリ 1 3 1 ~ 1 3 4 の各々に対応して設けられている構成としても良い。ラインメモリ 1 3 1 ~ 1 3 4 は、それぞれ互いに異なる行の単位セル 1 0 0 が出力する信号を保持する。この構成により、複数の単位セル 1 0 0 の光電変換信号、領域 2 1 の平均加算信号を、出力アンプ 5 1 ~ 5 4 のそれぞれが並行して出力することができる。よって、図 6 (b) に示した構成は出力アンプ 1 5 が 1 つの構成に比して短期間で、複数の単位セル 1 0 0 の光電変換信号、領域 2 1 の平均加算信号のそれぞれを光電変換装置の外部に出力することができる。

20

【 0 0 8 4 】

本実施例では、平均加算信号が出力アンプ 1 1 0 に入力される例を説明した。他の例として、複数の容量素子 1 0 8 の保持信号を加算した信号が、出力アンプ 1 1 0 に入力される形態であっても良い。この場合には、複数列の容量素子 1 0 8 の保持信号を加算するノードが、複数の画素の信号同士を加算する加算部である。

30

【 0 0 8 5 】

本実施例では、単位セル 1 0 0 が複数の画素 2 4 を有していた。他の例として、単位セル 1 0 0 が 1 つの画素 2 4、1 つのトランジスタ 1 0 3、1 つのトランジスタ 1 0 4 を有するものであっても良い。また、単位信号処理部 2 3 が、複数の単位セル 1 0 0 のトランジスタ 1 0 4 が出力する信号を加算するようにしても良い。

【 0 0 8 6 】

(実施例 2)

本実施例の光電変換装置を、実施例 1 とは異なる点を中心に説明する。

【 0 0 8 7 】

図 7 は、本実施例の光電変換装置を示した図である。図 7 では、図 2 に示したものと同一機能を有する部材に、図 2 で付した符号と同じ符号を付している。

40

【 0 0 8 8 】

実施例 1 で述べた光電変換装置は、各領域 2 1 の単位信号処理部 2 3 は、同列で共通の第二信号線 L 2 1 に電氣的に接続されていた。本実施例の光電変換装置は、第二信号線 L 2 1 が、各領域 2 1 に対応してそれぞれ設けられている点が実施例 1 の光電変換装置と異なる。これにより、本実施例の光電変換装置は、同列の領域 2 1 の単位信号処理部 2 3 に、同時に平均加算信号を出力させることができる。これにより、本実施例の光電変換装置は、実施例 1 の光電変換装置に比して、複数の領域 2 1 の単位信号処理部 2 3 が出力する平均加算信号をさらに高速に読み出すことができる。

50

【 0 0 8 9 】

(実施例 3)

本実施例の光電変換装置について、実施例 1 と異なる点を中心に説明する。

【 0 0 9 0 】

図 8 は、本実施例の光電変換装置を示した図である。図 8 では、図 2 に示したものと同一機能を有する部材に、図 2 で付した符号と同じ符号を付している。

【 0 0 9 1 】

本実施例の光電変換装置は、各領域 2 1 の単位信号処理部 2 3 に、それぞれ 4 本の第二信号線 L 2 1 が電気的に接続されている。また、4 本の第二信号線 L 2 1 の各々は、複数の領域 2 1 の単位信号処理部 2 3 に電気的に接続されている。

10

【 0 0 9 2 】

図 9 は、図 8 に示した光電変換装置のうち、一つの領域 2 1 と読み出し回路 1 3 について示した図である。図 9 では、図 3 に示したものと同一機能を有する部材に、図 3 で付した符号と同じ符号を付している。本実施例の光電変換装置の動作は、図 5 を参照しながら述べた動作と同様とすることができる。

【 0 0 9 3 】

図 9 に示す通り、本実施例の単位信号処理部 2 3 は、複数の出力アンプ 1 1 0 を有している。複数の出力アンプ 1 1 0 のそれぞれは、各列の容量素子 1 0 8 に対応して設けられている。また、複数の出力アンプ 1 1 0 のそれぞれは、複数の第二信号線 L 2 1 のそれぞれに対応して設けられている。

20

【 0 0 9 4 】

図 9 に示した光電変換装置が、図 5 に示した時刻 t 0 から時刻 t 5 の動作を行うことにより、1 列目の容量素子 1 0 8 は、「R」の色のカラーフィルタが設けられたフォトダイオード 1 0 1 の画素 2 4 の加算信号に基づく信号を保持する。同様に、2 列目、3 列目、4 列目のそれぞれの容量素子 1 0 8 は順に、「G」、「R」、「G」の色のカラーフィルタが設けられた画素 2 4 の加算信号に基づく信号を保持する。その後、T G 1 6 が信号 φ A V E を H レベルにすることにより、複数の出力アンプ 1 1 0 の各々は、複数の第二信号線 L 2 1 の各々に対し、同色のカラーフィルタが設けられたフォトダイオード 1 0 1 の画素 2 4 の加算信号に基づく信号を出力する。

【 0 0 9 5 】

これにより、本実施例の光電変換装置は、同色のカラーフィルタが設けられたフォトダイオード 1 0 1 の画素 2 4 の加算信号に基づく信号を得ることができる。

30

【 0 0 9 6 】

(実施例 4)

本実施例の光電変換システムについて、図 1 0 を参照しながら説明する。

【 0 0 9 7 】

本実施例の光電変換システムは、光電変換装置 1 5 4 が出力する信号を用いて画像を生成する。光電変換装置 1 5 4 の構成は、実施例 1 ~ 3 のいずれかの構成とすることができる。

【 0 0 9 8 】

光電変換システムはレンズの保護のためのバリア 1 5 1、被写体の光学像を本実施例の光電変換装置 1 5 4 に結像させるレンズ 1 5 2、レンズ 1 5 2 を通った光量を可変にするための絞り 1 5 3 を有する。さらに光電変換システムは、光電変換装置 1 5 4 より出力される信号の処理を行う出力信号処理部 1 5 5 を有する。光電変換装置 1 5 4 から出力される信号は、被写体を撮影した撮影画像を生成するための撮像信号である。出力信号処理部 1 5 5 は光電変換装置 1 5 4 から出力される撮像信号を必要に応じて各種の補正、圧縮を行って処理する。レンズ 1 5 2、絞り 1 5 3 は光電変換装置 1 5 4 に光を集光する光学系である。

40

【 0 0 9 9 】

全体制御・演算部 1 5 1 0 は、光電変換装置 1 5 4 に実施例 1 ~ 3 で述べた動作を行わ

50

せる。出力信号処理部 155 は、光電変換装置 154 から出力された信号によって画像を生成する。

【0100】

光電変換システムはさらに、画像データを一時的に記憶する為のバッファメモリ部 156、外部コンピュータ等と通信する為の外部インターフェース部 157 を有する。さらに光電変換システムは、撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体 159、記録媒体 159 に記録または読み出しを行うための記録媒体制御インターフェース部 158 を有する。さらに光電変換システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部 1510 を有する。

【0101】

このように、本実施例の光電変換システムは、光電変換装置 154 が出力する信号により、画像を生成することができる。

【0102】

また、本実施例の光電変換装置 154 が出力する信号を用いて、出力信号処理部 155 が測光処理を行っても良い。この場合には、出力信号処理部 155 は測光処理を行って測光データを生成する。そして、出力信号処理部 155 は、生成した測光データを全体制御・演算部 1510 に出力する。全体制御・演算部 1510 は、入力された測光データに基づいて、光電変換装置 154 の露光量を決定する。この露光量とは、光電変換装置のシャッターを開いている期間、絞り 152 の絞り量、光電変換装置 154 の感度等を指す。

【0103】

これにより、光電変換システムは、被写体を適切な露光量で撮影した画像を生成することができる。

【符号の説明】

【0104】

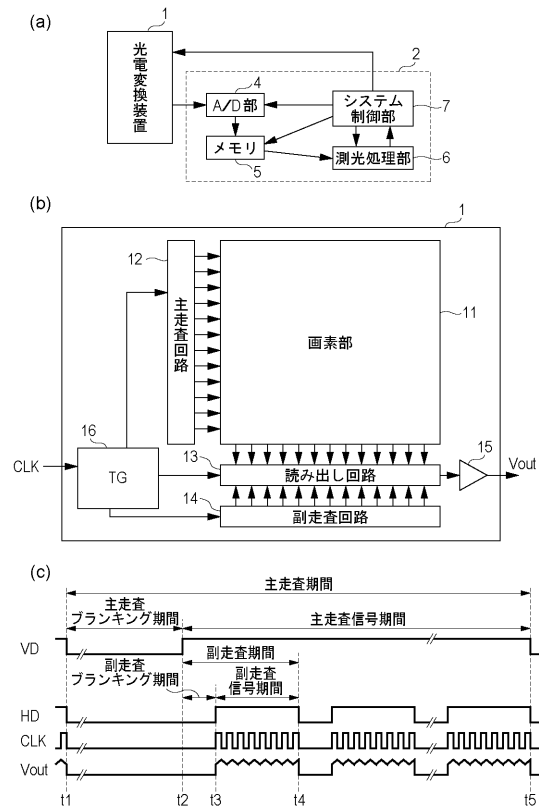
- 1 光電変換装置
- 11 画素部
- 16 TG
- 21 第一領域
- 22 第二領域
- L11 第一信号線
- L21 第二信号線

10

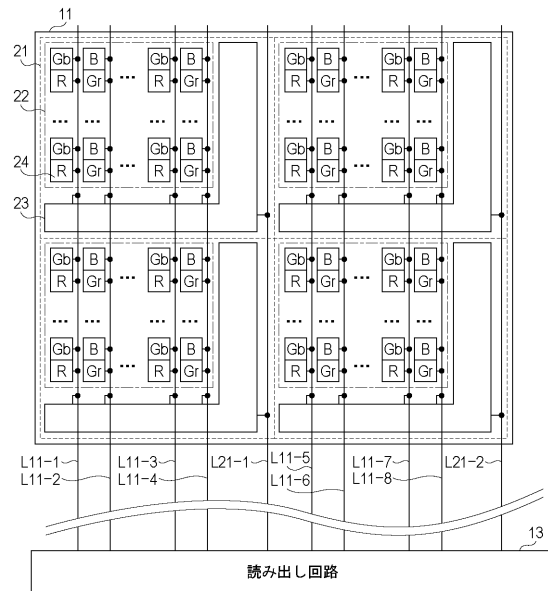
20

30

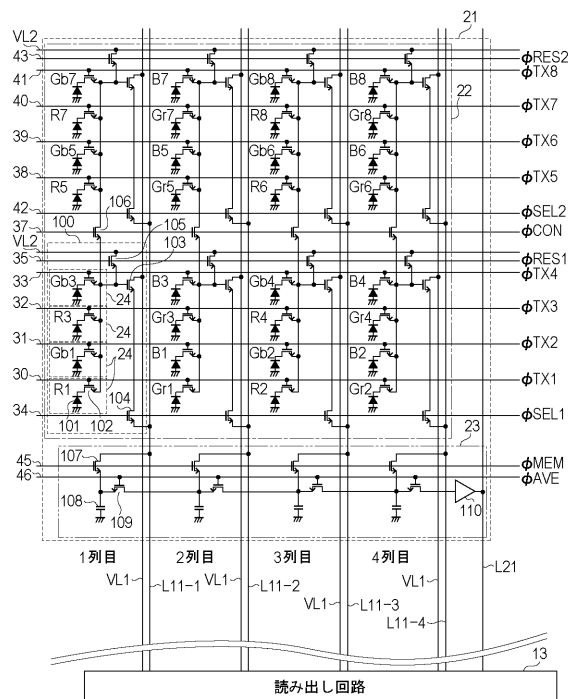
【図 1】



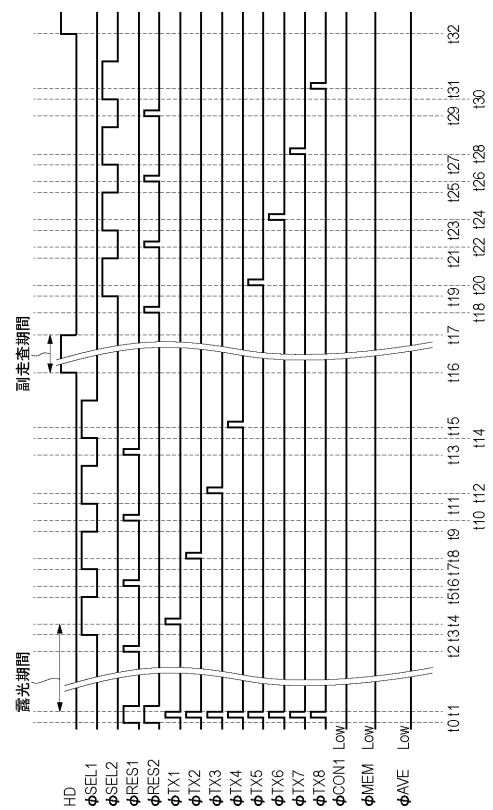
【図 2】



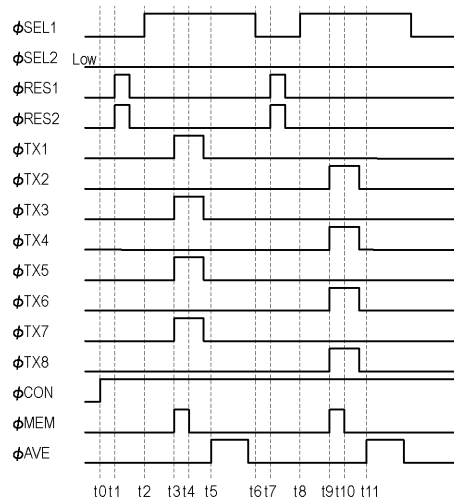
【図 3】



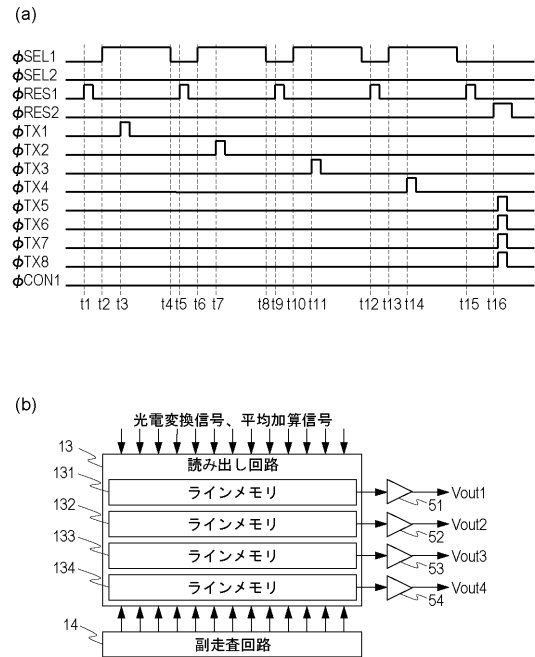
【図 4】



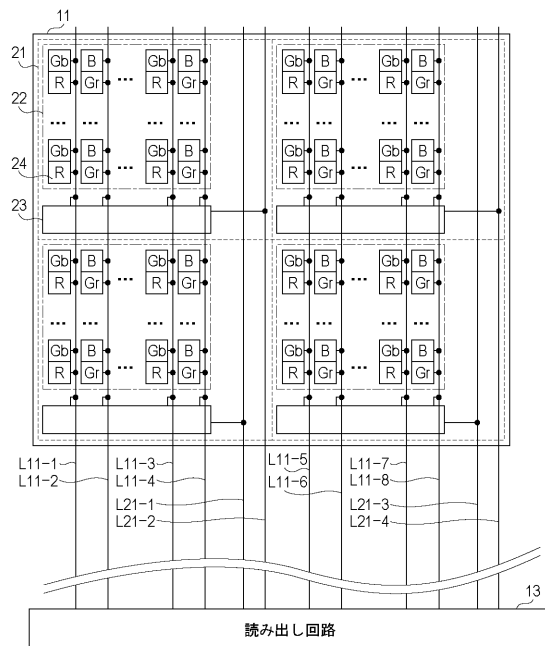
【図 5】



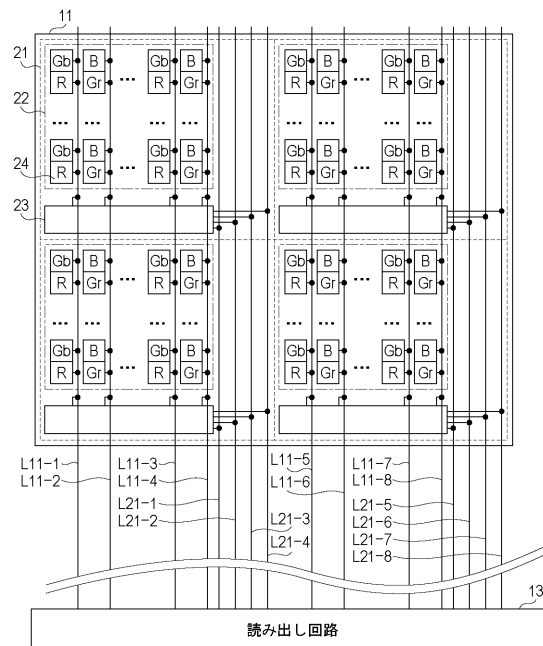
【図 6】



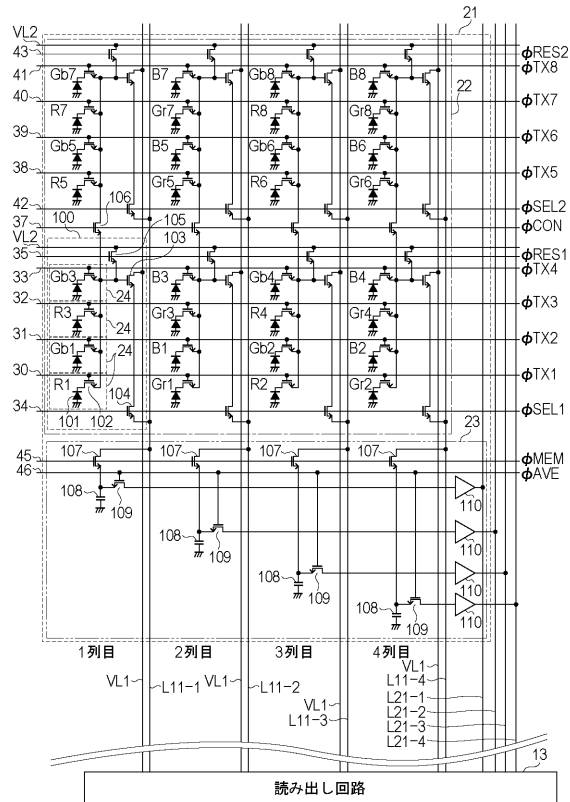
【図 7】



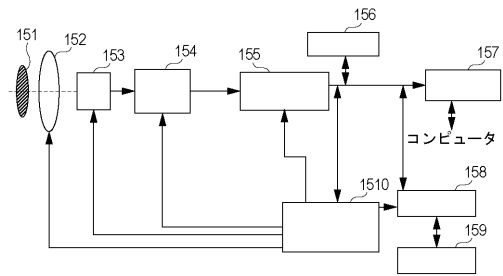
【図 8】



【図 9】



【図 10】



フロントページの続き

(56)参考文献 特開 2013 - 068759 (JP, A)
特開 2012 - 099934 (JP, A)
特開 2009 - 021809 (JP, A)
特開 2009 - 033316 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N	5 / 374
H04N	5 / 378
H04N	9 / 07