(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

PCT

(43) Internationales Veröffentlichungsdatum
23. August 2007 (23.08.2007)

(10) Internationale Veröffentlichungsnummer
WO 2007/093516 A2

(51) Internationale Patentklassifikation:
Nicht klassifiziert

(21) Internationales Aktenzeichen: PCT/EP2007/051070

(22) Internationales Anmeldedatum:
5. Februar 2007 (05.02.2007)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2006 006 558.1
13. Februar 2006 (13.02.2006) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **PATENT-TREUHAND-GESELLSCHAFT FÜR ELEKTRISCHE GLÜHLAMPEN MBH** [DE/DE]; Hellabrunner Str. 1, 81543 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder *(nur für US)*: **STORM, Arwed** [DE/DE]; Olaf-Lange-Weg 14, 85221 Dachau (DE).

(74) Anwalt: **RAISER, Franz**; c/o OSRAM GmbH, Postfach 22 16 34, 80506 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

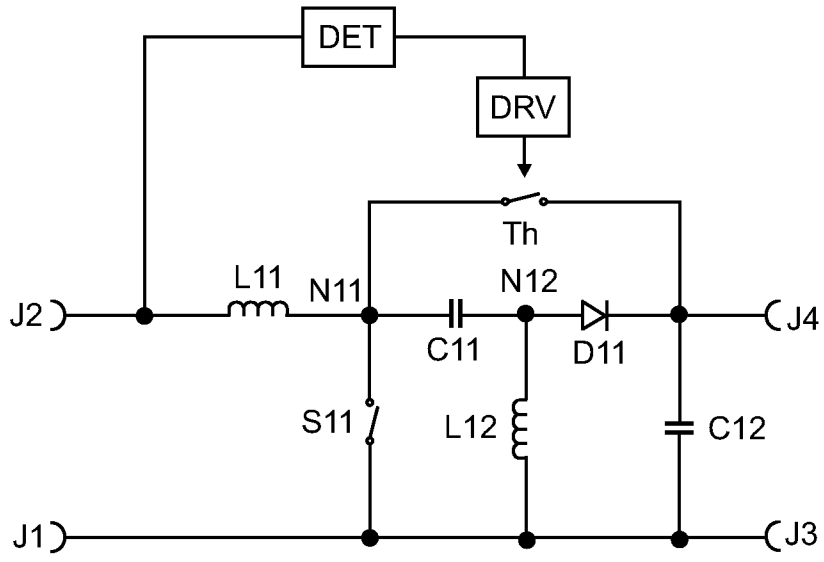
Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: CIRCUIT ARRANGEMENT FOR PROVIDING AN OPERATING DC VOLTAGE

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR BEREITSTELLUNG EINER BETRIEBS-GLEICHSPANNUNG



(57) Abstract: The invention relates to a circuit arrangement for providing an operating DC voltage from a mains voltage, more particularly to operating circuits comprising a clocked electronic converter. Such operating circuits are preferably used for lamps or other light sources. The present invention protects such circuit arrangements from transient mains overvoltages. As soon as a mains overvoltage occurs a diverter switch Th connects the voltage-sensitive switch S11 of the electronic converter to a storage capacitor C12.

(57) Zusammenfassung: Die Erfindung betrifft eine Schaltungsanordnungen zur Bereitstellung einer Betriebs-Gleichspannung aus einer Netzspannung. Insbesondere handelt es sich dabei um Betriebsschaltungen, die einen getakteten elektronischen Wandler enthalten. Solche Betriebsschaltungen werden bevorzugt für Lampen oder andere Lichtquellen eingesetzt. Die vorliegende Erfindung schützt eine derartiger Schaltungsanordnungen vor transienten Netzüberspannungen. Sobald eine Netzüberspannung vorliegt, Verbindet ein Ableitschalter Th den spannungsempfindlichen Schalter S11 des elektronischen Wandlers mit einem Speicherkondensator C12.

WO 2007/093516 A2

Schaltungsanordnung zur Bereitstellung einer Betriebs-Gleichspannung

Technisches Gebiet

Die vorliegende Erfindung bezieht sich auf Schaltungsanordnungen zum Bereitstellen einer Betriebs-Gleichspannung aus einer Netzspannung. Insbesondere handelt es sich dabei um Betriebsschaltungen, die einen getakteten elektronischen Wandler enthalten. Solche Betriebsschaltungen werden bevorzugt für Lampen oder andere Lichtquellen eingesetzt. Die vorliegende Erfindung behandelt den Schutz derartiger Schaltungsanordnungen vor Netzüberspannung. Unter Netzüberspannung wird im folgenden eine transiente Überspannung verstanden, die zur Zerstörung der Schaltungsanordnung führen kann. Nicht betrachtet werden dauerhaft überhöhte Werte für die Netzspannung über einem Nominalwert.

Stand der Technik

Schaltungsanordnungen, die zum Anschluss an eine Netzspannung vorgesehen sind, sind durch Überspannungen gefährdet, die die Netzspannung aufweisen kann. Schaltungsanordnungen, die eine Betriebs-Gleichspannung bereitstellen, besitzen in der Regel einen Speicherkondensator, an dem die Betriebs-Gleichspannung für weitere Schaltungsteile bereit steht. Im Stand der Technik werden oft Schaltungstopologien verwendet, bei denen der Speicherkondensator ohne strombegrenzende Mittel wie z. B. Drosseln mit der Netzspannung gekoppelt ist. Falls der Speicherkondensator einen genügend großen Kapazitätswert aufweist, kann in diesem Fall der Speicherkondensator die Energie der Netzüberspannung aufnehmen, ohne Zerstörung der Schaltungsanordnung.

Weiterhin ist im Stand der Technik die Verwendung von Varistoren oder Suppressordioden, die bei Überschreiten einer vorgegebenen Spannung in einen leitenden Zustand übergehen und die Netzspannung begrenzen. Der Nachteil dieser Mittel liegt in der sicheren Begrenzung der Netzspannung bei starken Störungen der Netzspan-

nung. Regelmäßig enthalten Betriebschaltungen für Lampen oder andere Schaltungsanordnungen zur Bereitstellung einer Gleichspannung mindestens einen Schalttransistor, dessen Spannungsfestigkeit begrenzt ist. Eine durch den Typ des Schalttransistors bedingte Maximalspannung darf am Schalttransistor nicht überschritten werden. Um dies auch bei stark gestörter Netzspannung sicher zu stellen, muss ein Varistor oder eine Suppressordiode entsprechend groß dimensioniert sein. Dies führt zu großen und teueren Varistoren oder Suppressordioden. Besser ist in diesem Fall die oben beschriebene Methode mit dem Speicherkondensator. Diese ist jedoch nicht anwendbar bei Schaltungstoplogien, bei denen der Speicherkondensator nicht direkt mit Netzspannung gekoppelt ist.

Darstellung der Erfindung

Der Erfindung liegt das technische Problem zugrunde, eine Schaltungsanordnung zur Verfügung zu stellen, die gegen Netzüberspannung geschützt ist, ohne die oben genannten Nachteile aufzuweisen.

Der Erfindung liegt die Erkenntnis zu Grunde, dass sich ein Speicherkondensator zur Begrenzung der Spannung an einem Schalttransistor nutzen lässt, indem ein Ableitschalter den Schalttransistor mit dem Speicherkondensator verbindet, falls eine Netzüberspannung vorliegt.

Im allgemeinen weist eine gattungsgemäße Schaltungsanordnung einen Gleichrichter auf, der an einem ersten und einem zweiten Netzanschluss eine gleichgerichtete Netzspannung zur Verfügung stellt. Ohne Begrenzung der Allgemeinheit wird der erste Netzanschluss als Bezugspotenzial verwendet. Die gleichgerichtete Netzspannung speist eine getaktete Wandlerschaltung, die meist an einem Speicherkondensator eine Betriebsgleichspannung zum Betrieb von weiteren Schaltungsteilen zur Verfügung stellt. Der Speicherkondensator stellt die Betriebsgleichspannung mit Bezug auf das Bezugspotenzial zur Verfügung. Der Speicherkondensator dient also meist als Puffer für die Betriebsgleichspannung und ist demnach in gattungsgemäßen Schaltungsanordnungen vorteilhaft bereits vorhanden, auch wenn die Schaltungsanordnung die vorliegende Erfindung nicht enthält. Bei der Realisierung der Erfindung

muss aber nicht zwangsläufig ein bereits vorhandener Speicherkondensator herangezogen werden. Es kann für die Erfindung auch ein separater Speicherkondensator benutzt werden.

Die getaktete Wandlerschaltung umfasst mindestens einen Schalttransistor, der mit einem zweiten Arbeitsanschluss mit dem Bezugspotenzial gekoppelt ist. Tritt an den Netzanschlüssen eine Netzüberspannung auf, so kann zwischen dem zweiten Arbeitsanschluss des Schalttransistors und einem ersten Arbeitsanschluss des Schalttransistors ein Spannungswert auftreten, der zur Zerstörung des Schalttransistors führt.

Eine erfindungsgemäße Schaltungsanordnung umfasst einen Ableitschalter, der im Fall einer Netzüberspannung den ersten Arbeitsanschluss des Schalttransistors mit dem Speicherkondensator verbindet und dadurch einen Anstieg der Spannung am Schalttransistor auf zerstörende Werte verhindert.

Von besonderem Nutzen ist die Erfindung bei sog. Leistungsfaktorkorrekturschaltungen (PFC-Schaltungen, Power Factor Correction Circuits), die bei modernen Betriebsgeräten für Lampen häufig Verwendung finden. Sie sind an sich dem Fachmann bekannt und werden daher hier nicht im Einzelnen zu erläutert. Solche Leistungsfaktorkorrekturschaltungen enthalten neben einem Schalttransistor auch meist eine Speicherdrossel. In diesen Fällen ist der Schalttransistor auch durch Sättigungsströme der Speicherdrossel in Folge von transienten Störungen gefährdet.

Besonders bevorzugt ist die Anwendung der Erfindung bei sog. Abwärtswandlern (step-down-Konverter), die kleinere Spannungen als die Versorgungsspannungsamplitude erzeugen. Ein besonders bevorzugtes Beispiel, das sowohl als Aufwärtswandler als auch als Abwärtswandler arbeiten kann und damit im Sinn dieser Erfindung als Abwärtswandler betrachtet wird, ist ein SEPIC-Wandler. Auch das Prinzip des SEPIC-Wandlers soll hier nicht im Einzelnen erläutert werden. Stattdessen wird verwiesen auf die Literatur und beispielhaft auf die deutsche Patentanmeldung 101 10 239.9.

Ein weiterer Aspekt der vorliegenden Erfindung betrifft die Realisierung des Ableitschalters. Vorteilhaft wird er mit einem Thyristor ausgeführt, der von einer Treiberschaltung getriggert wird, die ein Über-Kopf-Zünden des Thyristors unterbindet. Dies geschieht durch Anlegen einer negativen Spannung an das Gate des Thyristors, solange er nicht gezündet werden soll, wobei die negative Spannung aus einer Hilfsdrossel gewonnen wird, die mit der Speicherdrossel magnetisch gekoppelt ist.

Kurze Beschreibung der Zeichnungen

Fig. 1 zeigt ein Schaltbild einer erfindungsgegenständlichen Schaltungsanordnung.

Fig. 2 zeigt ein Schaltbild für die Realisierung eines Ableitschalters, wie er für eine erfindungsgemäße Schaltungsanordnung geeignet ist.

Im folgenden werden Drosseln durch den Buchstaben L, Kondensatoren durch den Buchstaben C, Widerstände durch den Buchstaben R, Anschlüsse durch den Buchstaben J und Schalter durch den Buchstaben S jeweils gefolgt von einer Zahl beschrieben.

Bevorzugte Ausführung der Erfindung

Figur 1 zeigt ein Ausführungsbeispiel für eine erfindungsgemäße Schaltungsanordnung. Für den getakteten Wandler wird im Ausführungsbeispiel ein SEPIC gewählt. Ein Fachmann kann jedoch die Erfindung auch auf andere Wandlertypen wie z. B. einen Hochsetzer (Boost-Konverter) anwenden.

Anschlüsse J1 und J2 stellen die Netz-Eingänge dar, an denen eine gleichgerichtete Netzspannung anschließbar ist. An Anschlüssen J3 und J4 kann die Schaltungsanordnung eine Betriebsgleichspannung bereitstellen. Ein Speicherkondensator C12 ist zwischen die Anschlüsse J3 und J4 geschaltet und dient neben der erfindungsgemä-

ßen Funktion, die unten beschrieben wird, zum Puffern der Betriebsgleichspannung. Die Anschlüsse J1 und J 3 sind verbunden und bilden ein Bezugspotenzial.

Eine Speicherdrossel L11, ein Schalttransistor S11, ein zweiter Speicherkondensator C11, eine zweite Speicherdrossel L12 und eine Freilauf-Diode D11 bilden einen aus der Literatur bekannten SEPIC. Zwischen dem Netzanschluss J2 und dem Anschluss J4 sind in der angegebenen Reihenfolge die Speicherdrossel L11, der zweite Speicherkondensator C11 und die Freilaufdiode D11 in Serie geschaltet. Zwischen der Speicherdrossel L11 und dem zweiten Speicherkondensator C11 bildet sich ein erster Knoten N11 und zwischen dem Speicherkondensator C11 und der Freilaufdiode bildet sich ein zweiter Knoten N12. Der Schalttransistor S11 ist zwischen den ersten Knoten N11 und das Bezugspotenzial geschaltet. Die zweite Speicherdrossel L12 ist zwischen den zweiten Knoten N12 geschaltet. Die Funktionsweise des SEPIC ist für die vorliegende Erfindung unerheblich und wird deshalb nicht beschrieben.

Zwischen den ersten Knoten N11 und den Anschluss J4 ist ein Ableitschalter Th geschaltet. Der Ableitschalter Th liegt somit zwischen einem zweiten Arbeitsanschluss des Schalters S11 und einem zweiten Anschluss des Speicherkondensators C12.

Den Ableitschalter Th steuert eine Treiberschaltung DRV mit einem Schaltsignal, an einem Steueranschluss des Ableitschalters Th. Die Treiberschaltung DRV ist gekoppelt mit einer Detektorschaltung DET, die wiederum mit dem Netzanschluss J2 gekoppelt ist. Die Treiberschaltung DRV und die Detektorschaltung DET können zu einer Auswerteschaltung zusammengefasst werden.

Erfindungsgemäß ist die Auswerteschaltung so ausgelegt, dass sie den Ableitschalter Th schließt für den Fall, dass die Spannung oder der Spannungsanstieg zwischen den Anschlüssen J1 und J2 über einem gegebenen Grenzwert liegt. Die Aufgabe der Auswerteschaltung kann in die Detektion der Netzspannung und das Ansteuern des Ableitschalters aufgeteilt werden.

Die Detektion wird in Figur 1 durch die Detektorschaltung DET wahrgenommen. Zur Realisierung stehen dem Fachmann zahlreiche Schwellwertschaltungen zur Verfügung. Auch die Detektion eines Spannungsanstiegs ist dem Fachmann geläufig.

Beispielsweise kann dazu einer Schwellwertschaltung ein Hochpass vorgeschaltet werden. Neben der Detektion des Spannungswertes auch dessen Anstieg zu detektieren ist vorteilhaft, da dadurch bei schnellem Anstieg frühzeitig der Ableitschalter schließt. Die alleinige Detektion des Spannungswerts kann wegen nicht vermeidbarer Schaltzeiten dazu führen, dass der Ableitschalter erst schließt, wenn die Netzspannung bereits einen Wert erreicht hat, der zur Zerstörung des Schalttransistors S11 führt.

Die Treiberschaltung DRV wandelt die Information der Detektorschaltung DET in ein Schaltsignal um, das zur Ansteuerung des Ableitschalters Th geeignet ist. Da für den Ableitschalter Th prinzipiell alle elektronischen Schalter in Frage kommen, muss der Fachmann eine zum Typ des Ableitschalters Th passende Treiberschaltung DRV wählen.

Erreicht die Spannung oder der Spannungsanstieg am Anschluss J2 Werte, die zur Zerstörung des Schalters S11 führen könnten, schaltet der Ableitschalter den Speicherkondensator C12 parallel zum zu schützenden Schalter S11. Die Energie dieser Netzüberspannung lädt damit den Speicherkondensator C12. Üblicherweise haben Speicherkondensatoren Werte im Bereich von einigen Mikrofarad. Die Energie, die transiente Netzüberspannungen üblicherweise aufweisen, führt am Speicherkondensator C12 nur zu einem Spannungsanstieg von einigen Volt, die keine Gefahr für den Schalttransistor S11 darstellen. Wird für den Speicherkondensator C12 ein Elektrolytkondensator gewählt, so kann auch dessen bekannter Zenereffekt genutzt werden.

Vorteilhaft, wird für den Ableitschalter Th ein Thyristor eingesetzt, da bereits kostengünstige Thyristoren hohe Ströme tragen können. Auch die Eigenschaft eines Thyristors sich selbst zu löschen, kann vorteilhaft genutzt werden.

In Figur 2 ist ein Ausführungsbeispiel einer Treiberschaltung gezeigt, die dafür geeignet ist einen Thyristor anzusteuern, der für den Ableitschalter Th verwendet wird. Bei der Verwendung eines Thyristors muss darauf geachtet werden, dass er nicht durch eine bekannte, unerwünschte Über-Kopf-Zündung gezündet wird. Immer wenn der Schalttransistor S11 öffnet steigt die Spannung an der Anode des Thyristors

schnell an und es besteht die Gefahr einer Über-Kopf-Zündung. Besonders hoch ist die Gefahr bei der Inbetriebnahme einer erfindungsgemäßen Schaltungsanordnung. Der Speicherkondensator C12 am Ausgang des Spannungswandlers ist bei der Inbetriebnahme noch entladen womit die Ausgangsspannung Null ist. Damit ergibt sich eine hohe momentane Spannung zwischen Anode und Kathode des Thyristors und die Gefahr einer Über-Kopf-Zündung.

Um dies zu verhindern legt die Treiberschaltung gemäß Figur 2 am Gate des Thyristors Th bezüglich der Kathode des Thyristors Th immer dann eine negative Spannung an, falls ein Steuerschalter S22 geöffnet ist, d.h. wenn aufgrund fehlender Netzüberspannung keine Triggerung des Thyristors Th gewünscht ist. Beim Steuerschalter S22 handelt es sich um einen Bipolartransistor, dessen Basis mit der Detektorschaltung DET gekoppelt ist. Wenn die Detektorschaltung eine Netzüberspannung registriert, gibt sie eine Signal an den Steuerschalter S22 ab, das diesen in den leitenden Zustand versetzt und damit die Triggerung des Thyristors Th auslöst. Liegt keine Netzüberspannung vor, liegt am Gate des Thyristors Th eine negative Spannung an.

Dies wird gemäß Figur 2 erreicht durch eine Hilfsdrossel L21, die mit ihrem ersten Anschluss galvanisch mit der Kathode des Thyristors Th gekoppelt ist, wobei die Hilfsdrossel L21 mit der Speicherdrossel L11 derart magnetisch gekoppelt ist, dass an ihrem zweiten Anschluss eine negative Schutz-Spannung bezüglich ihres ersten Anschlusses anliegt, falls an der Speicherdrossel L11 eine negative Spannung bezüglich der Eingangsklemme J2 anliegt.

Die negative Schutz-Spannung lädt über eine Diode D22 einen Kondensator C22. Die Spannung an C22 ist über eine Serienschaltung von Widerständen R23 und R24 zwischen Gate und Kathode des Thyristors geschaltet. Zwischen R23 und R24 bildet sich ein dritter Knoten N3.

Eine positive Spannung an der Hilfsdrossel lädt über eine Diode D21 einen Kondensator C21. Die Spannung an C21 wird über einen Hilfsschalter S21, den Knoten N3 und R24 zwischen Gate und Kathode des Thyristors Th geschaltet. Solange S21 geöffnet ist liegt also am Gate eine negative Spannung an, wodurch ein Über-Kopf-

Zünden vermieden wird. Sobald S21 schließt wird der Thyristor Th durch die positive Spannung an C21 gezündet.

Im Ausführungsbeispiel nach Figur 2 wird der Hilfsschalter S21 von einem PNP Bipolartransistor gebildet, der mit dem Emitter an C21 und mit dem Kollektor mit dem dritten Knoten N3 gekoppelt ist. Zwischen Basis und Emitter ist ein Widerstand R21 geschaltet. Der Steuerschalter S22 ist ein NPN Bipolartransistor der mit seinem Emitter am Bezugspotenzial M angeschlossen ist. Der Kollektor von S22 ist über einen Widerstand R22 mit der Basis von S21 verbunden. Die Basis von S22 ist mit Detektorschaltung DET verbunden.

Solange die Detektorschaltung DET kein Signal abgibt, ist S22 geöffnet, womit auch S21 geöffnet ist und am Gate des Thyristors eine negative Spannung anliegt. Es liegt keine Netzüberspannung vor.

Liegt eine Netzüberspannung vor, schaltet die Detektorschaltung DET den Steuerschalter S22 durch, wodurch auch S21 durchschaltet und der Thyristor zündet. Der Schalter S11 des Wandlers ist geschützt.

Die Schaltungsanordnung bestehend aus R21, R22, R23, R24, S22 und S21 ist in der Literatur als Boostrap-Schaltung bekannt. Diese Schaltung findet Verwendung, wenn ein Schalter, dessen Ansteuersignal nicht massebezogen ist, wie im vorliegenden Fall das Gate des Thyristors, durch ein massebezogenes Signal einer Steuereinrichtung geschaltet werden soll. Dieses massebezogenes Signal kommt im vorliegenden Fall von der Detektorschaltung DET. Die Boostrap-Schaltung in Figur 2 ist nur beispielhaft zu verstehen. In gleicher Weise können auch andere dem Fachmann geläufige Boostrap-Schaltungen Verwendung finden. Beispielsweise kann die Boostrap-Schaltung mit Feldeffekt-Transistoren aufgebaut sein oder die Potenzialdifferenz, die im Beispiel durch S22 überbrückt wird kann durch einen Übertrager überbrückt sein.

Wesentlich ist die Bereitstellung einer positiven und einer negativen Spannung an C21 und C22. Beliebig ist die Boostrap-Schaltung, die abhängig von der Detektor-

schaltung DET entweder die positive oder die negative Spannung auf das Gate des Thyristors schaltet.

Am ersten Knoten N11 und am Anschluss J4 wird der Wandler, beispielsweise der SEPIC aus Figur 1 angeschlossen. Dies ist in Figur 2 durch gestrichelte Linien angedeutet. Dabei entsprechen sich jeweils Knoten N11 und Anschluss J4 aus Figur 1 und Figur 2.

Patentansprüche

1. Schaltungsanordnung zur Bereitstellung einer Betriebs-Gleichspannung aus einer Netzspannung mit
-- einem ersten (J1) und einem zweiten (J2) Netz-Eingang zum Anschluss einer gleichgerichteten Netzspannung,
-- einer getakteten Wandlerschaltung (L11, S11, C11, D11, L12) mit mindestens einem Schalttransistor (S11) mit einem ersten und einem zweiten Arbeitsanschluss, wobei der erste Arbeitsanschluss mit dem ersten Netz-Eingang (J1) gekoppelt ist,
-- einem Speicherkondensator (C12), mit einem ersten und einem zweiten Anschluss, wobei der erste Anschluss des Speicherkondensators mit dem ersten Netz-Eingang (J1) gekoppelt ist,
-- einer Auswerteschaltung (DET, DRV), die die Spannung zwischen den Netz-Eingängen (J1, J2) derart auswertet, dass bei Überschreiten eines gegebenen Spannungswerts oder Spannungsanstiegs die Auswerteschaltung (DET, DRV) eine Schaltsignal abgibt,
wobei die Schaltungsanordnung dadurch gekennzeichnet ist, dass
sie einen Ableitschalter (Th) mit einem ersten Arbeitsanschluss, einem zweiten Arbeitsanschluss und einem Steueranschluss aufweist,
wobei der erste Arbeitsanschluss des Ableitschalters (Th) mit dem zweiten Arbeitsanschluss des Schalttransistors (S11) gekoppelt ist, der zweite Arbeitsanschluss des Ableitschalters (Th) mit dem zweiten Anschluss des Speicherkondensators (C12) gekoppelt ist und das Schaltsignal am Steueranschluss anliegt.

2. Schaltungsanordnung gemäß Anspruch 1, dadurch gekennzeichnet, dass es sich bei der getakteten Wandlerschaltung um einen SEPIC oder einen Boost-Wandler handelt.

3. Schaltungsanordnung gemäß einem der vorigen Ansprüche, dadurch gekennzeichnet, dass zwischen den zweiten Netz-Eingang (J2) und dem ersten Arbeitsanschluss des Ableitschalters (Th) eine Speicherdrossel (L11) geschaltet ist.

4. Schaltungsanordnung gemäß Anspruch 3,
dadurch gekennzeichnet, dass
der Ableitschalter (Th) einen Thyristor (Th) umfasst und die Auswerteschaltung eine Treiberschaltung (DRV) umfasst, die das Steuersignal am Gate des Thyristors (Th) bereit stellt,
wobei die Treiberschaltung (DRV) so ausgelegt ist, dass das Steuersignal in der Zeit negativ bezüglich der Kathode des Thyristors (Th)ist, in der die Treiberschaltung (DRV) den Thyristor nicht zündet.

5. Schaltungsanordnung gemäß Anspruch 4, dadurch gekennzeichnet, dass
die Treiberschaltung (DRV) folgende Merkmale aufweist:
-- eine Hilfsdrossel (L21), die mit ihrem ersten Anschluss mit der Kathode des Thyristors (Th) verbunden ist, wobei die Hilfsdrossel (L21) mit der Speicherdrossel (L11) derart magnetisch gekoppelt ist, dass an ihrem zweiten Anschluss eine negative Spannung bezüglich ihres ersten Anschlusses anliegt, falls an der Speicherdrossel (L11) eine negative Spannung bezüglich dem zweiten Netz-Eingang (J2) anliegt,
-- eine Serienschaltung, die parallel zur Hilfsdrossel (L21) geschaltet ist und aus einem ersten Hilfskondensator (C22) und einer ersten Hilfsdiode (D22) besteht, wobei die Kathode der ersten Hilfsdiode (D22) mit dem zweiten Anschluss der Hilfsdrossel (L21) verbunden ist und der Verbindungspunkt zwischen der ersten Hilfsdiode (D22) und dem ersten Hilfskondensator (C22) mit dem Gate des Thyristors (Th) gekoppelt ist,
-- eine Serienschaltung, die parallel zur Hilfsdrossel (L21) geschaltet ist und aus einem zweiten Hilfskondensator (C21) und einer zweiten Hilfsdiode (D21) besteht, wobei die Anode der zweiten Hilfsdiode (D21) mit dem zweiten Anschluss der Hilfsdrossel (L21) verbunden ist und der Verbindungspunkt zwischen der zweiten Hilfsdiode (D21) und dem zweiten Hilfskondensator (C21) über einen Hilfsschalter (S21) mit dem Gate des Thyristors (Th) gekoppelt ist, wobei eine Detektorschaltung (DET) ein Schließen des Hilfsschalters (S21) bewirkt, falls an den Netzeingängen (J1, J2) eine Netzüberspannung vorliegt.

6 Schaltungsanordnung gemäß einem der vorigen Ansprüche, dadurch gekennzeichnet,
dass der Speicherkondensator mit einem weiteren Wandler gekoppelt ist, der zum Betrieb einer Lampe geeignet ist.

7. Betriebsgerät zum Betrieb einer Lampe gekennzeichnet durch eine Schaltungsanordnung gemäß einem der vorigen Ansprüche.

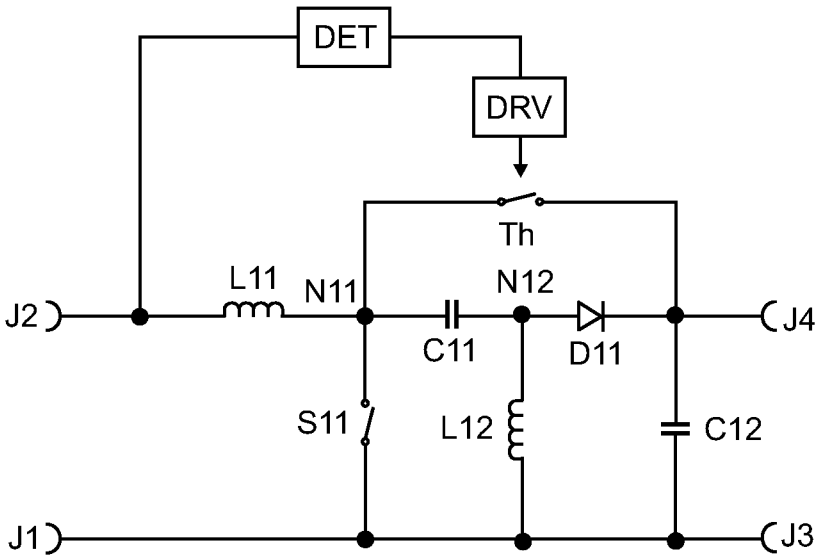

DET
DRV
Th
L11
N11
N12
J2
J4
C11
D11
S11
L12
C12
J1
J3

FIG 1

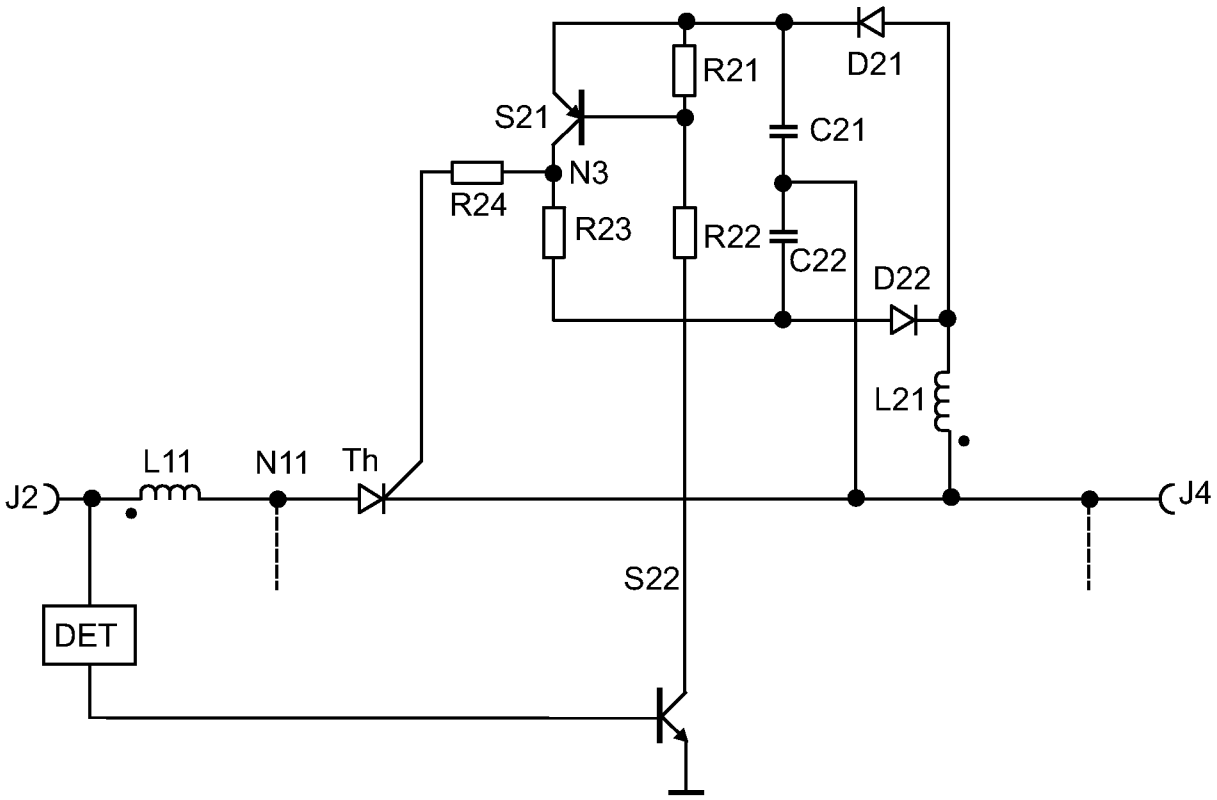

R21
D21
S21
C21
N3
R24
R23
R22
C22
D22
L21
L11
N11
Th
J2
J4
S22
DET

FIG 2