

权利要求书4页 说明书9页 附图8页

1. 一种半导体装置,包括:

包括半导体材料的衬底,所述半导体材料是p型;和

分裂栅晶体管,包括:

安置于所述衬底中且延伸到所述衬底的顶部表面的主体,所述主体是p型;

安置于所述衬底中且抵靠所述主体的漏极漂移区,所述漏极漂移区是n型,所述漏极漂移区与所述主体之间的边界延伸到所述衬底的所述顶部表面;

安置于所述衬底中且抵靠所述漏极漂移区的漏极阱区,所述漏极阱区延伸进入所述衬底比所述漏极漂移区深,且所述漏极阱区具有比所述漏极漂移区大的掺杂浓度;

安置于所述漏极阱区中的漏极区;

安置于所述衬底的所述顶部表面上方的栅极介电层,所述栅极介电层定位于所述漏极漂移区与所述主体之间的在所述衬底的所述顶部表面处的边界上方,所述栅极介电层至少部分地在所述主体上方延伸且至少部分地在所述漏极漂移区上方延伸;

安置于所述栅极介电层上方的第一栅极,所述第一栅极至少部分地在所述主体上方延伸;和

安置于所述栅极介电层上方的侧向邻近于所述第一栅极的第二栅极,所述第二栅极至少部分地在所述漏极漂移区上方延伸,所述第二栅极的第一部分通过场氧化物与所述漏极漂移区竖向分隔且所述第二栅极的第二部分通过所述栅极介电层而非所述场氧化物与所述漏极漂移区竖向分隔,所述第二栅极通过10纳米到小于100纳米的间隙与所述第一栅极侧向分隔,其中所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的边界定位于所述第一栅极、所述第二栅极和所述第一栅极与所述第二栅极之间的所述间隙中的至少一个下方。

2. 根据权利要求1所述的半导体装置,介电材料安置于所述第一栅极与所述第二栅极之间的所述间隙中。

3. 根据权利要求1所述的半导体装置,所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的所述边界定位于所述第一栅极下方。

4. 根据权利要求1所述的半导体装置,所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的所述边界定位于所述第一栅极与所述第二栅极之间的所述间隙下方。

5. 根据权利要求1所述的半导体装置,其中所述第一栅极不叠盖所述第二栅极且所述第二栅极不叠盖所述第一栅极。

6. 根据权利要求1所述的半导体装置,其中所述第一栅极和所述第二栅极中的一个叠盖所述第一栅极和所述第二栅极中的另一个。

7. 根据权利要求1所述的半导体装置,其中所述第二栅极电耦合到所述半导体装置的栅极电压节点。

8. 根据权利要求1所述的半导体装置,其中所述第二栅极电耦合到所述半导体装置的栅极信号节点。

9. 一种半导体装置,包括:

包括半导体材料的衬底,所述半导体材料是p型;和

分裂栅晶体管,包括:

安置于所述衬底中且延伸到所述衬底的顶部表面的主体,所述主体是p型;

安置于所述衬底中且抵靠所述主体的漏极漂移区,所述漏极漂移区是n型,所述漏极漂移区与所述主体之间的边界延伸到所述衬底的所述顶部表面;

安置于所述衬底的所述顶部表面上方的栅极介电层,所述栅极介电层定位于所述漏极漂移区与所述主体之间的在所述衬底的所述顶部表面处的边界上方,所述栅极介电层至少部分地在所述主体上方延伸且至少部分地在所述漏极漂移区上方延伸;

安置于所述栅极介电层上方的第一栅极,所述第一栅极至少部分地在所述主体上方延伸;和

安置于所述栅极介电层上方的侧向邻近于所述第一栅极的第二栅极,所述第二栅极至少部分地在所述漏极漂移区上方延伸,其中所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的所述边界定位于所述第二栅极下方而非所述第一栅极下方,

其中所述第二栅极通过10纳米到小于100纳米的间隙与所述第一栅极侧向分隔。

10. 一种形成半导体装置的方法,所述方法包括以下步骤:

提供包括p型半导体材料的衬底;

在所述衬底中形成所述半导体装置的分裂栅晶体管的漏极漂移区,所述漏极漂移区是n型,所述漏极漂移区抵靠所述分裂栅晶体管的主体,所述主体是p型;

形成抵靠所述漏极漂移区的漏极阱区,所述漏极阱区是n型且具有比所述漏极漂移区大的掺杂浓度,所述漏极阱区延伸进入所述衬底比所述漏极漂移区深;

在所述衬底的顶部表面上方形成所述分裂栅晶体管的栅极介电层,所述栅极介电层定位于所述漏极漂移区与所述主体之间的在所述衬底的所述顶部表面处的边界上方,所述栅极介电层至少部分地在所述主体上方延伸且至少部分地在所述漏极漂移区上方延伸;

在所述栅极介电层上方形成所述分裂栅晶体管的栅极,所述第一栅极至少部分地在所述主体上方延伸;和

在所述栅极介电层上方、侧向邻近于所述第一栅极形成所述分裂栅晶体管的第二栅极,所述第二栅极至少部分地在所述漏极漂移区上方延伸,所述第二栅极的第一部分通过场氧化物与所述漏极漂移区竖向分隔且所述第二栅极的第二部分通过所述栅极介电层而非所述场氧化物与所述漏极漂移区竖向分隔,所述第二栅极通过10纳米到小于100纳米的间隙与所述第一栅极侧向分隔,其中所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的边界定位于所述第一栅极、所述第二栅极和所述第一栅极与所述第二栅极之间的所述间隙中的至少一个下方。

11. 根据权利要求10所述的方法,包括在所述第一栅极与所述第二栅极之间的所述间隙中形成介电材料。

12. 根据权利要求10所述的方法,其中形成所述第一栅极,从而使得所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的所述边界定位于所述第一栅极下方。

13. 根据权利要求10所述的方法,其中形成所述第一栅极和形成所述第二栅极包括以下步骤:

在所述栅极介电层上方形成栅极材料层;

在所述栅极材料层上方形成栅极掩模,所述栅极掩模包括覆盖所述第一栅极的区域的第一掩模元件和覆盖所述第二栅极的第二掩模元件;

移除被所述栅极掩模暴露的所述栅极材料层以形成所述第一栅极和所述第二栅极;和

随后移除所述栅极掩模。

14. 根据权利要求10所述的方法, 其中形成所述第一栅极和形成所述第二栅极包括以下步骤:

在所述栅极介电层上方形成第一栅极材料层;

在所述第一栅极材料层上方形成第一栅极掩模, 所述第一栅极掩模覆盖所述第一栅极的区域;

移除被所述栅极掩模暴露的所述第一栅极材料层以形成所述第一栅极;

随后移除所述第一栅极掩模;

在所述栅极介电层上方且在所述第一栅极上方形成第二栅极材料层;

在所述第二栅极材料层上方形成第二栅极掩模, 所述第二栅极掩模覆盖所述第二栅极的部分地叠盖所述第一栅极的区域;

移除被所述第二栅极掩模暴露的所述第二栅极材料层以形成所述第二栅极, 所述第二栅极部分地叠盖所述第一栅极; 和

随后移除所述第二栅极掩模。

15. 根据权利要求10所述的方法, 包括通过浅沟槽隔离STI过程形成所述场氧化物, 从而使得所述场氧化物的元素形成于所述漏极漂移区的一部分上方, 且从而使得所述第二栅极部分地叠盖所述漏极漂移区上方的所述场氧化物元素。

16. 根据权利要求10所述的方法, 包括将所述场氧化物形成成为50纳米到150纳米厚度的薄场氧化物, 从而使得所述薄场氧化物的元素形成于所述漏极漂移区的一部分上方, 且从而使得所述第二栅极部分地叠盖在所述漏极漂移区上方的所述薄场氧化物元素。

17. 一种形成半导体装置的方法, 所述方法包括以下步骤:

提供包括p型半导体材料的衬底;

在所述衬底中形成所述半导体装置的分裂栅晶体管的漏极漂移区, 所述漏极漂移区是n型, 所述漏极漂移区抵靠所述分裂栅晶体管的主体, 所述主体是p型;

在所述衬底的顶部表面上方形成所述分裂栅晶体管的栅极介电层, 所述栅极介电层定位于所述漏极漂移区与所述主体之间的在所述衬底的所述顶部表面处的边界上方, 所述栅极介电层至少部分地在所述主体上方延伸且至少部分地在所述漏极漂移区上方延伸;

在所述栅极介电层上方形成所述分裂栅晶体管的栅极, 所述第一栅极至少部分地在所述主体上方延伸; 和

在所述栅极介电层上方、侧向邻近于所述第一栅极形成所述分裂栅晶体管的第二栅极, 所述第二栅极至少部分地在所述漏极漂移区上方延伸, 所述第二栅极的第一部分通过场氧化物与所述漏极漂移区竖向分隔且所述第二栅极的第二部分通过所述栅极介电层而非所述场氧化物与所述漏极漂移区竖向分隔, 所述第二栅极通过10纳米到小于100纳米的间隙与所述第一栅极侧向分隔, 其中所述第二栅极被形成以使得所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的所述边界定位于所述第二栅极下方而非所述第一栅极下方。

18. 一种形成半导体装置的方法, 所述方法包括以下步骤:

提供包括p型半导体材料的衬底;

在所述衬底中形成所述半导体装置的分裂栅晶体管的漏极漂移区, 所述漏极漂移区是

n型,所述漏极漂移区抵靠所述分裂栅晶体管的主体,所述主体是p型;

在所述衬底的顶部表面上方形成所述分裂栅晶体管的栅极介电层,所述栅极介电层定位于所述漏极漂移区与所述主体之间的在所述衬底的所述顶部表面处的边界上方,所述栅极介电层至少部分地在所述主体上方延伸且至少部分地在所述漏极漂移区上方延伸;

在所述栅极介电层上方形成所述分裂栅晶体管的第一栅极,所述第一栅极至少部分地在所述主体上方延伸;和

在所述栅极介电层上方、侧向邻近于所述第一栅极形成所述分裂栅晶体管的第二栅极,所述第二栅极至少部分地在所述漏极漂移区上方延伸,所述第二栅极的第一部分通过场氧化物与所述漏极漂移区竖向分隔且所述第二栅极的第二部分通过所述栅极介电层而非所述场氧化物与所述漏极漂移区竖向分隔,所述第二栅极通过10纳米到小于100纳米的间隙与所述第一栅极侧向分隔,其中所述第一栅极和所述第二栅极被形成以使得所述主体与所述漏极漂移区之间的在所述衬底的所述顶部表面处的所述边界定位于所述第一栅极和所述第二栅极之间的所述间隙下方而非所述第一栅极下方。

分裂栅侧向扩展漏极MOS晶体管结构和过程

技术领域

[0001] 这大体上涉及半导体装置,且更具体地说,涉及半导体装置中的MOS晶体管。

背景技术

[0002] 侧向漏极扩展金属氧化物半导体 (MOS) 晶体管将合乎需要的是以越来越高的频率操作。举例来说,电压调节器中的更高操作频率使得电感器能够更小,从而实现减少的系统成本。操作频率受到栅极-漏极电容的限制。而且,侧向漏极扩展MOS晶体管的更低电阻对于提高电压调节器中的功率效率将是合乎需要的。在侧向漏极扩展MOS晶体管中同时获得所需操作频率和电阻已成问题。

发明内容

[0003] 在所描述的实例中,半导体装置包含分裂栅侧向扩展漏极MOS晶体管,在本文中被称为分裂栅晶体管,所述分裂栅晶体管包含:第一栅极,其至少部分地在分裂栅晶体管的主体上方延伸;和第二栅极,其至少部分地在分裂栅晶体管的漏极漂移区上方延伸。第一栅极通过10纳米到250纳米的间隙与第二栅极侧向分隔。漏极漂移区与主体之间的在衬底的顶部表面处的边界定位在第一栅极、第二栅极和第一栅极与第二栅极之间的间隙中的至少一个下方。

附图说明

[0004] 图1是包含分裂栅晶体管的实例半导体装置的横截面。

[0005] 图2A到图2E是以实例形成方法的连续步骤描绘的图1的半导体装置的横截面。

[0006] 图3A到图3H是以实例形成方法的连续步骤描绘的具有分裂栅晶体管的另一实例半导体装置的横截面。

[0007] 图4是包含分裂栅晶体管的另一个实例半导体装置的横截面。

具体实施方式

[0008] 图式未必按比例绘制。可在不具有特定细节中的一或多个或在具有其它方法的情况下实践实例实施例。在其它情况下,未详细示出熟知结构或操作以避免混淆实例实施例。一些动作可以不同次序发生和/或与其它动作或事件同时发生。而且,不需要所有所说明的动作或事件来实施根据实例实施例的方法。

[0009] 半导体装置包含分裂栅侧向扩展漏极MOS晶体管,在本文中被称为分裂栅晶体管,所述分裂栅晶体管包含:第一栅极,其在半导体装置的衬底的顶部表面上方;和第二栅极,其在衬底的顶部表面上方、侧向邻近于第一栅极。第一栅极至少部分地在分裂栅晶体管的主体上方延伸,且第二栅极至少部分地在分裂栅晶体管的漏极漂移区上方延伸。第一栅极通过10纳米到250纳米的间隙与第二栅极侧向分隔。间隙必须是至少10纳米以维持第一栅极与第二栅极之间的所需电隔离。间隙不能超过250纳米以在分裂栅晶体管的操作期间维

持第一栅极和第二栅极下方的反转层中的所需导电性。漏极漂移区在衬底的顶部表面处抵靠主体。漏极漂移区与主体之间的在衬底的顶部表面处的边界定位于第一栅极、第二栅极和第一栅极与第二栅极之间的间隙中的至少一个下方。

[0010] 图1是包含分裂栅晶体管的实例半导体装置的横截面。在此实例中将描述n沟道分裂栅晶体管。可通过适当改变掺杂剂类型和导电类型来形成p沟道分裂栅晶体管。半导体装置100包含衬底102,所述衬底102可来自硅晶片或另一其它半导体材料的晶片。衬底102包含具有10ohm-cm到100ohm-cm实例电阻率的p型半导体材料104。在此实例中,半导体装置100包含具有浅沟槽隔离(STI)结构的场氧化物106,如图1中所描绘。场氧化物106可具有300纳米到600纳米实例厚度。分裂栅晶体管108包含衬底102中的p型主体110,所述p型主体110延伸到衬底102的顶部表面112。主体110在顶部表面112处可具有 $3 \times 10^{15} \text{cm}^{-3}$ 到 $3 \times 10^{16} \text{cm}^{-3}$ 实例掺杂剂密度。分裂栅晶体管108包含衬底102中的n型漏极阱114。漏极阱114可具有 $1 \times 10^{17} \text{cm}^{-3}$ 到 $1 \times 10^{18} \text{cm}^{-3}$ 平均实例掺杂剂密度。漏极阱114通过分裂栅晶体管108的n型漏极漂移区116与主体110侧向分隔。漏极漂移区116安置于衬底102中且延伸到顶部表面112,从而抵靠主体110。漏极漂移区116可具有比漏极阱114低3倍到10倍的平均实例掺杂剂密度。分裂栅晶体管108进一步包含衬底102中的n型源极118,所述n型源极118接触主体110、与漏极漂移区116相对安置。源极118可具有 $1 \times 10^{19} \text{cm}^{-3}$ 到 $1 \times 10^{21} \text{cm}^{-3}$ 平均掺杂剂密度。n型源极延伸部120可安置于衬底102中,与源极118相邻且在顶部表面112处接触主体110。p型晕圈区,图1中未示出,可安置于主体110中、邻近于源极延伸部120。p型主体接触区122可安置于主体110中,延伸到衬底102的邻近于源极118的顶部表面112。主体接触区122可具有 $1 \times 10^{19} \text{cm}^{-3}$ 到 $1 \times 10^{21} \text{cm}^{-3}$ 平均掺杂剂密度。n型漏极接触区124可安置于衬底102中,接触漏极阱114,延伸到衬底102的顶部表面112。漏极接触区124由于同时形成而可具有类似于源极118的掺杂剂分布。

[0011] 分裂栅晶体管108包含衬底102的顶部表面112上的栅极介电层126,所述栅极介电层126至少部分地在漏极漂移区116上方延伸,在主体110上方在顶部表面112处延伸到源极118,可能部分地叠盖源极118。栅极介电层126可具有1纳米到5纳米实例厚度,且可包含可能具有氮的二氧化硅、二氧化锆和/或氧化锆。第一栅极128安置于栅极介电层126的一部分上方。在此实例中,第一栅极128邻近于且可部分地叠盖源极118,且在顶部表面112处跨越主体110延伸且部分地叠盖漏极漂移区116。第二栅极130安置于栅极介电层126的另一部分上方。第二栅极130通过10纳米到250纳米的间隙132与第一栅极128侧向分隔。栅极介电层126可能在间隙132中减薄或中断,如图1中所描绘。在此实例中,第二栅极130部分地叠盖漏极漂移区116。在此实例中,第二栅极130的邻近于漏极阱114的一部分叠盖场氧化物106的安置于漏极接触区124与漏极漂移区116之间的元素,以在分裂栅晶体管108的操作期间减少漏极漂移区116中的电场且因此提供更高击穿电压。与第二栅极130的其它配置相比,出于此目的使用场氧化物106的元素可实现半导体装置100的更低成本结构。第一偏移间隔件134可安置于第一栅极128的侧向表面上。第一偏移间隔件134可包含一或多个二氧化硅和/或氮化硅层,且厚度可以是1纳米到10纳米。第二偏移间隔件136可安置于第二栅极130的侧向表面上。第二偏移间隔件136和第一偏移间隔件134由于同时形成而可具有类似组成和结构。第一栅极侧壁间隔件138可安置为邻近于与第二栅极130相对的第一栅极128。第一栅极侧壁间隔件138可包含一或多个二氧化硅和/或氮化硅层,且厚度可以是5纳米到50纳米。第

二栅极侧壁间隔件140可安置为邻近于与第一栅极128相对的第二栅极130。第二栅极侧壁间隔件140和第一栅极侧壁间隔件138由于同时形成而可具有类似组成和结构。介电材料安置于第一栅极128与第二栅极130之间的间隙132中。介电材料可包含第一偏移间隔件134和第二偏移间隔件136的部分且还可包含额外介电材料142,例如在形成第一栅极侧壁间隔件138和第二栅极侧壁间隔件140期间安置的材料。由于介电材料142在间隙132中的不完全填充,空隙可安置于间隙132中。

[0012] 分裂栅晶体管108可以跑道型或手指型布局配置,其中漏极阱114分别由漏极漂移区116、主体110和源极118侧向包围。半导体装置100可以是具有有源组件的集成电路,所述有源组件通过金属互连件在衬底102的顶部表面112上方电耦合。可替代地,半导体装置100可以是离散组件,其中分裂栅晶体管108是仅有的有源组件。

[0013] 金属硅化物144可安置于源极118和主体接触区122上、漏极接触区124上、第一栅极128上和第二栅极130上。举例来说,金属硅化物144可包含硅化钛、硅化钴或硅化镍。源极118通过金属硅化物144(如果存在)电耦合到半导体装置100的源极电压节点 V_{source} ,所述源极电压节点 V_{source} 在半导体装置100的操作期间提供恒定电压。 V_{source} 可以是半导体装置100的接地节点。漏极阱114通过漏极接触区124和金属硅化物144(如果存在)电耦合到半导体装置100的漏极电压节点 V_{drain} ,所述漏极电压节点 V_{drain} 在半导体装置100的操作期间向分裂栅晶体管108提供漏极偏压。在半导体装置100的操作期间, V_{drain} 可向分裂栅晶体管108提供12伏到16伏实例偏压。 V_{drain} 的显著高于16伏的其它电压电平是在此实例的范围内。第一栅极128通过金属硅化物144(如果存在)电耦合到第一栅极信号节点 Φ_{gate1} ,所述第一栅极信号节点 Φ_{gate1} 在半导体装置100的操作期间向第一栅极128提供断开状态栅极偏压和接通状态栅极偏压的交替序列。断开状态栅极偏压可基本上等于源极118上的偏压 V_{source} 。接通状态栅极偏压可以是1.0伏到3伏,其显著小于漏极阱114上的偏压 V_{drain} 。在此实例的一些版本中,接通状态栅极偏压可基本上等于用于接通半导体装置100中的逻辑电路中的n沟道金属氧化物半导体(NMOS)晶体管的接通状态逻辑栅极偏压。在此实例的一个版本中,第二栅极130可通过金属硅化物144(如果存在)电耦合到半导体装置100的第二栅极电压节点 V_{gate2} ,所述第二栅极电压节点 V_{gate2} 在半导体装置100的操作期间向第二栅极130提供恒定接通状态栅极偏压,如图1中所描绘。由 V_{gate2} 提供的接通状态栅极偏压可基本上等于由 Φ_{gate1} 提供的接通状态栅极偏压。在此实例的另一版本中,第二栅极130可电耦合到第二栅极信号节点,所述第二栅极信号节点与第一栅极信号节点 Φ_{gate1} 同步地在半导体装置100的操作期间向第二栅极130提供断开状态栅极偏压和接通状态栅极偏压的交替序列。向第二栅极130提供接通状态栅极偏压会在栅极介电层126的正下方的漏极漂移区116中生成累积层,从而有利地在分裂栅晶体管108中实现所需低电阻。使用第二栅极130而非第一栅极128在漏极漂移区116中提供累积层使得第一栅极128能够变短且因此与衬底相比具有减少的电容,这有利地实现更高操作频率。因此,与具有单个栅极的模拟晶体管相比,第一栅极128和第二栅极130的组合实现分裂栅晶体管108的所需更高操作频率和所需更低电阻。

[0014] 图2A到图2E是以实例形成方法的连续步骤描绘的图1的半导体装置的横截面。参考图2A,衬底102可包含例如单晶硅块体晶片等半导体晶片,或可包含另一半导体材料的晶片。p型半导体材料104可以是单晶硅晶片的顶部部分,或可以是硅晶片上的硅或另一半导

体材料的一或多个外延层的顶部部分。场氧化物106形成于衬底102的顶部表面112处。在此实例中,场氧化物106通过STI过程形成;实例STI过程包含:在衬底102上方形成氮化硅的CMP停止层;穿过CMP停止层蚀刻隔离沟槽且蚀刻到衬底102中;和用二氧化硅填充隔离沟槽;使用运用原硅酸四乙酯 (TEOS) 的等离子体增强化学气相沉积 (PECVD) 过程;高密度等离子体 (HDP) 过程;运用TEOS和臭氧的高纵横比过程 (HARP);运用硅烷的大气化学气相沉积 (APCVD) 过程;或运用二氯硅烷的亚大气化学气相沉积 (SACVD) 过程。通过氧化物化学机械抛光 (CMP) 过程从CMP停止层上方移除过量二氧化硅,且随后移除CMP停止层,从而留下场氧化物106。可替代地,场氧化物106可通过硅的局部氧化 (LOCOS) 过程形成。

[0015] 可通过将例如硼等 $1 \times 10^{13} \text{cm}^{-2}$ 到 $1 \times 10^{14} \text{cm}^{-2}$ 剂量和250千电子伏特 (keV) 到500keV能量的p型掺杂剂注入到衬底102中来形成主体110。可通过将例如磷等 $3 \times 10^{11} \text{cm}^{-2}$ 到 $3 \times 10^{12} \text{cm}^{-2}$ 剂量和300keV到600keV能量的n型掺杂剂注入到衬底102中来形成漏极漂移区116。可通过将例如磷等 $1 \times 10^{13} \text{cm}^{-2}$ 到 $1 \times 10^{14} \text{cm}^{-2}$ 剂量和500keV到1000keV能量的n型掺杂剂注入到衬底102中来形成漏极阱114。可通过一或多个退火过程来活化所注入的掺杂剂,所述一或多个退火过程例如炉内退火和/或快速热退火。

[0016] 可通过以下方式形成栅极介电层126:在衬底102的顶部表面112处对硅进行热氧化,之后是掺入来自氨气 (NH_3) 和/或氮气 (N_2) 和可能地其它气体形成的等离子体的氮以提高介电强度。可将二氧化铪或氧化锆添加到栅极介电层126以增大介电常数。如所形成的栅极介电层126在顶部表面112处的所有暴露半导体材料上方延伸。栅极材料层146形成于栅极介电层126和场氧化物106上方。栅极材料层146可包含200纳米到500纳米的多晶硅,被称为多晶硅 (polysilicon),所述多晶硅通过硅烷和/或二硅烷的热分解形成。栅极材料层146在形成n型期间可能会被掺杂或可基本上是未掺杂的。

[0017] 栅极掩模148形成于栅极材料层146上方。栅极掩模148包含第一掩模元件150和第二掩模元件152。第一掩模元件150覆盖图1的第一栅极128的区域且第二掩模元件152覆盖图1的第二栅极130的区域。在此实例中,第一掩模元件150和第二掩模元件152通过间隙分隔且彼此不接触。栅极掩模148还可覆盖半导体装置100的其它晶体管的栅极区域。栅极掩模148可包含通过光刻过程形成的光刻胶,且可任选地包含抗反射层,例如底部抗反射 (BARC) 和/或氮化硅或无定形碳的硬掩模层。

[0018] 参考图2B,例如反应性离子蚀刻 (RIE) 过程等栅极蚀刻过程移除被栅极掩模148暴露的栅极材料层146,从而留下半导体装置100的栅极,包含分裂栅晶体管108的第一栅极128和第二栅极130。在此实例中,在完成栅极蚀刻过程之后,第一栅极128和第二栅极130通过间隙132分隔且彼此不接触。随后移除栅极掩模148。可通过灰化过程、之后是湿法清洗过程来移除栅极掩模148中的光刻胶和无定形碳。可通过等离子体蚀刻过程移除栅极掩模148中的其它硬掩模材料,所述等离子体蚀刻过程对于栅极128和130且对于二氧化硅是选择性的。如此实例中所公开的同时形成第一栅极128和第二栅极130可有利地实现半导体装置100的减少的制造成本和复杂性。

[0019] 参考图2C,第一偏移间隔件134形成于第一栅极128上且第二偏移间隔件136形成于第二栅极130上。可通过以下方式形成偏移间隔件134和136:热氧化第一栅极128和第二栅极130以形成厚度0.5纳米到1.5纳米的二氧化硅薄层,之后是形成一或多个二氧化硅和/或氮化硅共形层。可通过化学气相沉积 (CVD) 过程使用TEOS来形成二氧化硅共形层。可通过

CVD过程使用双(叔丁基-氨基)硅烷(BTBAS)来形成氮化硅共形层。随后通过例如RIE过程等各向异性等离子体蚀刻过程从栅极128和130的顶部表面且从衬底102的水平表面移除所述层,从而使偏移间隔件134和136留在原地。

[0020] 将例如磷和砷且可能地锑等n型掺杂剂154注入到衬底102中以形成邻近于第一栅极128的源极延伸部注入区156以及衬底102中的接触漏极阱114的漏极接触延伸部注入层158。可注入 $1 \times 10^{13} \text{cm}^{-2}$ 到 $1 \times 10^{14} \text{cm}^{-2}$ 总剂量和低能量的n型掺杂剂154以实现所需浅深度的源极延伸部注入区156。第一偏移间隔件134实现源极延伸部注入区156相对于第一栅极128的所需侧向偏移。在此实例的一个版本中,可穿过第一栅极128与第二栅极130之间的间隙132注入n型掺杂剂154。在另一版本中,间隙132可能被任选源极/漏极延伸部掩模的元件或被无机介电材料堵塞,在图2C中未示出。可任选地以一定角度注入p型掺杂剂以在邻近于源极延伸部注入区156的第一栅极128下方形成晕圈注入区。移除源极/漏极延伸部掩模(如果存在)且随后对衬底102进行退火以活化所注入的n型掺杂剂154,从而形成图1的源极延伸部120。

[0021] 参考图2D,第一栅极侧壁间隔件138邻近于第一栅极128形成且第二栅极侧壁间隔件140邻近于第二栅极130形成。可通过在栅极128和130上方且在衬底102上方形成一或多个氮化硅和/或二氧化硅共形层来形成栅极侧壁间隔件138和140。可通过CVD过程分别使用BTBAS和TEOS来形成氮化硅和二氧化硅共形层。第一栅极128与第二栅极130之间的间隙132中的额外介电材料142可与第一栅极侧壁间隔件138和第二栅极侧壁间隔件140同时形成。由于CVD过程对间隙132的不完全填充,空隙可形成于间隙132中。

[0022] 将例如磷和砷且可能地锑等n型掺杂剂160注入到衬底102中以形成邻近于第一栅极128的源极注入区162以及衬底102中的接触漏极阱114的漏极接触注入区164。可注入 $3 \times 10^{14} \text{cm}^{-2}$ 到 $1 \times 10^{16} \text{cm}^{-2}$ 总剂量和一定能量的n型掺杂剂160以实现所需深度的源极注入区162。第一栅极侧壁间隔件138实现源极注入区162相对于第一栅极128的所需侧向偏移。第一栅极128与第二栅极130之间的间隙132中的额外介电材料142阻塞n型掺杂剂160与衬底102。随后对衬底102进行退火以活化所注入的n型掺杂剂160,从而形成图1的源极118和漏极接触区124。

[0023] 参考图2E,通过以下方式形成主体接触区122:将例如硼等 $3 \times 10^{14} \text{cm}^{-2}$ 到 $3 \times 10^{15} \text{cm}^{-2}$ 总剂量和一定能量的p型掺杂剂注入到衬底102中以实现所需深度的主体接触区122。金属硅化物144随后形成于源极118和主体接触区122上、漏极接触区124上、第一栅极128上和第二栅极130上。用于形成金属硅化物144的实例过程包含在半导体装置100的现有顶部表面上形成例如钛、具有一定百分比的铂的镍等耐火金属层,从而使得耐火金属接触源极118和主体接触区122上、漏极接触区124上、第一栅极128上和第二栅极130上的暴露硅。氮化钛的帽层可形成于耐火金属上方以提供扩散阻挡层。随后例如在快速热处理器中加热耐火金属以使耐火金属与暴露硅反应,从而形成金属硅化物144。例如通过湿法蚀刻使用酸性或碱性反应剂的水溶液来移除未反应的耐火金属。随后可对金属硅化物144进行退火以实现所需结晶相。金属硅化物144不跨越间隙132延伸。

[0024] 图3A到图3I是以实例形成方法的连续步骤描绘的具有分裂栅晶体管的另一实例半导体装置的横截面。在此实例中将描述n沟道分裂栅晶体管。可通过适当改变掺杂剂类型和导电类型来形成p沟道分裂栅晶体管。参考图3A,半导体装置300包含衬底302,所述衬底

302具有如参考图1所描述的p型半导体材料304。p型半导体材料304可以是单晶硅晶片的顶部部分,或可以是硅晶片上的硅或另一半导体材料的一或多个外延层的顶部部分。场氧化物306形成于衬底302的顶部表面312处。场氧化物306可具有300纳米到600纳米实例厚度。在此实例中,通过LOCOS过程形成场氧化物306;实例LOCOS过程包含在衬底302的顶部表面上方形氮化硅层以及图案化氮化硅层以暴露场氧化物306的区域。通过热氧化形成场氧化物306且随后移除氮化硅层,从而留下场氧化物306。可替代地,可通过STI过程形成场氧化物306。

[0025] 分裂栅晶体管308包含衬底302中的p型主体310,所述p型主体310延伸到衬底302的顶部表面312,其中在顶部表面312处具有 $3 \times 10^{15} \text{cm}^{-3}$ 到 $3 \times 10^{16} \text{cm}^{-3}$ 实例掺杂剂密度。分裂栅晶体管308包含衬底302中的n型漏极阱314,其中具有 $1 \times 10^{17} \text{cm}^{-3}$ 到 $1 \times 10^{18} \text{cm}^{-3}$ 平均实例掺杂剂密度。漏极阱314通过分裂栅晶体管308的n型漏极漂移区316与主体310侧向分隔,所述n型漏极漂移区316安置于衬底302中且延伸到邻近于主体310的顶部表面312。漏极漂移区316可具有比漏极阱314低3倍到10倍的平均实例掺杂剂密度。可如参考图2A所描述的形成主体310、漏极阱314和漏极漂移区316。

[0026] 可例如通过在衬底302的顶部表面312处对硅进行热氧化而将垫氧化层366形成于衬底302的顶部表面312上。垫氧化层366的厚度可以是5纳米到20纳米。氮化硅的厚度为20纳米到100纳米的氧化掩模368形成于垫氧化层366和场氧化物306上方。氧化掩模368暴露叠盖漏极漂移区316与漏极阱314之间的边界的区域。可通过低压化学气相沉积(LPCVD)过程使用二氯硅烷和氨形成氧化掩模368。可通过形成光刻胶掩模以及使用对于垫氧化层366是选择性的RIE过程蚀刻氮化硅来图案化氧化掩模368。随后移除光刻胶掩模。

[0027] 参考图3B,薄场氧化物370形成于衬底302的顶部表面312处的被氧化掩模368暴露的区域中。薄场氧化物370的厚度可小于场氧化物306的一半。薄场氧化物370可具有50纳米到150纳米实例厚度,且可通过在衬底302中对硅进行热氧化来形成。随后例如通过热磷酸的水性溶液移除氧化掩模368。薄场氧化物370不延伸到主体310。随后例如通过在缓冲氢氟酸的水性溶液中定时蚀刻来移除垫氧化层366。

[0028] 在此实例的替代版本中,可通过以下方式形成薄场氧化物370:在衬底302的顶部表面312的暴露区域处形成薄氧化物,之后在覆盖薄场氧化物370区域的薄氧化物上方形成蚀刻掩模。使用氢氟酸的水性缓冲溶液从被蚀刻掩模暴露的区域移除薄氧化物,从而使薄场氧化物370留在原地。随后移除蚀刻掩模。形成薄场氧化物370的其它方法是在此实例的范围内。

[0029] 参考图3C,栅极介电层326形成于衬底302的顶部表面312处的未被场氧化物306和薄场氧化物370覆盖的区域中、具体的说漏极漂移区316与漏极阱314之间的在顶部表面312处的边界上方延伸的区域中,所述栅极介电层326部分地叠盖漏极漂移区316且部分地叠盖主体310。可如参考图2A所描述的形成栅极介电层326。

[0030] 第一栅极材料层346形成于栅极介电层326、薄场氧化物370和场氧化物306上方。举例来说,第一栅极材料层346可包含200纳米到500纳米的多晶硅。第一栅极材料层346在形成n型期间可能会被掺杂或可基本上是未掺杂的。蚀刻停止层372可形成于第一栅极材料层346上方。举例来说,蚀刻停止层372可包含通过PECVD过程形成的10纳米到50纳米的二氧化硅和/或氮化硅。

[0031] 第一栅极掩模348形成于第一栅极材料层346上方。第一栅极掩模348包含覆盖分裂栅晶体管308的第一栅极区域的第一掩模元件350。在此实例中,第一掩模元件350定位于主体310的一部分上方,且不延伸到漏极漂移区316与漏极阱314之间的在顶部表面312处的边界。第一栅极掩模348还可覆盖半导体装置300的其它晶体管的栅极区域。可如参考图2A所描述的形成第一栅极掩模348。

[0032] 参考图3D,第一栅极蚀刻过程移除被第一栅极掩模348暴露的图3C的蚀刻停止层372和第一栅极材料层346,从而留下半导体装置300的栅极,包含分裂栅晶体管308的第一栅极328。在此实例中,第一栅极328定位于主体310的一部分上方且不延伸到漏极漂移区316与漏极阱314之间的在顶部表面312处的边界。随后移除第一栅极掩模348,例如参考图2B所描述。

[0033] 第一偏移间隔件334形成于第一栅极328上。可通过以下方式形成第一偏移间隔件334:热氧化第一栅极328以形成二氧化硅薄层,之后是形成一或多个二氧化硅和/或氮化硅共形层。随后通过各向异性等离子体蚀刻过程从第一栅极328的顶部表面且从衬底302的水平表面移除所述层,从而使第一偏移间隔件334留在原地。第一偏移间隔件的厚度可以是10纳米到100纳米,以减少分裂栅晶体管308的第一栅极328与随后形成的第二栅极之间的电容。蚀刻停止层372的至少一部分留在第一栅极328上以使第一栅极328与随后形成的第二栅极电隔离。

[0034] 参考图3E,第二栅极材料层374形成于第一栅极328上方以及栅极介电层326、薄场氧化物370和场氧化物306上方。第二栅极材料层374可具有类似于图3C的第一栅极材料层346的组成和结构的组成和结构。第二栅极材料层374通过第一偏移间隔件334和蚀刻停止层372的组合与第一栅极328电隔离。

[0035] 第二栅极掩模376形成于第二栅极材料层374上方。第二栅极掩模376包含覆盖分裂栅晶体管308的第二栅极区域的第二掩模元件378。在此实例中,第二掩模元件378部分地叠盖第一栅极328且在漏极漂移区316与漏极阱314之间的在顶部表面312处的边界上方延伸,且部分地叠盖薄场氧化物370。第二栅极掩模376还可覆盖半导体装置300的其它晶体管的栅极区域。可如参考图2A所描述的形成第二栅极掩模376。

[0036] 参考图3F,第二栅极蚀刻过程移除被第二栅极掩模376暴露的图3E的第二栅极材料层374,从而留下半导体装置300的栅极,包含分裂栅晶体管308的第二栅极330。在此实例中,第二栅极330部分地叠盖第一栅极328且在漏极漂移区316与主体310之间的在顶部表面312处的边界上方延伸,且延伸到和部分地叠盖薄场氧化物370。第二栅极330通过第一偏移间隔件334和蚀刻停止层372的组合与第一栅极328电隔离。第一栅极328通过间隙332与第二栅极330侧向分隔。在此实例中,第一偏移间隔件334的介电材料形成于间隙332中。如此实例中所描述的形成第一栅极328和第二栅极330,其中间隙332基本上由第一偏移间隔件334的厚度限定,可提供宽度小于100纳米的间隙332。这种窄间隙332可使得第一栅极328和第二栅极330能够在分裂栅晶体管308的操作期间在栅极介电层326正下方的主体310中提供低电阻反转层。低电阻层可有利地实现更低串联电阻的分裂栅晶体管308。在此实例的替代版本中,第二栅极330可在第一栅极328前面形成,从而使得第一栅极328部分地叠盖第二栅极330,从而获得类似优点。随后移除第二栅极掩模376,例如参考图2B所描述。

[0037] 参考图3G,n型源极延伸部320形成于衬底302中、部分地重叠于第一栅极328下方。

可如参考图2C所描述的形成源极延伸部320。栅极侧壁间隔件338邻近于第一栅极328和第二栅极330的竖直表面形成。可如参考图2D所描述的形成栅极侧壁间隔件338。n型源极318形成于衬底302中,接触主体310,与漏极漂移区316相对安置。n型漏极接触区324形成于衬底302中,接触漏极阱314。源极318和漏极接触区324可同时形成,例如参考图2D所描述。在此实例的一版本中,其中第二栅极330不延伸直到漏极阱314,例如图3G中所描绘,注入到衬底302中以形成源极318的n型掺杂剂可以足够低的能量注入,从而使得薄场氧化物370有效地阻塞n型掺杂剂与漏极漂移区316。在此实例的另一版本中,n型掺杂剂可被用于限定n型掺杂剂的注入区域的注入掩模的元件与漏极漂移区316阻塞。在另一个版本中,第二栅极330可延伸直到漏极阱314,从而使得第二栅极330和薄场氧化物370的组合有效地阻塞n型掺杂剂与漏极漂移区316。p型主体接触区322可形成于主体310中,邻近于源极318延伸到衬底302的顶部表面312,例如参考图2D所描述。

[0038] 参考图3H,金属硅化物344可随后形成于源极318和主体接触区322上、漏极接触区324上、第一栅极328上和第二栅极330上。源极318通过金属硅化物344(如果存在)电耦合到半导体装置300的源极电压节点 V_{source} ,所述源极电压节点 V_{source} 在半导体装置300的操作期间提供恒定电压。漏极阱314通过漏极接触区324和金属硅化物344(如果存在)电耦合到半导体装置300的漏极电压节点 V_{drain} ,所述漏极电压节点 V_{drain} 在半导体装置300的操作期间向分裂栅晶体管308提供漏极偏压。第一栅极328通过金属硅化物344(如果存在)电耦合到第一栅极信号节点 Φ_{gate1} ,所述第一栅极信号节点 Φ_{gate1} 在半导体装置300的操作期间向第一栅极328提供断开状态栅极偏压和接通状态栅极偏压的交替序列。接通状态栅极偏压可以是1.0伏到3伏,其显著小于漏极阱314上的偏压 V_{drain} 。在此实例的一个版本中,第二栅极330可通过金属硅化物344(如果存在)电耦合到第二栅极信号节点 Φ_{gate2} ,如图3H中所描绘,所述第二栅极信号节点 Φ_{gate2} 与第一栅极信号节点 Φ_{gate1} 同步地在半导体装置300的操作期间向第二栅极330提供断开状态栅极偏压和接通状态栅极偏压的交替序列。由 Φ_{gate2} 提供的接通状态栅极偏压可基本上等于由 Φ_{gate1} 提供的接通状态栅极偏压。在此实例的另一版本中,第二栅极330可电耦合到半导体装置300的第二栅极电压节点 V_{gate2} ,所述第二栅极电压节点 V_{gate2} 在半导体装置300的操作期间向第二栅极330提供恒定接通状态栅极偏压。向第二栅极330提供接通状态栅极偏压在漏极漂移区316中且在栅极介电层326正下方的主体310中生成累积层,所述累积层有利地在分裂栅晶体管308中实现所需低电阻,从而获得如参考图1所公开的低串联电阻的优点。薄场氧化物370可在第二栅极330下方的漏极漂移区316中实现比在第二栅极下方具有更粗场氧化物的相当分裂栅晶体管更低的电场,从而有利地向分裂栅晶体管308提供更高击穿电压和更低电阻。

[0039] 图4是包含分裂栅晶体管的另一个实例半导体装置的横截面。在此实例中将描述n沟道分裂栅晶体管。可通过适当改变掺杂剂类型和导电类型来形成p沟道分裂栅晶体管。半导体装置400包含衬底402,所述衬底402包含p型半导体材料404,例如参考图1所描述。在此实例中,半导体装置400包含具有LOCOS结构的场氧化物406,如图4中所描绘。具有STI结构的场氧化物是在此实例的范围内。分裂栅晶体管408包含衬底402中的p型主体410,所述p型主体410延伸到衬底402的顶部表面412。分裂栅晶体管408包含分裂栅晶体管408的漏极的n型漏极漂移区416;漏极漂移区416安置于衬底402中,在顶部表面412处抵靠主体410。分裂

栅晶体管408进一步包含衬底402中的n型源极418,所述n型源极418接触主体410、与漏极漂移区416相对安置。

[0040] 分裂栅晶体管408包含衬底402的顶部表面412上的栅极介电层426。栅极介电层426至少部分地叠盖漏极漂移区416,在顶部表面412处在主体410上方延伸到源极418,可能部分地叠盖源极418。第一栅极428安置于栅极介电层426的第一部分上,且第二栅极430安置于栅极介电层426的第二部分上、侧向邻近于第一栅极428。在此实例中,第一栅极428邻近于且可部分地叠盖源极418,且在顶部表面412处跨越主体410延伸,且邻近于漏极漂移区416终止。第二栅极430在顶部表面412处跨越漏极漂移区416延伸且邻近于主体410终止。在此实例中,第二栅极430的一部分叠盖安置于漏极漂移区416上方的场氧化物406的元素。第二栅极430通过10纳米到250纳米的间隙432与第一栅极428侧向分隔。介电材料442安置于间隙432中。由于介电材料442在间隙432中的不完全填充,空隙可安置于间隙432中。在此实例中,主体410与漏极漂移区416之间的在衬底402的顶部表面412处的边界定位于间隙432下方。

[0041] 第一栅极428电耦合到第一栅极信号节点,所述第一栅极信号节点在半导体装置400的操作期间向第一栅极428提供断开状态栅极偏压和接通状态栅极偏压的交替序列。在此实例的一个版本中,第二栅极430可电耦合到半导体装置400的第二栅极电压节点,所述第二栅极电压节点在半导体装置400的操作期间向第二栅极430提供恒定接通状态栅极偏压。在此实例的另一版本中,第二栅极430可电耦合到第二栅极信号节点,所述第二栅极信号节点与第一栅极信号节点同步地在半导体装置400的操作期间向第二栅极430提供断开状态栅极偏压和接通状态栅极偏压的交替序列。分裂栅晶体管408获得参考本文中所公开的其它实例所论述的优点。

[0042] 在所描述的实施例中可能进行修改,且其它实施例在权利要求的范围内是可能的。

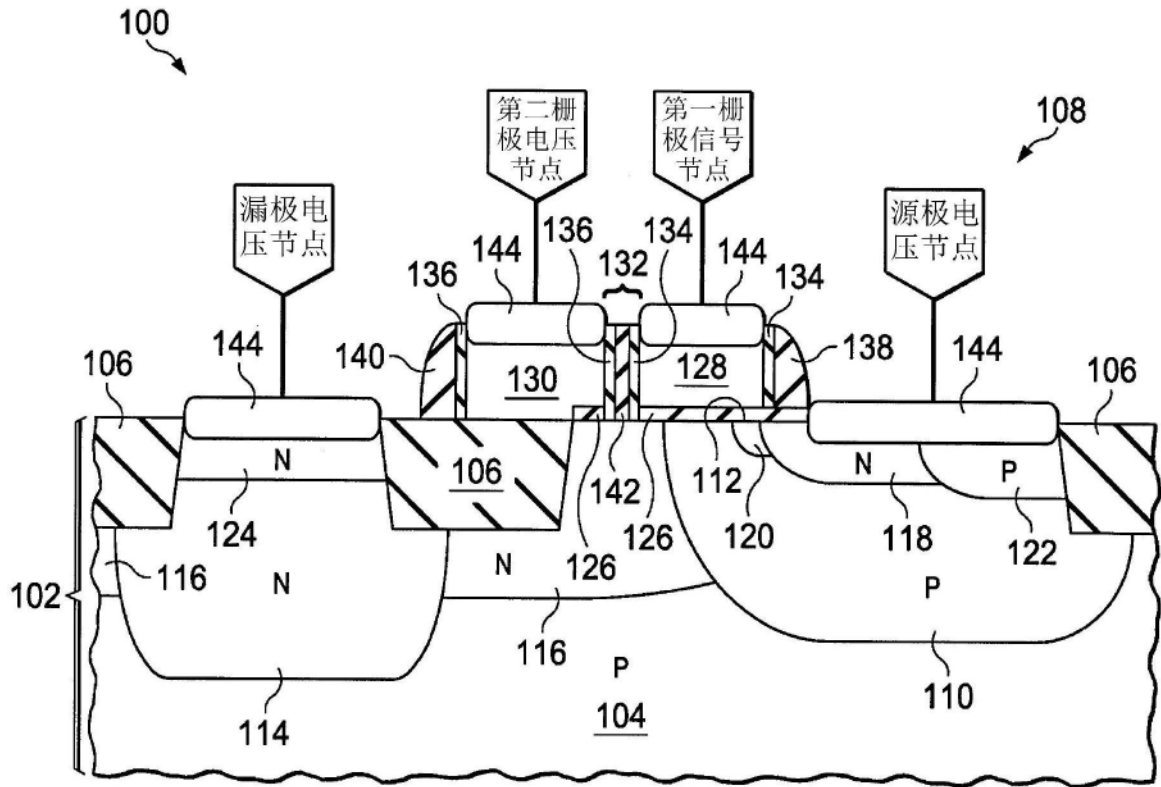


图1

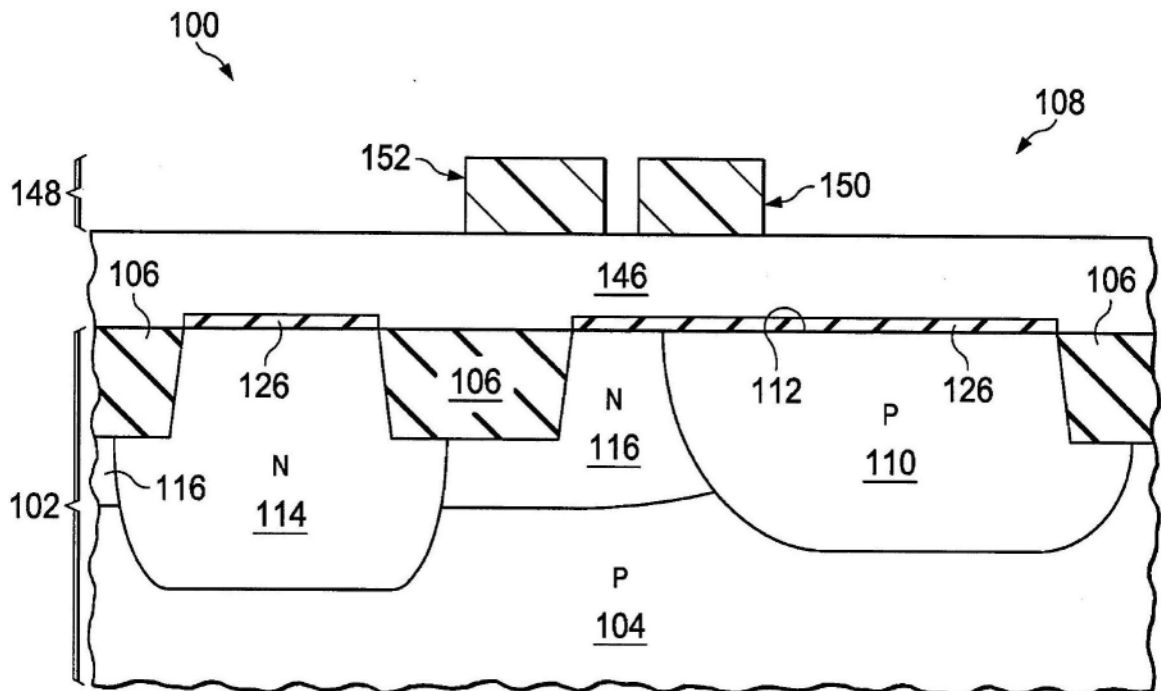


图2A

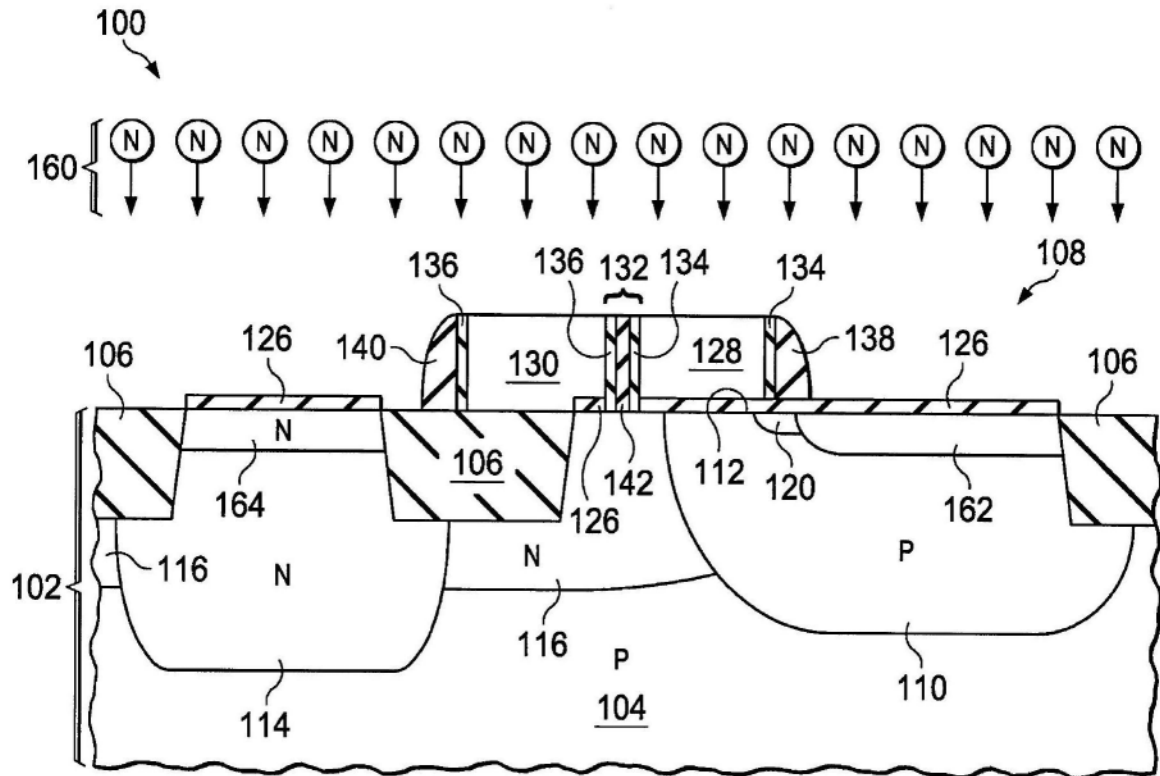


图2D

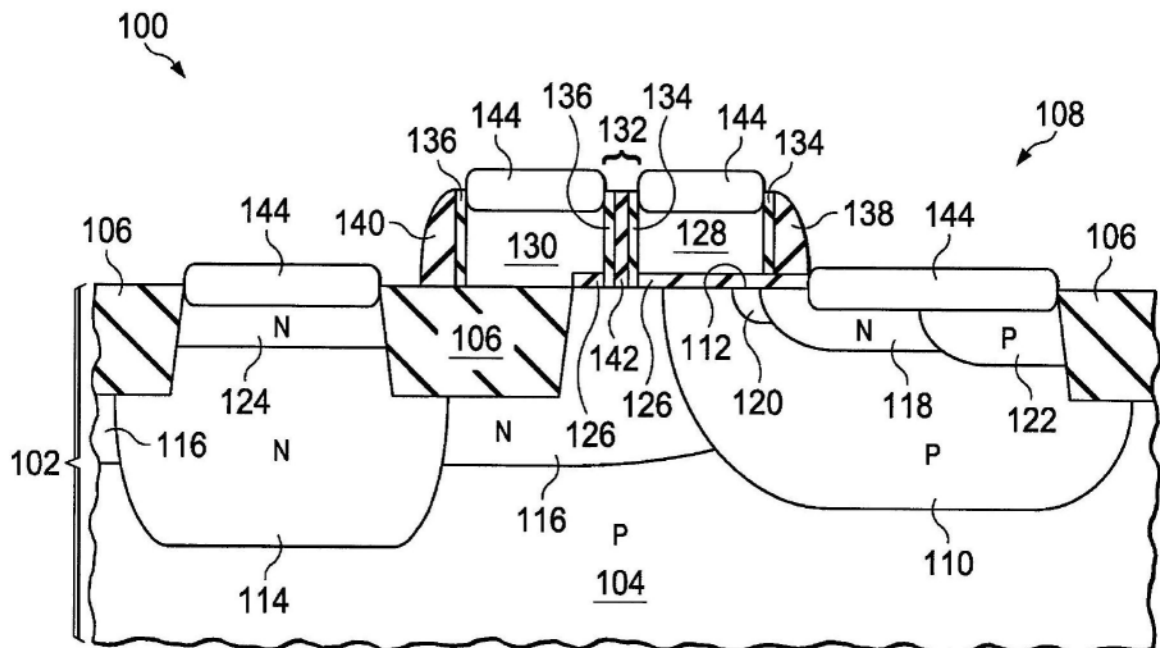


图2E

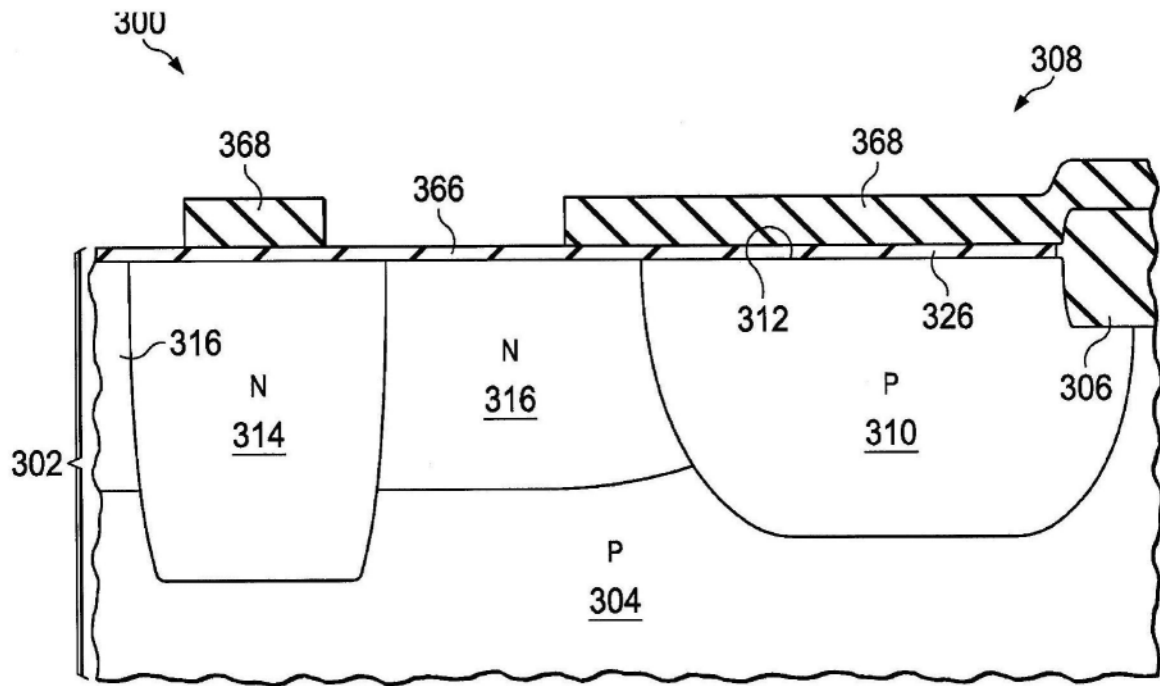


图3A

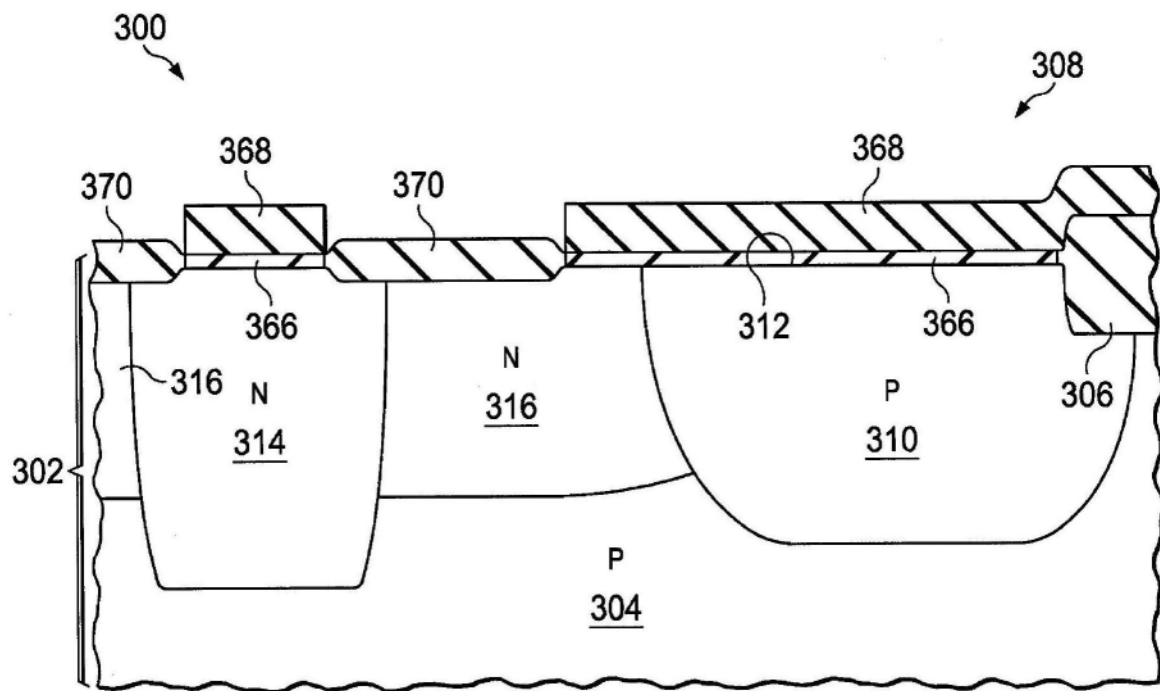


图3B

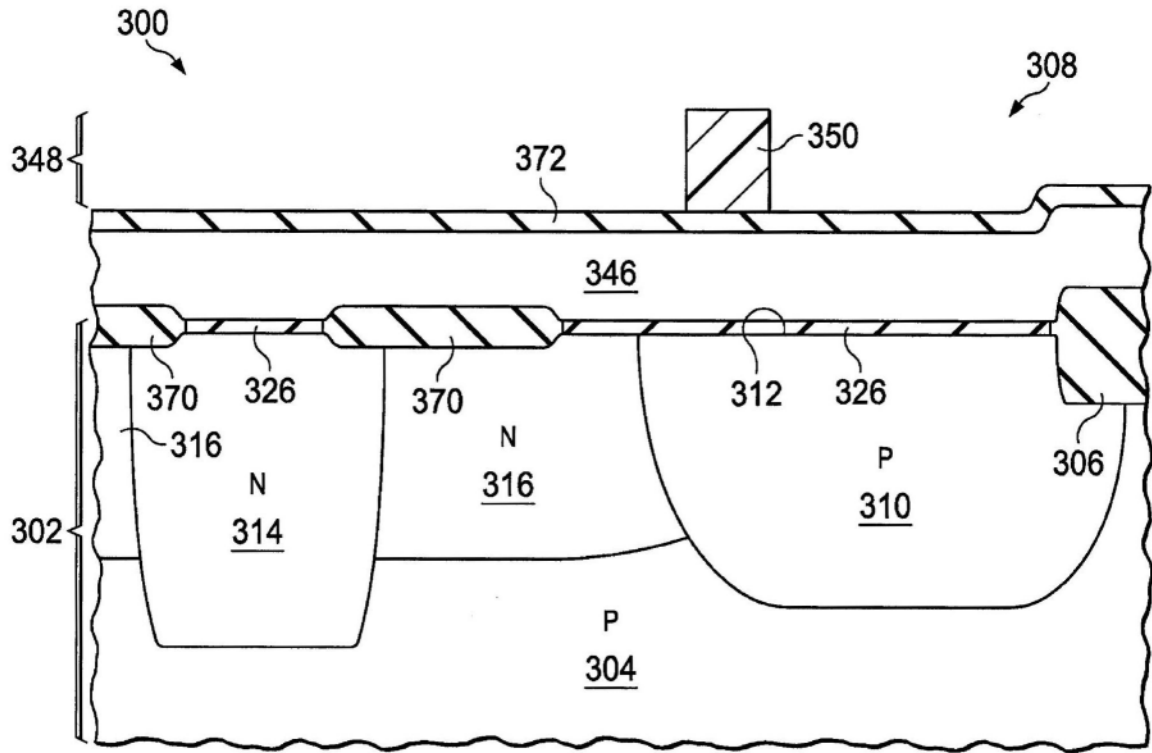


图3C

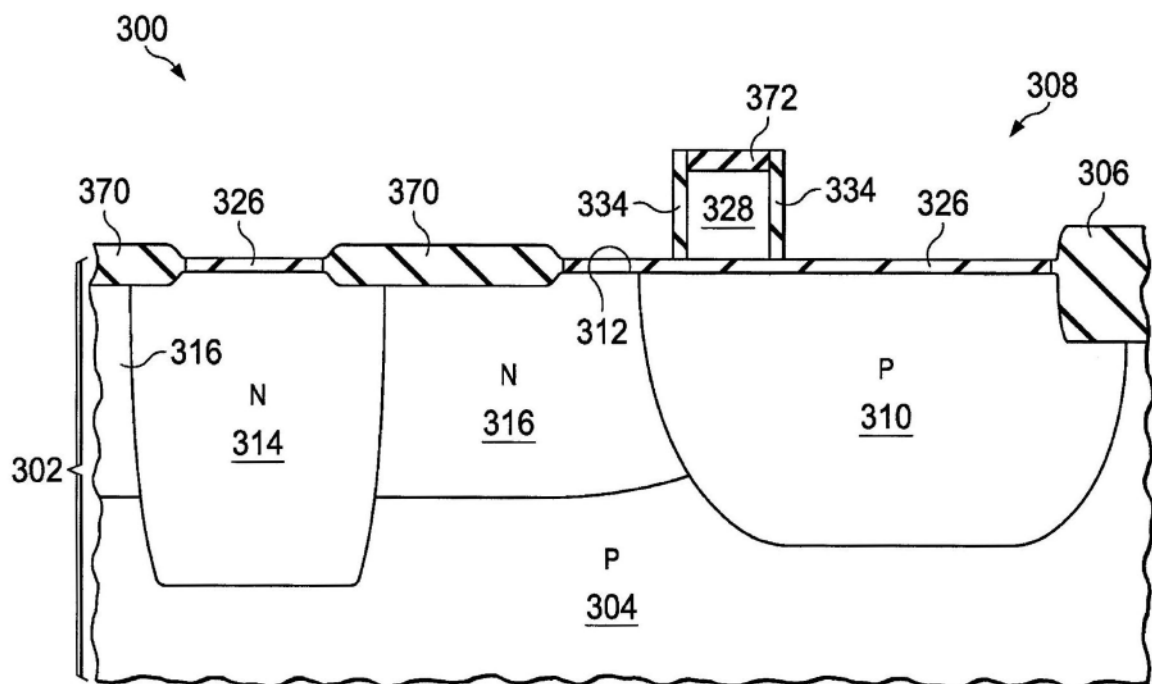


图3D

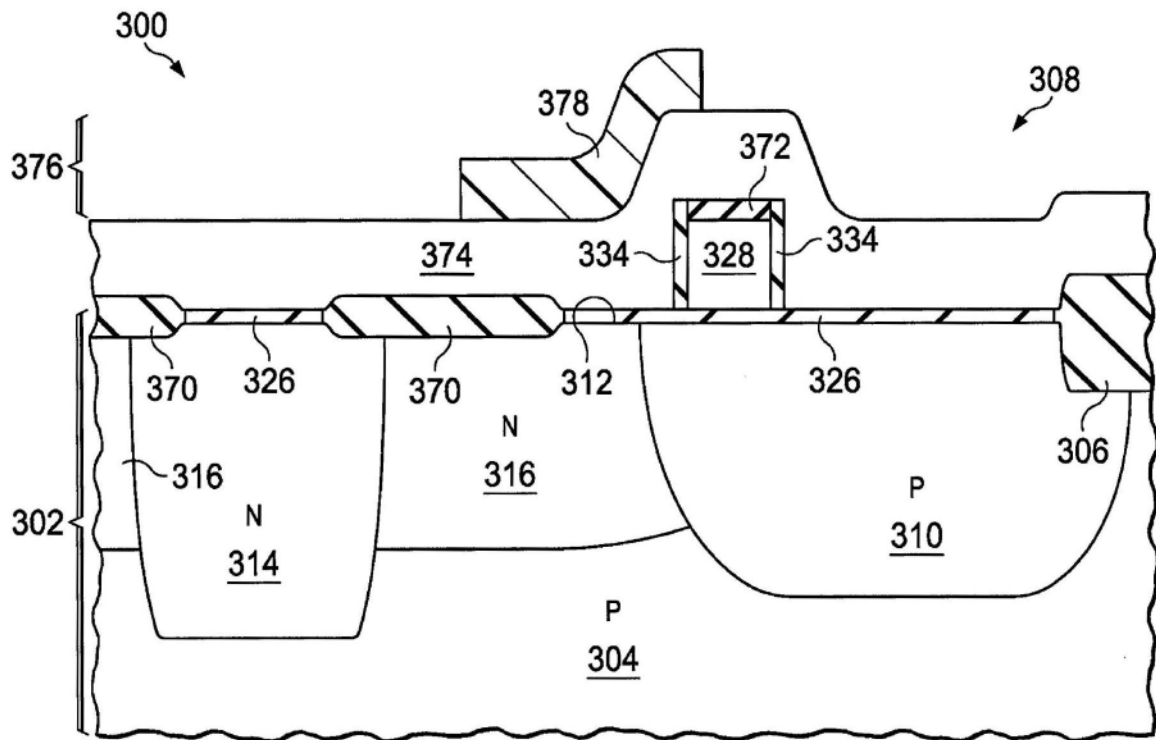


图3E

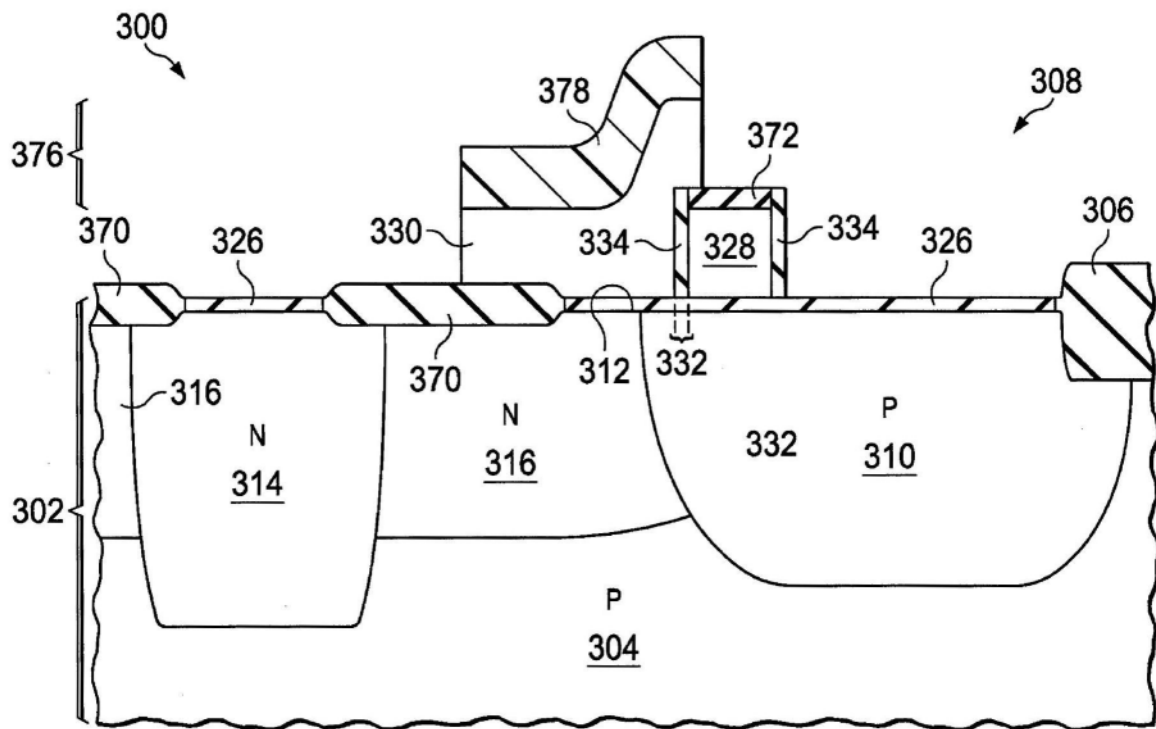


图3F

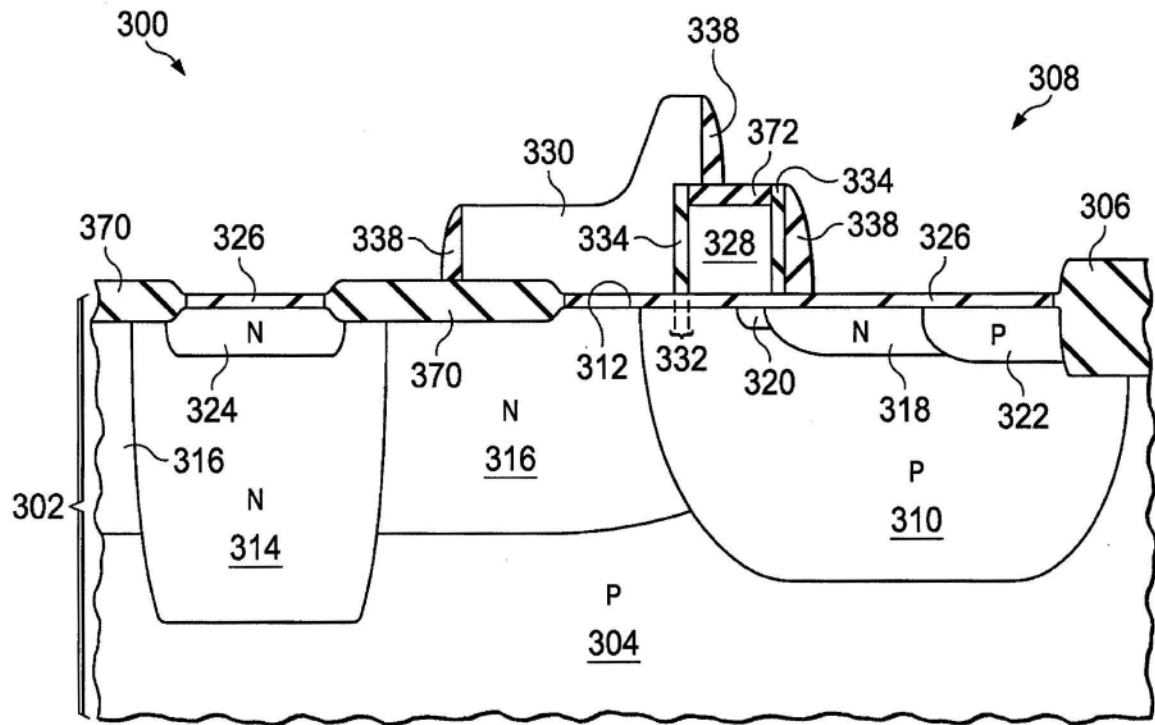


图3G

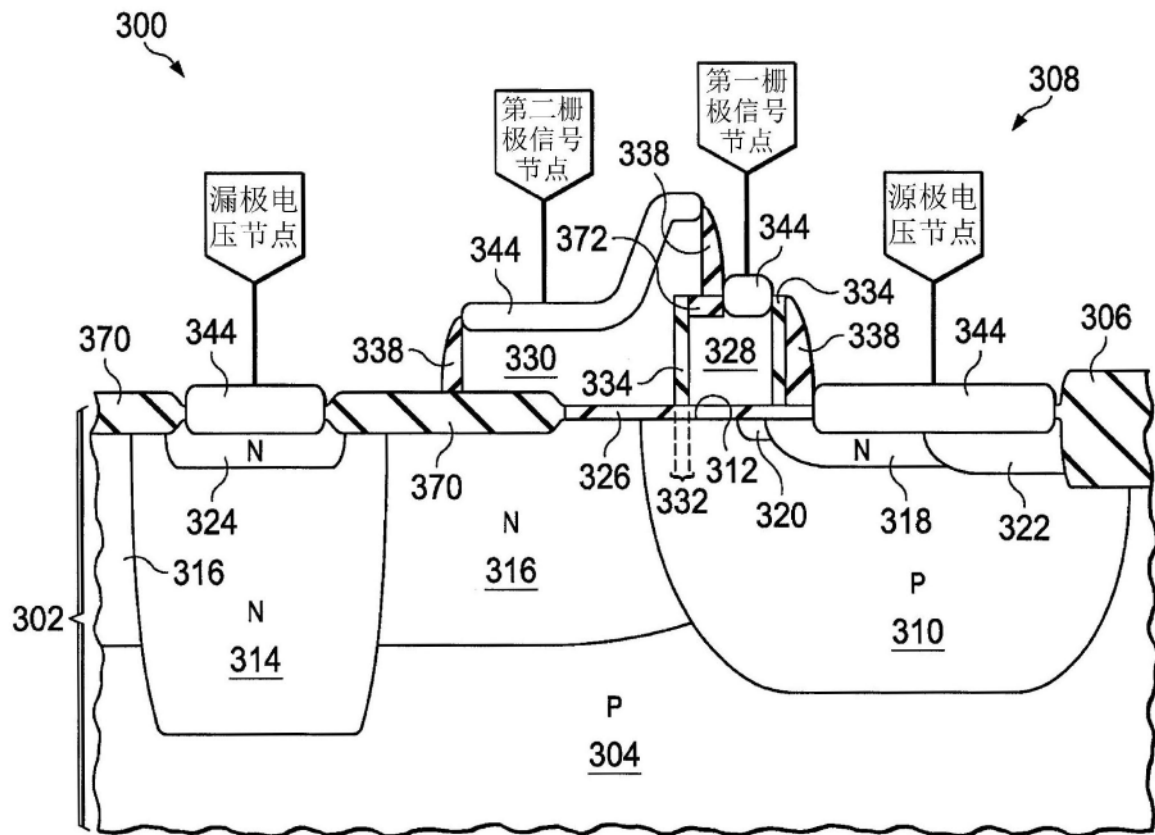


图3H

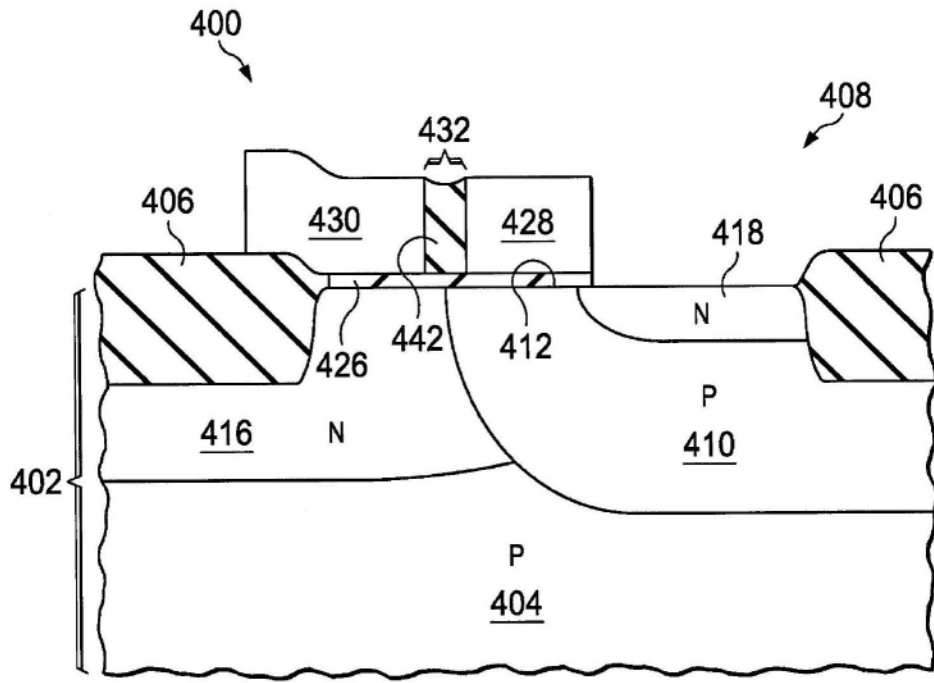


图4