



공개특허 10-2023-0029522



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0029522
(43) 공개일자 2023년03월03일

(51) 국제특허분류(Int. Cl.)

H01L 23/00 (2006.01)

(52) CPC특허분류

H01L 24/14 (2013.01)

H01L 24/13 (2013.01)

(21) 출원번호 10-2022-0099076

(22) 출원일자 2022년08월09일

심사청구일자 **없음**

(30) 우선권주장

JP-P-2021-135446 2021년08월23일 일본(JP)

(71) 출원인

신코오렌기 고교 가부시키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

야마모토 겐고

일본국 나가노켄 나가노시 오시마다마치 80 신코
오렌기 고교 가부시키가이샤 내

(74) 대리인

문두현

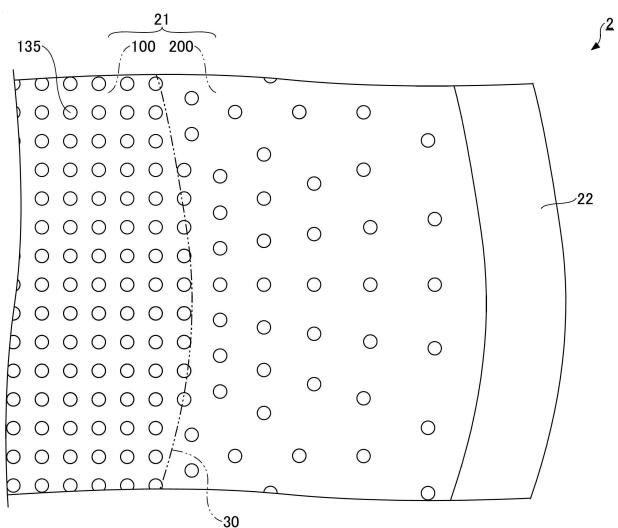
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 웨이퍼 및 웨이퍼의 제조 방법

(57) 요 약

웨이퍼는 기판 및 기판의 하나의 면 상의 도전 범프를 포함한다. 기판의 표면에 수직인 방향으로부터의 평면에서 볼 때, 기판의 표면의 제1 영역 내에서의 도전 범프의 면적 밀도는 제1 영역의 주위의 제2 영역 내에서의 도전 범프의 면적 밀도보다 높다. 제1 영역에는 유효 칩 영역이 배열된다.

대 표 도



(52) CPC특허분류

H01L 2224/13147 (2013.01)

H01L 2224/14142 (2013.01)

명세서

청구범위

청구항 1

기판; 및

상기 기판의 표면 상의 복수의 도전 범프를 포함하고,

상기 기판의 상기 표면에 수직인 방향으로부터의 평면에서 볼 때, 상기 기판의 상기 표면의 제1 영역 내에서의 상기 도전 범프의 면적 밀도는 상기 제1 영역의 주위의 제2 영역 내에서의 상기 도전 범프의 면적 밀도보다 높고, 상기 제1 영역에는 복수의 유효 칩 영역이 배열되는 웨이퍼.

청구항 2

제1항에 있어서,

상기 도전 범프는 상기 제1 영역 내에서의 복수의 제1 도전 범프와, 상기 제2 영역 내에서의 복수의 제2 도전 범프를 포함하고,

상기 평면에서 볼 때, 상기 제2 영역 내에서의 상기 제2 도전 범프의 면적 밀도는 상기 제1 영역 내에서의 상기 제1 도전 범프의 면적 밀도보다 낮은 웨이퍼.

청구항 3

제2항에 있어서,

상기 제2 영역 내에서의 상기 제2 도전 범프의 면적 밀도는 상기 제1 영역으로부터의 거리가 멀어짐에 따라 연속적으로 저하되는 웨이퍼.

청구항 4

제2항에 있어서,

상기 제2 영역 내에서의 상기 제2 도전 범프의 면적 밀도는 상기 제1 영역으로부터의 거리가 멀어짐에 따라 단계적으로 저하되는 웨이퍼.

청구항 5

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 영역 내에서의 상기 제2 도전 범프의 면적 밀도는 상기 제1 영역 내에서의 상기 제1 도전 범프의 면적 밀도의 5% 내지 80%인 웨이퍼.

청구항 6

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 평면에서 볼 때, 상기 제1 도전 범프의 각각과 상기 제2 도전 범프의 각각은 원 상당 직경이 동일한 웨이퍼.

청구항 7

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 평면에서 볼 때, 상기 제2 영역 내에서의 상기 제2 도전 범프의 개수 밀도는 상기 제1 영역 내에서의 상기 제1 도전 범프의 개수 밀도보다 낮은 웨이퍼.

청구항 8

제1항 내지 제4항 중 어느 한 항에 있어서,
상기 도전 범프의 각각은 구리 필러(pillar)를 포함하는 웨이퍼.

청구항 9

기판의 표면 상에 복수의 도전 범프를 형성하는 단계로서, 상기 기판의 표면에 수직인 방향으로부터의 평면에서 볼 때, 상기 기판의 표면의 제1 영역 내에서의 상기 도전 범프의 면적 밀도는 상기 제1 영역의 주위의 제2 영역 내에서의 상기 도전 범프의 면적 밀도보다 높고, 상기 제1 영역에는 복수의 유효 칩 영역이 배열되는 상기 단계를 포함하는 웨이퍼의 제조 방법.

청구항 10

제9항에 있어서,
상기 도전 범프는 상기 제1 영역 내에서의 복수의 제1 도전 범프와, 상기 제2 영역 내에서의 복수의 제2 도전 범프를 포함하고,
상기 평면에서 볼 때, 상기 제2 영역 내에서의 상기 제2 도전 범프의 면적 밀도는 상기 제1 영역 내에서의 상기 제1 도전 범프의 면적 밀도보다 낮은 웨이퍼의 제조 방법.

발명의 설명

기술 분야

[0001] 본원에서 논의되는 실시형태의 특정 양태는, 웨이퍼 및 웨이퍼의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 제조에 사용하는 웨이퍼의 제조 방법으로서, 유효 영역 및 무효 영역을 구비한 기판에 전극 패드를 형성하고, 그 후에, 전해 도금법에 의해 도전 범프를 형성하는 것이 알려져 있다. 유효 영역은 유효 칩이 배열된 영역이고, 무효 영역은 유효 영역의 주위에 설치된다. 도전 범프는 유효 영역 및 무효 영역의 양쪽에, 대략 동일 사이즈 또한 대략 동일 피치로 형성된다(일本国 특개2013-168453호 공보 참조).

발명의 내용

해결하려는 과제

[0003] 도전 범프를 서브트랙티브법에 의해 형성할 경우, 도금 처리 후에 레지스트층을 제거한다. 그러나, 종래의 웨이퍼에서는, 레지스트층을 제거하기 위한 처리를 행한 후에도, 무효 영역에 레지스트층이 잔존하는 경우가 있다.

[0004] 본 개시는, 도전 범프의 형성에 사용하는 레지스트층의 잔존을 억제할 수 있는 웨이퍼 및 웨이퍼의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 형태에 따르면, 웨이퍼는 기판 및 기판의 표면 상의 도전 범프를 포함한다. 기판의 표면에 수직인 방향으로부터의 평면에서 볼 때, 기판의 표면의 제1 영역 내에서의 도전 범프의 면적 밀도는 제1 영역의 주위의 제2 영역 내에서의 도전 범프의 면적 밀도보다 높다. 제1 영역에는 유효 칩 영역이 배열된다.

발명의 효과

[0006] 개시의 기술에 따르면, 도전 범프의 형성에 사용하는 레지스트층의 잔존을 억제할 수 있다.

도면의 간단한 설명

[0007] 도 1은 제1 실시형태에 따른 웨이퍼를 나타내는 상면도.

도 2는 제1 실시형태에 따른 웨이퍼를 나타내는 다른 상면도.

도 3은 제1 실시형태에 따른 웨이퍼를 나타내는 단면도.

도 4는 제1 실시형태에 따른 웨이퍼에 있어서의 도전 범프의 면적 밀도의 분포를 나타내는 도면.

도 5a 내지 도 5f는 제1 실시형태에 따른 웨이퍼의 제조 방법을 나타내는 단면도.

도 6은 제2 실시형태에 따른 웨이퍼를 나타내는 상면도.

도 7은 제2 실시형태에 따른 웨이퍼에 있어서의 도전 범프의 면적 밀도의 분포를 나타내는 도면.

도 8은 제3 실시형태에 따른 웨이퍼를 나타내는 상면도.

도 9는 제3 실시형태에 따른 웨이퍼에 있어서의 도전 범프의 면적 밀도의 분포를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0008]

본원 발명자는, 종래의 웨이퍼에 있어서 무효 영역에 레지스트층이 잔존하는 원인을 규명하기 위해 예의 검토를 행했다. 이 결과, 종래의 웨이퍼에서는, 무효 영역의 외측에 도전 범프가 형성되지 않기 때문에, 도전 범프를 전해 도금법에 의해 형성할 때에, 무효 영역에 있어서의 전류 밀도가 유효 영역에 있어서의 전류 밀도보다 높아져, 무효 영역에 형성되는 도전 범프가 유효 영역에 형성되는 도전 범프보다 높아지기 쉬움을 판명했다. 도전 범프가 높아질수록, 레지스트층의 제거 시 레지스트층의 팽윤이 저해되기 쉬워져, 레지스트층이 제거되기 어려워진다.

[0009]

이와 같이, 무효 영역에 있어서 도전 범프가 높게 형성됨으로써, 레지스트층이 잔존하기 쉬워지는 것이다.

[0010]

본원 발명자들은, 이러한 지견에 의거하여, 하기의 실시형태에 상도했다.

[0011]

이하, 실시형태에 대해 첨부 도면을 참조하면서 구체적으로 설명한다. 또한, 본 명세서 및 도면에 있어서, 실질적으로 동일한 기능 구성을 갖는 동일 구성 요소에 대해서는, 동일한 부호를 부여함에 의해 중복된 설명을 생략하는 경우가 있다.

[0012]

[a] 제1 실시형태

[0013]

제1 실시형태에 대해 설명한다. 제1 실시형태는 웨이퍼에 관한 것이다.

[0014]

우선, 웨이퍼의 구성을 설명한다. 도 1 및 도 2는, 제1 실시형태에 따른 웨이퍼를 나타내는 상면도이다. 도 2는, 도 1 중의 영역(40)을 확대하여 나타낸다. 도 3은, 제1 실시형태에 따른 웨이퍼를 나타내는 단면도이며, 도 1 중의 III-III선을 따른 단면도에 상당한다. 도 4는, 제1 실시형태에 따른 웨이퍼에 있어서의 도전 범프의 면적 밀도의 분포를 나타내는 도면이다.

[0015]

도 1 및 도 2에 나타내는 바와 같이, 제1 실시형태에 따른 웨이퍼(1)는, 기판(10)과, 복수의 제1 도전 범프(135)와, 복수의 제2 도전 범프(235)를 갖는다. 본 개시에서는, 편의상, 웨이퍼(1)의 제1 도전 범프(135) 및 제2 도전 범프(235) 측을 상측 또는 제1 측으로 하고, 그 반대 측을 하측 또는 제2 측으로 한다. 또한, 웨이퍼(1)의 제1 도전 범프(135) 및 제2 도전 범프(235) 측의 면을 제1 면 또는 상면으로 하고, 그 반대 측의 면을 제2 면 또는 하면으로 한다.

[0016]

기판(10)은 회로가 형성되는 회로 형성면(11)을 갖는다. 기판(10)의 직경은, 예를 들면 300mm(12인치) 또는 200mm(8인치)이다. 제1 도전 범프(135) 및 제2 도전 범프(235)는 회로 형성면(11) 상에 설치되어 있다. 본 개시에서는, 평면에서 볼 때란, 대상물을 웨이퍼(1)의 회로 형성면(11)의 법선 방향으로부터 보는 것을 가리키고, 평면 형상이란 대상물을 웨이퍼(1)의 회로 형성면(11)의 법선 방향으로부터 본 형상을 가리키는 것으로 한다. 회로 형성면(11)은 제1 면의 일례이다.

[0017]

기판(10)은, 범프 형성 영역(21)과, 범프 형성 영역(21)의 주위에 설치된 범프 비형성 영역(22)을 구비한다. 범프 형성 영역(21)에 후술하는 도전 범프가 형성되어 있지만, 범프 비형성 영역(22)에는 도전 범프가 형성되어 있지 않다. 범프 비형성 영역(22)의 반경 방향의 치수(폭)는, 예를 들면 약 1.5mm이다. 범프 형성 영역(21)은, 유효 칩 영역(110)이 배열된 유효 영역(100)과, 유효 영역(100)의 주위에 설치된 무효 영역(200)을 구비한다. 유효 칩 영역(110)은, 평면에서 볼 때 아래이 형상으로 배열되어 있다. 유효 칩 영역(110)은 유효 영역(100)과 무효 영역(200)의 경계(30)의 내측에 있다. 경계(30) 상에 있는 칩 영역은 무효 칩 영역(210)으로 한다. 다이싱에 의해 유효 칩 영역(110)으로부터 잘라내지는 반도체 칩이 제품으로 되고, 무효 칩 영역(210)으로부터 잘라내지는 반도체 칩은 제품으로 되지 않는다. 무효 영역(200)의 반경 방향의 치수(폭)는, 예를 들면

약 3mm 내지 10mm이다. 유효 영역(100)은 제1 영역의 일례이고, 무효 영역(200)은 제2 영역의 일례이다.

[0018] 기판(10)은, 예를 들면, 실리콘 등으로 이루어지는 반도체 기판 및 반도체 기판에 형성된 반도체 접적회로 등을 포함한다. 도 3에 나타내는 바와 같이, 기판(10)에는, 제1 전극 패드(130) 및 복수의 제2 전극 패드(230)가 설치되어 있다. 제1 전극 패드(130)는 유효 영역(100) 내에 설치되고, 제2 전극 패드(230)는 무효 영역(200) 내에 설치되어 있다. 제1 전극 패드(130)는 반도체 접적회로에 접속되어 있지만, 제2 전극 패드(230)는 반도체 접적회로에 접속되어 있지 않다. 제1 전극 패드(130) 및 제2 전극 패드(230)는, 예를 들면, 알루미늄(Al)에 의해 형성되어 있다.

[0019] 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도는, 유효 영역(100) 내에서의 제1 전극 패드(130)의 면적 밀도보다 낮고, 예를 들면 약 25%이다. 또한, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 피치는, 유효 영역(100) 내에서의 제1 전극 패드(130)의 피치보다 크고, 예를 들면 약 200%이다. 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도 및 피치는, 대략 균일하다. 예를 들면, 제1 전극 패드(130)의 피치는 10 μ m 내지 100 μ m이고, 제2 전극 패드(230)의 피치는 20 μ m 내지 200 μ m이다. 평면에서 볼 때, 제1 전극 패드(130)의 각각과 제2 전극 패드(230)의 각각은 원 상당 직경이 동일해도 된다. 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 개수 밀도는, 유효 영역(100) 내에서의 제1 전극 패드(130)의 개수 밀도보다 낮다. 여기에서, 패드의 면적 밀도란, 단위 면적당 패드가 차지하는 면적의 비율을 말한다. 패드의 개수 밀도란, 단위 면적당 포함되는 패드의 수를 말한다. 패드의 피치란, 인접하는 패드 간의 평면에서 볼 때의 중심간 거리를 말한다.

[0020] 제1 도전 범프(135)는 유효 영역(100) 내에 있어서 제1 전극 패드(130) 상에 설치되어 있다. 제1 도전 범프(135)는, 제1 시드층(131)과, 제1 구리(Cu)층(132)과, 제1 땜납층(133)을 갖는다.

[0021] 제1 시드층(131)은 제1 전극 패드(130)에 직접 접촉한다. 제1 시드층(131)의 재료는, 예를 들면, 구리, 티타늄(Ti), 크롬(Cr), 텅스텐(W), 또는 이들의 임의의 조합의 합금이다. 제1 시드층(131)이 적층막을 포함하고, 적층막의 각각의 재료가, 예를 들면, 구리, 티타늄, 크롬, 텅스텐, 또는 이들의 임의의 조합의 합금이여도 된다. 제1 시드층(131)의 두께는, 예를 들면, 약 0.01 μ m 내지 약 0.3 μ m이다. 제1 시드층(131)의 평면 형상은, 예를 들면, 대략 원형이다. 이 경우, 제1 시드층(131)의 직경은, 예를 들면 약 5 μ m 내지 약 100 μ m이고, 호적하게는 약 10 μ m 내지 20 μ m이다.

[0022] 제1 구리층(132)은, 원 기둥 형태 등의 기둥 형태의 형상을 갖는다. 제1 구리층(132)은 전해 도금층이고, 제1 시드층(131)에 직접 접촉한다. 제1 구리층(132)의 두께는, 예를 들면, 약 10 μ m 내지 약 200 μ m이고, 호적하게는 약 20 μ m 내지 약 150 μ m이다. 제1 구리층(132)의 평면 형상은, 제1 시드층(131)의 평면 형상과 대략 동일하다. 제1 구리층(132)은 제1 시드층(131)과 평면에서 볼 때 중복되도록 형성되어 있다. 제1 구리층(132)은 (제1) 구리 필러(pillar)의 일례이다.

[0023] 제1 땜납층(133)은, 제1 구리층(132)에 직접 접촉한다. 제1 땜납층(133)의 형상은, 예를 들면, 둠 형상이다. 여기에서, 둠 형상이란, 중앙부 근방의 높이가 높고, 주연부(周緣部)로 감에 따라 낮아지는 형상을 말한다. 제1 땜납층(133)의 두께(중앙부 근방의 최대 두께)는, 예를 들면, 약 10 μ m이다. 제1 땜납층(133)의 평면 형상은, 제1 구리층(132)의 평면 형상과 대략 동일한다. 제1 땜납층(133)은 제1 구리층(132)과 평면에서 볼 때 중복되도록 형성되어 있다. 제1 땜납층(133)의 재료는, 예를 들면 납(Pb)을 포함하는 합금, 주석(Sn)과 Cu의 합금, Sn와 은(Ag)의 합금, Sn와 Ag와 Cu의 합금 등이다.

[0024] 제1 도전 범프(135)의 높이는, 예를 들면 약 10 μ m 내지 약 200 μ m이다. 제1 땜납층(133)이 설치되어 있지 않아도 된다. 제1 구리층(132)과 제1 땜납층(133) 사이에 니켈(Ni)층 등의 다른 금속층이 설치되어 있어도 된다.

[0025] 제2 도전 범프(235)는 무효 영역(200)의 제2 전극 패드(230) 각각에 하나씩 마련된다. 제2 도전 범프(235) 각각은 제2 시드층(231), 제2 구리층(232), 및 제2 땜납층(233)을 포함한다.

[0026] 제2 시드층(231)은 제2 전극 패드(230)에 직접 접촉한다. 제2 시드층(231)의 재료는, 제1 시드층(131)의 재료와 동일해도 된다. 제2 시드층(231)의 두께는, 예를 들면, 약 0.01 μ m 내지 약 0.3 μ m이다. 제2 시드층(231)의 평면 형상은, 예를 들면, 대략 원형이다. 이 경우, 제2 시드층(231)의 직경은, 예를 들면 약 5 μ m 내지 약 100 μ m이고, 호적하게는 약 10 μ m 내지 약 20 μ m이다.

[0027] 제2 구리층(232)은, 원 기둥 형태 등의 기둥 형태의 형상을 갖는다. 제2 구리층(232)은 전해 도금층이고, 제2 시드층(231)에 직접 접촉한다. 제2 구리층(232)의 두께는, 예를 들면, 약 10 μ m 내지 약 200 μ m이고, 호적하게는 약 20 μ m 내지 약 150 μ m이다. 제2 구리층(232)의 평면 형상은, 제2 시드층(231)의 평면 형상과 대략 동일하다.

제2 구리층(232)은 제2 시드층(231)과 평면에서 볼 때 중복되도록 형성되어 있다. 제2 구리층(232)은 (제2) 구리 필러의 일례이다.

[0028] 제2 땜납층(233)은, 제2 구리층(232)에 직접 접촉한다. 제2 땜납층(233)의 형상은, 예를 들면, 둠 형상이다. 제2 땜납층(233)의 두께(중앙부 근방의 최대 두께)는, 예를 들면, 약 $10\mu\text{m}$ 이다. 제2 땜납층(233)의 평면 형상은, 제2 구리층(232)의 평면 형상과 대략 동일하다. 제2 땜납층(233)은 제2 구리층(232)과 평면에서 볼 때 중복되도록 형성되어 있다. 제2 땜납층(233)의 재료는, 제1 땜납층(133)의 재료와 동일해도 된다.

[0029] 제2 도전 범프(235)의 높이는, 예를 들면 약 $10\mu\text{m}$ 내지 약 $200\mu\text{m}$ 이다. 제2 땜납층(233)이 설치되어 있지 않아도 된다. 제2 구리층(232)과 제2 땜납층(233) 사이에 니켈층 등의 다른 금속층이 설치되어 있어도 된다.

[0030] 상술한 바와 같이, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도는, 유효 영역(100) 내에서의 제1 전극 패드(130)의 면적 밀도보다 낮고, 예를 들면 약 25%이다. 이 때문에, 도 2 내지 도 4에 나타내는 바와 같이, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 도전 범프(235)의 면적 밀도는, 유효 영역(100) 내에서의 제1 도전 범프(135)의 면적 밀도보다 낮고, 예를 들면 약 25%이다. 또한, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 도전 범프(235)의 피치는, 유효 영역(100) 내에서의 제1 도전 범프(135)의 피치보다 크고, 예를 들면 약 200%이다. 평면에서 볼 때, 무효 영역(200) 내에서의 제2 도전 범프(235)의 면적 밀도 및 피치는, 대략 균일하다. 예를 들면, 제1 도전 범프(135)의 피치는 $10\mu\text{m}$ 내지 $100\mu\text{m}$ 이고, 제2 도전 범프(235)의 피치는 $20\mu\text{m}$ 내지 $200\mu\text{m}$ 이다. 평면에서 볼 때, 제1 도전 범프(135)의 각각과 제2 도전 범프(235)의 각각은 원 상당 직경이 동일해도 된다. 평면에서 볼 때, 무효 영역(200) 내에서의 제2 도전 범프(235)의 개수 밀도는, 유효 영역(100) 내에서의 제1 도전 범프(135)의 개수 밀도보다 낮다.

[0031] 다음으로, 제1 실시형태에 따른 웨이퍼(1)의 제조 방법에 대해 설명한다. 도 5a 내지 도 5f는, 제1 실시형태에 따른 웨이퍼의 제조 방법을 나타내는 단면도이다. 도 5a 내지 도 5f는, 도 1 중의 III-III선을 따른 단면도에 상당한다.

[0032] 우선, 도 5a에 나타내는 바와 같이, 회로 형성면(11)에 제1 전극 패드(130) 및 제2 전극 패드(230)가 형성된 기판(10)을 준비한다.

[0033] 다음으로, 도 5b에 나타내는 바와 같이, 제1 전극 패드(130) 및 제2 전극 패드(230)를 덮도록 하여 기판(10) 상에 시드층(331)을 형성한다. 시드층(331)은, 후에 제1 시드층(131) 및 제2 시드층(231)으로 되는 층이다. 시드층(331)의 재료는, 제1 시드층(131) 및 제2 시드층(231)의 재료와 동일하다. 시드층(331)의 두께는, 제1 시드층(131) 및 제2 시드층(231)의 두께와 동등하다. 시드층(331)은 스퍼터법 또는 무전해 도금법에 의해 형성될 수 있다.

[0034] 다음으로, 도 5c에 나타내는 바와 같이, 시드층(331) 상에 레지스트층(300)을 형성한다. 구체적으로는, 예를 들면, 시드층(331) 상에, 레지스트층(300)으로서 감광성 수지로 이루어지는 드라이 필름 레지스트 등을 라미네이트 한다. 그리고, 레지스트층(300)을 노광 및 현상에 의해 패터닝해서, 레지스트층(300)에 제1 개구부(311) 및 제2 개구부(312)를 형성한다. 제1 개구부(311) 및 제2 개구부(312)는 시드층(331)을 노출하도록 형성한다. 제1 개구부(311)는, 유효 영역(100) 내에서 제1 도전 범프(135)를 형성하는 위치에 형성된다. 제2 개구부(312)는, 무효 영역(200) 내에서 제2 도전 범프(235)를 형성하는 위치에 형성된다. 레지스트층(300)의 두께는, 형성하고자 하는 제1 도전 범프(135) 및 제2 도전 범프(235)의 높이보다 크고, 예를 들면 약 $20\mu\text{m}$ 내지 약 $210\mu\text{m}$ 이다.

[0035] 다음으로, 도 5d에 나타내는 바와 같이, 시드층(331)을 도금 급전 경로로 이용하는 전해 도금법에 의해, 제1 개구부(311)로부터 노출되는 시드층(331)의 상면에 제1 구리층(132)을 형성하고, 제2 개구부(312)로부터 노출되는 시드층(331)의 상면에 제2 구리층(232)을 형성한다. 다음으로, 시드층(331)을 도금 급전 경로로 이용하는 전해 도금법에 의해, 제1 구리층(132) 상에 제1 땜납층(133)을 형성하고, 제2 구리층(232) 상에 제2 땜납층(233)을 형성한다.

[0036] 다음으로, 도 5e에 나타내는 바와 같이, 레지스트층(300)을 제거한다. 레지스트층(300)은, 예를 들면, 수산화나트륨 등을 함유하는 박리액을 사용해서 박리할 수 있다.

[0037] 다음으로, 도 5f에 나타내는 바와 같이, 에칭액을 사용해서, 시드층(331)의, 제1 땜납층(133) 또는 제2 땜납층(233)으로부터 노출되는 부분을 제거한다. 에칭액은, 예를 들면, 과산화수소 및 황산을 주성분으로 하는 수용액, 과황산나트륨 수용액, 과황산암모늄 수용액, 질산 용액 등의 에칭액을 포함한다.

- [0038] 다음으로, 리플로우 솔더링 등에 의해, 제1 땜납층(133) 및 제2 땜납층(233)을 용융시키고, 그 후에 응고시켜서 둠 형상 등으로 성형한다. 이와 같이 해서, 제1 전극 패드(130) 상에 제1 도전 범프(135)가 형성되고, 제2 전극 패드(230) 상에 제2 도전 범프(235)가 형성된다.
- [0039] 이와 같이 해서, 제1 실시형태에 따른 웨이퍼(1)를 제조할 수 있다.
- [0040] 제1 실시형태에 따른 웨이퍼(1)에서는, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도가, 유효 영역(100) 내에서의 제1 전극 패드(130)의 면적 밀도보다 낮다. 이 때문에, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 도전 범프(235)의 면적 밀도가, 유효 영역(100) 내에서의 제1 도전 범프(135)의 면적 밀도보다 낮다. 따라서, 제1 구리층(132) 및 제2 구리층(232)의 형성 시에도, 제1 땜납층(133) 및 제2 땜납층(233)의 형성 시에도, 무효 영역(200)에 있어서의 전류 밀도의 과잉 상승을 억제할 수 있다. 이 때문에, 제2 도전 범프(235)의 높이를 제1 도전 범프(135)의 높이와 동일 정도로 조정하기 쉬울 수 있다. 이에 의해, 무효 영역(200)에 있어서도, 레지스트층(300)의 제거 시 레지스트층(300)이 박리액에 의해 팽윤되기 쉬워져, 제1 도전 범프(135) 및 제2 도전 범프(235)의 형성에 사용하는 레지스트층(300)의 잔존을 억제할 수 있다.
- [0041] 또한, 제2 도전 범프(235)의 배열이 제1 도전 범프(135)의 배열보다 성기기 때문에, 레지스트층(300)에 박리액이 침투하기 쉽다. 이 점에서도, 무효 영역(200)에서의 레지스트층(300)의 잔존을 억제할 수 있다.
- [0042] [b] 제2 실시형태
- [0043] 다음으로, 제2 실시형태에 대해 설명한다. 제2 실시형태는, 예를 들면, 주로 제2 도전 범프(235)의 배열의 점에서 제1 실시형태와 상위하다. 도 6은, 제2 실시형태에 따른 웨이퍼를 나타내는 상면도이다. 도 7은, 제2 실시형태에 따른 웨이퍼에 있어서의 도전 범프의 면적 밀도의 분포를 나타내는 도면이다. 도 6은 도 2의 상면도에 대응한다.
- [0044] 도 6 및 도 7에 나타내는 바와 같이, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도가, 유효 영역(100)으로부터의 거리가 멀어짐에 따라 연속적으로 저하한다. 즉, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도가, 기판(10)의 반경 방향으로(유효 영역(100)으로부터 멀어짐) 연속적으로 저하한다. 예를 들면, 유효 영역(100)과 무효 영역(200)의 경계(30)의 근방에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도는, 각각 제1 전극 패드(130)의 면적 밀도 및 개수 밀도 및 제1 도전 범프(135)의 면적 밀도 및 개수 밀도와 동일 또는 대략 동일할 수 있다. 또한, 예를 들면, 무효 영역(200)의 외연(둘레)에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도는, 실질적으로 제로여도 된다.
- [0045] 다른 구성에서, 제2 실시형태는 제1 실시형태와 마찬가지이다.
- [0046] 제2 실시형태에 의해도 제1 실시형태와 마찬가지인 효과를 얻을 수 있다. 또한, 제2 도전 범프(235)의 면적 밀도 및 개수 밀도가, 유효 영역(100)으로부터 거리가 멀어짐에 따라 연속적으로 저하되기 때문에, 제1 구리층(132) 및 제2 구리층(232)의 형성 시에도, 제1 땜납층(133) 및 제2 땜납층(233)의 형성 시에도, 무효 영역(200)에 있어서의 전류 밀도가 완만하게 변화된다. 따라서, 제2 도전 범프(235)의 높이를 제1 도전 범프(135)의 높이와 동일 또는 대략 동일하게 조정하기 더 쉽다. 이에 의해, 제1 도전 범프(135) 및 제2 도전 범프(235)의 형성에 사용하는 레지스트층(300)의 잔존을 보다 억제하기 쉽게 할 수 있다.
- [0047] [c] 제3 실시형태
- [0048] 다음으로, 제3 실시형태에 대해 설명한다. 제3 실시형태는, 예를 들면 제2 도전 범프(235)의 배열의 점에서 제1 실시형태 및 제2 실시형태와 상위하다. 도 8은, 제3 실시형태에 따른 웨이퍼(3)를 나타내는 상면도이다. 도 9는, 제3 실시형태에 따른 웨이퍼(3)에 있어서의 도전 범프의 면적 밀도의 분포를 나타내는 도면이다. 도 8은 도 2의 상면도에 대응한다.
- [0049] 도 8 및 도 9에 나타내는 바와 같이, 무효 영역(200)은 제1 원환(annular) 영역(201)과, 제2 원환 영역(202)과, 제3 원환 영역(203)과, 제4 원환 영역(204)을 갖는다. 평면에서 볼 때, 제1 원환 영역(201)의 내연의 전체가 유효 영역(100)의 외연의 전체에 접한다. 평면에서 볼 때, 제2 원환 영역(202)의 내연의 전체가 제1 원환 영역(201)의 외연의 전체에 접한다. 평면에서 볼 때, 제3 원환 영역(203)의 내연의 전체가 제2 원환 영역(202)의 외연의 전체에 접한다. 평면에서 볼 때, 제4 원환 영역(204)의 내연의 전체가 제3 원환 영역(203)의 외연의 전체에 접한다. 평면에서 볼 때, 제4 원환 영역(204)의 외연의 전체가 범프 비형성 영역(22)의 내

연의 전체에 접한다.

[0050] 제1 원환 영역(201) 내에서의 제2 전극 패드(230)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하고, 제2 도전 범프(235)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하다. 제1 원환 영역(201) 내에서의 제2 전극 패드(230)의 면적 밀도, 개수 밀도 및 피치와 제2 도전 범프(235)의 면적 밀도, 개수 밀도 및 피치는, 각각 유효 영역(100) 내에서의 제1 전극 패드(130)의 면적 밀도, 개수 밀도 및 피치와 동일 또는 대략 동일하다.

[0051] 제2 원환 영역(202) 내에서의 제2 전극 패드(230)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하고, 제2 도전 범프(235)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하다. 제2 원환 영역(202) 내에서의 제2 전극 패드(230)의 피치 및 제2 도전 범프(235)의 피치는, 각각 유효 영역(100) 내에서의 제1 전극 패드(130) 및 제1 도전 범프(135)의 피치의 약 150%이다. 제2 원환 영역(202) 내에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도는, 각각 유효 영역(100) 내에서의 제1 전극 패드(130)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도의 약 44%이다.

[0052] 제3 원환 영역(203) 내에서의 제2 전극 패드(230)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하고, 제2 도전 범프(235)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하다. 제3 원환 영역(203) 내에서의 제2 전극 패드(230)의 피치 및 제2 도전 범프(235)의 피치는, 유효 영역(100) 내에서의 제1 전극 패드(130)의 피치 및 제1 도전 범프(135)의 피치의 약 200%이다. 제3 원환 영역(203) 내에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도는, 각각 유효 영역(100) 내에서의 제1 전극 패드(130)의 면적 밀도 및 개수 밀도와 제1 도전 범프(135)의 면적 밀도 및 개수 밀도의 약 25%이다.

[0053] 제4 원환 영역(204) 내에서의 제2 전극 패드(230)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하고, 제2 도전 범프(235)의 면적 밀도, 개수 밀도 및 피치는 대략 균일하다. 제4 원환 영역(204) 내에서의 제2 전극 패드(230)의 피치 및 제2 도전 범프(235)의 피치는, 각각 유효 영역(100) 내에서의 제1 전극 패드(130)의 피치 및 제1 도전 범프(135)의 피치의 약 250%이다. 제4 원환 영역(204) 내에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도와 제2 도전 범프(235)의 면적 밀도 및 개수 밀도는, 각각 유효 영역(100) 내에서의 제1 전극 패드(130)의 면적 밀도 및 개수 밀도와 제1 도전 범프(135)의 면적 밀도 및 개수 밀도의 약 16%이다.

[0054] 이와 같이, 제3 실시형태에서는, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도 및 제2 도전 범프(235)의 면적 밀도 및 개수 밀도가, 유효 영역(100)으로부터의 거리가 멀어짐에 따라 단계적으로 저하된다. 즉, 평면에서 볼 때, 무효 영역(200) 내에서의 제2 전극 패드(230)의 면적 밀도 및 개수 밀도 및 제2 도전 범프(235)의 면적 밀도 및 개수 밀도가, 기관(10)의 반경 방향에서(유효 영역(100)으로부터 멀어짐) 단계적으로 저하된다.

[0055] 다른 구성에서, 제3 실시형태는 제1 실시형태와 마찬가지이다.

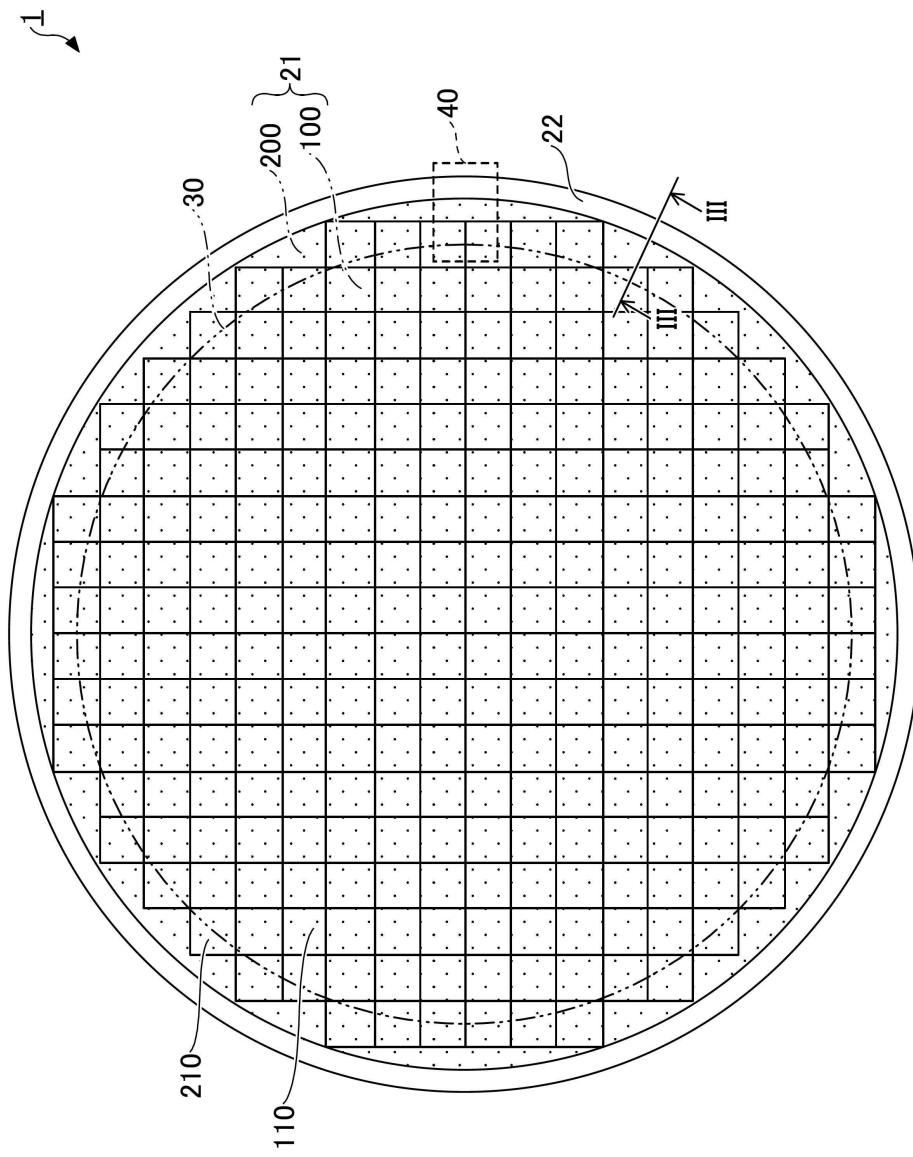
[0056] 제3 실시형태에 의해도 제1 실시형태와 마찬가지인 효과를 얻을 수 있다. 또한, 제2 도전 범프(235)의 면적 밀도 및 개수 밀도가, 유효 영역(100)으로부터의 거리가 멀어짐에 따라 단계적으로 저하되기 때문에, 제1 구리층(132) 및 제2 구리층(232)의 형성 시에도, 제1 땜납층(133) 및 제2 땜납층(233)의 형성 시에도, 무효 영역(200)에 있어서의 전류 밀도가 완만하게 변화된다. 따라서, 제2 도전 범프(235)의 높이를 제1 도전 범프(135)의 높이와 동일 또는 대략 동일하게 조정하기 더 쉬울 수 있다. 이에 의해, 제1 도전 범프(135) 및 제2 도전 범프(235)의 형성에 사용하는 레지스트층(300)의 잔존을 보다 억제하기 쉽게 할 수 있다.

[0057] 또한, 무효 영역(200) 내에서의 제2 도전 범프(235)의 면적 밀도는, 유효 영역(100) 내에서의 제1 도전 범프(135)의 면적 밀도의, 예를 들면 5% 내지 80%이고, 바람직하게는 10% 내지 70%이고, 보다 바람직하게는 20% 내지 60%이다. 무효 영역(200) 내에서의 제2 도전 범프(235)의 면적 밀도가 과잉되게 낮은 경우, 무효 영역(200)을 넓게 확보하지 않으면, 유효 영역(100)의 외연 근방에서 전해 도금 시 전류 밀도가 높아질 수 있다. 그러나, 무효 영역(200)을 넓게 확보하면, 수율이 저하해 버린다. 무효 영역(200) 내에서의 제2 도전 범프(235)의 면적 밀도가 과잉되게 높은 경우, 무효 영역(200)에서 레지스트층(300)의 잔사를 억제하는 효과가 저하될 수 있다.

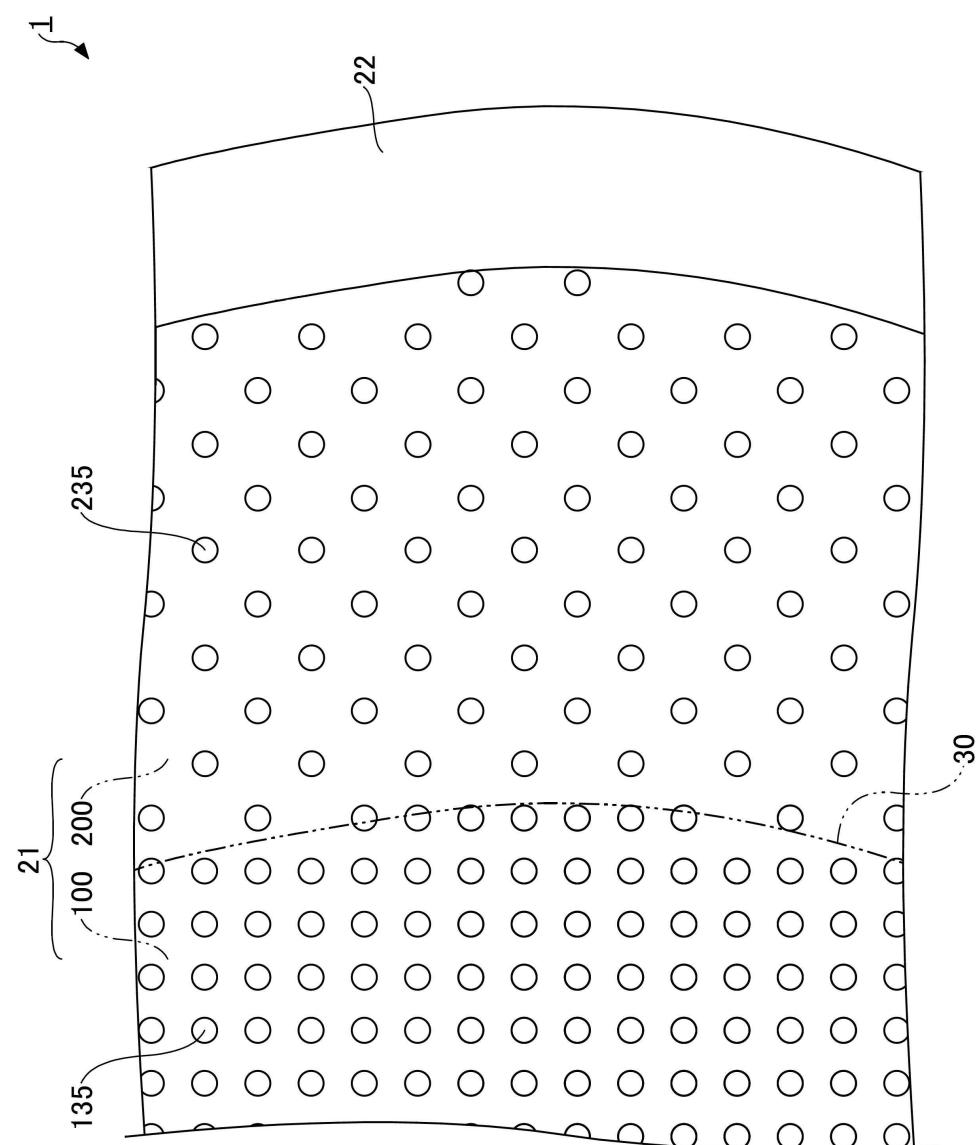
[0058] 이상, 본 발명의 바람직한 실시형태 등에 대해 상세히 설명했다. 다만, 본 발명은 상술한 실시형태 등에 제한되지 않고, 특히 청구범위에 기재된 범위를 일탈하지 않고, 다양한 변형 및 치환을 가할 수 있다.

도면

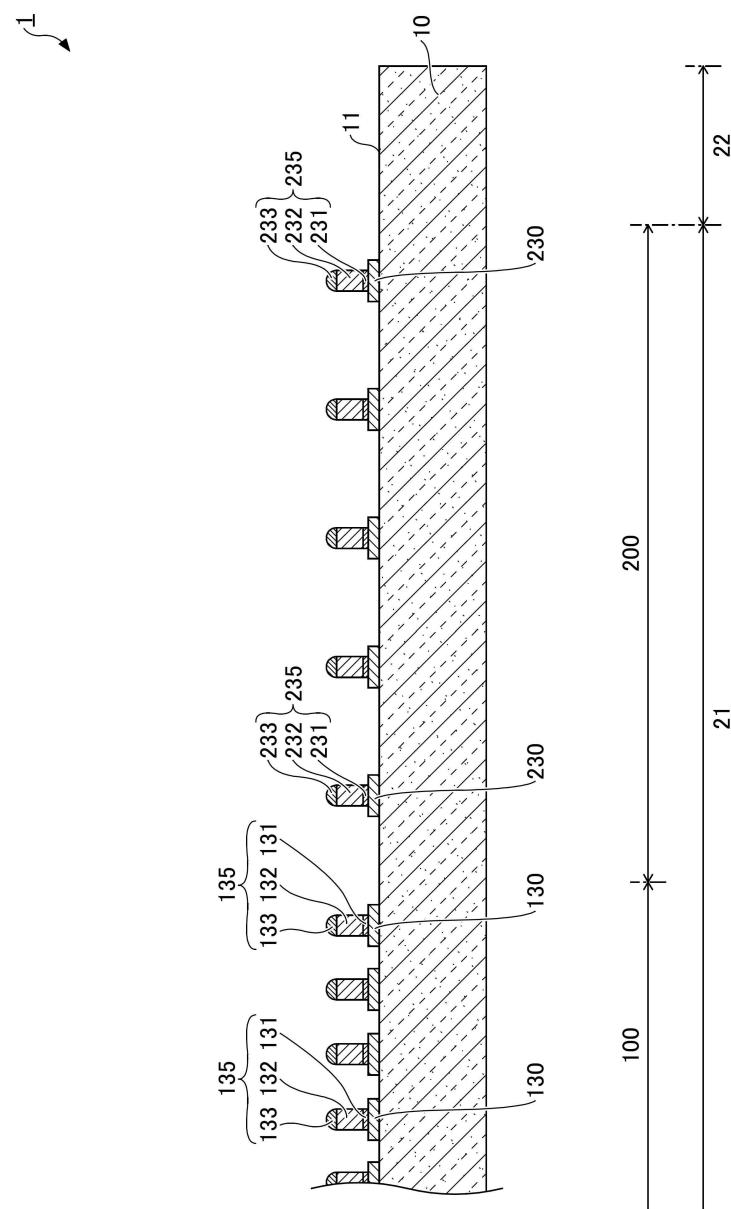
도면1



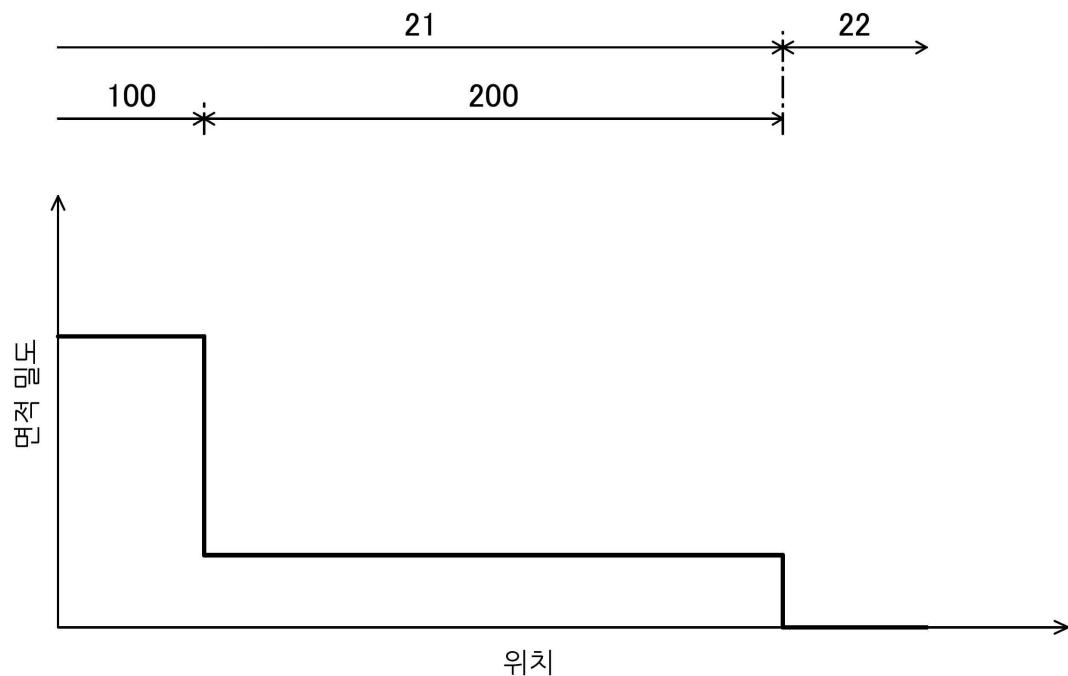
도면2



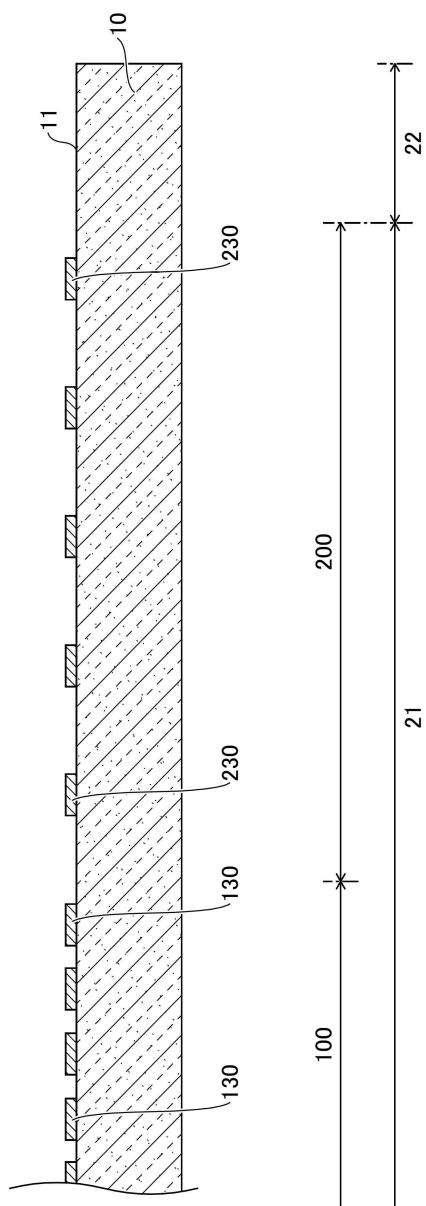
도면3



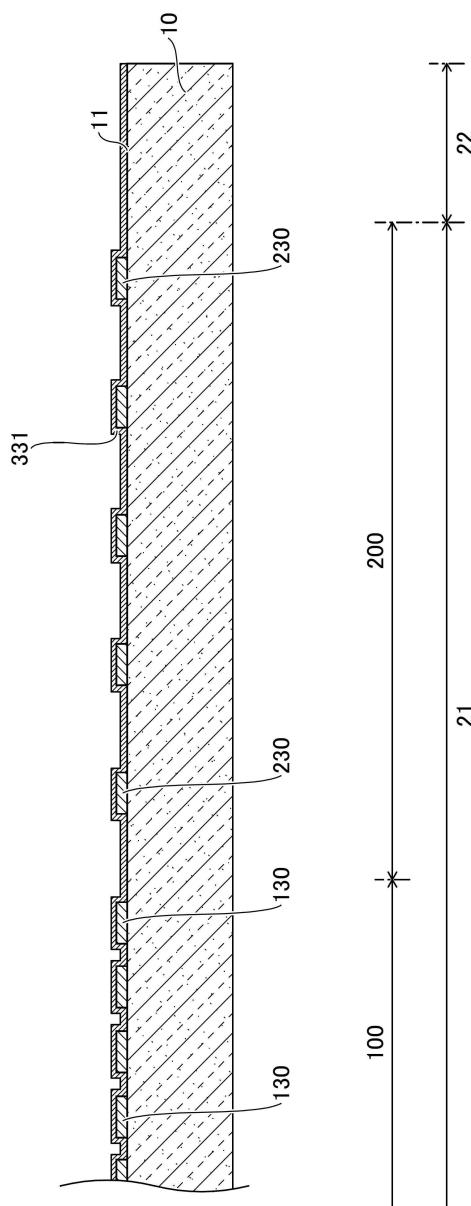
도면4



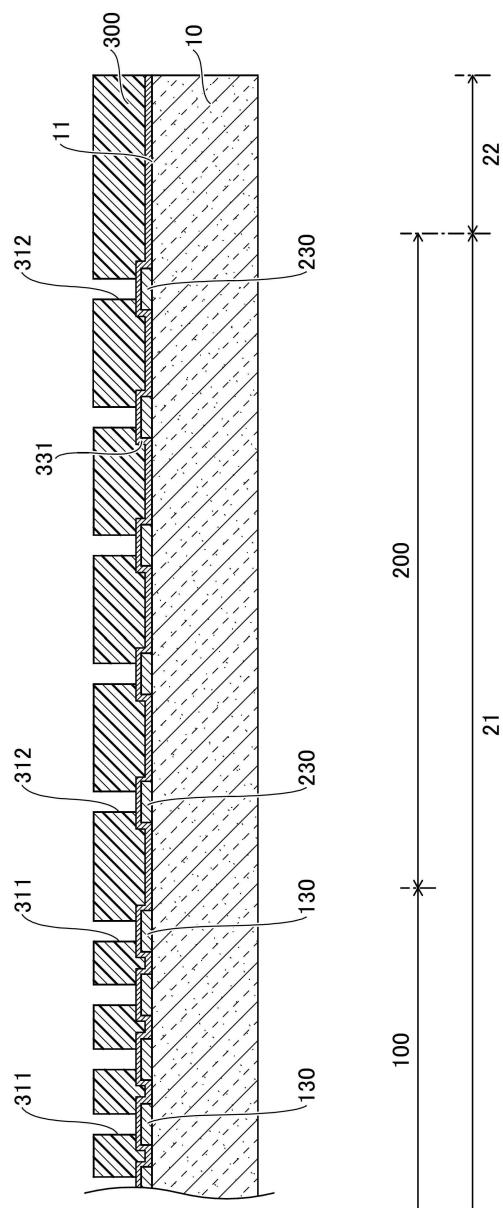
도면5a



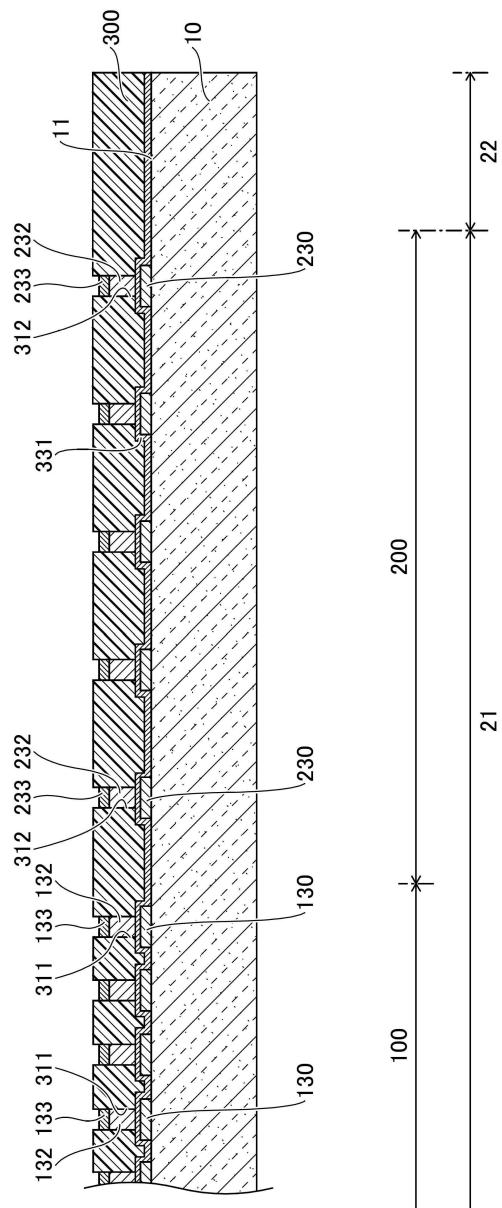
도면5b



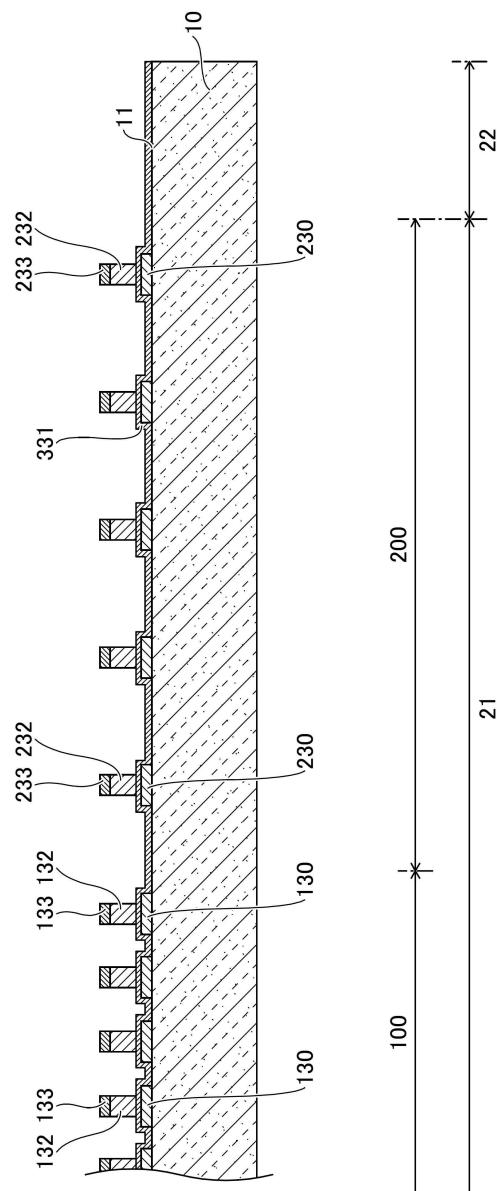
도면5c



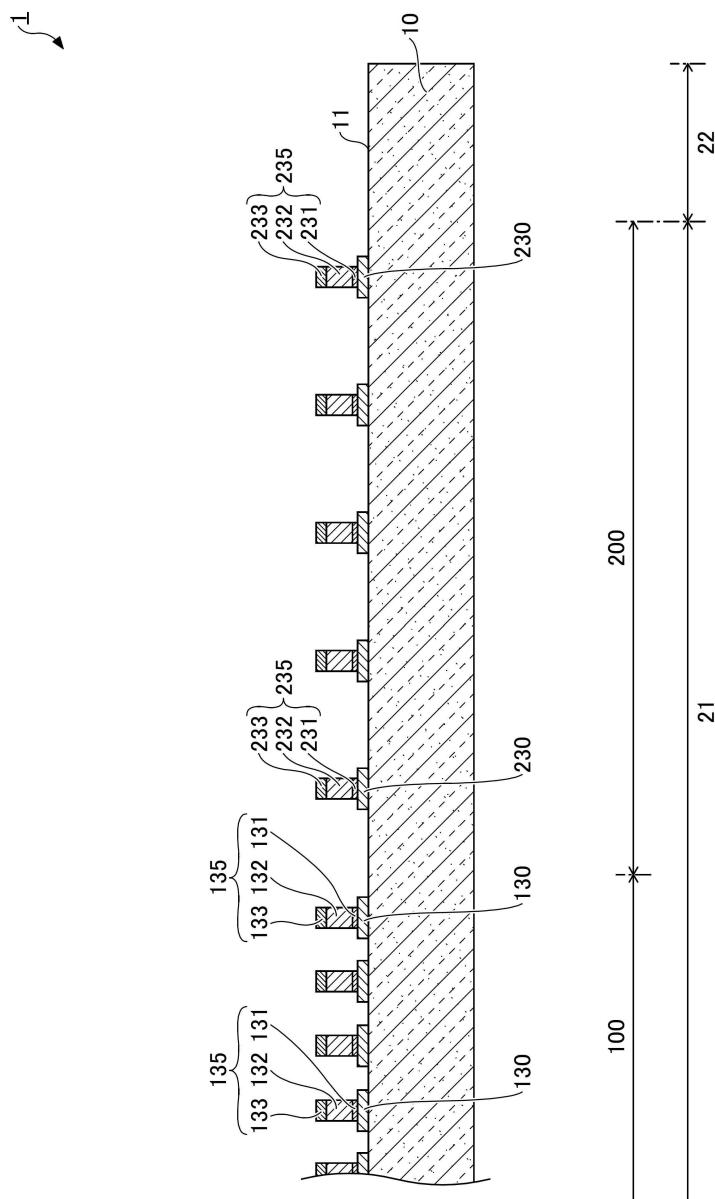
도면5d



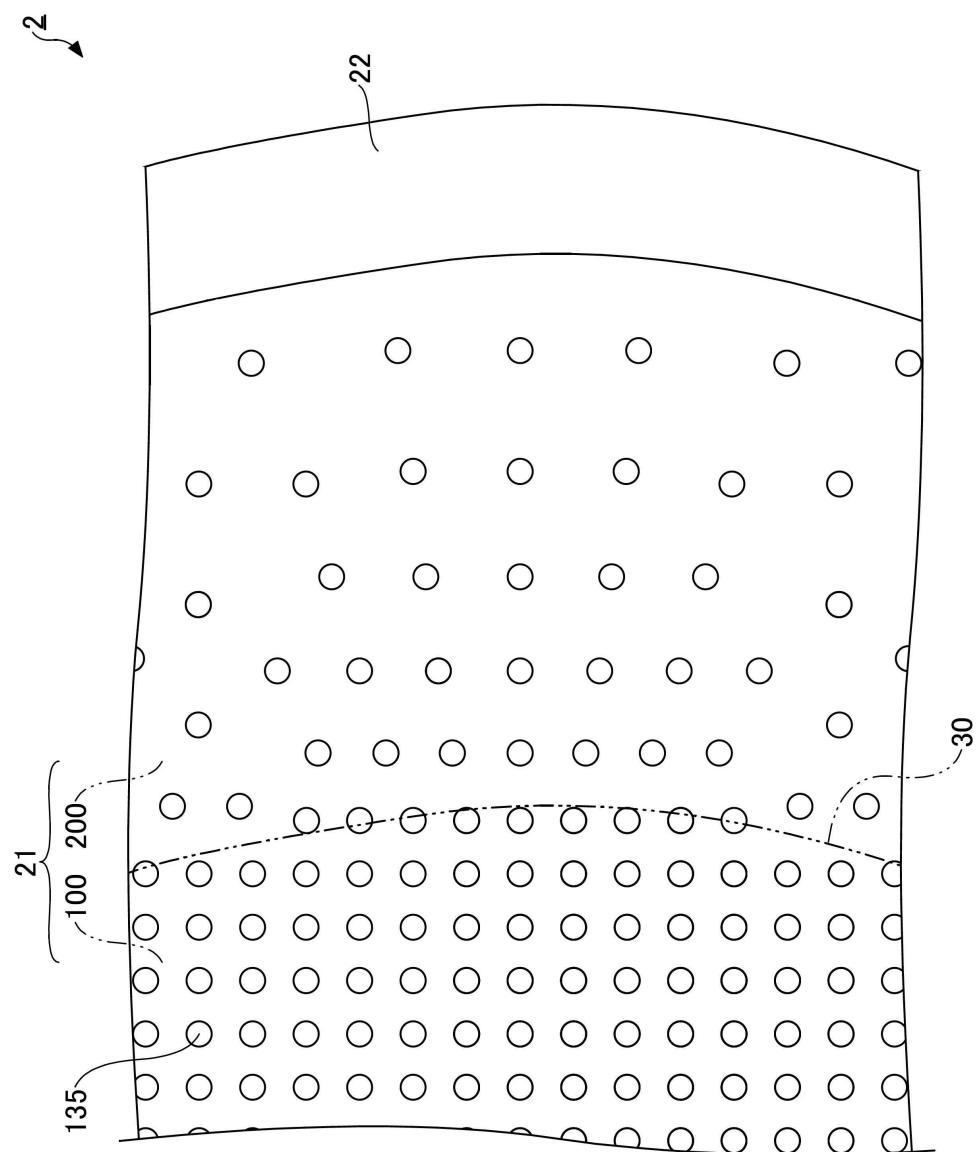
도면5e



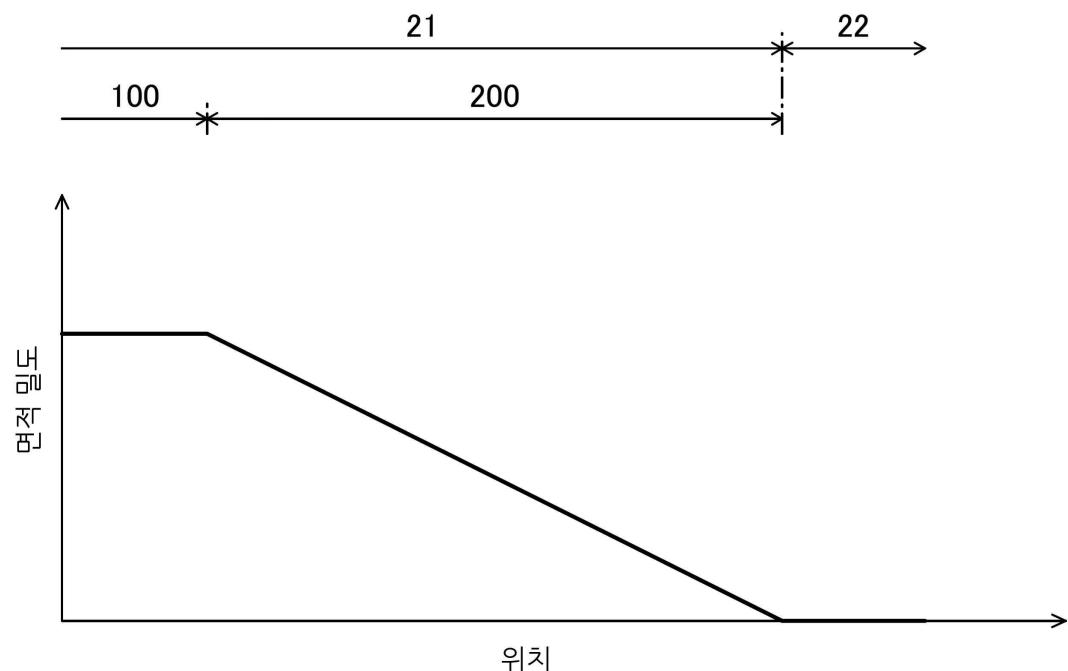
도면5f



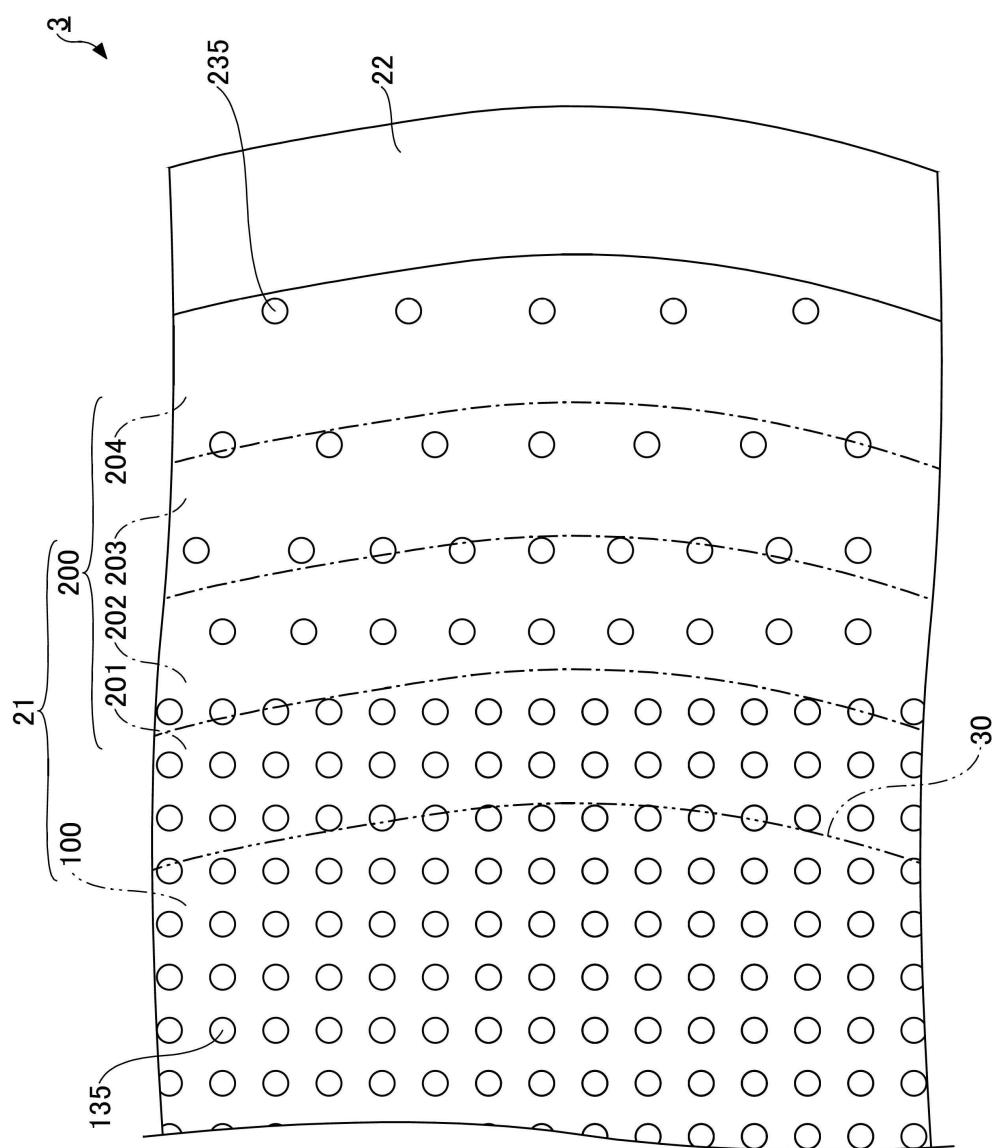
도면6



도면7



도면8



도면9

