

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03800164.0

G06F 13/12 (2006.01)
G06F 3/06 (2006.01)
G06F 3/08 (2006.01)
G06K 19/00 (2006.01)

[45] 授权公告日 2007 年 1 月 31 日

[11] 授权公告号 CN 1297915C

[22] 申请日 2003.2.19 [21] 申请号 03800164.0

[30] 优先权

[32] 2002.2.21 [33] JP [31] 45252/2002

[86] 国际申请 PCT/JP2003/001800 2003.2.19

[87] 国际公布 WO2003/071437 日 2003.8.28

[85] 进入国家阶段日期 2003.10.20

[73] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 坂东秀明

[56] 参考文献

JP2001-265471A 2001.9.28 G06F13/42

JP56-14329A 1981.2.12 G06F3/00

CN1202673A 1998.12.23 G06K19/067

JP2001-202254A 2001.7.27 G06F9/46

CN1232566A 1999.10.20 G06F13/40

JP54-16945A 1979.2.7 G06F3/00

审查员 张祖萍

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 马铁良 王忠忠

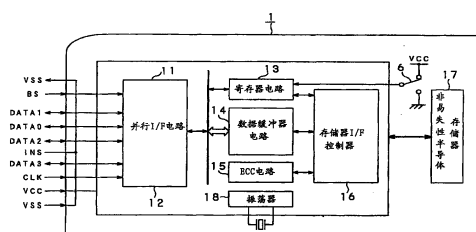
权利要求书 4 页 说明书 22 页 附图 15 页

[54] 发明名称

外部连接设备、主设备及数据通信系统

[57] 摘要

本发明涉及一种成为主设备的计算机等信息处理装置及一种作为与该装置连接的外部连接设备的存储卡，存储卡(1)与主设备(2)通过采用了 4 位并行信号、总线状态信号及时钟的 6 线式半双工协议来连接。存储卡(1)在总线状态信号的状态成为了受理中断的状态时，将中断信号(INT)发送到 4 位并行总线。4 位并行信号中，不同的中断要素被分配到各个位。即根据中断的内容发送 INT 信号的位不同。



1. 一种连接到主设备的外部连接设备，所述外部连接设备包括：
数据通信单元，用于通过数据总线进行与所述主设备之间往返传
送数据的双向通信；

5 总线状态信号接收单元，用于从所述主设备接收表示数据总线状
态的总线状态信号；

控制器，用于根据所述传送数据中包含的操作控制指令来控制外
部连接设备的操作，

寄存器，在所述寄存器中存储操作状态信息，

10 其中，所述控制器执行由主设备提供的操作控制指令，根据外部
连接设备的、对应于所述执行的操作状态来更新所述寄存器内的操作
状态信息，并且当在所述总线状态信号的状态是受理从外部连接设备
向主设备的中断的状态时，所述数据通信单元通过所述数据总线将存
储在所述寄存器的所述操作状态信息发送到所述主设备；

15 并且其中，所述操作状态信息包含：

表示所述操作控制指令的执行已结束的操作状态的 1 位-CED 位信
息；

表示所述操作控制指令执行的过程中出现了错误的操作状态的 1
位-ERR 位信息；

20 表示作为执行了所述操作控制指令的结果而受理从主设备对外部
连接设备的访问的操作状态的 1 位-BREQ/PRG 位信息；以及

表示所述操作控制指令不能执行的操作状态的 1 位-CMDNK 位信
息。

2. 权利要求 1 中记载的外部连接设备，其特征在于：

25 所述数据总线传送至少 4 位并行数据，以及

所述数据通信单元通过所述数据总线将所述 CED 位、所述 ERR 位、
所述 BREQ/PRG 位及所述 CMDNK 位作为 4 位并行数据发送到所述主设
备。

3. 权利要求 2 中记载的外部连接设备，其特征在于：

30 所述数据通信单元以与从所述主设备提供的、所述数据总线的传
送时钟异步地来传送所述 CED 位、所述 ERR 位、所述 BREQ/PRG 位及所
述 CMDNK 位。

4. 权利要求 2 中记载的外部连接设备，其特征在于：

在所述操作控制指令的执行正常结束时，所述控制器使 CED 位有效，使 ERR 位无效，使 BREQ/PRG 位无效，使 CMDNK 位无效。

5. 权利要求 2 中记载的外部连接设备，其特征在于：

5 在所述操作控制指令执行的过程中出现了错误时，所述控制器使 CED 位有效，使 ERR 位有效，使 BREQ/PRG 位无效，使 CMDNK 位无效。

6. 权利要求 2 中记载的外部连接设备，其特征在于：

在所述操作控制指令的执行正常进行并且从主设备对外部连接设备的访问要被受理时，所述控制器使 CED 位无效，使 ERR 位无效，使
10 BREQ/PRG 位有效，使 CMDNK 位无效。

7. 权利要求 2 中记载的外部连接设备，其特征在于：

在所述操作控制指令执行的过程中出现了错误并且从主设备对外部连接设备的访问要被受理时，所述控制器使 CED 位无效，使 ERR 位有效，使 BREQ/PRG 位有效，使 CMDNK 位无效。

15 8. 权利要求 2 中记载的外部连接设备，其特征在于：

在执行所述操作控制指令期间，所述控制器使 CED 位无效，使 ERR 位无效，使 BREQ/PRG 位无效，使 CMDNK 位无效。

9. 权利要求 2 中记载的外部连接设备，其特征在于：

在所述操作控制指令不能执行时，所述控制器使 CED 位有效，使
20 ERR 位无效，使 BREQ/PRG 位无效，使 CMDNK 位有效。

10. 一种连接外部连接设备的主设备，所述主设备包括：

数据通信单元，用于通过数据总线进行与所述外部连接设备之间往返传送数据的双向通信；

总线状态信号发送单元，用于将表示所述数据总线的状态的总线
25 状态信号发送到所述外部连接设备；以及

控制器，用于发出控制外部连接设备的操作的操作控制指令，所述操作控制指令被包含到所述传送数据中，

其中，当所述总线状态信号的状态是受理从外部连接设备向所述主设备的中断的状态时，所述数据通信单元通过所述数据总线从所述
30 外部连接设备接收表示基于从所述主设备提供到所述外部连接设备的操作控制指令而生成的中断的要素内容的信息；

其中，当操作控制是根据从主设备提供到控制器的操作控制指令

而进行时，所述数据通信单元通过数据总线从所述外部连接设备接收表示所述主设备的操作状态的操作状态信息来作为所述表示中断的要素内容的信息；以及

其中，所述操作状态信息包含：

5 表示所述操作控制指令的执行已结束的操作状态的 1 位-CED 位信息；

表示在执行所述操作控制指令的过程中出现了错误的操作状态的 1 位-ERR 位信息；

10 表示作为执行了所述操作控制指令的结果受理从主设备对所述外部连接设备的访问的操作状态的 1 位-BREQ/PRG 位信息；以及

表示所述操作控制指令不能执行的操作状态的 1 位-CMDNK 位信息。

11. 权利要求 10 中记载的主设备，其特征在于：

所述数据总线传送至少 4 位并行数据，以及

15 所述数据通信单元通过所述数据总线从所述外部连接设备将所述 CED 位、所述 ERR 位、所述 BREQ/PRG 位及所述 CMDNK 位作为 4 位并行数据接收。

12. 权利要求 11 中记载的主设备，其特征在于：

20 所述数据通信单元以与从所述主设备提供到所述外部连接设备的、所述数据总线的传送时钟异步地接收所述 CED 位、所述 ERR 位、所述 BREQ/PRG 位及所述 CMDNK 位。

13. 权利要求 11 中记载的主设备，其特征在于：

在 CED 位有效，ERR 位无效，BREQ/PRG 位无效，CMDNK 位无效时，所述控制器判断所述操作控制指令的执行正常结束了。

25 14. 权利要求 11 中记载的主设备，其特征在于：

在 CED 位有效，ERR 位有效，BREQ/PRG 位无效，CMDNK 位无效时，所述控制器判断所述操作控制指令执行的过程中出现了错误。

15. 权利要求 11 中记载的主设备，其特征在于：

30 在 CED 位无效，ERR 位无效，BREQ/PRG 位有效，CMDNK 位无效时，所述控制器判断所述操作控制指令的执行正常进行，并且从所述主设备对外部连接设备的访问被受理。

16. 权利要求 11 中记载的主设备，其特征在于：

在 CED 位无效, ERR 位有效, BREQ/PRG 位有效, CMDNK 位无效时, 所述控制器判断在所述操作控制指令执行的过程中出现了错误, 并且从所述主设备对外部连接设备的访问被受理。

17. 权利要求 11 中记载的主设备, 其特征在于:

- 5 在 CED 位无效, ERR 位无效, BREQ/PRG 位无效, CMDNK 位无效时, 所述控制器判断所述操作控制指令正在执行中。

18. 权利要求 11 中记载的主设备, 其特征在于:

在 CED 位有效, ERR 位无效, BREQ/PRG 位无效, CMDNK 位有效时, 所述控制器判断所述操作控制指令不能执行。

外部连接设备、主设备及数据通信系统

技术领域

- 5 本发明涉及与计算机等信息处理装置连接的 IC 存储器装置等的外部连接设备及该外部连接设备所连接的主设备，尤其涉及采用了这些外部连接设备及主设备的数据通信系统。

本申请以在日本国于 2002 年 2 月 21 日申请的日本专利申请号 2002-045252 为基础主张优先权，该申请通过被参照来由本申请引用。

10 背景技术

以往，作为信息便携终端、桌面型计算机、笔记本型计算机、便携电话机、音频装置、家电装置等主设备的外部存储媒体，采用可对这些设备装、卸的内置了半导体存储器的卡型移动式小型 IC 存储器装置。

- 15 这种存储器装置一般内置闪存存储器等非易失性半导体存储器（IC 存储器），在这种半导体存储器中寄存静止图像数据、运动图像数据、语音数据、音乐数据等各种数字数据。这种 IC 存储器装置作为比如信息便携终端、桌面型计算机、笔记本型计算机、便携电话机、音频装置、家电装置等主设备的外部存储媒体来起作用。

- 20 在这种 IC 存储器装置中，通过规定的接口，从主设备侧来控制操作。一般来说，从主设备侧对 IC 存储器装置转送处理指令，进行操作控制。

- 25 用于 IC 存储器装置的闪存存储器的访问速度较低。因而为缩短主设备与 IC 存储器装置之间的数据转送工序，规定从 IC 存储器装置侧来通知处理结束等的中断请求是有效的。

发明内容

本发明的目的在于提供一种可消除以往的 IC 存储器装置中存在的问题点的外部连接设备及该外部连接设备所连接的主设备，尤其是采用了这些外部连接设备及主设备的数据通信系统。

- 30 本发明的另一目的是提供一种可从外部连接设备对主设备有效地供给中断信号，缩短主设备与外部连接设备的数据转送处理时间的外部连接设备及主设备，尤其是一种采用了这些外部连接设备及主设备

的数据通信系统。

为达到上述目的而提出的本发明所涉及的外部连接设备是一种与主设备连接的外部连接设备，具备数据通信单元，其在与主设备之间通过数据总线来进行传送数据的双向通信；总线状态信号接收单元，其从上述主设备接收表示数据总线的状态的总线状态信号；控制器，其根据传送数据中包含的操作控制指令来进行本设备的操作控制，数据通信单元在总线状态信号的状态成为受理从本设备向主设备的中断的状态时，将表示基于从主设备向控制器提供的操作控制指令所发生的中断要素内容的信息通过数据总线向上述主设备发送。

10 本发明涉及的外部连接设备中，在总线状态信号的状态成为受理从本设备向主设备的中断的状态时，将表示基于从主设备向控制器提供的操作控制指令所发生的中断要素内容的信息作为中断信号，通过数据总线向主设备发送。

15 本发明所涉及的主设备是一种外部连接设备所连接的主设备，具备数据通信单元，其在与外部连接设备之间通过数据总线来进行传送数据的双向通信；总线状态信号发送单元，其将表示数据总线的状态的总线状态信号向外部连接设备发送；控制器，其将进行外部连接设备的操作控制的控制指令包含到传送数据来发行，数据通信单元在总线状态信号的状态成为受理从外部连接设备向本设备的中断的状态时，通过数据总线从外部连接设备接收表示基于从本设备向上述外部连接设备提供的操作控制指令所发生的中断要素内容的信息。

20 本发明涉及的主设备中，在总线状态信号的状态成为受理从外部连接设备向本设备的中断的状态时，将表示基于从本设备向外部连接设备提供的操作控制指令所发生的中断要素内容的信息作为中断信号，通过数据总线从外部连接设备予以接收。

本发明的其它目的及由本发明而获得的具体长处根据以下参照附图所阐明的实施方式说明可进一步明晓。

附图说明

30 图 1 是表示应用了本发明的存储卡及采用该存储卡的主设备的斜视图。

图 2 是从表面侧来观看存储卡的斜视图。

图 3 是从背面侧来观看存储卡的斜视图。

图 4 是表示存储卡的内部块结构的方框图。

图 5 是用于进行存储卡与主设备之间的数据传送的接口功能的结构图。

5 图 6 是用于对在存储卡与主设备之间转送的信号进行说明的附图。

图 7 是用于说明各状态下的通信内容的附图。

图 8 是写入分组转送时的并行数据、总线状态及时钟的定时图。

图 9 是读出分组转送时的并行数据、总线状态及时钟的定时图。

10 图 10 是写入分组及读出分组转送时的占线信号及就绪信号的定时图。

图 11 是表示构成状态寄存器组的内部寄存器的附图。

图 12 是表示 INT 寄存器内的位内容的附图。

图 13 是表示对应于 INT 寄存器内的各位值的存储卡的操作状态的附图。

15 图 14 是表示构成参数寄存器组的内部寄存器的附图。

图 15 是表示 SET_CMD_TPC 时的转送数据的附图。

图 16 是表示 EX_SET_CMD_TPC 时的转送数据的附图。

图 17 是表示控制指令一例的附图。

具体实施方式

20 以下，举出将本发明应用到了可移动的小型 IC 存储器装置及将该小型 IC 存储器装置作为外部存储媒体使用的数据处理装置的示例来进行说明。

此外在以下说明中，将小型 IC 存储器装置称为存储卡，将连接了该存储卡的数据处理装置称为主设备。

25 首先，参照图 1，对应用了本发明的主设备及与该主设备连接的存储卡的概略作以说明。

30 本发明涉及的存储卡 1 在内部具有非易失性半导体存储器（IC 存储器），可寄存静止图像数据、运动图像数据、语音数据、音乐数据等各种数字数据。这种存储卡 1 作为比如信息便携终端、桌面型计算机、笔记本型计算机、便携电话机、音频装置、家电装置等主设备 2 的外部存储媒体来起作用。

存储卡 1 如图 1 所示，在插入了设置于主设备 2 的插脱口 3 的状

态下使用。用户可自由地进行针对存储卡 1 的插脱口 3 的插入及拔出。因此,也可以将插入了某主设备的存储卡 1 拔出,插入其它主设备。即,本存储卡 1 可用于不同的主设备之间的数据交换。

5 存储卡 1 及主设备 2 通过采用了转送 4 位并行数据、时钟信号及总线状态信号这 6 个信号的 6 线式半双工并行协议的并行接口来进行数据的转送。

本发明涉及的存储卡 1 如图 2 所示,形成一种大致为长方形的薄片状,将长度方向的长度 L_1 设为 50mm,将宽度 W_1 设为 21.45mm,将厚度 D_1 设为 2.8mm 来形成。将存储卡 1 的一个面作为表面 1a,将另一个面作为背面 1b。在存储卡 1 长度方向的一端侧背面 1b 侧,如图 3 所示,设有 10 个平面电极,即连接端子组 4。构成连接端子组 4 的各电极在存储卡 1 的宽度方向上并联设置。在电极与电极各之间,设有从背面 1b 垂直竖立的隔片 5。各隔片 5 用于防止连接于各电极的连接端子与其它电极接触。在存储卡 1 背面 1b 的一端部侧的中央部,如图 3 所示,15 设有用于防止误删除的滑动开关 6。

装有上述存储卡 1 的主设备 2 中,设有用于插脱存储卡 1 的插脱口 3。插脱口 3 如图 1 所示,在主设备 2 的前面侧作为对应于存储卡 1 的宽度 W_1 及厚度 D_1 的开口而形成。通过插脱口 3 插入主设备 2 的存储卡 1 通过主设备 2 侧的连接端子被连接到构成连接端子组 4 的各电极,20 可实现对主设备 2 的保持,以防止脱落。此外主设备 2 侧的连接端子与构成设置于被装入的存储卡 1 的连接端子组 4 的电极对应,具有 10 个接点。

本发明涉及的存储卡 1 将设有连接端子组 4 的一端侧作为插入端,以图 2 中箭头 X1 方向作为插入方向,通过插脱口 3 来装入主设备 2。被装入主设备 2 的存储卡 1 在构成连接端子组 4 的各电极与主设备 2 侧的连接端子的各接点被连接后,便成为可收发信号的状态。

接下来,参照图 4,对本发明涉及的存储卡 1 的内部结构作以说明。

如图 4 所示,本发明涉及的存储卡 1 具备并行接口电路(I/F)12、30 寄存器电路 13、数据缓冲器电路 14、ECC 电路 15、存储器 I/F 控制器 16、非易失性半导体存储器 17、振荡控制电路 18。

并行 I/F 电路 12 是采用 6 线式半双工并行方式数据转送协议,在

与主设备 2 之间进行数据转送的电路。

寄存器电路 13 是存储比如从主设备转送的针对存储器 I/F 控制器 16 的操作控制指令（以下将该操作控制指令称为控制指令）、存储卡 1 内的内部状态、执行控制指令时所必需的多个参数、非易失性半导体存储器 17 内的文件管理信息等的电路。该寄存器电路 13 被从主设备 2 及存储器 I/F 控制器 16 这二者来访问。此外，主设备 2 利用在本存储卡的数据转送协议上规定的转送协议指令（以下称 TPC（Transfer Protocol Command）），对寄存器电路 13 进行访问。即，主设备 2 在对寄存器电路 13 中寄存的控制指令及各种参数进行写入及读出的场合下，采用 TPC 来进行。

数据缓冲器电路 14 是对写入非易失性半导体存储器 17 的数据及从非易失性半导体存储器 17 读出的数据进行暂时保存的存储器电路。即，在从主设备 2 向非易失性半导体存储器 17 写入数据的场合下，写入对象数据根据数据转送协议被从主设备 2 向数据缓冲器电路 14 转送，然后，存储器 I/F 控制器 16 将数据缓冲器电路 14 中寄存的写入对象数据写入非易失性半导体存储器 17。在从非易失性半导体存储器 17 向主设备 2 读出数据的场合下，存储器 I/F 控制器 16 从非易失性半导体存储器 17 将读出对象数据读出，暂时寄存在数据缓冲器电路 14，然后，该读出对象数据根据数据转送协议被从数据缓冲器电路 14 转送到主设备 2。

此外，数据缓冲器电路 14 具有规定的写入数据单位（比如，与闪存存储器的页面尺寸相同的 512 字节）的数据容量。此外主设备 2 利用 TPC，对数据缓冲器电路 14 进行访问。即，主设备 2 在对数据缓冲器电路 14 中寄存的数据进行写入及读出的场合下，采用 TPC 来进行。

ECC 电路 15 对写入非易失性半导体存储器 17 的数据附加错误修正码（ECC）。此外，ECC 电路 15 基于附加于从非易失性半导体存储器 17 读出的数据的错误修正码，来进行针对该读出的数据的错误修正处理。比如，错误修正码中，对 512 字节数据单位附加 3 个字节。

存储器 I/F 控制器 16 根据寄存器电路 13 内寄存的控制指令，进行数据缓冲器电路 14 与非易失性半导体存储器 17 之间的数据交换的控制、非易失性半导体存储器 17 的数据安全管理的控制、存储卡 1 的其它功能的控制以及寄存器电路 13 内寄存的数据的更新处理等。

非易失性半导体存储器 17 是一种比如 NAND 型闪存存储器等非易失性半导体存储器。非易失性半导体存储器 17 的容量比如为 16M 字节、32M 字节、64M 字节、128M 字节。非易失性半导体存储器 17 的删除块单位是比如 16K 字节。读写单位称为页，与数据缓冲器电路 14 相同，均为 512 字节。振荡控制电路 18 发生本存储卡 1 内的操作时钟。

存储卡 1 的连接端子中设有 VSS 端子、VCC 端子、DATA0 端子、DATA1 端子、DATA2 端子、DATA3 端子、BS 端子、CLK 端子、INS 端子。此外，由于设置 2 个 VSS 端子，因而在存储卡 1 中共计设置 10 个连接端子。主设备 2 侧也设置同样的连接端子。

VSS 端子与 VSS（基准 0 伏电压）连接。该 VSS 端子连接主设备侧的地线及存储卡侧的地线，使主设备与存储卡的 0 伏基准电位一致。VCC 端子的电源电压（VCC）从主设备供给。

通过 DATA0 端子，在存储卡 1 与主设备 2 之间转送的 4 位并行数据中最低位的数据信号（DATA0）被输入输出。通过 DATA1 端子，在存储卡 1 与主设备 2 之间转送的 4 位并行数据中从低位开始的第 2 位数据信号（DATA1）被输入输出。通过 DATA2 端子，在存储卡 1 与主设备 2 之间转送的 4 位并行数据中从低位开始的第 3 位数据信号（DATA2）被输入输出。通过 DATA3 端子，在存储卡 1 与主设备 2 之间转送的 4 位并行数据中从低位开始的第 4 位数据信号（DATA3）被输入输出。

通过 BS 端子，总线状态信号被从主设备向存储卡输入。通过 CLK 端子，时钟信号被从主机 2 输入。INS 端子在用于主设备 2 判断存储卡是否插入插孔的插入/拔出检测中被用到。存储卡 1 的 INS 端子接地，主设备 2 的 INS 端子通过电阻被上拉。

接下来，参照图 5，对用于进行存储卡 1 与主设备 2 之间的数据传送的接口的功能结构作以说明。

如图 5 所示，主设备 2 的接口功能包括文件管理器 31、TPC 接口 32、并行接口 33。此外，存储卡 1 的接口功能包括并行接口 34、寄存器 35、数据缓冲器 36、存储器控制器 37、存储器 38。

文件管理器 31 在主设备的操作系统上，进行存储卡 1 内寄存的文件及主设备其它媒体中寄存的文件的管理。文件管理器 31 是由主设备 2 内的控制器等来实现的功能。

TPC 接口 32 成为文件管理器 31 的下位层。TPC 接口 32 由规定了

本接口特有的指令（TPC: Transfer Protocol Command）的数据转送协议，来进行对存储卡 1 内的寄存器 35 及数据缓冲器 36 的访问。该 TPC 接口 32 是由主设备 2 内的控制器等来实现的功能。

并行接口 33、34 成为 TPC 接口 32 的下位层，是本接口系统的物理层。并行接口 33、34 根据转送 4 位并行数据、时钟、总线状态信号这 6 个信号的数据转送协议，即 6 线式半双工并行协议来进行数据转送。并行接口 33、34 是由并行接口电路 12 来实现的功能。

寄存器 35 寄存从主机转送的控制指令、存储卡的内部状态、存储器 38 中访问的数据的地址、执行控制指令时所必需的多个参数、存储器内的文件管理信息等。寄存器 35 是在存储卡 1 的寄存器电路 13 上实现的功能。

数据缓冲器 36 是一个对向存储器 38 写入的数据及从存储器 38 读出的数据进行暂时保存的缓冲区。数据缓冲器 36 是在存储卡 1 的数据缓冲器电路 14 上实现的功能。

存储器控制器 37 根据寄存器 35 中寄存的指令及各种信息，来进行数据缓冲器 36 与存储器 38 之间的数据读出、写入、删除以及寄存器 35 内各种信息的更新等控制。存储器控制器 37 是由存储卡 1 的存储器 I/F 控制器 16 所实现的功能。

存储器 38 是数据的存储器区，通过存储器控制器 37，被假设成一个单独的模型。存储器 38 是由存储卡 1 上的非易失性半导体存储器 17 实现的功能。

在上述构成的主设备及存储卡中，可将由文件管理器 31 管理的其它媒体中寄存的数据通过上述并行接口 33、34 来转送到存储器 38。此外可将存储器 38 中寄存的数据通过上述并行接口 33、34 来转送到由文件管理器管理的其它媒体。

接下来，对本发明涉及的存储卡 1 与主设备 2 之间的数据转送协议作以说明。

作为存储卡 1 及主设备 2 的数据转送协议的特征，有以下几种：定义 4 个总线状态，识别传送数据的转送方向及属性；利用 TPC，从主设备 2 对存储卡 1 的寄存器电路 13 及数据缓冲器电路 14 进行访问；主设备 2 利用控制指令来进行存储卡 1 的操作控制；利用 CRC (Cyclic Redundancy Check codes) 来进行存储卡 1 与主设备 2 之间转送数据

的错误检测；规定从存储卡 1 向主设备 2 的中断信号（INT 信号）等。

存储卡 1 与主设备 2 如图 6 所示，由总线状态信号（BS）、4 个并行数据信号、时钟信号（SCLK）这 6 个信号来连接。

并行数据信号是在存储卡 1 与主设备 2 之间转送的数据信号。并行数据信号传送 4 位宽的并行数据（DATA[3:0]），其并行数据（DATA[3:0]）的转送方向及属性根据由总线状态信号规定的状态来变化。

总线状态信号是一种规定并行数据信号的状态及各状态中并行数据信号的转送开始定时的信号。该总线状态信号被从主设备 2 向存储卡 1 转送。其状态被区分为不进行分组通信的 1 个状态（BS0）和处于分组通信中的 3 个状态（BS1~BS3）的合计 4 个状态。总线状态信号按 High 与 Low 的切换定时，从 BS0 至 BS3 依次来切换状态。

时钟信号是并行数据信号及总线状态信号的时钟。时钟信号被从主设备向存储卡转送。时钟信号在分组通信中的 3 个状态（BS1~BS3）时必须输出。

各状态下的通信内容如图 7 所示。

BS0 是一种可在并行数据信号线中转送从存储卡 1 向主设备 2 的中断信号（INT 信号）的状态。INT 信号对时钟非同步来转送。在 BS0 中不进行分组通信。表示 BS0 的总线状态信号的信号电平以 Low 来表示。此外该 INT 信号中反映出存储卡 1 的操作状态，其内容后述。

BS1 是一种在并行数据信号线中转送 TPC 的状态。表示 BS1 的总线状态的信号电平以 High 表示。TPC 从主设备 2 向存储卡 1 转送。TPC 是一种用于主设备 2 访问存储卡 1 的寄存器电路 13 及数据缓冲器电路 14 的指令。TPC 中具有进行针对数据缓冲器电路 14 的数据的写入处理或读出处理的指令、进行针对寄存器电路 13 的数据的写入处理或读出处理的指令、进行将提供到存储器 I/F 控制器 16 的控制指令写入寄存器电路 13 的处理的指令等。对 TPC 及控制指令的具体内容后述。

BS2 及 BS3 中，从主设备 2 向存储卡 1 转送数据的写入分组及从存储卡 1 向主设备 2 转送数据的读出分组中，并行数据信号上转送的并行数据（DATA[3:0]）的转送方向及属性各异。该分组的种类是写入分组还是读出分组由通过 BS1 转送的 TPC 的内容来决定。

图 8 表示写入分组的定时图，以下对写入分组时的 BS2、BS3 的内容作以说明。

在写入分组时的 BS2, 并行数据信号上的转送数据成为对寄存器电路 13 及数据缓冲器电路 14 的写入对象数据及该写入对象数据的 CRC。在 BS2, 并行数据信号上的转送数据被从主设备 2 向存储卡 1 转送。

在写入分组时的 BS3, 并行数据信号上的转送数据成为从存储卡 1 发生的占线 (BSY) 信号及就绪 (RDY) 信号。在写入分组时的 BS3, 并行数据信号上的占线信号及就绪信号被从存储卡 1 向主设备 2 转送。在写入分组时的 BS3, 进行针对在 BS1 及 BS2 从主设备 2 向存储卡 1 转送的 TPC 及转送数据的处理。存储卡 1 在正进行针对该 TPC 及转送数据的处理中 (即, 处理尚未结束的场所), 对主设备 2 发送占线信号。这样, 存储卡 1 在该处理结束后, 对主设备 2 发送就绪信号。占线信号及就绪信号只被转送到 4 个并行数据信号中最低位 (DATA0) 的信号线。占线信号是使最低位 (DATA0) 的信号线达到 high 电平状态的信号。就绪信号是使最低位 (DATA0) 的信号线处于按每个时钟来交互重复 high 电平与 low 电平的状态的信号。这样, 通过传送占线信号及就绪信号, 可确立不转送数据的写入分组时 BS3 定时下的存储卡 1 与主设备 2 的信号交换。

图 9 表示读出分组的定时图, 以下对读出分组时的 BS2、BS3 的内容作以说明。

在读出分组时的 BS2, 并行数据信号上的转送数据成为从存储卡 1 发生的占线信号及就绪信号。在读出分组时的 BS2, 根据在 BS1 从主设备 2 向存储卡 1 转送的 TPC, 存储卡 1 进行数据的转送准备。存储卡 1 在针对 TPC 的数据的转送准备中 (即, 转送准备尚未结束的场所), 对主设备 2 发送占线信号。这样, 存储卡 1 在该转送准备结束后, 对主设备 2 发送就绪信号。这样, 通过传送占线信号及就绪信号, 可确立不转送数据的读出分组的 BS2 中存储卡 1 与主设备 2 的信号交换。

在读出分组时的 BS3, 并行数据信号上的转送数据成为来自寄存器电路 13 及数据缓冲器电路 14 的读出对象数据及该读出对象数据的 CRC。在 BS3, 并行数据信号上的转送数据被从存储卡 1 向主设备 2 转送。

图 10 表示在 BS2、BS3 发生的占线信号及就绪信号的详细定时图。如该图 10 所示, 占线信号及就绪信号只被转送到 4 个并行数据信号中最低位 (DATA0) 的信号线。其它位 (DATA1 ~ 3) 成为 low 电平。主设

备 2 只接收被传递到了 DATA0 的信号，忽略其它位的信号。最低位 (DATA0) 对应于采用了传统的 3 线式半双工协议的存储卡的串行数据的传送线。因此，本存储卡 1 具有与传统存储卡的互换性。

5 接下来，对总线状态为 BS0 时从存储卡 1 向主设备 2 转送的 INT 信号作以说明。

存储卡 1 中，闪存存储器被作为非易失性半导体存储器 17 来使用。针对闪存存储器的访问时间与存储卡 1 同主设备 2 之间的数据转送时间相比很长。因而为缩短主设备 2 侧的数据处理工序，在数据转送协议上，规定从存储卡 1 侧来通知处理结束等的中断请求是有效的。
10 即，通过规定来自存储卡 1 的中断请求，可在针对闪存存储器的访问中，使主设备 2 侧的 CPU 处理向其它处理开放。

在 BS0，当存储卡 1 中发生了某种中断请求后，存储卡 1 向主设备 2 转送中断信号 (INT 信号)。INT 信号与时钟信号非同步地从存储卡 1 输出。在 BS0 时，当并行数据 (DATA [3: 0]) 的信号线的任意一个位达到 high 电平时，便意味着从存储卡 1 侧发生了中断请求。此外，
15 并行数据 (DATA [3: 0]) 的任意一个位均成为 low 电平时，便意味着存储卡 1 正处于处理的执行中，没有中断请求。

这里，从存储卡 1 发生的中断要素中存在有若干个。比如，用于将针对被提供到了存储卡 1 的控制指令的操作控制已结束的事实传达到主设备 2 的中断、用于将在相对被提供到了存储卡 1 的控制指令来
20 进行了操作控制时发生了错误的事实传达到主设备 2 的中断、对主设备 2 请求访问的中断、用于将从存储卡 1 提供的控制指令不可执行的事实传达到主设备 2 的中断等。

在存储卡 1 中，将上述各中断的各要素分配到并行数据 (DATA [3: 0]) 的各个位，根据所发生的中断要素来使达到 high 电平的线变化。
25 即，根据由存储卡 1 发生的中断内容，在 BS0 时达到 high 电平的数位位置各异的 INT 信号从存储卡 1 来发生。

主设备 2 在 BS0 时，通过监视并行数据 (DATA [3: 0]) 的各个位的电平，检测出从存储卡 1 有了中断请求，同时检测出哪个数位位置的电平达到了 high，同时还检测出存储卡 1 的中断要素。
30

与此相对，在传统的存储卡系统中，只从存储卡侧向主机侧通知是否有中断请求。因此，即使从存储卡有了中断请求，主机侧也不能

与该请求同时确认中断要素，必须确立分组通信，向存储卡侧读出中断要素。与此相对，在本发明的实施方式下的存储卡 1 及主设备 2 中，数据线为 4 位，利用这一点可对各个位来分配中断的各要素，因而主设备 2 可与中断请求同时来确认该要素。

5 因此在本发明中，在发生了来自存储卡 1 的中断请求的场合下，主设备 2 可无需进行用于确认该请求内容的分组通信。即，可缩短存储卡 1 与主设备 2 之间的数据转送工序的执行时间。

此外在本例中，存储卡 1 的 INT 信号成为反映了基于控制指令的操作状态的 INT 寄存器中寄存的各个位值。INT 寄存器被设置于寄存器
10 电路 13 内的状态寄存器组内。存储卡 1 的并行接口电路 12 在总线状态信号表示 BS0 时，参照该 INT 寄存器的各个位值，如果该位值成为有效（1），则将与该位对应的数据线驱至 high 电平，如果该位值成为无效（0），则将与该位值对应的数据线驱至 low 电平。对于该 INT 寄存器的具体内容以及 INT 寄存器的各值与并行数据（DATA[3:0]）
15 的关系，通过以下寄存器电路项目进行说明。

接下来，对寄存器电路 13 作以说明。

寄存器电路 13 由多个内部寄存器构成。寄存器电路 13 内的内部寄存器根据其用途，按以下 1~5 来分类：

1. 寄存存储卡 1 的状态等的状态寄存器组；
- 20 2. 寄存用于指令的执行等的参数的参数寄存器组；
3. 按闪存存储器的每个页面设置，可寄存各页面的管理数据等的附加数据寄存器组；
4. 寄存用于特定针对上述 1、2、3 各寄存器的访问位置的地址的寄存器地址寄存器；
- 25 5. 寄存从主设备 2 提供的控制指令的指令寄存器。

如图 11 所示，状态寄存器组具有 5 种内部寄存器，它们分别是：INT 寄存器、状态寄存器、类型寄存器、类别寄存器和分类寄存器。状态寄存器组内的各内部寄存器中，其寄存的值由存储器 I/F 控制器 16 来更新。状态寄存器组内的各内部寄存器可从主设备 2 通过
30 READ_REG_TPC（READ_REG_TPC 是 TPC 中的一个指令，其详情后述）来访问，主设备 2 的输出为只读式。此外状态寄存器组内的各内部寄存器可寄存 8 位的位值，分别设定地址。

· INT 寄存器

INT 寄存器是设定了存储卡 1 的操作状态的寄存器。该 INT 寄存器内的值根据针对从主设备 2 提供到存储卡 1 的控制指令的操作结果，由存储器 I/F 控制器 16 来更新。INT 寄存器如图 12 所示，是一种 8 位寄存器。INT 寄存器中，操作状态被设定到 8 位中的最低位 (D0) 及高 3 位 (D5 ~ D7)。此外其余的位留作备用。

INT 寄存器的位 D7 是 CED (Command End) 位。CED 位是表示由 EX-SET-CMD-TPC 或 SET-CMD-TPC (是 TPC 中的一个指令。详情后述) 设置的控制指令的执行已结束的位。此外这里的所谓执行结束表示执行结束，与其执行是正常结束还是错误结束无关。CED 位在基于 EX-SET-CMD-TPC 或 SET-CMD-TPC 的控制指令设置时及初始状态时，其位值由存储器 I/F 控制器 16 而成为无效 (0)，在基于 EX-SET-CMD-TPC 或 SET-CMD-TPC 的控制指令的执行结束时，其位值由存储器 I/F 控制器 16 而成为有效 (1)。

INT 寄存器的位 D6 是 ERR (Error) 位。ERR 位是表示作为执行由 EX-SET-CMD-TPC 或 SET-CMD-TPC 设定的寄存器访问指令 (控制指令) 及安全指令 (控制指令) 的结果，其执行中发生了错误的位。ERR 位在发生了错误时，其位值由存储器 I/F 控制器 16 而成为有效 (1)，由新的 EX-SET-CMD-TPC 或 SET-CMD-TPC，其控制指令被设置或解除了错误状态后，其位值由存储器 I/F 控制器 16 而成为无效 (0)。

INT 寄存器的位 D5 是 BREQ/PRG (Buffer Request/Progress) 位。BREQ/PRG 位是表示执行了作为执行由 EX-SET-CMD-TPC 或 SET-CMD-TPC 设定的寄存器访问指令 (控制指令) 及安全指令 (控制指令) 的结果，由该执行而发生的针对主设备 2 的对数据缓冲器电路 14 的访问请求及非易失性半导体存储器 17 的内部删除处理和格式化处理的场合下其进行状况的位。比如，是一种表示具有存在针对非易失性半导体存储器 17 的写入指令的场合下针对数据缓冲器电路 14 的数据写入请求、存在来自非易失性半导体存储器 17 的数据读出指令的场合下来自数据缓冲器电路 14 的数据读出请求、安全数据的接收请求等的位。BREQ/PRG 位在发生了各请求时，其位值由存储器 I/F 控制器 16 而成为有效 (1)，在由主设备 2 而发生了基于针对该请求的 TPC 的访问的场合下，其位值由存储器 I/F 控制器 16 而成为无效 (0)。

此外 BREQ/PRG 位根据格式化及删除的进行状况，其位值由存储器 I/F 控制器 16 来更新。

INT 寄存器的位 D0 是 CMDNK (Command Nack) 位。CMDNK 位是表示不能执行由 EX_SET_CMD_TPC 或 SET_CMD_TPC 设定的指令的位。在不能执行由 EX_SET_CMD_TPC 或 SET_CMD_TPC 设定的控制指令时，其位值由存储器 I/F 控制器 16 而成为有效 (1)，在可以执行由 EX_SET_CMD_TPC 或 SET_CMD_TPC 设定的控制指令时，其位值成为无效 (0)。

在 INT 寄存器中设定上述的位。这样，由 INT 寄存器内的各位值的组合，可将图 13 所示的操作状态作为针对此前的控制指令的存储卡 1 的操作状态来表示。

即，在 CED=1, ERR=0, BREQ/PRG=0, CMDNK=0 的场合下，表示所提供的控制指令的执行已正常结束的操作状态。在 CED=1, ERR=1, BREQ/PRG=0, CMDNK=0 的场合下，表示所提供的控制指令的执行已错误结束的操作状态。在 CED=0, ERR=0, BREQ/PRG=1, CMDNK=0 的场合下，表示所提供的控制指令的执行在正常进行，而且正对主设备 2 提出访问请求的操作状态。在 CED=0, ERR=1, BREQ/PRG=1, CMDNK=0 的场合下，表示所提供的控制指令的执行中发生了错误，而且正对主设备 2 提出访问请求的操作状态。在 CED=0, ERR=0, BREQ/PRG=0, CMDNK=0 的场合下，表示正处于所提供的控制指令的执行中的操作状态。在 CED=0, ERR=1, BREQ/PRG=0, CMDNK=0 的场合下，表示正处于非易失性半导体存储器 17 的删除执行中或格式化中的操作状态。在 CED=1, ERR=0, BREQ/PRG=0, CMDNK=1 的场合下，表示不可执行所提供的控制指令的操作状态。

此外，INT 寄存器内的各个位在由 EX_SET_CMD_TPC 或 SET_CMD_TPC 设定了新的控制指令时，其值由存储器 I/F 控制器 16 而成为初始状态 (所有的位值均为 0 的状态)。

· INT 寄存器与 INT 信号的关系

这里，如上所述，该 INT 寄存器内的各个位 (CED、ERR、BREQ/PRG、CMDNK) 的值被反映到 INT 信号。存储卡 1 的并行接口电路 12 在状态为 BS0 时，根据该 INT 寄存器的各位的值 (CED、ERR、BREQ/PRG、CMDNK)，将并行数据 (DATA [3: 0]) 的各数据线驱动到 high 电平

或 low 电平。INT 寄存器的各个位与并行数据的各线的关系如下。

DATA0: CED

DATA1: ERR

DATA2: BREQ/PRG

5 DATA3: CMDNK

并行接口电路 12 在状态为 BS0 的期间内持续参照 INT 寄存器内的值，如果 INT 寄存器内的位值是有效（1），则将对应的数据线驱动到 high 电平（1），如果无效，则将对应的数据线驱动到 low（0）。主设备 2 在状态为 BS0 的期间内，对并行数据（DATA[3:0]）的各数据线的电平进行监视，判断是否有来自存储卡 1 的中断请求。主设备 2 在从存储卡 1 有了中断请求的场合下，即，在判断出某一数据线从 low 电平向 high 电平变化的场合下，检测出哪个数据线的电平正在成为 high，检测出上述图 13 所示的操作状态。这样，主设备 2 根据检测出的操作状态来进行对应的处理。

15 参数寄存器组内如图 14 所示，设有系统参数寄存器、数据计数/安全参数寄存器、数据地址/修正号寄存器、TPC 参数寄存器、指令参数寄存器的各内部寄存器。参数寄存器组内的各内部寄存器中，其寄存的值由主设备 2 而更新，在存储器 I/F 控制器 16 执行控制指令时，该值被参照。参数寄存器组内的各内部寄存器可从主设备 2 通过 20 WRITE_REG_TPC、EX_SET_CMD_TPC（TPC 之一。详情后述）来访问。此外参数寄存器组内的各内部寄存器按每 8 字节来设定地址。

· 数据计数/安全参数寄存器

数据计数/安全参数寄存器中，寄存执行从主设备 2 提供到存储卡 1 的寄存器访问指令（控制指令）时所必需的数据数。比如，从非易失性半导体存储器 17 读出数据时读出数据的数据长及对非易失性半导体存储器 17 写入数据时写入数据的数据长等被设定。此外数据计数/安全参数寄存器中，寄存执行安全指令（控制指令）时所必需的各种设定值。该数据计数/安全参数寄存器的大小为 16 位，按 8 位单位设定 2 个地址。

30 · 数据地址/修正号寄存器

数据地址/修正号寄存器中，寄存执行从主设备 2 提供到存储卡 1 的寄存器访问指令（控制指令）时所必需的非易失性半导体存储器 17

上的地址。比如，从非易失性半导体存储器 17 读出数据时读出位置的前端地址、对非易失性半导体存储器 17 写入数据时写入位置的前端地址等被设定。此外，在数据地址/修正号寄存器中存储修正号，该修正号在执行安全指令（控制指令）时是需要的。该数据地址/修正号寄存器
5 的大小是 32 位的，分别为 8 位的单元设定 4 个地址。

此外，数据计数/安全参数寄存器及数据地址/修正号寄存器在寄存器访问指令（控制指令）中的 READ_DATA、READ_INFO、WRITE_DATA、WRITE_INFO 等的执行时被参照。此外上述数据计数/安全参数寄存器及数据地址/修正号寄存器中，由 TPC 中的 WRITE_REG_TPC、
10 EX_SET_CMD_TPC 来写入数据。此外这些控制指令的内容详情后述。

寄存器地址寄存器是一种在主设备 2 利用 TPC 来访问上述状态寄存器组及参数寄存器组时，预先设定所访问寄存器的前端地址及数据长的寄存器。

通过 WRITE_REG_TPC（TPC 之一。详情后述）可对上述的状态寄存器组及参数寄存器组进行数据写入，通过 READ_REG_TPC（TPC 之一。
15 详情后述）可读出数据。不过，这些 WRITE_REG_TPC、READ_REG_TPC 中，特定寄存器位置的信息不作为变元被包含。因此，在主设备 2 利用这些 WRITE_REG_TPC、READ_REG_TPC 来对寄存器进行访问的场合下，预先对该寄存器地址寄存器设定状态寄存器组及参数寄存器组的地址及数据长。这样，在提供了 WRITE_REG_TPC、READ_REG_TPC 的场
20 合下，存储器 I/F 控制器 16 参照该寄存器地址寄存器中寄存的信息，进行对应于各指令的处理。此外，对该寄存器地址寄存器寄存了寄存器地址及数据长的 TPC 是 SET_R_W_REG_ADRS_TPC（详情后述）。

指令寄存器是寄存从主设备 2 提供的控制指令的寄存器。存储器
25 I/F 控制器 16 根据寄存于该指令寄存器的控制指令来进行各种操作控制。对该指令寄存器寄存控制指令的 TPC 是 SET_CMD_TPC、EX_SET_CMD_TPC（详情后述）。

接下来，对 TPC（Transfer Protocol Command）作以说明。

TPC 是在本存储卡 1 及主设备 2 的数据转送协议上规定的指令。TPC
30 在主设备 2 对存储卡 1 内的寄存器电路 13 及数据缓冲器电路 14 进行访问时被用到。TPC 在总线状态信号成为 BS1 的定时被从主设备 2 向存储卡 1 转送。以下对该 TPC 的码内容及其具体的操作内容作以说明。

以下表示 TPC 的一例。

READ_LONG_DATA_TPC

READ_SHORT_DATA_TPC

READ_REG_TPC

5 GET_INT_TPC

WRITE_LONG_DATA_TPC

WRITE_SHORT_DATA_TPC

WRITE_REG_TPC

SET_R_W_REG_ADRS_TPC

10 SET_CMD_TPC

EX_SET_CMD_TPC

READ_LONG_DATA_TPC 是从数据缓冲器电路 14 读出 512 字节数据的命令。即，是一种将数据缓冲器电路 14 内寄存的全部数据向主设备 2 转送的命令。READ_LONG_DATA_TPC 是读出的命令。即，
15 READ_LONG_DATA_TPC 在 BS1 从主设备 2 向存储卡 1 发行后，数据缓冲器电路 14 内的 512 字节数据在 BS3 从存储卡 1 向主设备 2 转送。

READ_SHORT_DATA_TPC 是将由 TPC 参数寄存器设定的数据长的数据从数据缓冲器电路 14 读出的命令。即，是一种将数据缓冲器电路 14 内寄存的规定量的数据向主设备 2 转送的命令。READ_SHORT_DATA_TPC
20 是读出的命令。即，READ_SHORT_DATA_TPC 在 BS1 从主设备 2 向存储卡 1 发行后，数据缓冲器电路 14 内的规定字节数据在 BS3 从存储卡 1 向主设备 2 转送。

READ_REG_TPC 是读出设定地址的寄存器的值的命令。设定地址的寄存器是状态寄存器组、参数寄存器组及附加寄存器组的各内部寄存器。
25 被读出的寄存器的地址位置（前端地址及数据长）是寄存器地址寄存器中寄存的值。即，在参照寄存器内的值的场合下，有必要预先对寄存器地址寄存器写入目的地址位置。将地址位置写入该寄存器地址寄存器的 TPC 是 SET_R_W_REG_ADRS_TPC。READ_REG_TPC 是读出的命令。即，READ_REG_TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，目的寄存器内的规定数据在 BS3 被从存储卡 1 向主设备 2 转送。
30

GET_INT_TPC 是读出状态寄存器组的内部寄存器即 INT 寄存器的值（8 位值）的命令。该 GET_INT_TPC 并非像上述的 READ_REG_TPC 那

样对寄存器地址寄存器来寄存地址位置，而是读出 INT 寄存器的值。GET-INT-TPC 是读出命令。即，GET-INT-TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，INT 寄存器内的 8 位数据在 BS3 被从存储卡 1 向主设备 2 转送。

- 5 WRITE-LONG-DATA-TPC 是用于把 512 字节的数据写到数据缓冲器电路 14 的命令。即，是一种将数据缓冲器电路 14 的全部数据从主设备 2 向数据缓冲器电路 14 转送的命令。WRITE-LONG-DATA-TPC 是写入的命令。即，WRITE-LONG-DATA-TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，写入数据缓冲器电路 14 的 512 字节数据在 BS2 被从主设备 2 向存储卡 1 转送。

- 10 WRITE-SHORT-DATA-TPC 是将由 TPC 参数寄存器设定的数据长的数据对数据缓冲器电路 14 写入的命令。即，是一种将规定量的数据从主设备 2 转送到数据缓冲器电路 14 内的命令。WRITE-SHORT-DATA-TPC 是写入的命令。即，WRITE-SHORT-DATA-TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，写入数据缓冲器电路 14 的规定字节的数据在 BS2 被从主设备 2 向存储卡 1 转送。

- 20 WRITE-REG-TPC 是用于写入寄存器的值的命令，该寄存器已经被设定了地址。设定了地址的寄存器是状态寄存器组、参数寄存器组及附加寄存器组的各内部寄存器，但可由主设备 2 写入的寄存器是参数寄存器组及附加寄存器组。写入寄存器的地址位置（前端地址及数据长）是寄存于寄存器地址寄存器的值。即，在对寄存器内写入数值的场合下，有必要预先对寄存器地址寄存器写入目的地址位置。将地址位置写入该寄存器地址寄存器的 TPC 是 SET-R-W-REG-ADRS-TPC。WRITE-REG-TPC 是写入系统的命令。即，WRITE-REG-TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，写入目的寄存器内的数据在 BS2 被从主设备 2 向存储卡 1 转送。

- 30 SET-R-W-REG-ADRS-TPC 是把要根据 READ-REG-TPC、WRITE-REG-TPC 访问的寄存器的地址位置存储到寄存器地址寄存器的命令。SET-R-W-REG-ADRS-TPC 是写入系统的命令。即，SET-R-W-REG-ADRS-TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，写入寄存器地址寄存器的数据在 BS2 被从主设备 2 向存储卡 1 转送。

SET-CMD-TPC 是将针对存储器 I/F 控制器 16 的操作命令即控制指

令寄存到指令寄存器的命令。控制指令由 SET_CMD_TPC 寄存到指令寄存器内后，存储器 I/F 控制器 16 进行基于该控制指令的操作控制。其操作内容是比如针对存储器的操作控制、针对存储器以外的各功能的操作或有关数据安全的操作等。此外，根据控制指令的操作内容，有时参照寄存于参数寄存器内的值来进行操作。在该场合下，有必要通过发行 SET_CMD_TPC 之前的分组，预先利用上述的 WRITE_REG_TPC，对参数寄存器内规定的内部寄存器来写入数值。SET_CMD_TPC 是写入的命令。即，SET_CMD_TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，写入指令寄存器的控制指令的代码在 BS2 被从主设备 2 向存储卡 1 转送。

EX_SET_CMD_TPC 是在对数据计数/安全参数寄存器及数据地址/修正号寄存器寄存数据的同时，对指令寄存器寄存控制指令的命令。在由 EX_SET_CMD_TPC 来转送作为控制指令的存储器访问指令的场合下，在数据计数/安全参数寄存器中，寄存对非易失性半导体存储器 17 进行访问的数据的数据量，在数据地址/修正号寄存器中，寄存非易失性半导体存储器 17 的数据地址。此外，在由 EX_SET_CMD_TPC 来转送作为控制指令的安全指令的场合下，在数据计数/安全参数寄存器中，寄存安全管理用的参数，在数据地址/修正号寄存器中，寄存安全管理用的修正号。在由该 EX_SET_CMD_TPC 来转送了控制指令的场合下，在存储器 I/F 控制器 16 执行该控制指令之前，对数据计数/安全参数寄存器及数据地址/修正号寄存器来寄存转送数据。

EX_SET_CMD_TPC 是写入的命令。即，EX_SET_CMD_TPC 在 BS1 被从主设备 2 向存储卡 1 发行后，控制指令的代码等在 BS2 被从主设备 2 向存储卡 1 转送。

这里，与 EX_SET_CMD_TPC 相同的数据转送操作也可以利用 SET_CMD_TPC 来实现。然而，在转送参照寄存于参数寄存器组内的内部寄存器的值来进行操作控制的控制指令的场合下，比如在转送 READ_DATA、READ_INFO、WRITE_DATA、WRITE_INFO 等控制指令的场合下，必须预先将该参照的数据转送到参数寄存器。即，在执行 SET_CMD_TPC 之前，必须先转送 SET_R_W_REG_ADRS_TPC 及 WRITE_REG_TPC。

与此相对，在采用了 EX_SET_CMD_TPC 的场合下，也可以不预先利

用 WRITE_REG_TPC 来将数据寄存在数据计数/安全参数寄存器及数据地址/修正号寄存器。即，如果利用 EX-SET-CMD-TPC，则只需 1 个分组便可实现在采用 SET-CMD-TPC 的情况下需要 3 个分组的数据转送操作。

- 5 因此，如果采用 EX-SET-CMD-TPC 来转送控制指令，也可不执行转送 SET-R-W-REG-ADRS-TPC 及 WRITE_REG_TPC 的分组工序，可实现处理的高速化。

图 15 表示执行了 SET-CMD-TPC 的场合下从主设备 2 向存储卡 1 转送的具体转送数据示例。图 16 表示执行了 EX-SET-CMD-TPC 的场合下
10 从主设备 2 向存储卡 1 转送的具体转送数据示例。该图 15 及图 16 所示的转送数据在 BS2 时被转送。

执行了 SET-CMD-TPC 的场合下的转送数据成为 1 个字节的指令码和 2 个字节的 CRC。1 个字节的指令码是特定使存储器 I/F 控制器 16 执行的控制指令的代码。指令码被寄存于指令寄存器。

- 15 执行了 EX-SET-CMD-TPC 的场合下的转送数据成为 1 个字节的指令码、2 个字节的计数/安全参数数据、2 个字节的地址/修正号数据、2 个字节的 CRC。计数/安全参数数据是寄存于数据计数/安全参数寄存器的数据。地址/修正号数据是被寄存于数据地址/修正号寄存器的数据。

- 20 如图 15 及图 16 所示，EX-SET-CMD-TPC 的转送数据一方的数据长度与 SET-CMD-TPC 的转送数据相比更长。因此，在主设备 2 转送可不参照数据计数/安全参数寄存器及数据地址/修正号寄存器来执行的指令码的场合下，并非采用 EX-SET-CMD-TPC，而是采用了 SET-CMD-TPC 的一方成为更短的分组。因此，通过作为 TPC 的指令设定来设定
25 SET-CMD-TPC 及 EX-SET-CMD-TPC，根据所转送的控制指令来进行适宜的选择，可使处理更为高速化。

以下，对控制指令作以说明。

- 控制指令是从主设备 2 向存储卡 1 的存储器 I/F 控制器 16 提供的操作控制命令。控制指令由 TPC 的 SET-CMD-TPC 或 EX-SET-CMD-TPC
30 被从主设备 2 寄存在存储卡 1 内的指令寄存器。存储器 I/F 控制器 16 在控制指令被寄存在指令寄存器内后，执行对应于该控制指令的操作控制。这样，在执行该操作控制的同时，对 INT 寄存器内的各值进行

适宜更新。

- 控制指令分为存储器访问指令、功能指令及安全指令 3 种。存储器访问指令是对存储卡 1 上的非易失性半导体存储器 17 进行访问的指令。功能指令是对存储卡 1 上的各功能进行访问的指令。安全指令是用于实现著作权保护所必需的安全功能的指令。

存储器访问指令中具有比如从非易失性半导体存储器 17 向数据缓冲器电路 14 读出数据的指令、从数据缓冲器电路 14 向非易失性半导体存储器 17 写入数据的指令、删除非易失性半导体存储器 17 上的数据的指令等。

- 10 功能指令中具有比如使本存储卡 1 恢复到出厂状态的格式化指令及使存储卡 1 的振荡器 18 的操作停止的休眠指令等。

安全指令中具有比如读出本存储卡 1 的固有 ID 的指令、执行针对内容键中锁定的键的操作的指令、发生随机数的指令等。

这里，图 17 表示存储器访问指令的一例。

- 15 存储器访问指令中，如图 17 所示，具有 READ_DATA、WRITE_DATA、READ_INFO、READ_ATRB、STOP、ERASE 等。

- 20 READ_DATA 是从非易失性半导体存储器 17 的用户区的指定地址连续地读出数据的命令。存储器 I/F 控制器 16 在提供了该 READ_DATA 后，参照数据地址/修正号寄存器中寄存的地址，对非易失性半导体存储器 17 上的该地址进行访问，从该地址读出数据。所读出的数据被一度向数据缓冲器电路 14 转送。存储器 I/F 控制器 16 在数据缓冲器电路 14 满载，即读出 512 字节数据后，使 INT 寄存器的 BREQ/PRG 位成为有效 (1)，对主设备 2 发行转送请求的中断。这样，由主设备 2 读出数据缓冲器电路 14 内的数据后，将后续数据从非易失性半导体存储器 17 向数据缓冲器电路 14 转送。存储器 I/F 控制器 16 重复上述处理，直至读出数据计数/安全参数寄存器中寄存的数据量的数据。这样，不
25 发生错误地读出数据，一直持续到结束后，使 INT 寄存器的 CMD 位成为有效 (1)，结束处理。此外在处理过程中发生了错误的场合下，在使 INT 寄存器的 CMD 位成为有效 (1) 的同时，使 ERR 位成为有效 (1)，
30 以此结束处理。

WRITE_DATA 是从非易失性半导体存储器 17 的用户区的指定地址连续记录寄存于数据缓冲器电路 14 的数据的命令。存储器 I/F 控制器

16 在提供了 WRITE_DATA 后, 参照数据地址/修正号寄存器中寄存的地址, 对非易失性半导体存储器 17 上的该地址进行访问, 从该地址写入数据。所写入的数据是寄存于数据缓冲器电路 14 的数据。存储器 I/F 控制器 16 在数据缓冲器电路 14 内成为空闲, 即写入 512 字节数据后, 5 使 INT 寄存器的 BREQ/PRG 位成为有效 (1), 对主设备 2 发行转送请求的中断。这样, 由主设备 2 在数据缓冲器电路 14 内写入数据后, 将后续数据从数据缓冲器电路 14 向非易失性半导体存储器 17 写入。存储器 I/F 控制器 16 重复上述处理, 直至写入数据计数/安全参数寄存器中寄存的数据量的数据。这样, 不发生错误地写入数据并一直持续 10 到结束后, 使 INT 寄存器的 CMD 位成为有效 (1), 结束处理。此外在处理过程中发生了错误的场合下, 在使 INT 寄存器的 CMD 位成为有效 (1) 的同时, 使 ERR 位成为有效 (1), 以此结束处理。

READ_INFO 是从非易失性半导体存储器 17 的系统区的信息册区的指定地址连续读出数据的命令。存储器 I/F 控制器 16 的处理顺序与 15 READ_DATA 相同。

WRITE_INFO 是对非易失性半导体存储器 17 的系统区的信息册区的指定地址连续写入数据的命令。存储器 I/F 控制器 16 的处理顺序与 WRITE_DATA 相同。

READ_ATRB 是从非易失性半导体存储器 17 读出属性信息的命令。 20 存储器 I/F 控制器 16 在提供了该 READ_ATRB 后, 读出非易失性半导体存储器 17 内的属性信息, 转送到数据缓冲器电路 14。

STOP 是中途结束 READ_DATA、WRITE_DATA、READ_INFO、WRITE_INFO、READ_ATRB 处理的执行的命令。存储器 I/F 控制器 16 在提供了 STOP 后, 停止 READ_DATA、WRITE_DATA、READ_INFO、 25 WRITE_INFO、READ_ATRB 执行处理。

ERASE 是从用户区的指定地址删除数据的命令。存储器 I/F 控制器 16 在提供了 ERASE 后, 参照寄存于数据地址/修正号寄存器的地址, 从该地址所示的寄存位置, 删除数据计数/安全参数寄存器中寄存的数据量的非易失性半导体存储器 17 上的数据。

30 以上对采用了本发明的移动式存储卡及将该存储卡作为外部存储媒体来使用的主设备作了说明。本发明并非限定于应用这种存储卡。比如, 也可以将本发明作为主设备的外部连接装置来用于照相机装

置。在该场合下，存储器 I/F 控制器 16 进行照相机装置的操作控制，此外在控制指令中还设定照相机控制用的指令。

- 此外本发明并非限定于参照附图所说明的上述实施例，在不超出随付的权利要求范围及其主旨的前提下，可进行各种变更、置换或与之同等的行为，对此业内人士应明晓。

产业上的可利用性

- 本发明所涉及的外部连接设备及主设备中，在总线状态信号的状态成为受理从外部连接设备向主设备的中断的状态时，将表示基于从主设备向外部连接设备的控制器提供的操作控制指令所发生的中断要素内容的信息作为从外部连接设备向主设备提供的中断信号，通过数据总线来转送，因而通过参照中断信号，主设备可判断外部连接设备所发生的中断要素。因此，主设备无需在接收了中断信号后与外部连接设备进行通信以确认中断要素，可以立刻进行对应于该中断要素的对应处理。因此，本发明涉及的外部连接设备及主设备中，在外部连接设备侧有了中断请求的场合下，可缩短数据转送工序。

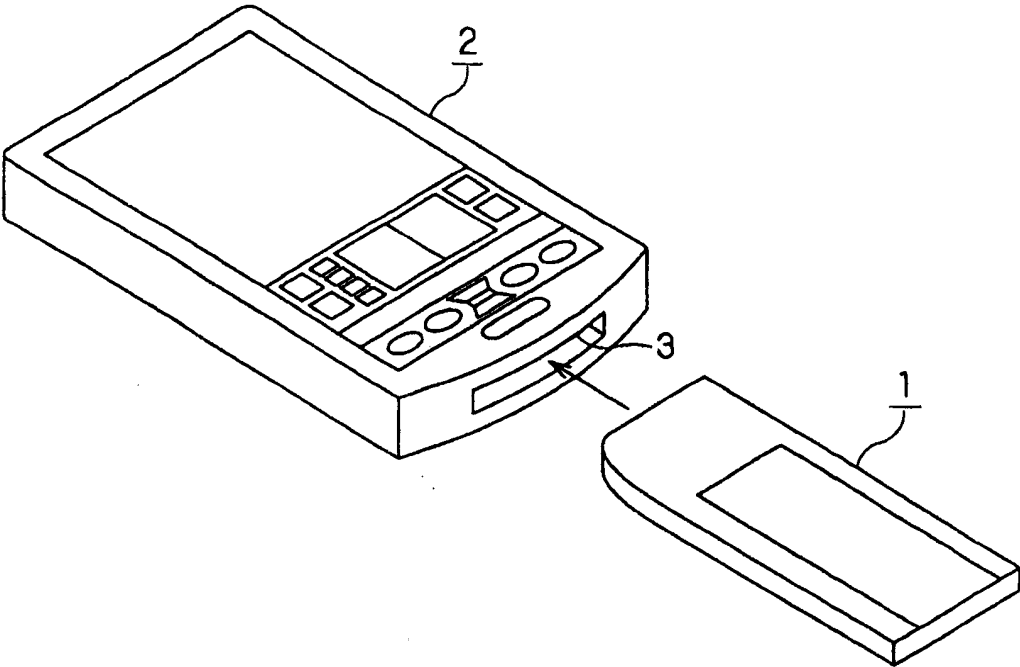


图 1

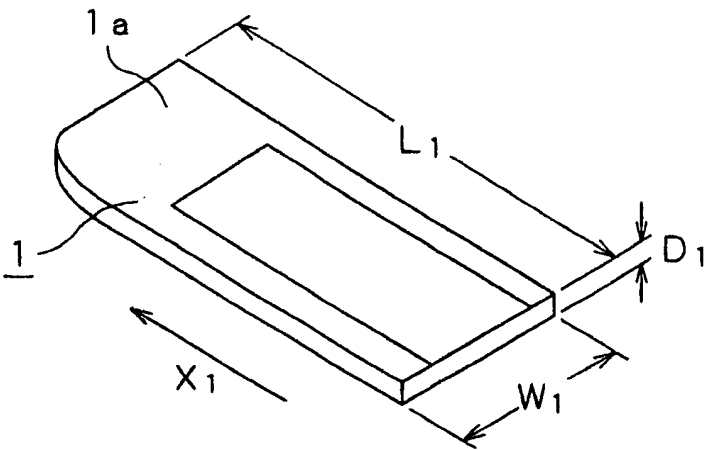


图 2

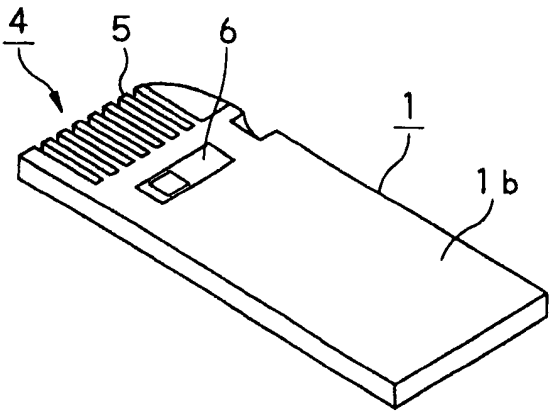


图 3

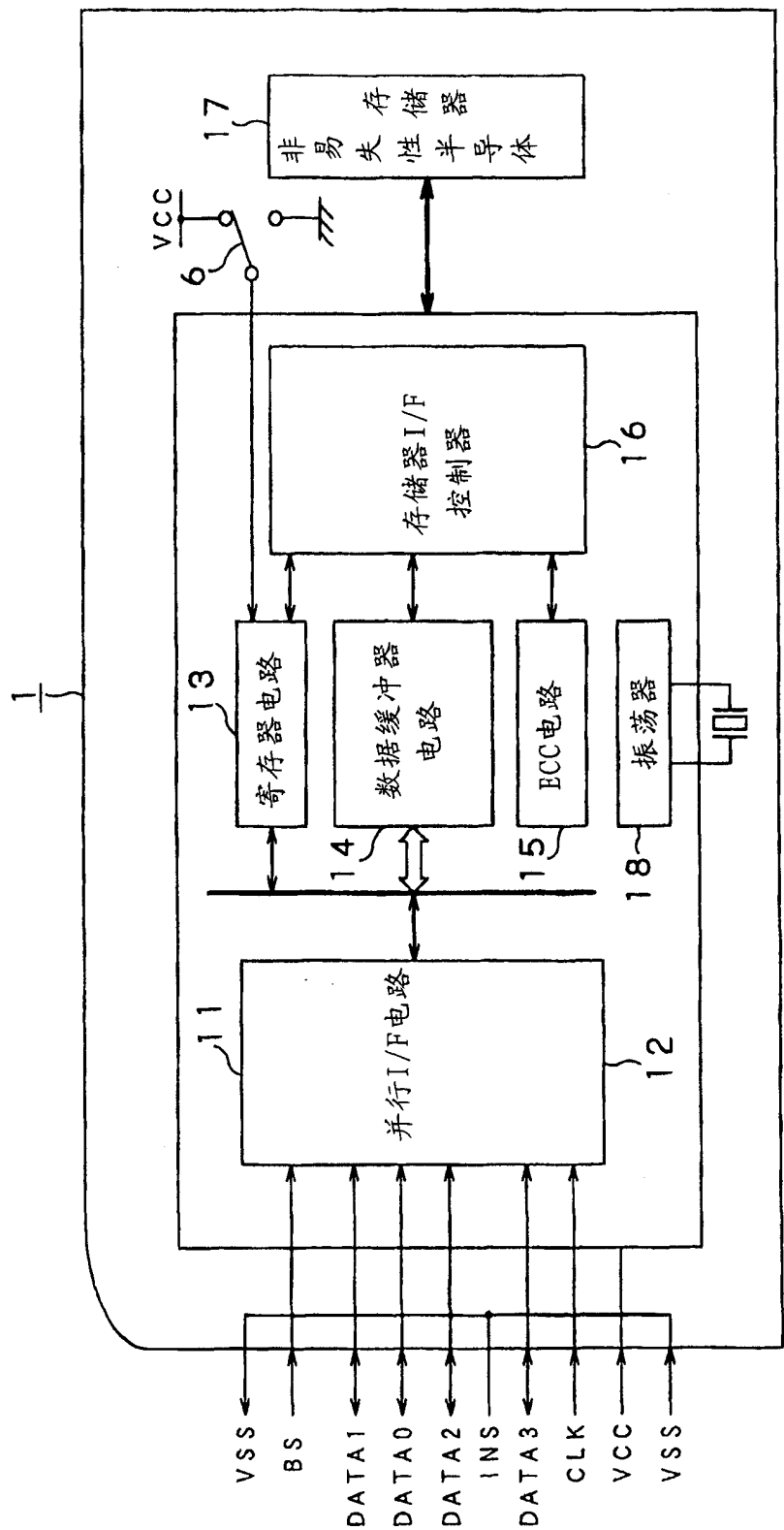


图 4

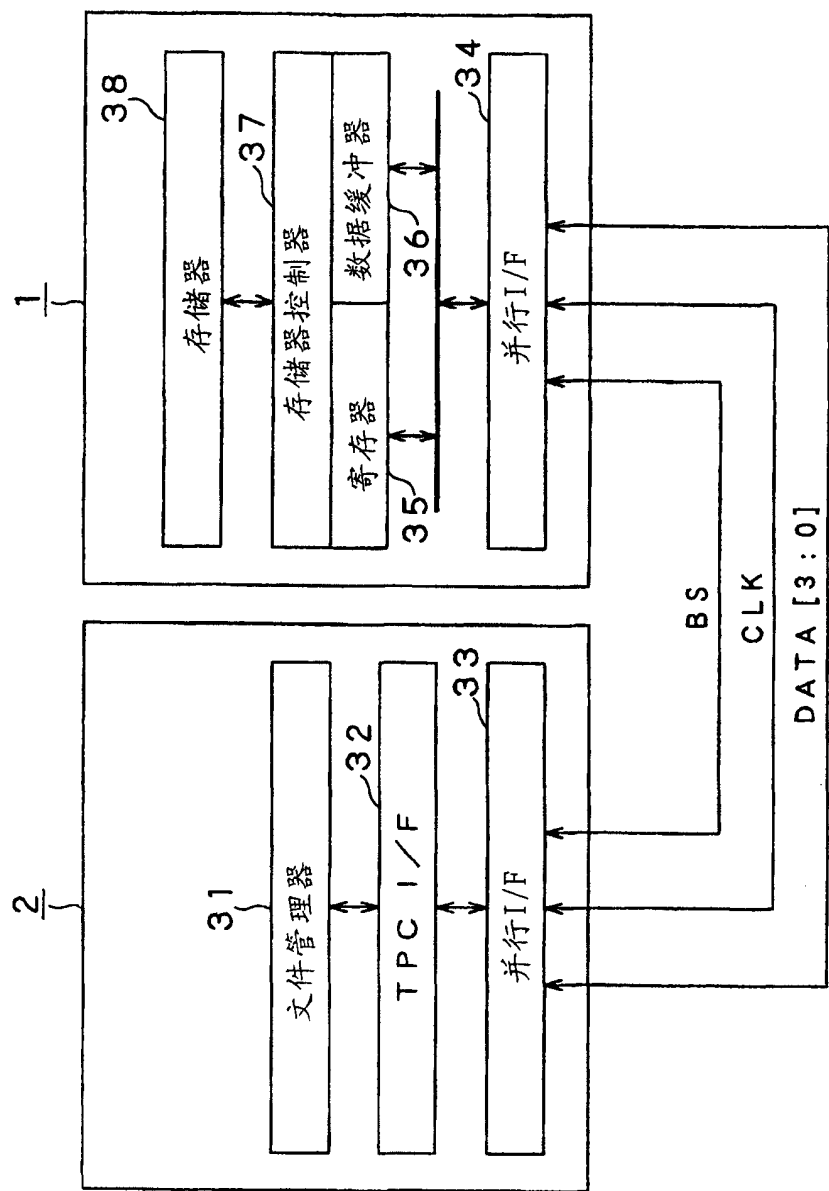


图 5

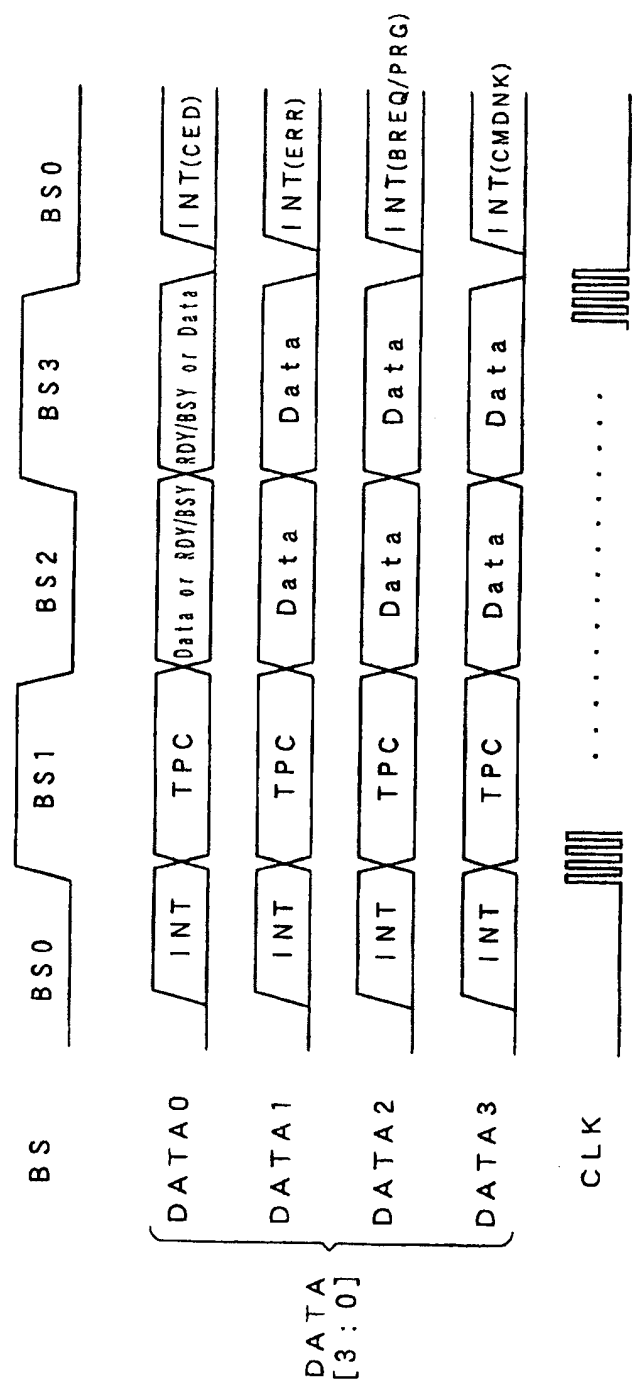


图 6

状态	总线状态	说明
BS0	Low	INT Transfer State 在未进行分组通信的状态下，作为INT信号（中断）的传送路来利用
BS1	High	TPC State 意味着分组的开始，从主机向记忆棒转送TPC (Transfer Protocol Command)
BS2	Low	读出协议时
		信号交换状态：等待RDY信号 数据转送状态：向记忆棒转送数据
BS3	High	读出协议时
		数据转送状态：从记忆棒读取数据 信号交换状态：等待RDY信号

图 7

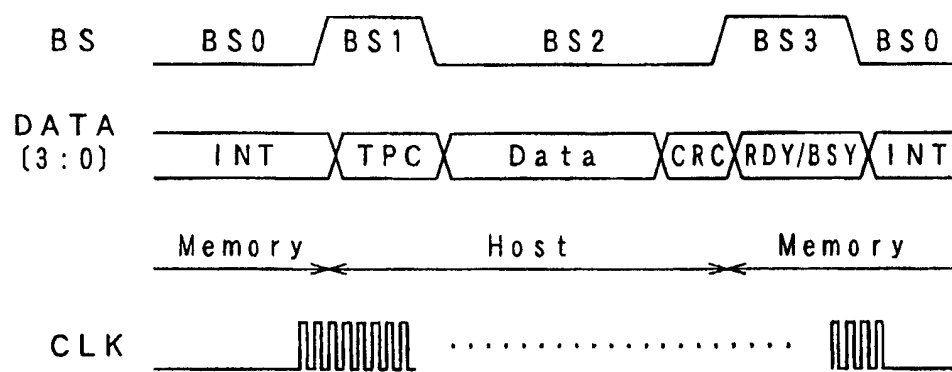


图 8

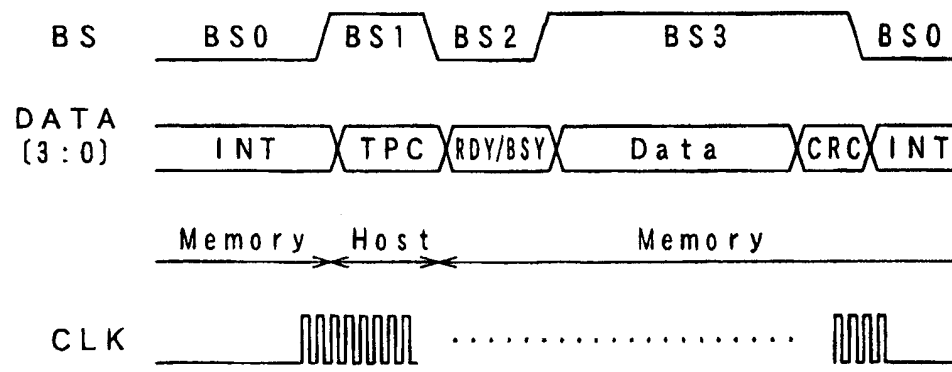


图 9

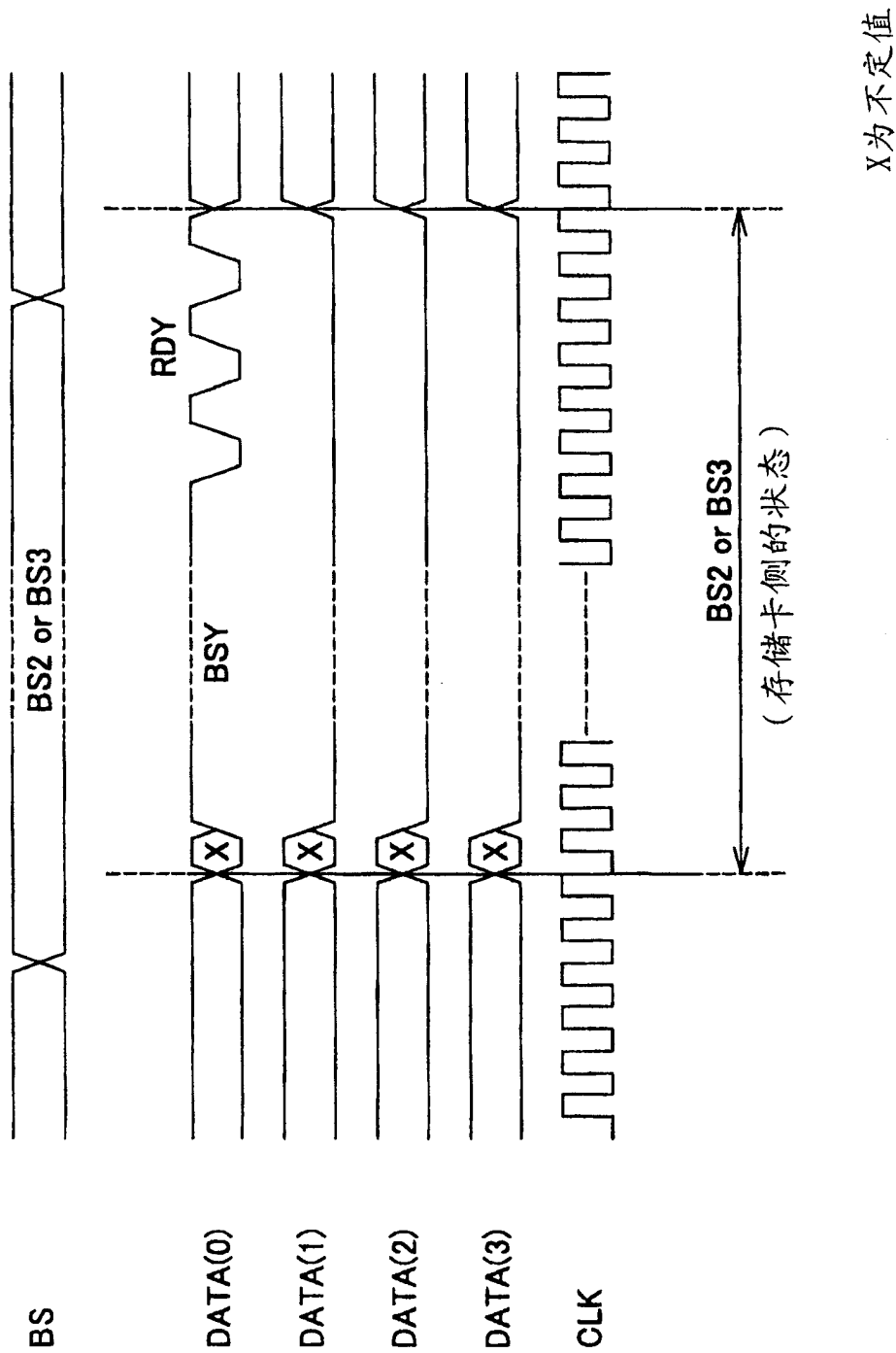


图 10

Address	Register 名	R/W	内容
00h	Reserved	—	
01h	INT Register	R	中断发生要素
02h	Status Register	R	系统的状态
03h	Reserved	—	
04h	Type Register	R	接口类型
05h	Reserved	—	
06h	Category Register	R	媒体的Category
07h	Class Register	R	媒体的Class
08h~FFh	Reserved	—	

图 11

Address	D7	D6	D5	D4	D3	D2	D1	D0
INT Register	0	0	0	0	0	0	0	0
01h	CED	ERR	BREQ/PRG	Reserved	Reserved	Reserved	Reserved	CMDNK

图 12

CED	ERR	BREQ/PRG	CMDNK	动作状态
1	0	0	0	正常结束
1	1	0	0	CMD Error结束
0	0	1	0	正常时的Data Request
0	1	1	0	发生错误时的Data Request
0	0	0	0	CMD执行中
0	1	0	0	内部删除执行中或格式化执行中
1	0	0	1	不可执行CMD (Unacceptable CMD, 未定义CMD)

图 13

Address	Register 名	R/W	内容
10h	System Parameter Register	W	设定 System Parameter
11h~12h	Data Count Register 1~0/ System Parameter Register 1~0	W	指定在 Memory Access Command 执行时访问的 Data 数, 或在 Security Command 执行时进行各种设定
13h~16h	Data Address Register 3~0/ Revision Number Register 3~0	W	指定在 Memory Access Command 执行时访问的 Data Address, 或在 Security Command 执行时指定修正号
17h	TPC Parameter Register	W	进行有关 TPC 的各种设定
18h	CMD Parameter Register	W	进行有关指令的各种设定
19h~EFf	Reserved	-	
F1~FFh	Reserved	-	

图 14



图 15

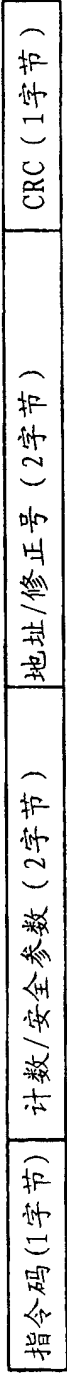


图 16

指令名	代码	说明
READ_DATA	20h	从用户区的指定地址连续读出数据
WRITE_DATA	21h	向用户区的指定地址连续写入数据
READ_INFO	22h	连续读出数据
WRITE_INFO	23h	连续写入数据
READ_ATTRB	24h	读出属性信息
STOP	25h	中途结束基于READ_DATA、WRITE_DATA、READ_READINFO、WRITE_INFO、READ_ATTRB的存储器访问处理
ERASE	26h	从用户区的指定地址删除数据

图 17