



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0042409

(43) 공개일자 2015년04월21일

(51) 국제특허분류(Int. Cl.)

H01L 33/36 (2010.01) H01L 33/40 (2010.01)

(21) 출원번호 10-2013-0121006

(22) 출원일자 2013년10월11일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김지현

서울 강남구 언주로 332, 104동 604호 (역삼동, 역삼푸르지오)

김병재

서울 양천구 목동동로 350, 511동 503호 (목동, 목동5단지아파트)

(뒷면에 계속)

(74) 대리인

박영복

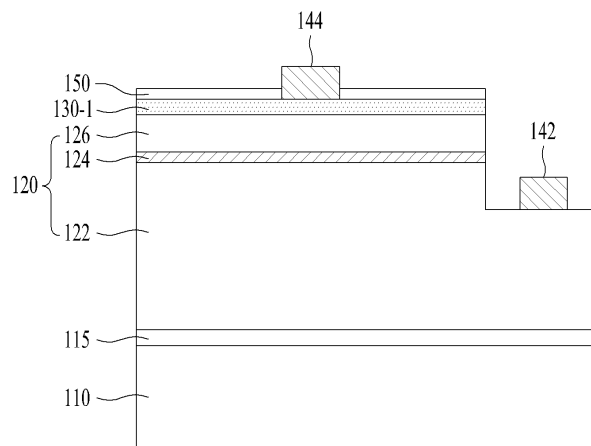
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 발광 소자의 제조 방법

(57) 요약

실시 예는 기판 상에 제1 도전형 반도체층, 활성층, 및 제2 도전형 반도체층을 포함하는 발광 구조물을 형성하는 단계, 상기 제2 도전형 반도체층 상에 그래핀층(graphene layer)을 형성하는 단계, 상기 그래핀층에 자외선을 조사하여 상기 그래핀층에 결함을 형성하는 자외선 처리 단계, 및 상기 결함이 형성된 그래핀층에 전도성을 향상시키기 위한 도펀트를 도핑하는 단계를 포함한다.

대표도 - 도6



(72) 발명자

양광석

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

정영훈

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남
대문로5가, 서울스퀘어)

명세서

청구범위

청구항 1

기판 상에 제1 도전형 반도체층, 활성층, 및 제2 도전형 반도체층을 포함하는 발광 구조물을 형성하는 단계;
 상기 제2 도전형 반도체층 상에 그래핀층(graphene layer)을 형성하는 단계;
 상기 그래핀층에 자외선을 조사하여 상기 그래핀층에 결함을 형성하는 자외선 처리 단계; 및
 상기 결함이 형성된 그래핀층에 전도성을 향상시키기 위한 도펀트를 도핑하는 단계를 포함하는 발광 소자의 제조 방법.

청구항 2

제1항에 있어서, 상기 자외선 처리 단계는,
 상기 그래핀층 내에 땀글링 본드들(dangling bonds)을 생성시키는 발광 소자의 제조 방법.

청구항 3

제1항에 있어서,
 상기 조사되는 자외선의 파장은 100nm ~ 375nm인 발광 소자의 제조 방법.

청구항 4

제1항에 있어서,
 질산 또는 AuCl_3 용액을 이용하여 상기 도펀트를 도핑하는 발광 소자의 제조 방법.

청구항 5

제1항에 있어서,
 상기 도펀트는 상기 생성되는 땀글링 본드들과 결합하는 발광 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 실시 예는 발광 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 발광 소자(Light Emitting Diode:LED)는 질화 갈륨(GaN)계 화합물 반도체로 만들어진 다이오드에 전류가 흐를 때 전자와 정공이 결합하면서 빛을 발하는 현상을 이용한 소자로서, 광소자 및 고출력 전자 소자 개발 분야에서 큰 주목을 받고 있다. 이러한 발광 소자는 광을 투과시켜 화상을 형성하거나 전력을 생성하므로 광을 투과시킬 수 있는 투명 전극이 필수적인 구성요소로 사용되고 있다.

[0003] 투명 전극으로는 ITO(Indium Tin Oxide)가 보편적으로 사용되고 있다. ITO는 가시광선에 대한 투과도가 양호하지만, 인듐의 소비량이 많아짐에 따라 가격이 높아져 가격 경쟁력이 떨어지는 단점이 있다.

[0004] 다만 ITO는 UV에 대해서는 투과도가 낮기 때문에 UV LED에서는 투명 전극으로 ITO를 사용하기 어렵다. 이러한 ITO 투명 전극을 대체하기 위한 투명 전극으로써 그래핀(Graphene)을 이용한 투명 전극에 대한 연구가 다 각도로 이루어지고 있다.

[0005] 그래핀은 가시광선 영역뿐만 아니라 자외선 영역에서도 투과도가 높고, ITO와는 달리 매우 얇은 두께로 전극을 구현할 수 있다. 그런데 면 저항을 줄이기 위하여 그래핀 투명 전극에 p형 도핑이 수행될 수 있는데, p형 도핑

된 그래핀 투명 전극은 시간에 따른 도핑 안정성이 떨어질 수 있다. 이는 그래핀에 붙은 도펀트들이 시간 경과에 따라 공기와 반응하여 그래핀에서 떨어져 나가기 때문이다.

발명의 내용

해결하려는 과제

[0006] 실시 예는 시간이 경과 함에 따라 그래핀층의 도핑 효과의 감소, 및 발광 세기의 감소를 방지할 수 있는 발광 소자의 제조 방법을 제공한다.

과제의 해결 수단

[0007] 실시 예에 따른 발광 소자의 제조 방법은 기판 상에 제1 도전형 반도체층, 활성층, 및 제2 도전형 반도체층을 포함하는 발광 구조물을 형성하는 단계; 상기 제2 도전형 반도체층 상에 그래핀층(graphene layer)을 형성하는 단계; 상기 그래핀층에 자외선을 조사하여 상기 그래핀층에 결합을 형성하는 자외선 처리 단계; 및 상기 결합이 형성된 그래핀층에 전도성을 향상시키기 위한 도펀트를 도핑하는 단계를 포함한다.

[0008] 상기 자외선 처리 단계는 상기 그래핀층 내에 댕글링 본드들(dangling bonds)을 생성시킬 수 있다.

[0009] 상기 조사되는 자외선의 파장은 100nm ~ 375nm일 수 있다. 질산 또는 AuCl_3 용액을 이용하여 상기 도펀트를 도핑할 수 있다.

[0010] 상기 도펀트는 상기 생성되는 댕글링 본드들과 결합할 수 있다.

발명의 효과

[0011] 실시 예는 시간이 경과 함에 따라 그래핀층의 도핑 효과의 감소, 및 발광 세기의 감소를 방지할 수 있다.

도면의 간단한 설명

[0012] 도 1 내지 도 5는 실시 예에 따른 발광 소자의 제조 방법을 나타낸다.

도 6은 다른 실시 예에 따른 발광 소자의 제조 방법을 설명하기 위한 단면도이다.

도 7은 다른 실시 예에 따른 발광 소자의 제조 방법을 나타낸다.

도 8은 진공 중에서 UV 처리에 따른 라만 스펙트럼을 나타낸다.

도 9는 결합 생성 이전 및 도핑 이전의 발광 소자의 발광 사진을 나타낸다.

도 10은 실시 예에 따른 결합 생성 및 도핑 직후의 발광 소자의 발광 사진을 나타낸다.

도 11은 실시 예에 따른 결합 생성 및 도핑 후 3주 경과 후의 발광 소자의 발광 사진을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 실시 예들은 첨부된 도면 및 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다. 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[0014] 도면에서 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다. 또한 동일한 참조번호는 도면의 설명을 통하여 동일한 요소를 나타낸다. 이하, 첨부된 도면을 참조하여 실시 예에 따른 발광 소자의 제조 방법을 설명한다.

[0015] 도 1 내지 도 5는 실시 예에 따른 발광 소자의 제조 방법을 나타낸다.

[0016] 도 1을 참조하면, 기판(110) 상에 버퍼층(115) 및 발광 구조물(120)을 형성한다.

[0017] 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분

자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy) 등의 방법을 이용하여 버퍼층(115) 및 발광 구조물(120)을 형성할 수 있다.

[0018] 기판(110)은 반도체 물질 성장에 적합한 물질, 캐리어 웨이퍼로 형성될 수 있다. 또한 기판(110)은 열 전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다.

[0019] 또한, 기판(110)은 투광성을 갖는 물질로 이루어질 수도 있으며, 발광 구조물(120)의 빛을 가져오지 않으면서, 스크라이빙(scribing) 공정 및 브레이킹(breaking) 공정을 통해 별개의 칩으로 잘 분리시키기 위한 정도의 기계적 강도를 가질 수 있다.

[0020] 예컨대, 기판(110)은 사파이어(Al_2O_3), GaN, SiC, ZnO, Si, GaP, InP, Ga_2O_3 , GaAs, Ge 중 적어도 하나를 포함하는 물질일 수 있다. 이러한 기판(110)의 상면에는 광 추출을 향상시키기 위하여 포토리쓰그래피(photolithography) 및 에칭(etching) 등을 통하여 요철 패턴(미도시)을 형성할 수 있다.

[0021] 기판(110)과 발광 구조물(120) 사이에 버퍼층(115)을 형성할 수 있다. 버퍼층(115)은 기판(110)과 발광 구조물(120) 사이의 격자 상수의 차이에 의한 격자 부정합을 완화할 수 있다.

[0022] 버퍼층(115)은 3족 내지 5족 원소를 포함하는 질화물 반도체일 수 있다. 예컨대 버퍼층(115)은 InAlGaN, GaN, AlN, AlGaIn, InGaIn 중에서 적어도 하나를 포함할 수 있다. 단일층 또는 다층 구조로 버퍼층(115)을 형성할 수 있으며, 2족 원소 또는 4족 원소의 불순물을 버퍼층(115)에 도핑할 수도 있다.

[0023] 발광 구조물(120)은 기판(110) 상에 형성될 수 있으며, 제1 도전형 반도체층(122), 제2 도전형 반도체층(126), 및 제1 도전형 반도체층(122)과 제2 도전형 반도체층(126) 사이에 위치하는 활성층(124)을 포함할 수 있다. 제1 도전형 반도체층(122)과 제2 도전형 반도체층(126)은 반대의 도전형일 수 있다.

[0024] 제1 도전형 반도체층(122)은 3족 내지 5족 원소의 화합물 반도체로 형성될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다. 제1 도전형 반도체층(122)은 $Al_xIn_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질, 예컨대 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 어느 하나를 포함하도록 형성될 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑될 수 있다. 제1 도전형 반도체층(122)은 단일층 또는 다층 구조를 갖도록 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0025] 활성층(124)은 단일 우물 구조(Double Hetero Structure), 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(MQW: Multi Quantum Well) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나를 포함하도록 형성될 수 있다. 활성층(124)은 3족 내지 5족 원소의 화합물 반도체일 수 있으며, 적어도 한 쌍의 우물층과 장벽층을 포함하도록 형성될 수 있다.

[0026] 예를 들면 활성층(124)은 InGaIn/GaN, InGaIn/InGaIn, GaN/AlGaIn, InAlGaIn/GaN, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 적어도 하나를 포함하는 페어(pair) 구조를 가질 수 있으나 이에 한정되지는 않는다. 우물층은 장벽층보다 작은 에너지 밴드 갭을 갖는 물질로 이루어질 수 있다.

[0027] 제2 도전형 반도체층(126)은 3족 내지 5족 원소의 화합물 반도체로 형성될 수 있다. 제2 도전형 반도체층(126)은 $In_xAl_yGa_{(1-x-y)}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질, 예컨대 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 어느 하나를 포함하도록 형성될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.

[0028] 상술한 설명에서는 제1 도전형 반도체층(122)이 n형 반도체층을 포함하고, 제2 도전형 반도체층(126)이 p형 반도체층을 포함하는 것을 예시하였으나, 실시 예가 이에 한정되는 것은 아니다. 제1 도전형 반도체층(122)이 p형 반도체층을 포함할 수 있고, 제2 도전형 반도체층(126)이 n형 반도체층을 포함할 수도 있다.

[0029] 또한 제2 도전형 반도체층(126) 아래에 n형 또는 p형 반도체층이 더 형성될 수도 있다. 이에 따라 발광 구조물(120)은 np, pn, npn, 또는 pnp 접합 구조 중 적어도 하나를 포함하도록 형성될 수 있다. 또한 제1 도전형 반도체층(122) 및 제2 도전형 반도체층(126) 내의 도펀트의 도핑 농도는 균일할 수도 있고, 불균일할 수도 있다. 즉 발광 구조물(120)은 다양한 구조를 갖도록 형성될 수 있다.

[0030] 다음으로 도 2를 참조하면, 후술하는 제1 전극을 형성할 공간을 확보하기 위하여 제1 도전형 반도체층(122)의 일부를 노출하도록 발광 구조물(120)을 식각한다.

[0031] 예컨대, 제2 도전형 반도체층(126), 활성층(124), 및 제1 도전형 반도체층(122)의 일부를 식각하여 제1 도전형

반도체층(122)의 일부를 노출할 수 있다.

- [0032] 다음으로 제2 도전형 반도체층(126) 상에 그래핀층(graphene layer, 130)을 형성한다.
- [0033] 그래핀층(130)은 탄소(C)가 벌집 모양의 육각형 그물처럼 배열된 평면으로 단일층의 원자 구조를 가질 수 있다.
- [0034] 그래핀층(130)을 이루는 개개의 탄소 원자는 이웃한 탄소와 전자 한 쌍 반을 공유하여 결합할 수 있다. 한 쌍의 전자가 탄소와 탄소 사이를 견고하게 연결하는 동안 결합에 참여하지 않은 전자들은 그래핀층(130) 내에서 쉽게 움직일 수 있다.
- [0035] 그래핀층(130)은 얇고 투명하며, 화학적으로 안정성이 높은 탄소로 구성되어 있기 때문에 전기 전도성이 뛰어나고, 높은 투광성을 가질 수 있다. 예컨대, 그래핀층(130)은 실리콘층보다 전기 전도도가 100배 이상 높을 수 있다.
- [0036] 그래핀층(130)은 금속 박막 상에 그래핀층을 증착하여 형성할 수 있다. 이때 금속 박막은 구리(Cu), 니켈(Ni), 팔라듐(Pd), 및 알루미늄(Al)으로 이루어진 군에서 선택된 어느 하나일 수 있다.
- [0037] 또한 예컨대, 전자빔 증착(e-beam ecaportion), 열증착(thermal evaporation), 또는 스퍼터링(sputtering)에 의하여 발광 구조물(120), 예컨대, 제2 도전형 반도체층(126) 상에 금속 박막, 예컨대, 금속 포일(metal foil)을 형성할 수 있고, CVD(Chemical Vapor Deposition)를 이용하여 금속 박막 상에 그래핀을 형성할 수 있다. 그리고 습식 식각을 통하여 형성된 금속 박막을 제거하여 그래핀층을 발광 구조물(120)로 전사함으로써 제2 도전형 반도체층(126) 상에 그래핀층(130)을 형성할 수 있다.
- [0038] 다음으로 도 3을 참조하면, 그래핀층(130)에 자외선(UltraViolet, UV) 처리를 수행하여 그래핀층(130) 내에 결함을 생성한다.
- [0039] 예컨대, 공기 중에서 UV 램프(lamp) 또는 UV 레이저를 이용하여 그래핀층(130)에 100nm ~ 375nm의 파장을 갖는 UV를 조사함으로써, 그래핀층(130) 내에 결함을 생성할 수 있다.
- [0040] UV에 의하여 그래핀층(130)에 결함이 생성될 수 있으며, 결함이 생성됨에 따라 그래핀층(130) 내에 땀글링 본드(dangling bond)의 수가 증가할 수 있다.
- [0041] UV 처리에 따른 결함 생성물은 라만 스펙트로스코피(Raman spectroscopy)를 통하여 확인할 수 있다.
- [0042] 도 7은 공기 중에서 UV 처리에 따른 라만 스펙트라(Raman spectra)를 나타낸다.
- [0043] 그래핀층의 존재 여부는 G 피크(peak)와 2D 피크의 존재를 통하여 판단할 수 있으며, G 피크(peak)와 2D 피크의 형태(shape), 반치폭(FWHM, Full Width at Half Maximum) 및 세기의 비(intensity ratio) 등을 통하여 그래핀층의 두께를 판단할 수 있다.
- [0044] 그래핀층의 결함 여부는 G 피크의 왼쪽 편에 위치하는 D 피크를 통하여 판단할 수 있다. 결함이 없는 그래핀층의 경우에는 D 피크가 거의 존재하지 않지만, 그래핀층에 결함 생성이 많을수록 D 피크의 세기가 강해질 수 있다.
- [0045] 도 7을 참조하면, 그래핀층에 UV 처리를 하기 이전의 경우(Ref.)에는 D 피크가 거의 존재하지 않는다. 이는 UV 처리 전에는 결함이 거의 없음을 의미할 수 있다.
- [0046] 그래핀층에 UV 처리를 수행할 경우, 처리 시간(예컨대, 3분, 5분, 6분, 7분, 8분)이 증가함에 따라 D 피크의 세기가 점점 강해지는 것을 알 수 있다. 즉 UV 처리를 통하여 그래핀층에 결함이 생기는 것을 알 수 있다.
- [0047] 공기 중에서 자외선을 그래핀에 조사함으로써, 그래핀층에 결함이 생기는 것은 산화 현상에 의한 것일 수 있다. 자외선과 공기의 반응을 통하여 오존이 생성될 수 있고, 생성된 오존과 그래핀의 탄소가 반응하여 그래핀의 탄소가 산화할 수 있다. 즉 그래핀층과 공기의 접촉이 그래핀층의 결함 생성의 주요한 원인일 수 있다.
- [0048] 도 8은 진공 중에서 UV 처리에 따른 라만 스펙트라(Raman spectra)를 나타낸다.
- [0049] f1은 UV 조사 직후의 라만 스펙트라를 나타내고, f2는 UV 조사 후 30분 경과한 후의 라만 스펙트라를 나타내고, f3는 UV 조사 후 1시간 경과 후의 라만 스펙트라를 나타낸다.
- [0050] 도 8을 참조하면, f1, f2, 및 f3 각각은 G 피크(P11,P12,P13) 및 2D 피크(P21,P22,P23)가 존재하기 때문에 그래핀층이 존재함을 알 수 있다.

- [0051] f1, f2, 및 f3 각각은 D 피크가 존재하지 않음을 알 수 있다. 즉 진공 하에서는 1시간 동안 UV 조사를 하더라도 D 피크가 거의 생성되지 않는다는 것을 알 수 있다. 이를 통하여 산화에 의한 그래핀 결함 생성 메커니즘을 증명할 수 있으며, 공기가 그래핀 결함 생성을 조절할 수 있는 변수가 된다는 것을 알려준다.
- [0052] 또한 그래핀층 내의 결함의 생성은 그래핀층 내에 덩글링 본드가 생성되는 것을 의미할 수 있다. 즉 그래핀층 내에 결함이 증가할수록 그래핀층 내의 덩글링 본드의 수가 증가할 수 있다.
- [0053] 다음으로 도 4를 참조하면, 자외선 처리가 수행된 그래핀층(130-1)에 먼 저항을 감소시키고 전도성을 향상시키기 위한 불순물(impurities) 또는 도펀트(dopant), 예컨대, p형 도펀트를 도핑한다.
- [0054] 예컨대, 질산 또는 AuCl_3 용액을 이용하여 자외선 처리가 수행된 그래핀층(130-1)에 p형 도펀트(예컨대, Au)를 화학적으로 도핑할 수 있다.
- [0055] 도 5를 참조하면, 제1 도전형 반도체층(122) 상에 제1 전극(142)을 형성하고, 그래핀층(130-1) 상에 제2 전극(144)을 형성한다. 제1 전극(142)은 제1 도전형 반도체층(122)과 오믹 접촉할 수 있고, 제2 전극(144)은 그래핀층(130-1)과 오믹 접촉할 수 있다.
- [0056] 예컨대, 오믹 특성을 가질 수 있는 반사 전극 재료, 예컨대, Mg, Zn, Al, Ag, Ni, Cr, Ti, Pd, Ir, Sn, Ru, Pt, Au, Hf 중 적어도 어느 하나를 포함하도록 제1 전극(142) 및 제2 전극(144)을 형성할 수 있다. 제1 전극(142) 및 제2 전극(144)은 단층 또는 복수의 층들로 이루어지도록 형성할 수 있다.
- [0057] 일반적으로 투명 전극으로 사용되는 그래핀층에 p형 도펀트를 도핑하는 이유는 그래핀층의 먼 저항을 낮추고, 그래핀층의 일함수(work function)를 높임으로써 그래핀층의 전기적 특성을 향상시키고, 발광 소자의 동작 전압을 낮추기 위함이다.
- [0058] 그런데 AuCl_3 또는 질산 등을 이용하여 그래핀층에 p형 도펀트를 도핑하는 경우, 도펀트 입자와 그래핀 구조 간의 결합력이 약하기 때문에 시간이 경과함에 따라 도핑 효과가 현저하게 떨어질 수 있다. 즉 시간이 경과함에 따라 그래핀층에 도핑된 도펀트의 농도가 감소할 수 있다.
- [0059] 그러나 실시 예에서는 p형 도펀트 도핑 이전에 그래핀층(130)에 미리 UV 처리를 수행하여 그래핀층(130-1)에 덩글링 본드들을 생성시킨 후에 p형 도펀트 도핑을 수행한다.
- [0060] 덩글링 본드들의 생성에 의하여 그래핀층(130-1) 내에는 도펀트 입자(예컨대, Au)가 물리적으로 접촉할 수 있는 장소가 많이 생길 수 있으며, 도펀트 입자(예컨대, Au)와 그래핀 입자 간의 결합력이 향상될 수 있다.
- [0061] 실시 예는 먼 저항을 줄이기 위하여 제2 도전형 도펀트(예컨대, p형 도펀트)를 그래핀층(130) 내에 도핑하기 이전에 UV를 처리를 수행함으로써, 시간의 경과에 따른 도핑 효과 감소를 방지할 수 있고, 도핑의 안정성을 높일 수 있다.
- [0062] 도 9는 결함 생성 이전 및 도핑 이전의 발광 소자의 발광 사진을 나타내고, 도 10은 실시 예에 따른 결함 생성 및 도핑 직후의 발광 소자의 발광 사진을 나타내고, 도 11은 실시 예에 따른 결함 생성 및 도핑 후 3주 경과 후의 발광 소자의 발광 사진을 나타낸다. 도 9 내지 도 11에서 발광 소자의 인가 전압은 모두 8V로 동일한다.
- [0063] 도 9의 발광 소자에 비하여, 도 10의 발광 소자의 발광 세기가 증가하는 것을 알 수 있다. 도 11의 발광 소자의 발광 세기는 도 10의 발광 소자의 발광 세기와 큰 차이가 없으며, 발광 세기가 안정적으로 유지되는 것을 알 수 있다.
- [0064] 실시 예에 따른 발광 소자는 시간이 경과하더라도 그래핀층(130-1)의 도핑 효과가 안정적으로 유지되고, 도핑 감소로 인하여 발광 세기가 감소하는 것을 방지할 수 있다.
- [0065] 도 6은 다른 실시 예에 따른 발광 소자의 제조 방법을 설명하기 위한 단면도이다. 도 6은 도 1 내지 도 5에 도시된 발광 소자의 제조 방법의 변형 예일 수 있다.
- [0066] 도 1 내지 도 5에 도시된 바에 따른 공정을 수행한 후에, 도 6에 도시된 바와 같이, 그래핀층(130-1) 상에 산화 방지층(150)을 형성한다. 산화 방지층(150)은 그래핀층(130-1)이 산화되는 것을 방지할 수 있다.
- [0067] 산화 방지층(150)은 제2 전극(144)이 위치하는 영역을 제외한 그래핀층(130-1) 상부면의 나머지 영역 상에 형성될 수 있다.
- [0068] 투광성 절연 물질로 산화 방지층(150)을 형성할 수 있다. 예컨대, 실리콘 질화물(예컨대, Si_xN_y (x, y는 자연수)),

또는 실리콘 산화물(예컨대, Si_xO_y (x, y는 자연수))로 산화 방지층(150)을 형성할 수 있다.

[0069]

예컨대, SiO_2 , SiO_y , SiO_xN_y , Si_3N_4 , Al_2O_3 중 적어도 하나를 포함하도록 산화 방지층(150)을 형성할 수 있다. 산화 방지층(150)은 단층 또는 복수의 층으로 구성될 수 있다.

[0070]

실시 예는 산화 방지층(150)에 의하여 그래핀층(130-1)의 산화를 방지하여, 산화로 인한 발광 소자의 발광 면적이 감소하는 것을 방지할 수 있다.

[0071]

이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

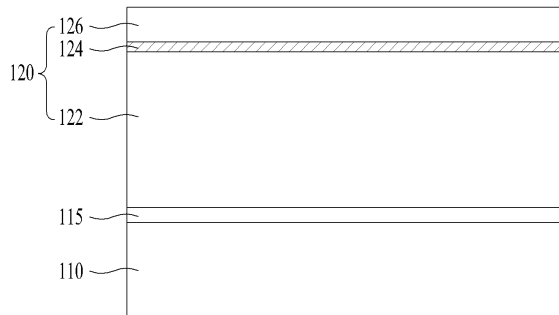
부호의 설명

[0072]

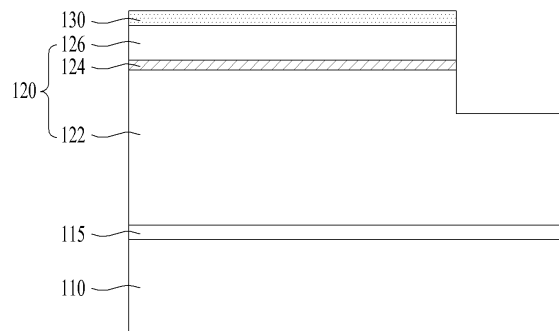
110: 기판	115: 버퍼층
120: 발광 구조물	122: 제1 도전형 반도체층
124: 활성층	126: 제2 도전형 반도체층
130: 그래핀층	130-1: UV 처리된 그래핀층
142: 제1 전극	144: 제2 전극
150: 산화 방지층.	

도면

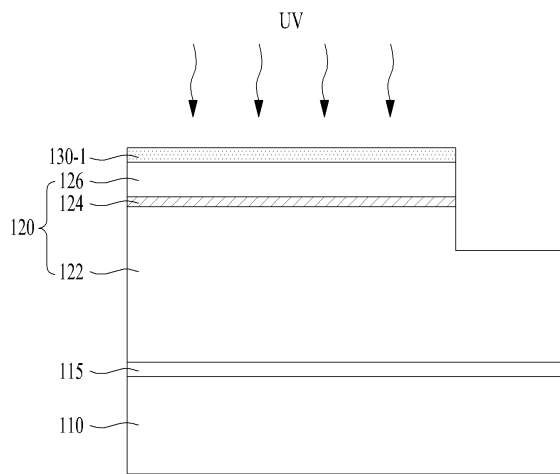
도면1



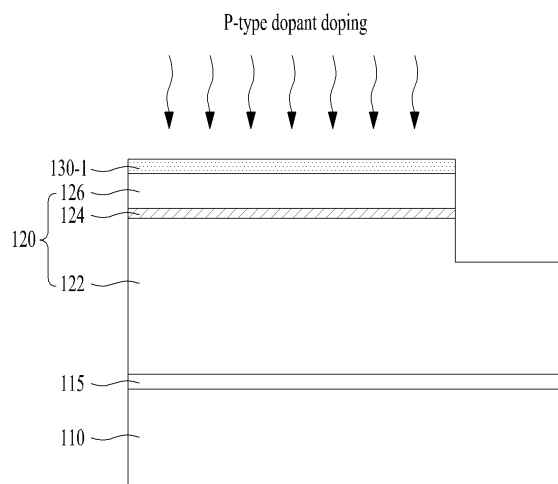
도면2



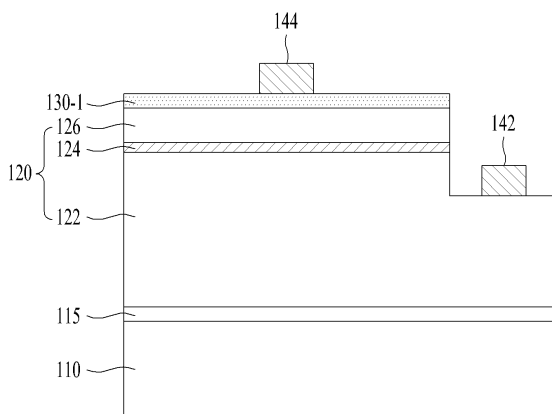
도면3



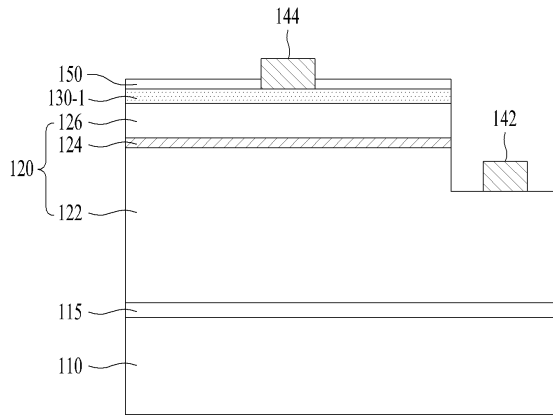
도면4



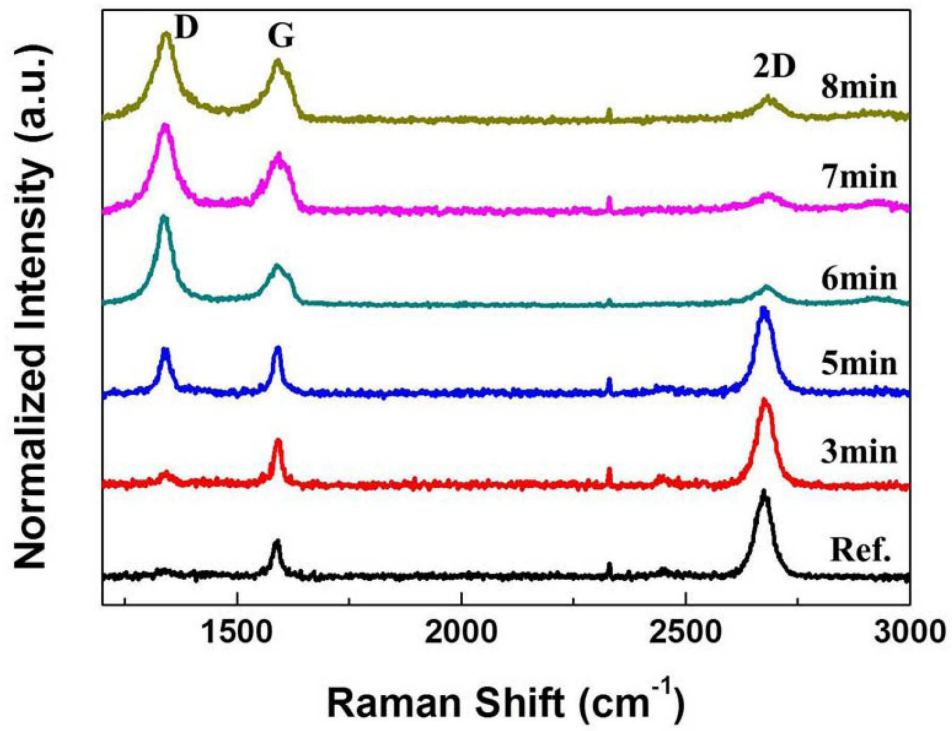
도면5



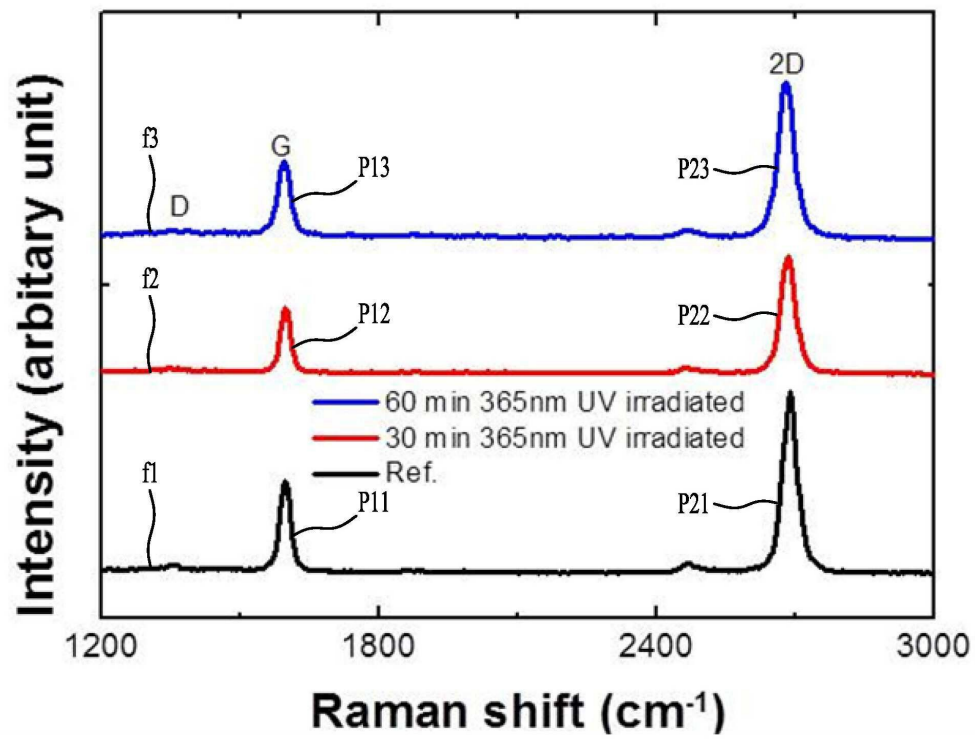
도면6



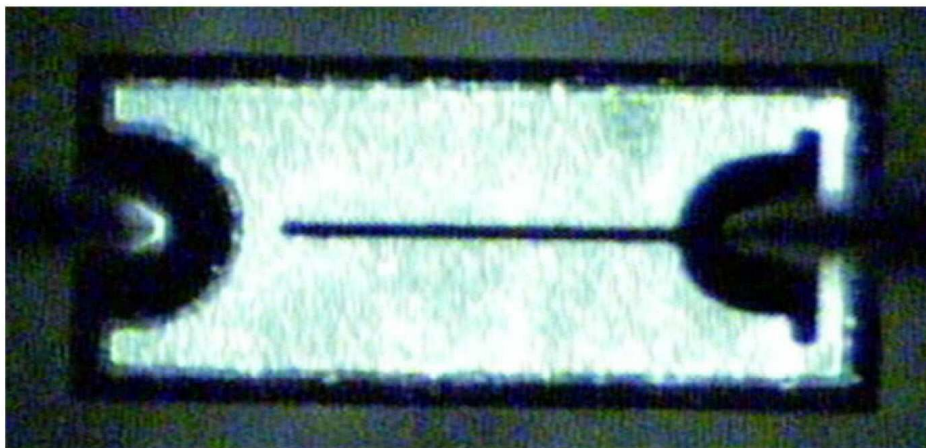
도면7



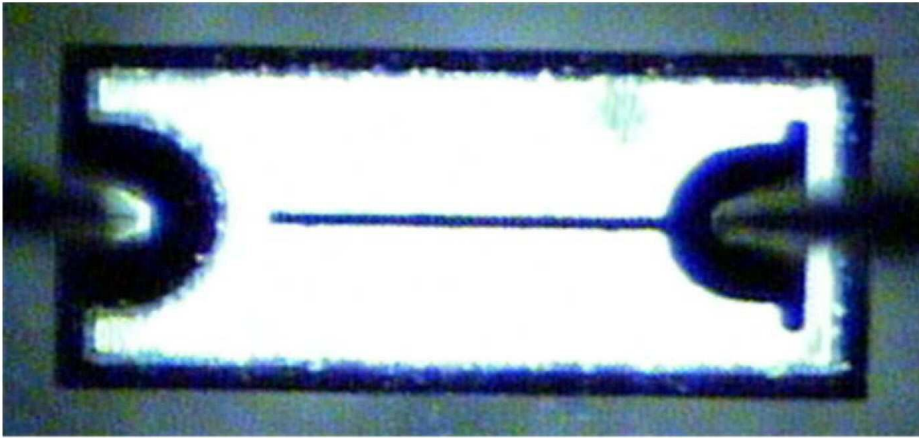
도면8



도면9



도면10



도면11

