

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年11月4日(2005.11.4)

【公開番号】特開2003-218747(P2003-218747A)

【公開日】平成15年7月31日(2003.7.31)

【出願番号】特願2002-285118(P2002-285118)

【国際特許分類第7版】

H 04 B 3/46

G 01 R 31/28

H 04 J 3/00

H 04 L 1/00

【F I】

H 04 B 3/46 M

H 04 J 3/00 U

H 04 L 1/00 C

G 01 R 31/28 D

【手続補正書】

【提出日】平成17年9月16日(2005.9.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】複数の装置通信チャネルを有し、かつ、前記通信チャネルのそれぞれの入力端子を前記通信チャネルの1つの出力端子に接続する装置をテストするために共働動作する発生器及び解析器を含むテストシステムであって、

前記発生器が、複数の発生器チャネルを有し、それぞれのテストパターンチャネルが、前記装置の入力端子に通信すべきテストシーケンスを記憶するための発生器パターン基準メモリと、前記装置の前記通信チャネルの1つに前記テストシーケンスを繰返し送信する回路とを含み、

前記解析器が、複数の解析器チャネルを有し、それぞれの解析器チャネルが、チャネル入力信号を受信する入力端子と、その解析器チャネルによって利用される基準パターンを記憶するための解析器パターン基準メモリと、前記装置の前記通信チャネルの1つにおいて受信された信号とその基準パターンとを比較する比較回路を含み、前記比較回路が、前記基準パターンと前記受信された信号との間の不整合の程度を表わすビット誤り値を提供し、かつ

前記テストシステムが、前記解析器及び前記発生器を動作させるプログラムをさらに含み、前記プログラムが、

(a) 前記発生器及び前記解析器のうちの一方に、それぞれの基準メモリがここに記憶された独自のテストパターンを有するように、互いに排他的なマッピングテストパターンのセットによって、ここに含まれた前記基準メモリをロードさせ、

(b) 前記発生器及び前記解析器のうちの他方に、前記全てのメモリにマッピングテストパターンの前記セットのうちの1つをロードさせ、

(c) それぞれの解析器チャネルに、そのチャネルに記憶された前記基準パターンと、そのチャネルにおいて受信された前記チャネル入力信号とを比較させ、

(d) 前記比較回路によって提供される前記1つのビット誤り値がビット誤り閾値より小さいかどうかを判定し、かつ、そうである場合には、前記ビット誤り値が前記ビット

誤り閾値より小さい前記解析器チャネルを同じマッピングテストパターンを有する前記発生器チャネルにマッピングすること、
を特徴とするテストシステム。

【請求項2】 それぞれのマッピングテストパターンが、前記マッピングテストパターンに對して独自の第1のシーケンスと、前記マッピングテストパターンの全てによって共有される第2のシーケンスとを含み、前記第2のシーケンスは、テストされる前記装置が前記テストシステムに同期されたままであるように、選択されることを特徴とする請求項1に記載のテストシステム。

【請求項3】 前記解析器又は前記発生器が、テストされる前記装置の少なくとも1つの構造要素を定義する情報を含み、かつ、前記プログラムが、その情報及び前にマッピングされた発生器チャネル及び解析器チャネルの1つの對に関する情報を利用して、1つの解析器チャネルに1つの発生器チャネルをマッピングすることを特徴とする請求項1に記載のテストシステム。

【請求項4】 前記プログラムがそれぞれの発生器チャネルを対応する解析器チャネルにマッピングした後に、前記プログラムが、前記発生器に、前記発生器における前記基準メモリ内にビット誤りテストパターンのセットをロードさせることを特徴とする請求項1に記載のテストシステム。

【請求項5】 複数の装置通信チャネルを有し、かつ、前記通信チャネルのそれぞれの入力端子を前記通信チャネルの1つの出力端子に接続する装置をテストするために共働動作する発生器及び解析器を含み、

前記発生器が、複数の発生器チャネルを有し、それぞれのテストパターンチャネルが、前記装置の入力端子に通信すべきテストシーケンスを記憶するための発生器パターン基準メモリと、前記装置の前記通信チャネルの1つに前記テストシーケンスを繰返し送信する回路とを含み、

前記解析器が、複数の解析器チャネルを有し、それぞれの解析器チャネルが、チャネル入力信号を受信する入力端子と、その解析器チャネルによって利用される基準パターンを記憶するための解析器パターン基準メモリと、前記装置の前記通信チャネルの1つにおいて受信された信号とその基準パターンとを比較する比較回路を含み、前記比較回路が、前記基準パターンと前記受信された信号との間の不整合の程度を表わすビット誤り値を提供するように構成して成るテストシステムを操作するための方法であつて、

(a) 前記発生器及び前記解析器のうちの一方に、それぞれの基準メモリがここに記憶された独自のテストパターンを有するように、互いに排他的なマッピングテストパターンのセットによって、ここに含まれた前記基準メモリをロードさせるステップと、

(b) 前記発生器及び前記解析器のうちの他方に、前記全てのメモリにマッピングテストパターンの前記セットのうちの1つをロードさせるステップと、

(c) それぞれの解析器チャネルに、そのチャネルに記憶された前記基準パターンと、そのチャネルにおいて受信された前記チャネル入力信号とを比較させるステップと、

(d) 前記比較回路によって提供される前記1つのビット誤り値がビット誤り閾値より小さいかどうかを判定し、かつ、そうである場合には、前記ビット誤り値が前記ビット誤り閾値より小さい前記解析器チャネルを同じマッピングテストパターンを有する前記発生器チャネルにマッピングするステップと、
を含むことを特徴とする方法。

【請求項6】 前記テストシステムが、テストされる前記装置の少なくとも1つの構造要素を定義する情報を含み、かつ、前記テストシステムが、その情報及び前にマッピングされた発生器チャネル及び解析器チャネルの1つの對に関する情報を利用して、1つの解析器チャネルに1つの発生器チャネルをマッピングすることを特徴とする請求項5に記載の方法。

【請求項7】 それぞれの発生器チャネルを対応する解析器チャネルにマッピングした後に、前記発生器に、前記発生器における前記基準メモリ内にビット誤りテストパターンのセットをロードさせるステップをさらに含むことを特徴とする請求項5に記載の方法。