

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

136 607



Patent dodatkowy
do patentu _____

Zgłoszono: 81 02 25 (P. 229897)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 82 08 30

Opis patentowy opublikowano: 1986 07 31

Int. Cl.³ H03K 17/26

Twórcy wynalazku: Kazimierz Buczek, Michał Knott

Uprawniony z patentu: Politechnika Rzeszowska im. I. Łukasiewicza, Rzeszów;
Ośrodek Badawczo—Rozwojowy Przemysłu Siarkowego „Siarkopol”,
Tamobrzeg (Polska)

Układ elektronicznego przekąźnika czasowego

Przedmiotem wynalazku jest układ elektronicznego przekąźnika czasowego przeznaczony do współpracy z układami scalonymi TTL lub monolitycznymi liniowymi układami scalonymi, stosowany zwłaszcza w technice impulsowej układów regulacji automatycznej i zabezpieczeń elektromagnetycznych.

Znane są z literatury technicznej J. Pienkos i J. Tuszyński „Układy scalone TTL serii UCY74 ich zastosowanie, WKiŁ Warszawa 1977 oraz Z. Kulka i M. Nadachowski „Liniowe układy scalone i ich zastosowanie, WKiŁ, Warszawa 1977 — mechanizmy zegarowe, człony elektromagnetyczne lub kombinacje liniowych układów scalonych z wykorzystaniem komparatora elektronicznego stosowane do realizacji przekąźnika czasowego prostej funkcji opóźnienia.

Znane mechanizmy zegarowe zawierają generator impulsowy fali prostokątnej, licznik binarny synchroniczny lub asynchroniczny oraz odpowiednio zaprogramowany dekodery stanu. Układy opóźniające elektromagnetyczne posiadają człon czasowy mechaniczny, napęd elektromagnetyczny oraz styki zwierne, wykonawcze. Z kolei układy czasowe analogowe zawierają źródło prądowe, układ całkujący, nadajnik poziomu czasu, komparator oraz wzmacniacz operacyjny. Funkcję opóźnienia czasowego realizować można za pomocą uniwibratora opartego o układ scalony typu 74 121.

Wszystkie wymienione rozwiązania wykorzystuje się dotychczas do stwarzania opóźnień w układach i systemach cyfrowych oraz analogowych. Nie podejmowano prób rozwiązań zmierzających do powiązania tych układów z przekąźnikiem elektromagnetycznym, które w tym przypadku realizowałyby funkcje przekąźników czasowych. Wymienione rozwiązania charakteryzują się dużymi gabarytami, względnie koniecznością stosowania kilku stabilizowanych napięć zasilających.

Celem wynalazku jest opracowanie układu przekąźnika czasowego o prostej konstrukcji i małych gabarytach na bazie układów scalonych i elementów elektronicznych dostosowanego do współpracy z układami scalonymi TTL i przekąźnikami elektromagnetycznymi wykonawczymi.

Zgodnie z wynalazkiem układ składa się ze stopnia czasowego, zawierającego przerzutnik monostabilny zbudowany na układzie scalonym UCY74 121, stopnia formującego zawierającego szeregowo połączone ze sobą dwie dwuwejściowe bramki logiczne NAND oraz stopnia wzmacniającego zbudowanego na dwóch tranzystorach. Wejście przerzutnika monostabilnego jest połączone z jednym z wejść pierwszej bramki logicznej stopnia formującego, a jego wyjście z drugim wejściem tej bramki, natomiast wyjście pierwszej bramki logicznej jest

połączone ze zwartymi wejściami drugiej bramki logicznej stopnia formującego i jest zblokowane kondensatorem do masy układu. Z kolei wyjście drugiej bramki logicznej stopnia formującego jest połączone poprzez rezystor z wejściem stopnia wzmacniającego.

Układ według wynalazku umożliwia płynną podstawę czasu opóźnienia zadziałania przekaźnika w zakresie do 40 sekund.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat ideowy elektronicznego przekaźnika czasowego, a fig. 2 — przebiegi czasowe ilustrujące działanie układu.

Układ według wynalazku ma stopień czasowy 1 zawierający przerzutnik monostabilny 2 zbudowany na układzie scalonym typu UCY74 121, którego wejścia A1, A2 dołączone są do masy, a jego wyjście Q połączone jest z wejściem A3 pierwszej bramki logicznej N1 ($\frac{1}{4}$ UCY7400) stopnia formującego 3 impuls wejściowy. Wejście B1 przerzutnika monostabilnego 2 jest połączone z wejściem B2 stopnia formującego 3, natomiast wyjście Y1 bramki N1 jest połączone ze zwartymi wejściami A4, S3 drugiej bramki logicznej N2 ($\frac{1}{4}$ UCY7400) stopnia formującego 3 i jest zblokowane kondensatorem C1 do masy układu. Z kolei wyjście Y2 bramki logicznej N2 połączone jest poprzez rezystor R2 z wejściem stopnia wzmacniającego 4 impuls wyjściowy Wy znanego układu piłokształtnego zbudowanego na dwóch tranzystorach T1 i T2. W stopniu wzmacniającym 4 emiter tranzystora T1 jest sprzężony z bazą tranzystora T2 oraz poprzez rezystor R4 z masą układu, zaś kolektor tranzystora T1 jest poprzez rezystor R3 połączony z zasilaczem Vcc, natomiast kolektor tranzystora T2 jest połączony z odbiornikiem Q, a jego emiter z masą układu.

Działanie układu jest następujące: sygnał wejściowy We jako „jedyńka logiczna” podany na wejście B1 przerzutnika monostabilnego 2 w chwili „ t_0 ” wywołuje wytrącenie multivibratora ze stanu stabilnego. Wówczas na wyjściu Q pojawia się stan „zera logicznego” na czas określony zależnością $\Delta t = RC \ln 2$. W przedziale czasu „ Δt ” stan pozostałych elementów jest niezakłócony. W chwili „ t_1 ” następuje zmiana stanu na wyjściu bramki logicznej N1 z „jedyńki logicznej” na „zero logiczne”, co pociąga za sobą zmianę stanu na wyjściu bramki logicznej N2 z „zera logicznego” na „jedyńkę logiczną”. Wysoki poziom wyjścia bramki N2ysterowuje tranzystory stopnia wzmacniającego 4.

Zastrzeżenie patentowe

Układ elektronicznego przekaźnika czasowego zbudowany na bazie układów scalonych posiadający stopień czasowy z przerzutnikami monostabilnymi zbudowany na układzie scalonym typu 74 121, którego dwa wejścia dołączone są do masy, a na jedno z wejść podawany jest impuls wejściowy, z n a m i e n n y t y m, że jego wyjście (Q) połączone jest z wejściem (A3) pierwszej logicznej (N1) stopnia formującego (3) impuls wejściowy, zaś jego wejście (B1) z wejściem (B2) tego stopnia, natomiast wyjście (Y1) pierwszej bramki logicznej (N1) jest połączone ze zwartymi wejściami (A4, B3) drugiej bramki logicznej (N2) stopnia formującego (3) i jest zblokowane kondensatorem (C1) do masy układu, zaś wyjście (Y2) drugiej bramki logicznej (N2) połączone jest poprzez rezystor (R2) z wejściem stopnia wzmacniającego (4) impuls wyjściowy (Wy) zbudowanego na dwóch tranzystorach (T1, T2).

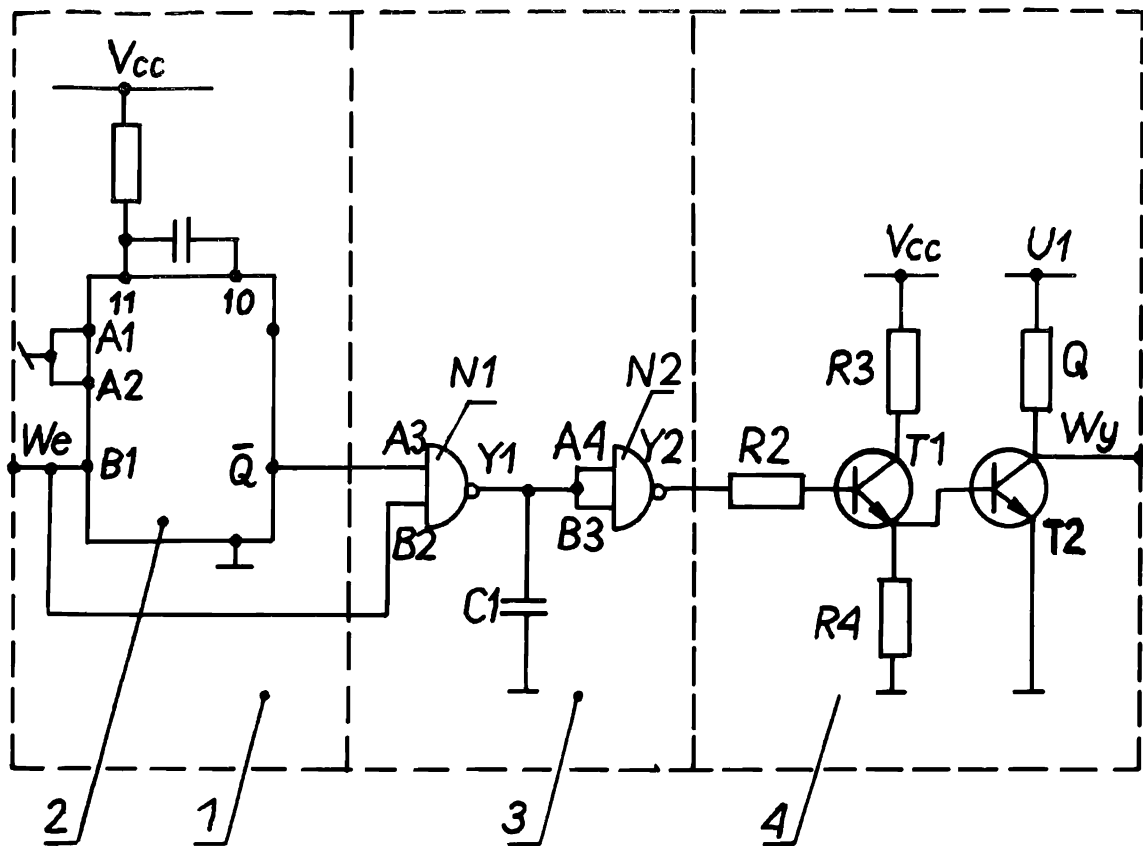


Fig. 1

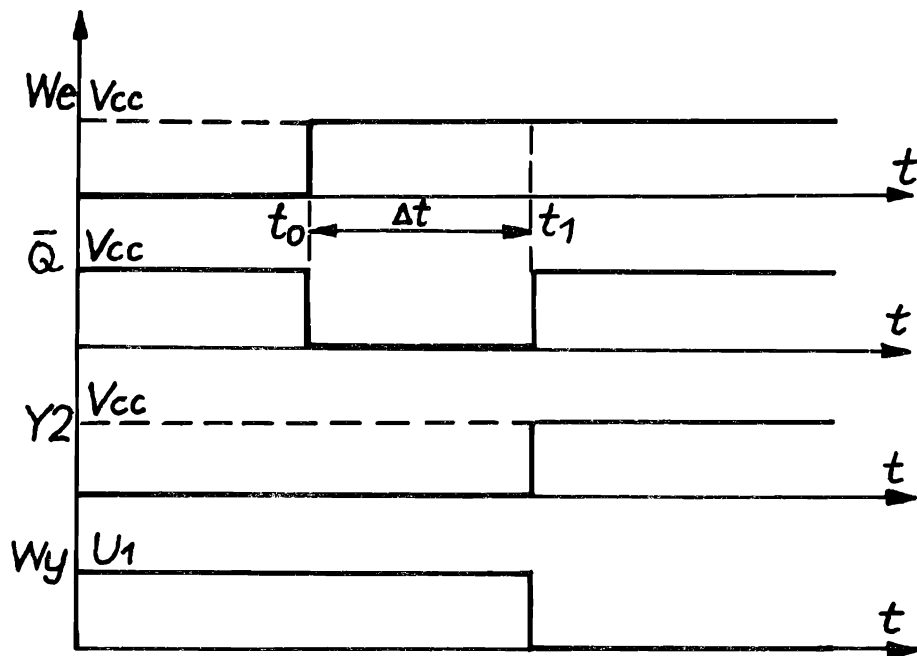


Fig. 2