

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号

WO 2018/042935 A1

(51) 国際特許分類:
G06F 9/52 (2006.01) B60R 16/02 (2006.01)

(21) 国際出願番号: PCT/JP2017/026375

(22) 国際出願日: 2017年7月20日(20.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-169607 2016年8月31日(31.08.2016) JP

(71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).

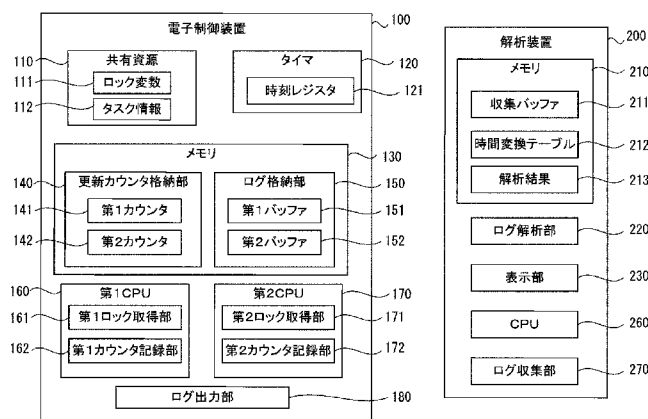
(72) 発明者: 下 沢 拓 (SHIMOSAWA, Taku); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP). 蛭名 朋仁 (EBINA, Tomohito); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 峯 博史(MINE, Hiroshi); 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内 Tokyo (JP).

(74) 代理人: 特許業務法人サンネクスト国際特許事務所(SUNNEXT INTERNATIONAL PATENT OFFICE); 〒1400002 東京都品川区東品川二丁目 3 番 1 2 号 シーフォートスクエア センタービルディング 1 6 階 Tokyo (JP).

(54) Title: ELECTRONIC CONTROL DEVICE AND ANALYSIS SYSTEM

(54) 発明の名称: 電子制御装置、解析システム

【図1】



100 Electronic control device	161 First lock acquisition unit
110 Shared resource	162 First counter recording unit
111 Lock variable	170 Second CPU
112 Task information	171 Second lock acquisition unit
120 Timer	172 Second counter recording unit
121 Timestamp register	180 Log output unit
130, 210 Memory	200 Analysis device
140 Update counter storage unit	211 Collection buffer
141 First counter	212 Time conversion table
142 Second counter	213 Analysis result
150 Log storage unit	220 Log analysis unit
151 First buffer	230 Display unit
152 Second buffer	270 Log collection unit
160 First CPU	

(57) Abstract: Provided is an electronic control device, comprising a plurality of CPU cores and a shared resource, wherein each of the CPU cores is capable of monopolistically using the shared resource by mutual exclusion. The electronic control device further comprises: an update counter storage unit in which a counter value is stored; a log storage unit in which logs are stored of programs which the CPU cores have executed; a counter update unit which changes the counter value when the CPU cores accesses the shared resource; and a counter recording unit which, if the shared resource is not being

[続葉有]



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

mutually excluded by one of the CPU cores when another of the CPU cores accesses the shared resource, records in the log storage unit the log which includes the counter value.

(57) 要約: 電子制御装置は、複数のCPUコアと、共有資源とを備える電子制御装置であって、CPUコアのそれぞれは排他制御により共有資源を独占して使用可能であり、カウンタ値が格納される更新カウンタ格納部と、CPUコアが実行したプログラムのログが格納されるログ格納部と、CPUコアが共有資源にアクセスしたときに、カウンタ値を変化させるカウンタ更新部と、CPUコアが共有資源にアクセスしたときに、共有資源が他のCPUコアにより排他制御されていない場合には、カウンタ値を含むログをログ格納部に記録するカウンタ記録部とをさらに備える。

明 細 書

発明の名称：電子制御装置、解析システム

技術分野

[0001] 本発明は、電子制御装置、および解析システムに関する。

背景技術

[0002] 複数のCPUが協調して動作する電子制御装置においては、複数のCPUが共有する資源へのアクセスの排他制御が必要になる。あるCPUが共有資源を使用している場合は、他のCPUは先のCPUの使用が完了するまでは共有資源を使用できず、待ち時間が生じる。この待ち時間の発生は、電子制御装置の処理能力を低下させるため、待ち時間を生じさせないことが望ましい。そのためには待ち時間の原因の解析が必要であり、解析のために待ち時間をログとして記録することが求められる。

特許文献1には、時刻レジスタにアクセスし、現在時刻と取得した時刻との差分として待ち時間を算出する手法が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2012／132017号

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載されている発明では、待ち時間の記録のためのオーバーヘッドが大きい。

課題を解決するための手段

[0005] 本発明の第1の態様による電子制御装置は、複数のCPUコアと、共有資源とを備える電子制御装置であって、前記CPUコアのそれぞれは排他制御により前記共有資源を独占して使用可能であり、カウンタ値が格納される更新カウンタ格納部と、前記CPUコアが実行したプログラムのログが格納されるログ格納部と、前記CPUコアが前記共有資源にアクセスしたときに、

前記カウンタ値を変化させるカウンタ更新部と、前記CPUコアが前記共有資源にアクセスしたときに、前記共有資源が他のCPUコアにより排他制御されていない場合には、前記カウンタ値を含む前記ログを前記ログ格納部に記録するカウンタ記録部とをさらに備える。

本発明の第2の態様による解析システムは、第1の態様の電子制御装置と、解析装置と、を備え、前記解析装置は、前記電子制御装置の前記ログ格納部に格納された前記ログが入力されるログ収集部と、前記カウント値を実時間に換算するための換算情報を格納する記憶部と、前記換算情報を用いて、前記ログ収集部に入力された前記カウンタ値を実時間に換算する解析部と、を備える。

発明の効果

[0006] 本発明によれば、待ち時間の記録のためのオーバーヘッドを減らすことができる。

図面の簡単な説明

[0007] [図1]解析システムの構成を示す図

[図2]電子制御装置の動作例を示す図

[図3]第1バッファの一例を示す図

[図4]第2バッファの一例を示す図

[図5]時間変換テーブルの一例を示す図

[図6]解析結果の一例を示す図

[図7]電子制御装置の動作を表すフローチャート

[図8]ログ解析の動作を表すフローチャート

[図9]第2の実施の形態における電子制御装置の構成を示す図

[図10]第2の実施の形態における電子制御装置の動作を表すフローチャート

[図11]第3の実施の形態における第1バッファの一例を示す図

[図12]第3の実施の形態における時間変換テーブルの一例を示す図

[図13]第3の実施の形態における電子制御装置の動作を表すフローチャート

発明を実施するための形態

[0008] (第1の実施の形態)

以下、図1～図8を参照して、電子制御装置の第1の実施の形態を説明する。

図1は、本発明に係る電子制御装置100、および解析システム1の構成を示す図である。解析システム1は、電子制御装置100と、解析装置200とから構成される。

[0009] 電子制御装置100は、たとえばECU (Electronic Control Unit) である。電子制御装置100は、第1CPU160と、第2CPU170と、これら2つのCPUが使用可能な共有資源110と、主記憶装置であるメモリ130と、現在時刻の情報を有するタイマ120と、ログ出力部180とを備える。以下では、第1CPU160と第2CPU170とをまとめて、「CPU」とも呼ぶ。

[0010] 共有資源110は、メモリ130の一部の領域、メモリ130とは独立した物理メモリ、またはいずれかのCPUのハードウェアレジスタである。共有資源110は、第1CPU160および第2CPU170からアクセスが可能であり、後述する排他制御によりいずれかのCPUにより共有資源110が専有される。共有資源110は、ロック変数111、およびタスク情報112が格納される記憶部を備える。

[0011] ロック変数111は、排他制御の状態を示す変数であり、たとえば「ゼロ」と「1」の値をとる本実施の形態では、ロック変数111が「0」の状態とは、共有資源110がいずれのCPUによっても排他制御されていない、すなわち専有されていない状態である。また、ロック変数111が「1」の状態とは、共有資源110がいずれかのCPUによって排他制御されている、すなわち専有されている状態である。

[0012] タスク情報112は、共有資源110を専有した最新のタスクの識別子を示す変数である。換言すると、ロック変数111が最後に「1」に設定された際に、共有資源110を占有したCPUにおいて実行されていたタスクの識別子がタスク情報112として保存される。なお、タスクの識別子だけで

はそのタスクを実行したCPUを特定できない場合は、そのタスクを実行したCPUを特定する情報も識別情報としてタスク情報112に含まれる。なお上述したタスクとは、CPUが実行する処理を意味しており、処理系によってジョブ、プロセス、スレッドなどと呼ばれる。

[0013] 第1CPU160および第2CPU170のそれぞれは、個別のCPUであり、それぞれがCPUコアを有する。すなわち電子制御装置100は、複数の物理CPUを備えるいわゆるマルチプロセッサ構成を有する装置である。第1CPU160は、不図示のプログラムをメモリ130に展開して実行することにより、第1ロック取得部161および第1カウンタ記録部162として動作する。第2CPU170は、不図示のプログラムをメモリ130に展開して実行することにより、第2ロック取得部171および第2カウンタ記録部172として動作する。第1CPU160および第2CPU170は、以下のように共有資源110を一時的に専有して使用する。

[0014] CPU、すなわち第1CPU160および第2CPU170は、共有資源110を使用する必要があると、まずロック変数111の値を確認する。CPUが確認した際にロック変数111が「ゼロ」であれば、CPUはロック変数111を「1」に書き換えて共有資源110を専有して使用し、使用が終了するとロック変数111を「1」から「ゼロ」に書き換える。CPUが確認した際にロック変数111が「1」であった場合は、そのCPUは所定時間ごとにロック変数111にアクセスし、ロック変数111が「ゼロ」に変更されるまでアクセスを続ける。なお、CPUがロック変数111にアクセスする時間間隔は既知であり、この時間間隔に基づき後述する時間変換テーブル212があらかじめ作成されている。

[0015] このように、共有資源110の専有に成功するまで、上記の例ではロック変数111が「ゼロ」になるまで、アクセスを繰り返す排他制御方式は「スピンロック」と呼ばれる。本実施の形態では、スピンロックにおける共有資源110の専有を試みた回数、すなわちロック変数111の値を確認した2回目以降の回数を「スピン回数」と呼ぶ。たとえば、ロック変数111を確

認した初回で「ゼロ」であった場合はスピン回数はゼロであり、ロック変数 111 を確認した 3 回目で初めて「ゼロ」であった場合はスピン回数は 2 である。また、共有資源 110 を使用するために、初回にロック変数 111 の値を確認してからロック変数 111 に「1」を代入できるまでの時間を「ロック待ち時間」と呼ぶ。さらに、ロック変数 111 を「ゼロ」から「1」に書き換えて共有資源 110 を排他制御することを「ロック取得」とも呼ぶ。

[0016] このロック取得を行うのが、第 1 ロック取得部 161 および第 2 ロック取得部 171 である。第 1 ロック取得部 161 は第 1 CPU 160 が共有資源 110 を使用する場合に動作し、第 2 ロック取得部 171 は第 2 CPU 170 が共有資源 110 を使用する場合に動作する。第 1 ロック取得部 161 および第 2 ロック取得部 171 による、ロック変数 111 の確認、およびロック変数 111 が「ゼロ」であった場合の「1」の代入は、TEST-and-SET 命令としてアトミックに実行される。すなわち、変数の確認と変数への代入は他の CPU からは一連の動作として割り込まれることなく実行される。

[0017] 第 1 カウンタ記録部 162、および第 2 カウンタ記録部 172 は、第 1 ロック取得部 161 および第 2 ロック取得部 171 によるロック取得後に、ロック変数 111 の値などを第 1 バッファ 151 および第 2 バッファ 152 に格納する。第 1 カウンタ記録部 162、および第 2 カウンタ記録部 172 の動作は後に詳述する。

タイマ 120 は、時刻を管理するハードウェアである。タイマ 120 は、時刻情報を示す時刻レジスタ 121 を備える。時刻情報は、絶対時刻であってもよいし、電子制御装置 100 の電源がオンにされた時点など所定の時刻を基準、たとえばゼロとする相対時刻であってもよい。

[0018] メモリ 130 は、記憶装置であり、CPU によって実行されるプログラム及びデータが保持される。メモリ 130 は、その機能として更新カウンタ格納部 140 と、ログ格納部 150 とを備える。なお、共有資源 110、メモリ 130、およびタイマ 120 は、それぞれ電子制御装置 100 上の CPU

と独立したハードウェアであってもよいし、SoC (System-on-Chip) のように一つの半導体チップ上に統合されていてもよい。

[0019] 更新カウンタ格納部140には、第1カウンタ141、および第2カウンタ142が格納される。第1カウンタ141は、第1CPU160により更新されるカウンタ値であり、第1CPU160のスピンの回数を示す。第2カウンタ142は、第2CPU170により更新されるカウンタ値であり、第2CPU170のスピンの回数を示す。第1カウンタ141、および第2カウンタ142の初期値はゼロであり、更新によりそれぞれ1ずつ増加される。

[0020] ログ格納部150は、第1バッファ151、および第2バッファ152を備える。第1バッファ151には第1CPU160が実行したプログラムのログが格納される。第2バッファ152には第2CPU170が実行したプログラムのログが格納される。ログ格納部150に格納されたログは、後述するログ出力部180を経由して解析装置200に出力される。

ログ出力部180は、解析装置200のログ収集部270と通信を行うインタフェースである。ログ出力部180はたとえば、JTAGなどのデバッグ用インタフェース、またはCAN (Car Area Network) やIEEE 802.3に対応する通信インタフェースである。ログ出力部180は、解析装置200からの要求に応じて、または一定時間ごとに解析装置200にログを出力する。

[0021] (解析装置の構成)

解析装置200は、メモリ210と、ログ解析部220と、表示部230と、CPU260と、ログ収集部270とを備える、たとえばコンピュータである。メモリ210には、電子制御装置100の各CPUのログが集約される収集バッファ211、スピン回数と時間の関係を示す時間変換テーブル212、およびログ解析部220により出力される解析結果213が格納される。

ログ解析部220は、収集バッファ211に格納されるログを時間変換テーブル212を用いて解析する。換言するとログ解析部220は、スピン回

数として記録されているロック待ち時間を実時間に変換する。ログ解析部 220 が解析した結果は、解析結果 213 としてメモリ 210 に格納されるとともに表示部 230 に表示される。

[0022] 表示部 230 は、収集バッファ 211 に格納されるログ、およびログ解析部 220 により出力された解析結果 213 を表示する。ただし表示部 230 は、解析装置 200 に接続された表示装置に表示すべき情報を出力する装置であってもよい。CPU 260 は、解析装置 200 を動作させる演算装置である。CPU 260 のアーキテクチャ、コア数、ソケット数、動作速度等は特に限定されない。

ログ収集部 270 は、電子制御装置 100 のログ出力部 180 と通信を行うインタフェースである。ログ収集部 270 はたとえば、JTAG などのデバッグ用インタフェース、または CAN や IEEE 802.3 に対応する通信インタフェースである。ログ収集部 270 は、電子制御装置 100 から受信するログを収集バッファ 211 に格納する。

[0023] (動作例)

図 2 を用いて第 1 CPU 160 および第 2 CPU 170 の動作例を説明する。図 2 に示すタイムチャートは、第 1 CPU 160 および第 2 CPU 170 が実行するタスク、およびロック取得を示している。図示左から右に向かって時間が経過している。図 2 の上部に示す数字は時刻レジスタ 121 から得られる時刻を示している。後に図 3、図 4 を用いて説明する、第 1 バッファ 151、および第 2 バッファ 152 に格納されるログは図 2 に示す動作により得られたログである。なお以下では、複数回実行される共有資源 110 の排他制御、すなわちロック取得のそれぞれを便宜的に区別するために、実行される順番に、ロック L、ロック M、ロック N、・・・と呼ぶ。

[0024] 第 1 CPU 160 は、時刻 850 から時刻 910 までの間タスク A を実行しており、時刻 880 に割り込み R が発生し、時刻 900 まで割り込み R が継続する。第 1 CPU 160 は、時刻 860 にロック L の取得を開始し、時刻 885 にロック N の取得を開始し、時刻 900 の少し前にロック O の取得

を開始している。第2CPU170は、時刻840から時刻920までの間タスクBを実行しており、時刻870に割り込みQが発生し、時刻890まで割り込みQが継続する。第2CPU170は、時刻880にロックMの取得を開始し、ロックMの取得後は共有資源110を使用して時刻885を経過した後、共有資源110の使用を終了した。また、第1CPU160のロックNの取得に関して、その時のスピン回数は300であり、その前に共有資源110を使用していたタスクは割り込みQである。それ以外のロック取得、すなわちロックL、ロックM、ロックOのスピン回数はゼロである。スピン回数がゼロの場合はロックの取得は即座に行われる。

[0025] (バッファの構成)

図3、および図4は、第1バッファ151、および第2バッファ152に格納される情報の一例を示す図である。ここでは、図2に示す動作が行われた際に、第1バッファ151、および第2バッファ152に格納される情報を示している。第1バッファ151、および第2バッファ152の構成は同一なので、代表して第1バッファ151を説明する。第1バッファ151には、1または複数のレコードから構成されるログが格納される。第1バッファ151の各レコードは、イベント種類311、イベント内容312、タイムスタンプ313、待ち時間314、タスク情報315の5つのフィールドを備える。第1バッファ151の各レコードが、第1CPU160において実行されるプログラムの各イベントに対応する。

[0026] イベント種類311のフィールドには、発生したイベントの種類、たとえば「タスク開始」、「ロック取得」などが格納される。イベント内容312のフィールドには、発生したイベントの対象、たとえば「タスクA」「割り込みR」などが格納される。たとえばイベント種類が「タスク開始」、イベント内容312が「タスクA」であれば、そのログは、そのCPUにおいてタスクAの実行が開始された、というイベントを表している。

[0027] タイムスタンプ313のフィールドには、イベントが発生した時刻の情報が格納される。時刻情報は、タイマ120の時刻レジスタ121から得られ

る。待ち時間 3 1 4 のフィールドには、第 1 カウンタ 1 4 1 から得られるロック待ち時間を示す情報、すなわちスピン回数が格納される。タスク情報 3 1 5 のフィールドには、スピン回数が 1 以上であるときにロック取得に成功した際のタスク情報 1 1 2 の値が格納される。以下では、あるフィールドに格納された値をフィールドの名称で呼ぶことがある。たとえば「イベント種類 3 1 1 のフィールドに格納された値が x x」であることを、「イベント種類 3 1 1 が x x」と記載することがある。

各レコードのフィールドには、特定の条件で記録される、または特定の条件で記録されないものがある。

[0028] タイムスタンプ 3 1 3 のフィールドには、以下の条件で記録がされない。すなわち、イベント種類 3 1 1 が「ロック取得」であり待ち時間 3 1 4 がゼロ (0) の場合は、タイムスタンプ 3 1 3 のフィールドには値が記録されない。それ以外の場合、すなわち第 1 C P U 1 6 0 が二回目以降のアクセスでロック取得できた場合に、タイムスタンプ 3 1 3 のフィールドには値が記録される。ロック取得の待ち時間がゼロの場合は時刻を記録する必要性に乏しく、さらに時刻の記録に要するオーバーヘッドが大きいからである。図 3、および図 4 に示す例では、待ち時間 3 1 4 がゼロであるロック L, M, O のイベントではタイムスタンプ 3 1 3 が記録されていない。

[0029] 待ち時間 3 1 4 のフィールドには、イベント種類 3 1 1 が「ロック取得」である場合に記録される。すなわち、イベント種類 3 1 1 が「ロック取得」以外の場合は、待ち時間 3 1 4 のフィールドには値が記録されない。前述のとおり、待ち時間 3 1 4 のフィールドにはスピン回数が格納されるので、スピが発生しえない「ロック取得」以外のイベントでは記録が不可能だからである。図 3 および図 4 に示す例では、待ち時間 3 1 4 がゼロではないロック N のイベントのみタスク情報 3 1 5 が記録される。

[0030] タスク情報 3 1 5 のフィールドには、イベント種類 3 1 1 が「ロック取得」であり待ち時間 3 1 4 がゼロ以外である場合、すなわち第 1 C P U 1 6 0 が二回目以降のアクセスでロック取得できた場合に、値が記録される。それ

以外の場合はタスク情報 3 1 5 のフィールドには値が記録されない。ロック取得の待ち時間がゼロの場合は、直前に共有資源 1 1 0 を使用していたタスクを特定する必要性が乏しいからである。

なお、図 2 と図 3 においては、第 1 バッファ 1 5 1 および第 2 バッファを単純な表として記載しているが、リングバッファのような構造であってもよく、また実際のデータ格納には、可変長のレコードを用いてもよい。

[0031] (時間変換テーブル)

図 5 は、時間変換テーブル 2 1 2 の一例を示す図である。時間変換テーブル 2 1 2 は、第 1 バッファ 1 5 1 や第 2 バッファ 1 5 2 における待ち時間のフィールドに格納されたスピン回数と実時間の対応表であり、待ち時間 3 2 1、実時間 3 2 2 のフィールドを備える。待ち時間 3 2 1 のフィールドには、待ち時間すなわちスピン回数が格納され、実時間 3 2 2 のフィールドには、待ち時間 3 2 1 に格納された待ち時間（スピン回数）の値に対応する実時間の値が格納される。図 5 には、待ち時間がゼロであれば実時間もゼロであり、待ち時間が「1」であれば実時間は「5 マイクロ秒」であり、待ち時間が「1 + n」であれば実時間は「5 + 4 * n マイクロ秒」であることが示されている。

[0032] たとえば図 2 および図 3 に示したロック N について、時間変換テーブル 2 1 2 を用いることで以下のことがわかる。ロック N は、図 3 の待ち時間 3 1 4 に格納されている待ち時間の値が 3 0 0、すなわち 1 + 2 9 9 であるため、ロック N を取得するのに要した実時間は $5 + 4 * 299 = 1201$ マイクロ秒である。さらに、ロック N の取得を開始したのが時刻 8 8 5 なので、時刻 8 8 5 から 1 2 0 1 マイクロ秒経過したときにロック N が取得されたことがわかる。

なお、時間変換テーブル 2 1 2 に格納される情報は、図 5 に示したようなテーブル形式以外の情報であってもよい。すなわち、スピン回数と実時間の関係を適切に表す情報であれば、どのような形式の情報を時間変換テーブル 2 1 2 に格納してもよい。

[0033] (解析結果)

図6は、解析装置200のログ解析部220が出力する解析結果213の一例を示す図である。解析結果213には、収集バッファ211に格納されたログを解析して得られた情報であって、待ち時間の発生したロック取得イベントの詳細が記される。解析結果213を構成するレコードのそれぞれはロック取得イベントにそれぞれ対応する。解析結果213は、処理CPU331と、発生処理332と、ロック333と、タイムスタンプ334と、実待ち時間335と、原因CPU336と、原因処理337との7つのフィールドから構成される。

[0034] 処理CPU331のフィールドには、そのロック取得イベントが発生したCPUの識別子、または名称が格納される。発生処理332のフィールドには、そのロック取得イベントを発生させたタスクもしくは割り込み処理の名称が格納される。ロック333のフィールドには、便宜的に設定したロックの名称が格納される。タイムスタンプ334のフィールドには、そのロック取得イベントが発生した時刻の情報が格納される。実待ち時間335のフィールドには、時間変換テーブル212を用いて変換されたロック取得までの待ち時間が格納される。原因CPU336のフィールドには、ロック取得において待ちの原因となったCPUの識別子または名称が格納される。原因処理337のフィールドには、ロック取得において待ちの原因となったタスクの識別子が格納される。待ちの原因となったCPU及びタスクとは、そのイベントにおいてロック取得を試みた際に、そのロックを保持していたCPUとそのCPUが実行していたタスクである。待ちの原因となったCPU及びタスクは、タスク情報112から特定される。

[0035] 図6の1レコード目を具体的に説明する。このレコードは、図3における4レコード目のログに基づき生成されている。第1CPU160が時刻185にロックNを取得するために、スピン回数300の待ちが発生した。そのため解析結果213では、処理CPU331に「第1CPU」、発生処理332に「割り込みR」、ロック333に「ロックN」、タイムスタンプ33

4に「185」が格納される。また、300回のスピンは、時間変換テーブル212によると1201マイクロ秒に相当するので、実待ち時間335のフィールドには「1201マイクロ秒」が格納される。直前に共有資源110を使用したタスクは割り込みQであり、そのタスクは第2CPU170により実行されたので、原因CPU336のフィールドには「第2CPU」、原因処理337のフィールドには「割り込みQ」が格納される。

[0036] (解析システム1の動作概要)

解析システム1の動作概要を説明する。解析システム1の動作は、ログの収集と解析に大別される。ログの収集は電子制御装置100により実行され、ログの解析は解析装置200により実行される。

電子制御装置100の第1CPU160および第2CPU170は、不図示のプログラムを実行することによりそれぞれソフトウェアを動作させる。これらのソフトウェアは、共有資源110の使用を必要とする。第1CPU160および第2CPU170は、ソフトウェアのイベントのログをログ格納部150に格納する。格納されるログは、タスクの実行開始と終了、割り込み処理の開始と終了、そして共有資源110を使用するためのロックの取得処理などである。本実施の形態では、ロックの取得処理のログに注目しているので、それ以外のログの記録処理の説明は省略する。

[0037] 第1CPU160は、第1ロック取得部161を用いてロックを取得し、取得したロックに関するログを第1カウンタ記録部162を用いて第1バッファ151に記録する。第2CPU170は、第2ロック取得部171を用いてロックを取得し、取得したロックに関するログを第2カウンタ記録部172を用いて第2バッファ152に記録する。ログ出力部180は、ログ格納部150に格納されたログを解析装置200に出力する。

[0038] 解析装置200のCPU260は、電子制御装置100から出力されたログをログ解析部220に解析させる。ログ解析部220が解析した結果は、解析結果213としてメモリ210に格納されるとともに表示部230に表示される。

以下では、図7を用いて第1CPU160におけるロック取得の動作、およびロックに関するログの格納の動作を説明し、図8を用いてログ解析部220の動作を説明する。なお、第2CPU170におけるロック取得の動作、およびロックに関するログの格納の動作は、第1CPU160の動作と同様なので説明を省略する。

[0039] (ロック取得と記録のフローチャート)

図7を用いて、第1CPU160による、ロック取得動作およびロック取得に関するログ記録動作を説明する。以下に説明する各ステップの実行主体は、第1CPU160である。

ステップS400では、第1カウンタ141のカウント値をゼロにリセットする。続くステップS401では共有資源110を使用するために、前述のTEST-and-SET命令を用いてロックの取得を試みる。続くステップS402ではステップS401におけるロック取得が成功したか否かを判断し、成功したと判断する場合はステップS406に進み、失敗したと判断する場合はステップS403に進む。

[0040] ステップS403では第1カウンタ141のカウント値をインクリメント、すなわち1増加させる。続くステップS404では、第1カウンタ141のカウント値が「1」であるか否かを判断する。カウント値が「1」であると判断する場合、すなわちステップS400が実行された後にステップS402で初めて否定判断された場合はステップS405に進む。カウント値が「1」以外であると判断する場合、すなわちステップS400が実行された後にステップS402で否定判断されたのが2回目以降である場合はステップS401に戻る。ステップS405では、時刻レジスタ121からタイムスタンプを取得し、ステップS401に戻る。

ロックの取得に成功すると実行されるステップS406では、第1カウンタ141のカウント値がゼロであるか否かを判断する。ゼロであると判断する場合はステップS407に進み、ゼロ以外であると判断する場合はステップS408に進む。

[0041] ステップS407では、第1バッファ151を記録対象として、以下の情報を第1カウンタ記録部162に記録させる。すなわち、第1CPU160において現在実行されているイベントの種類、すなわち「ロック取得」、イベントの内容、および第1カウンタ141のカウント値を記録させる。ステップS408では、第1バッファ151を記録対象として、以下の情報を第1カウンタ記録部162に記録させる。すなわち、第1CPU160において現在実行されているイベントの種類、イベントの内容、第1カウンタ141のカウント値、ステップS405において取得したタイムスタンプ、およびタスク情報112を記録させる。

ステップS407またはステップS408の実行が終了すると実行されるステップS409では、タスク情報112に第1CPU160において現在実行されているタスクの情報を格納し、図7に示すフローチャートを終了する。

[0042] (ログ解析のフローチャート)

図8は、収集バッファ211に収集されたログを解析し、解析結果213を出力するログ解析部220の動作を表すフローチャートである。以下に説明する各ステップの実行主体は解析装置200のCPU260である。

ステップS501では、収集バッファ211にログが収納されているいずれかのCPUを処理対象として選択してステップS502に進む。後述するように、ステップS501とステップS509の間、すなわちステップS502～ステップS508の処理を、収集バッファ211にログが収納されている全てのCPUについて実行する。

[0043] ステップS502では、処理対象に選択されたCPUのいずれかのログを処理対象として選択してステップS503に進む。後述するように、ステップS502とステップS508の間、すなわちステップS503～ステップS507の処理を、処理対象のCPUの全てのログについて実行する。

ステップS503では、処理対象のログのイベント種類311が「ロック取得」であるか否かを判断し、「ロック取得」であると判断する場合はステ

ップS 5 0 4に進み、それ以外であると判断する場合はステップS 5 0 8に進む。

- [0044] ステップS 5 0 4では、処理対象のログの待ち時間が「1」以上であるかを判断し、「1」以上であると判断する場合はステップS 5 0 5に進み、それ以外、すなわちゼロであると判断する場合はステップS 5 0 8に進む。

ステップS 5 0 5では、処理対象のログのタスク情報3 1 5のフィールドの値に基づきそのタスクを実行していたCPUを特定する。続くステップS 5 0 6では、処理対象のログの待ち時間3 1 4のフィールドの値を、時間変換テーブル2 1 2を用いて実時間に変換してステップS 5 0 7に進む。

- [0045] ステップS 5 0 7では、処理対象のログの情報を解析結果2 1 3に記録する。このとき解析結果2 1 3の各フィールドに記録する値は、以下のとおりである。処理CPU 3 3 1は、ステップS 5 0 2～S 5 0 8のループにおいて現在処理対象のCPUの名称である。発生処理3 3 2の値は、処理対象のログの直前のログにおけるイベント内容3 1 2の値である。ロック3 3 3の値は、処理対象のログにおけるイベント内容3 1 2の値である。タイムスタンプ3 3 4の値は、処理対象のログにおけるタイムスタンプ3 3 1の値である。実待ち時間3 3 5の値は、ステップS 5 0 6において算出された実時間である。原因CPU 3 3 6の値は、ステップS 5 0 5において特定されたCPUの名称である。原因処理3 3 7の値は、処理対象のログにおけるタスク情報3 1 5の値である。

- [0046] 続くステップS 5 0 8では、処理対象のCPUの全てのログを処理対象としたか否かを判断する。未処理のログがあると判断する場合は未処理のログのいずれかを処理対象としてステップS 5 0 3に戻り、全てのログを処理したと判断する場合はステップS 5 0 9に進む。

ステップS 5 0 9では、収集バッファ2 1 1にログが格納されている全てのCPUを処理対象としたか否かを判断する。未処理のCPUがあると判断する場合は未処理のCPUのいずれかを処理対象としてステップS 5 0 2に

戻り、全てのCPUを処理したと判断する場合は図8のフローチャートを終了する。

[0047] 上述した第1の実施の形態によれば、次の作用効果が得られる。

(1) 電子制御装置100は、複数のCPU、すなわち第1CPU160および第2CPU170と、共有資源110とを備える。CPUのそれぞれは、排他制御により共有資源110を独占して使用可能である。CPUのそれぞれは、カウンタ値が格納される更新カウンタ格納部140と、カウントが完了したカウント値を含む、第1CPU160および第2CPU170が実行したプログラムのログが格納されるログ格納部150とを備える。CPUは、CPUが共有資源110にアクセスしたときに、更新カウンタ格納部140に格納されたカウンタ値を更新させるカウンタ更新部、すなわち第1ロック取得部161および第2ロック取得部171と、CPUが共有資源110にアクセスしたときに、共有資源110が他のCPUにより排他制御されていない場合には、更新カウンタ格納部140に格納されたカウンタ値を含むログをログ格納部150に記録するカウンタ記録部、すなわち第1カウンタ記録部162および第2カウンタ記録部172とを備える。

[0048] 電子制御装置100は、CPUが共有資源110にアクセスしたときに、共有資源110が他のCPUにより排他制御されている場合、すなわちロック変数111が「1」の場合にはカウンタの値を更新する。そのため、タイマ120へのアクセスによるオーバーヘッドを生じさせることなく、アクセスが生じたことをカウンタ値の更新として更新カウンタ格納部140に記録することができる。なお、更新カウンタ格納部140に格納されるカウンタ値は、ロック取得を試みた2回目以降の回数、すなわちスピン回数を表す。

[0049] また電子制御装置100は、共有資源110が他のCPUにより排他制御されていない場合、すなわちロック変数111がゼロの場合には、オーバーヘッドの大きいタイマ120へのアクセスを行うことなく、更新カウンタ格納部140に格納されたカウント値をログ格納部150に格納する。そのため、ログを記録するためのオーバーヘッドが小さい。この利点は特に、待ち

時間がゼロであった場合に顕著である。たとえば待ち時間の算出は、待ち時間の開始時と終了時にそれぞれタイマから時刻を取得し、2つの時刻の差を待ち時間として算出する手法が広く行われているが、この手法ではタイマ120へのアクセスが2回行われる。時刻の取得に要する時間はロックの取得に要する時間よりも長く、さらに時刻の取得が2回も行われるため、待ち時間の算出のオーバーヘッドが大きくなってしまう問題がある。しかし本発明によればこのような問題を生じさせることなく、待ち時間を記録することができる。

[0050] (2) 電子制御装置100のCPUは、CPUが共有資源110にアクセスして所定の処理単位を実行する毎に、すなわちスピンロックが実行されるごとに更新カウンタ格納部140に格納されたカウンタの値を変化させる。

そのため、実行間隔および実行時間が既知であるスピンロックの実行回数を記録することで、オーバーヘッドの大きいタイマへのアクセスを行うことなく、待ち時間を記録することができる。

[0051] (3) 電子制御装置100は、時刻情報を保持するタイマ120を備える。CPUが共有資源110に一回目にアクセスしたときに、共有資源110が他のCPUにより排他制御されている場合は、時刻情報をタイマ120から取得し、時刻情報をさらに含むログをログ格納部150に格納する。

そのため、タイマ120へのアクセスのオーバーヘッドを隠蔽しつつ、待ち時間が生じた時刻を記録することができる。カウンタが更新されたことは、共有資源110が他のCPUにより使用されており、ロック取得を試みたCPUは所定時間の経過後に再度ロック取得を試みることを意味する。そのため、ロック取得を試みたCPUがタイマ120へアクセスしても、そのオーバーヘッドは少なくとも一部が隠蔽されることになる。この効果は、第1CPU160および第2CPU170の少なくとも一方が、以下の特徴を有する場合に顕著である。すなわち、CPUが、スピン時にバス占有を防ぐためにCPUを一定時間停止する命令を発行する特徴を有する場合に効果が顕著である。

[0052] (4) 共有資源 110 は、CPU が実行している処理を識別する識別情報を格納する識別情報格納部、すなわちタスク情報 112 を記憶する領域を備える。カウンタ記録部、すなわち第 1 カウンタ記録部 162 および第 2 カウンタ記録部 172 は、CPU が 2 回目以降のアクセスで共有資源 110 を排他制御した場合に、識別情報格納部から識別情報、すなわちタスク情報 112 を取得し、タスク情報 112 をさらに含むログをログ格納部 150 に格納する。

そのため、待ち時間を発生させた処理、すなわち従前に共有資源 110 を使用していた処理の識別情報をログ格納部 150 に記録することができる。

[0053] (5) カウンタ更新部、すなわち第 1 ロック取得部 161 および第 2 ロック取得部 171 は、共有資源 110 を排他制御した場合に、CPU が実行している処理に基づき識別情報格納部の識別情報を更新する。

タスク情報 112 に共有資源 110 を使用しているタスクの情報を格納するので、ある CPU が共有資源 110 を使用できなかった場合に、その原因となっていた処理、すなわち従前に共有資源 110 を使用していた処理を特定させることが可能となる。

[0054] (6) 解析システム 1 は、電子制御装置 100 と、解析装置 200 とを備える。解析装置 200 は、電子制御装置 100 のログ格納部 150 に格納された情報が入力されるログ収集部 270 と、カウンタ値を実時間に換算するための換算情報、たとえば時間変換テーブル 212 を格納する記憶部、すなわちメモリ 210 と、換算情報を用いて、ログ収集部 270 に入力されたカウンタ値を実時間に換算するログ解析部 220 と、を備える。

そのため解析装置 200 は、電子制御装置 100 が記録したカウンタ値を実時間に変換できる。すなわち解析システム 1 は、共有資源 110 の排他制御による待ち時間をスピン回数として記録することで記録時のオーバーヘッドを低減しつつ、その記録したスピン回数を解析装置 200 を用いて実時間に換換することができる。

[0055] (変形例 1)

第1バッファ151および第2バッファ152の待ち時間314には、タイム120から取得した時刻を格納してもよい。すなわち図7のステップS408において、時刻レジスタ121からタイムスタンプを取得して格納してもよい。この場合は、解析装置200は、タイムスタンプ313に格納された時刻と待ち時間314に格納された時刻との差を演算することによりロック取得のために待機した実時間を算出する。

この変形例1によれば、解析装置200は時間変換テーブル212を備える必要がないという第1の利点、およびより正確な待ち時間算出を行うことができるという第2の利点を有する。なお、待ち時間がゼロとなる場合以外は、時刻レジスタ121にアクセスして時刻を取得してもそのオーバーヘッドの影響は相対的に小さく、デメリットは小さい。

[0056] (変形例2)

第1カウンタ141は、第1CPU160のレジスタや第1CPU160が備える不図示のメモリに格納されてもよい。同様に第2カウンタ142は、第2CPU170のレジスタや第2CPU170が備える不図示のメモリに格納されてもよい。

この変形例2によれば、高速なアクセスが可能な同一CPU内で書き換えが行われるので、カウンタ値の初期化および更新のオーバーヘッドを低減することができる。

[0057] (変形例3)

第1カウンタ141が独立して設けられず、第1バッファ151が第1カウンタ141の役割も兼ねてよい。この場合は第1ロック取得部161は、第1カウンタ141に格納されるカウンタ値を初期化および更新する代わりに、第1バッファ151の待ち時間314のフィールドにカウンタの初期値であるゼロを書き込み、更新する。同様に第2カウンタ142が独立して設けられず、第2バッファ152が第2カウンタ142の役割も兼ねてよい。

[0058] (変形例4)

電子制御装置100は、3つ以上のCPUを備えてもよい。また電子制御

装置１００は、単一のパッケージに収められ複数のコアを有するＣＰＵを１つ備えてもよい。単一のパッケージに収められ複数のコアは、同一であってもよいし異なってもよい。さらに、各ＣＰＵコアのアーキテクチャ及び動作速度は同一であってもよいし、異なってもよい。

[0059] (変形例５)

メモリ１３０は、ＣＰＵごとに独立していてもよい。この場合には、ログ格納部１５０および更新カウンタ格納部１４０には、それぞれのＣＰＵごとのメモリ１３０に存在する。さらに、プログラムを保持する不揮発性メモリとデータを保持する揮発性メモリに分かれている構成であってもよい。

[0060] (変形例６)

電子制御装置１００が第３のＣＰＵを備え、その第３のＣＰＵが第１ロック取得部１６１、第１カウンタ記録部１６２、第２ロック取得部１７１、および第２カウンタ記録部１７２の少なくとも１つを実行してもよい。また、第１ロック取得部１６１、第１カウンタ記録部１６２、第２ロック取得部１７１、および第２カウンタ記録部１７２の少なくとも１つが、ハードウェア回路により実行されてもよい。

[0061] (その他の変形例)

上述した第１の実施の形態をさらに以下のように変形してもよい。

(１) 電子制御装置１００がタイマを複数備え、ＣＰＵごとに異なるタイマを参照してもよい。この場合は、各ＣＰＵの用いている時刻レジスタ１２１の値の差を記録するなど、補正処理を行う。

(２) 第１カウンタ記録部１６２および第２カウンタ記録部１７２は、図７のステップＳ４０８においてタスク情報１１２を記録しなくてもよい。この場合は、第１ロック取得部１６１および第２ロック取得部１７１は、図７のステップＳ４０９におけるタスク情報１１２の更新を実行しなくてよく、第１バッファ１５１および第２バッファ１５２がタスク情報３１５のフィールドを備えなくてもよい。

[0062] (３) 第１ロック取得部１６１および第２ロック取得部１７１は、カウンタ

値にかかわらずタイムスタンプを取得しなくてもよい。すなわち、図7のステップS403を実行したらカウンタ値を評価することなくステップS401に戻ってもよい。

(4) 電子制御装置100は、共有資源110を複数備えてもよい。この場合、それぞれの共有資源110はロック変数111およびタスク情報112を独立して備える。

[0063] (第2の実施の形態)

図9～図10を参照して、電子制御装置の第2の実施の形態を説明する。以下の説明では、第1の実施の形態と同じ構成要素には同じ符号を付して相違点を主に説明する。特に説明しない点については、第1の実施の形態と同じである。本実施の形態では、主に、電子制御装置がカウント値から実時間への換算を行う診断部を備える点で、第1の実施の形態と異なる。

[0064] 図9は、第2の実施の形態における電子制御装置100Aの構成を示す図である。電子制御装置100Aは、第1の実施の形態における電子制御装置100の構成からログ出力部180が削除され、診断部900が追加される。また、メモリ130には時間変換テーブル212および解析結果213がさらに格納される。特に説明しない構成、および動作は第1の実施の形態と同様である。

[0065] 診断部900は、第1CPU160および第2CPU170のいずれかが不図示のROMに格納されたプログラムを実行することにより実現される機能を機能ブロックとして表したものである。診断部900は、ログ格納部150に格納されたログを解析する。診断部900は、解析により異常を検出すると、たとえば待ち時間が所定の時間よりも長い場合は、所定の異常時処理を実行する。診断部900は、一定の時間が経過すると、または診断を要するような所定の事象が発生すると動作する。

[0066] (診断部のフローチャート)

図10は第2の実施の形態における診断部900の動作を表すフローチャートである。以下では、図8に示したログ解析部220の動作を表したフロ

ーチャートとの差異を説明する。以下に説明する各ステップの実行主体は、第1CPU160および第2CPU170のいずれかである。以下ではこの実行主体を「CPU」とする。

ステップS507までの処理はログ解析部220と同様なので説明を省略する。ステップS507の実行が完了すると、ステップS521を実行する。

[0067] ステップS521では、ステップS506において変換した実時間が所定値以上であるか否かを判断する。所定値以上であると判断する場合はステップS522に進み、所定値未満であると判断する場合はステップS508に進む。

ステップS522では所定の異常時処理を実行してステップS508に進む。異常時処理とはたとえば、最小構成の実行状態への移行、または異常検出した回数をカウントし所定の閾値に達した場合の電子制御装置100の再起動などである。

[0068] 上述した第2の実施の形態によれば、次の作用効果が得られる。

(1) 電子制御装置100Aは、カウント値を時間に換算するための換算情報、たとえば時間変換テーブル212を格納する記憶部、すなわちメモリ130と、時間変換テーブル212を用いてカウンタ値を実時間に換算する解析部、すなわち診断部900と、を備える。

そのため電子制御装置100Aは、解析装置200を用いることなくカウンタ値を実時間に換算することができる。これにより、図10のステップS521に示したように、換算した実時間を用いた診断を実行できる。

[0069] (第2の実施の形態の変形例)

第2の実施の形態を以下のように変形してもよい。

(1) 診断部900は、算出した待ち時間以外を診断に利用してもよい。たとえば、待ちの原因となったタスクが所定のものでなかった場合に、何らかの実行順序の異常が起きたと判定して、これを異常として診断してもよい。

(2) 診断部900は、解析結果をメモリ130に記録しなくてもよい。

(3) 電子制御装置 100A は、ログ出力部 180 をさらに備えてもよい。

[0070] (第3の実施の形態)

図 11～図 13 を参照して、電子制御装置の第3の実施の形態を説明する。以下の説明では、第1の実施の形態と同じ構成要素には同じ符号を付して相違点を主に説明する。特に説明しない点については、第1の実施の形態と同じである。本実施の形態では、主に、スピン回数ではなくベーシックブロックの実行回数をカウントする点で、第1の実施の形態と異なる。

[0071] (ベーシックブロック)

ベーシックブロックとは、プログラムの実行単位であって、その単位中に分岐もしくは合流を含まないものである。ベーシックブロックは分岐や合流を含まないので、実行する環境、すなわち CPU やメモリ等が同一であれば、ベーシックブロックの実行時間は一定である。本実施の形態では3つのベーシックブロック (A, B, C) を用いて説明する。それぞれのベーシックブロックの電子制御装置 100 における実行時間は既知である。

[0072] (構成)

解析システム 1 のハードウェア構成は第1の実施の形態と同様である。ただし第1カウンタ 141 と第2カウンタ 142 のそれぞれは、ベーシックブロック A, B, C にそれぞれ対応する3つのカウンタ (A, B, C) を備える。また時間変換テーブル 212 として格納される情報が第1の実施の形態と異なる。さらに電子制御装置 100 の不図示の ROM に格納されるプログラムが第1の実施の形態と異なり、第1ロック取得部 161 および第2ロック取得部 171 の動作が第1の実施の形態と異なる。

[0073] 図 11 は、本実施の形態における第1バッファ 151 の構造の一例を示した図である。第1バッファ 151 を構成するフィールドの構成は第1の実施の形態と同様であり、待ち時間 314 のフィールドに格納される値が異なる。すなわち待ち時間 314 のフィールドには、第1カウンタ 141 に格納されるカウンタ A, カウンタ B, カウンタ C の値が格納される。これ以外の点は第1の実施の形態と同様である。図 11 に示す例では、ロック M の取得時

に、ベーシックブロックAが3回、ベーシックブロックBが1回、ベーシックブロックCが2回実行されたことを示している。第2バッファ152の構成、および第2バッファ152に格納される情報は第1バッファ151と同様である。

[0074] 図12は、時間変換テーブル212Aの一例を示す図である。時間変換テーブル212Aには、それぞれのベーシックブロックに対応する時間が記録される。具体的には時間変換テーブル212Aは、ベーシックブロック番号323のフィールドと、時間324のフィールドとを備える。ベーシックブロック番号323のフィールドには、ベーシックブロックの識別子またはベーシックブロックの名称が格納される。時間324のフィールドには、ベーシックブロックの1回の実行に要する時間が格納される。

なお、図11と図12に示す例によれば、各ベーシックブロックの実行時間から、ロックMの取得のための待ち時間は、 $3 * 20 + 1 * 38 + 2 * 19 = 136$ マイクロ秒と算出される。

[0075] (ロック取得部の動作)

ロック取得部、すなわち第1ロック取得部161および第2ロック取得部171は、第1の実施の形態では、TEST-and-SET命令を用いてロックを取得したが、第3の実施の形態では、LoadLinked命令（以下、「LL命令」と呼ぶ）、およびStoreConditional命令（以下、「SC命令」と呼ぶ）を用いてロックを取得する。

[0076] LL命令とは、指定されたメモリ領域をロードすると同時に、その領域に対して「リンク」を生成する命令である。この「リンク」は、他のCPUが同じ領域に書き込みを行うと消滅する。SC命令とは、指定されたメモリ領域に対して「リンク」が残存している場合に限り、値をストアする命令である。SC命令における「リンク」の残存の確認は、以下のことを意味する。すなわち、「リンク」が残存していることは、LL命令からSC命令までの間に、他のCPUが同じ領域に書き込みを行っていないことを示している。すなわちこれにより、読み込みと書き込みのアトミシティの保証、つまり読

み込みと書き込みが不可分の一体として成功したことが保証される。

[0077] (フローチャート)

図13は、第3の実施の形態における第1CPU160による、ロック取得動作およびロック取得に関するログ記録動作を示すフローチャートである。図13に示すように、ステップS451がベーシックブロックA、ステップS454がベーシックブロックB、ステップS455がベーシックブロックCである。それぞれのベーシックブロックを実行すると、各ベーシックブロックに対応するカウンタを更新する。図13に示すフローチャートは、第1の実施の形態における図7に相当する。以下では主に図7との相違点を説明する。

[0078] ステップS400Aでは、第1カウンタ141のカウンタA～Cをゼロにリセットし、ステップS451に進む。ステップS451ではLL命令を用いてロック変数111を読み出してステップS452に進む。ステップS452ではカウンタAをインクリメント、すなわちカウンタ値を1増加させてステップS453に進む。

ステップS453では、ステップS451において読みだしたロック変数111がゼロであったか否かを判断する。CPUは、ゼロであると判断する場合はステップS455に進み、ゼロでないと判断する場合はステップS454に進む。

[0079] ステップS454では、ステップS451において生成したリンクを破棄する。続くステップS403Aでは、カウンタBをインクリメントしてステップS404Aに進む。ステップS404AではカウンタBとカウンタCのカウンタ値の和が「1」であるか否かを判断する。カウンタ値が「1」とであると判断する場合はステップS405に進み、カウンタ値が「1」以外であると判断する場合はステップS451に戻る。ステップS405では、時刻レジスタ121からタイムスタンプを取得し、ステップS451に戻る。

[0080] ステップS455では、SC命令を用いてロック変数111に「1」を書き込む。続くステップS456では、カウンタCをインクリメントする。続

くステップS 4 5 7ではステップS 4 5 5における書き込みが成功したか否かを判断し、成功したと判断する場合はステップS 4 0 6 Aに進み、失敗したと判断する場合はステップS 4 0 4 Aに進む。ステップS 4 0 6 Aでは、カウンタBのカウンタ値がゼロであるか否かを判断する。ゼロであると判断する場合はステップS 4 0 7に進み、ゼロ以外であると判断する場合はステップS 4 0 8に進む。

ステップS 4 0 7以降の処理は第1の実施の形態と同様なので説明を省略する。

[0081] 上述した第3の実施の形態によれば、次の作用効果が得られる。

(1) カウンタ更新部、すなわち第1ロック取得部161および第2ロック取得部171は、共有資源110にアクセスしたときに、所定の処理単位が実行される毎に、すなわち各ベーシックブロックが実行されるごとに更新カウンタ格納部140に格納された、それぞれのベーシックブロックに対応するカウンタの値を更新させる。

そのため、実行間隔および実行時間が既知であるベーシックブロックの実行回数を記録することで、オーバーヘッドの大きいタイマへのアクセスを行うことなく、待ち時間を記録することができる。

[0082] (2) カウンタ更新部、すなわち第1ロック取得部161および第2ロック取得部171は、共有資源110が他のCPUにより排他制御されている場合に、カウンタBまたはカウンタCのカウンタ値を変化させる。そのため、共有資源110にアクセスしたが排他制御できなかった回数を記録することができる。

第1の実施の形態と異なり、第3の実施の形態では、共有資源110が他のCPUにより排他制御されている場合には、ステップS 4 5 3でゼロであると判断する場合と、後述のステップS 4 5 7で書き込みが失敗したと判断する場合の二通りがある。カウンタBとカウンタCのカウンタ値の和を用いることで、排他制御できなかった回数を記録することができる。

また、ステップS 4 0 4 Aにおいては、カウンタBとカウンタCのカウンタ

値の和「1」であるかと判断することにより、いずれの場合によったとしても、排他制御できなかった1回目の場合に時刻を取得することができ、第1の実施形態と同様に、オーバーヘッドを隠蔽しつつ待ち時間が生じた時刻を記録する効果を得ることができる。

[0083] (変形例)

第3の実施の形態では、ベーシックブロックの実行回数をカウントしたが、これより細かい粒度での処理の回数をカウントしてもよいし、荒い粒度での処理の回数をカウントしてもよい。例えば、細かい粒度でのカウントとして、CPUの命令ごとにカウントする構成が考えられる。この場合は、ログ格納部150には、CPUの各命令ごとの実行時間が格納されることになる。また、命令ごとにカウントする場合は、ソフトウェアでこれを実現することは極めてオーバーヘッドが高いため、CPU等のハードウェア回路を用いてカウントすることが望ましい。ハードウェアによる命令ごとの計数を行う方法によれば、ベーシックブロックごとの実行回数を計数するようにソフトウェアを変更する必要がなく、相対的にオーバーヘッドを減らす効果が得られる。

[0084] なお、第1の実施形態においても、更新カウンタ格納部140に格納されたカウンタのインクリメント処理はソフトウェアで行う必要はない。たとえば、CPUの一つまたは複数のレジスタとしてカウンタが実装され、CPUが特定の命令を実行した場合に、対応するカウンタが加算される形であってもよい。この場合はたとえば、図7のステップS407およびステップS408においてログ格納部150に記録される待ち時間314は、ハードウェアから読みだしたカウンタの値となる。この場合も、第1の実施の形態の作用効果に加えて、オーバーヘッドをさらに減らす効果が得られる。

[0085] プログラムは不図示のROMに格納されとしたが、プログラムはメモリ130に格納されていてもよい。また、電子制御装置100が不図示の入出力インタフェースを備え、必要なときに入出力インタフェースと電子制御装置100が利用可能な媒体を介して、他の装置からプログラムが読み込まれ

てもよい。ここで媒体とは、例えば入出力インタフェースに着脱可能な記憶媒体、または通信媒体、すなわち有線、無線、光などのネットワーク、または当該ネットワークを伝搬する搬送波やデジタル信号、を指す。また、プログラムにより実現される機能の一部または全部がハードウェア回路やFPGAにより実現されてもよい。

上述した各実施の形態および変形例は、それぞれ組み合わせてもよい。

上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0086] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願2016年第169607号（2016年8月31日出願）

符号の説明

- [0087] 1 … 解析システム
- 100、100A … 電子制御装置
- 110 … 共有資源
- 111 … ロック変数
- 112 … タスク情報
- 120 … タイマ
- 140 … 更新カウンタ格納部
- 150 … ログ格納部
- 160 … 第1CPU
- 161 … 第1ロック取得部
- 162 … 第1カウンタ記録部
- 170 … 第2CPU
- 171 … 第2ロック取得部
- 172 … 第2カウンタ記録部
- 200 … 解析装置

- 2 1 1 … 収集バッファ
- 2 1 2、2 1 2 A … 時間変換テーブル
- 2 2 0 … ログ解析部
- 2 3 0 … 表示部
- 9 0 0 … 診断部

請求の範囲

- [請求項1] 複数のＣＰＵコアと、共有資源とを備える電子制御装置であって、
前記ＣＰＵコアのそれぞれは排他制御により前記共有資源を独占して使用可能であり、
カウンタ値が格納される更新カウンタ格納部と、
前記ＣＰＵコアが実行したプログラムのログが格納されるログ格納部と、
前記ＣＰＵコアが前記共有資源にアクセスしたときに、前記カウンタ値を変化させるカウンタ更新部と、
前記ＣＰＵコアが前記共有資源にアクセスしたときに、前記共有資源が他のＣＰＵコアにより排他制御されていない場合には、前記カウンタ値を含む前記ログを前記ログ格納部に記録するカウンタ記録部とをさらに備える電子制御装置。
- [請求項2] 請求項１に記載の電子制御装置であって、
前記カウンタ更新部は、前記ＣＰＵコアが前記共有資源にアクセスしたときに前記共有資源が他のＣＰＵにより排他制御されている場合に、前記カウンタ値を変化させる電子制御装置。
- [請求項3] 請求項１に記載の電子制御装置であって、
前記カウンタ更新部は、前記ＣＰＵコアが前記共有資源にアクセスして所定の処理単位を実行する毎に、前記カウンタ値を変化させる電子制御装置。
- [請求項4] 請求項１に記載の電子制御装置であって、
時刻情報を保持するタイマを更に備え、
前記カウンタ記録部は、前記ＣＰＵコアが前記共有資源に一回目にアクセスしたときに、前記共有資源が他のＣＰＵコアにより排他制御されている場合は、時刻情報を前記タイマから取得し、前記時刻情報をさらに含む前記ログを前記ログ格納部に格納する電子制御装置。
- [請求項5] 請求項１に記載の電子制御装置であって、

前記共有資源は、前記ＣＰＵコアが実行している処理を識別する識別情報を格納する識別情報格納部を備え、

前記カウンタ記録部は、前記ＣＰＵコアが二回目以降のアクセスで前記共有資源を排他制御した場合に、前記識別情報格納部から前記識別情報を取得し、前記識別情報をさらに含む前記ログを前記ログ格納部に格納する電子制御装置。

[請求項6] 請求項5に記載の電子制御装置であって、

前記カウンタ更新部は、前記ＣＰＵコアが前記共有資源を排他制御した場合に、前記ＣＰＵコアが実行している処理に基づき前記識別情報格納部の前記識別情報を更新する電子制御装置。

[請求項7] 請求項1から請求項6までのいずれか一項に記載の電子制御装置であって、

前記カウンタ値を時間に換算するための換算情報を格納する記憶部と、

前記換算情報を用いて前記カウンタ値を実時間に換算する解析部と、を備える電子制御装置。

[請求項8] 請求項1から請求項6までのいずれか一項に記載の電子制御装置と、解析装置と、を備える解析システムであって、

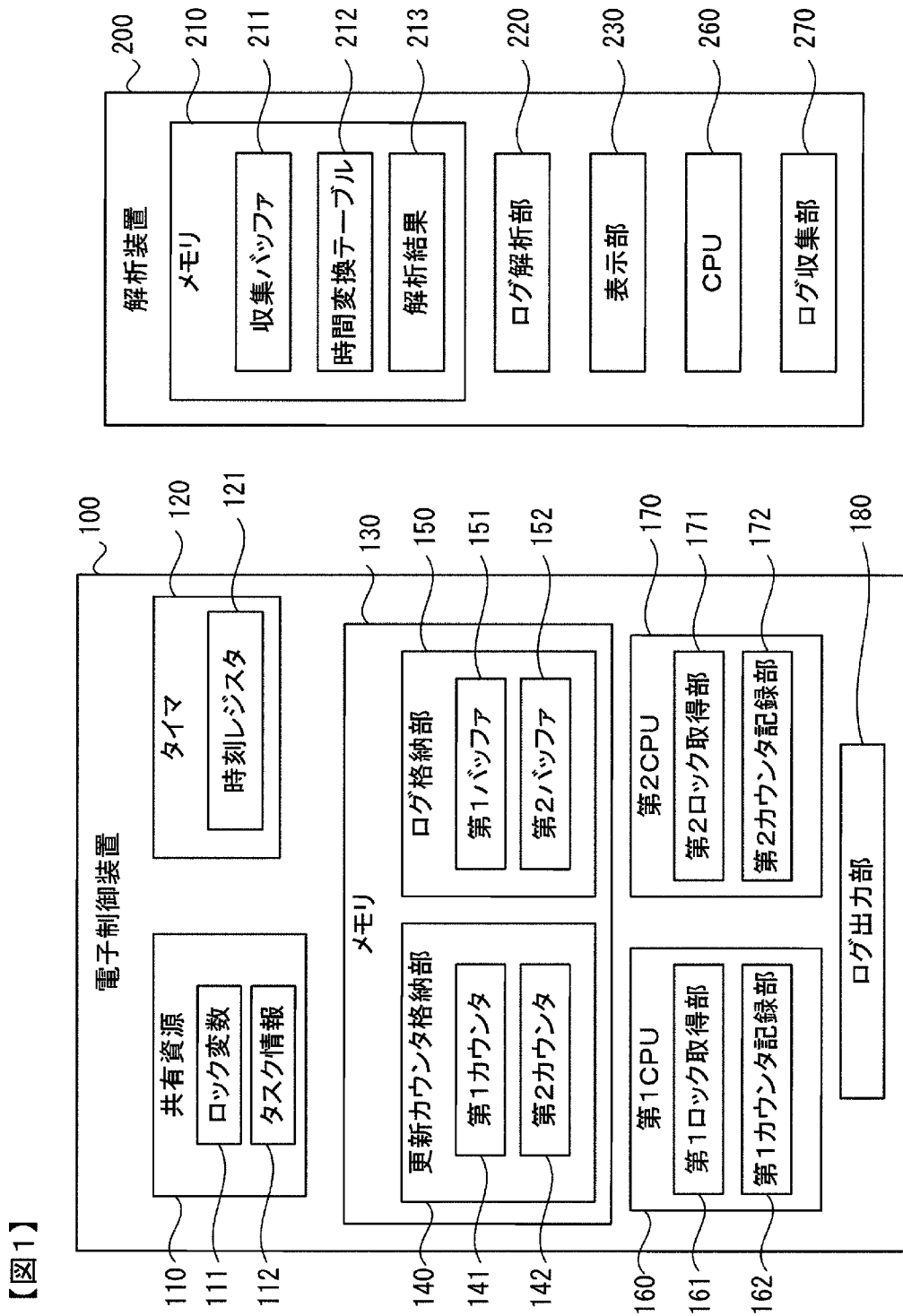
前記解析装置は、

前記電子制御装置の前記ログ格納部に格納された前記ログが入力されるログ収集部と、

前記カウンタ値を実時間に換算するための換算情報を格納する記憶部と、

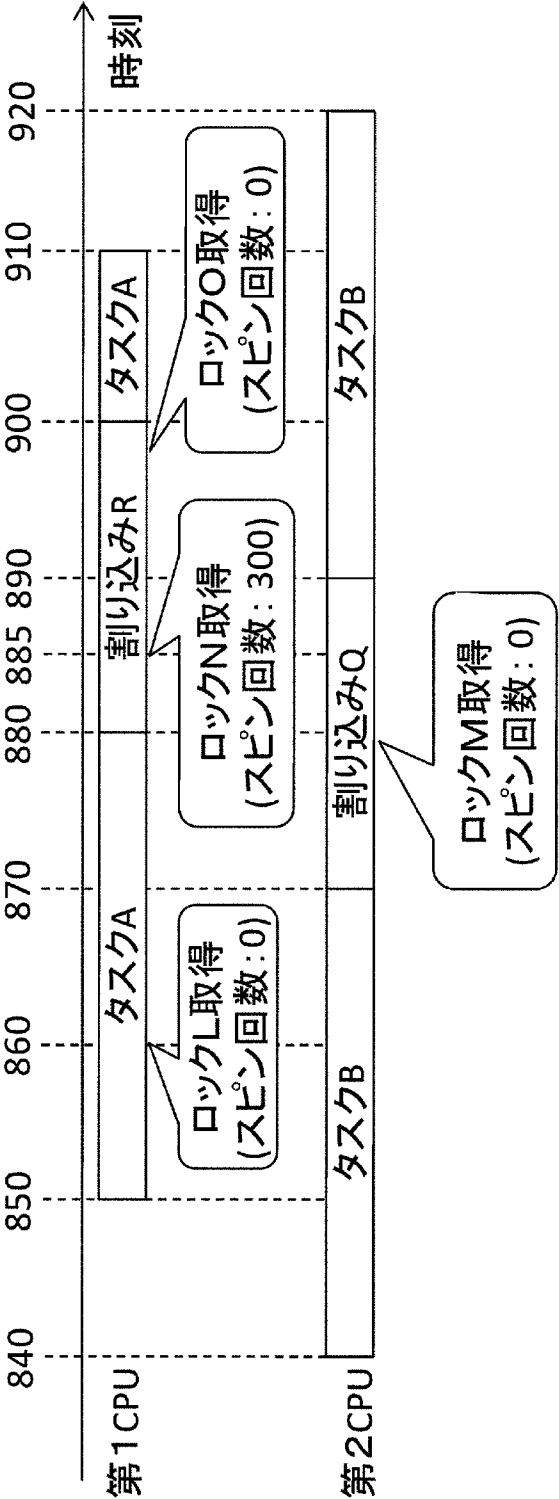
前記換算情報を用いて、前記ログ収集部に入力された前記カウンタ値を実時間に換算する解析部と、を備える解析システム。

【図1】



[図2]

【図2】



【図3】

【図3】

311	312	313	314	315
イベント種類	イベント内容	タイムスタンプ	待ち時間	タスク情報
タスク開始	タスクA	150		
ロック取得	ロックO		0	
割り込み開始	割り込みR	180		
ロック取得	ロックN	185	300	割り込みQ
ロック取得	ロックO		0	
割り込み終了	割り込みR	200		
タスク終了	タスクA	210		

【図4】

【図4】

イベント種類	イベント内容	タイムスタンプ	待ち時間	タスク情報
タスク開始	タスクB	140		
割り込み開始	割り込みQ	170		
ロック取得	ロックM		0	
割り込み終了	割り込みQ	190		
タスク終了	タスクB	220		

[図5]

【図5】

時間変換テーブル	
待ち時間	実時間
0	0 us
1	5 us
$1 + n$	$5 + 4 * n$ us

212

321

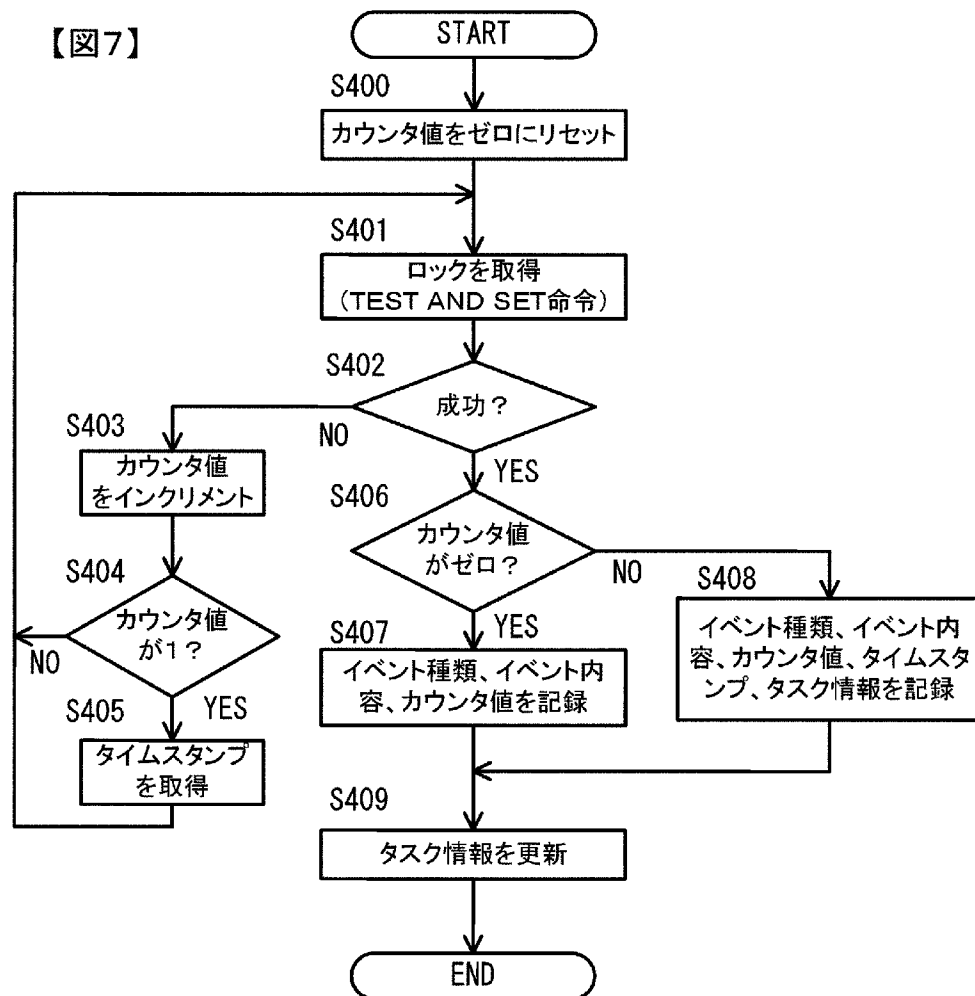
322

[図6]

【図6】

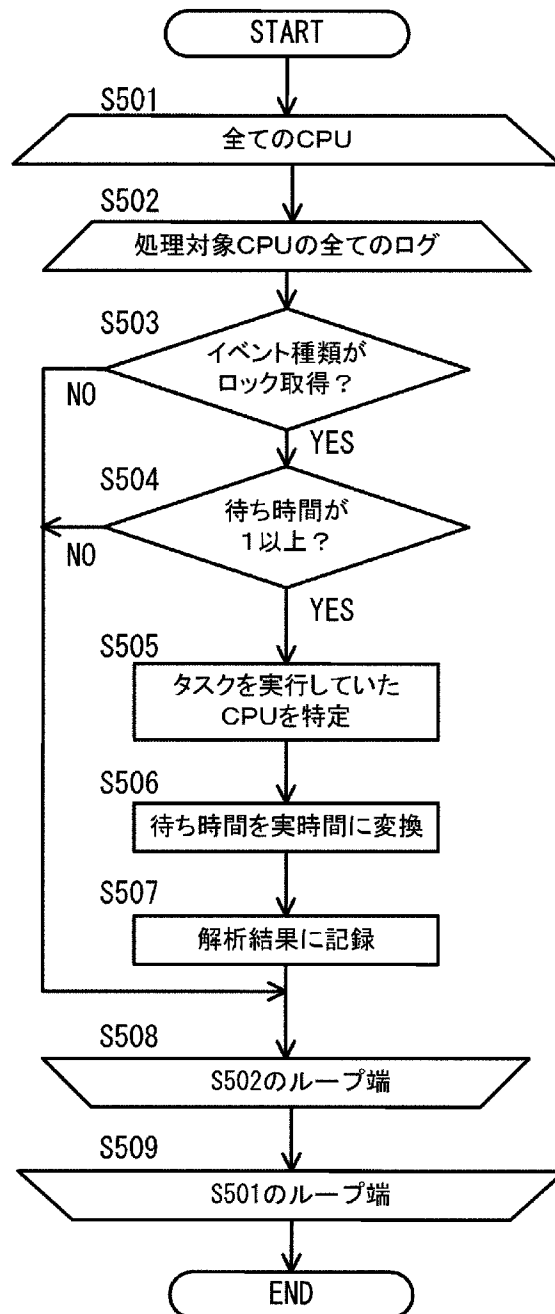
213					
331	332	333	334	335	336
解析結果					
処理CPU	発生処理	ロック	タイムスタンプ	実待ち時間	原因CPU
第1CPU	割り込みR	ロックN	885	1201 マイクロ秒	第2CPU
...	...	...	...	...	...
					原因処理
					割り込みQ
					...

【図7】

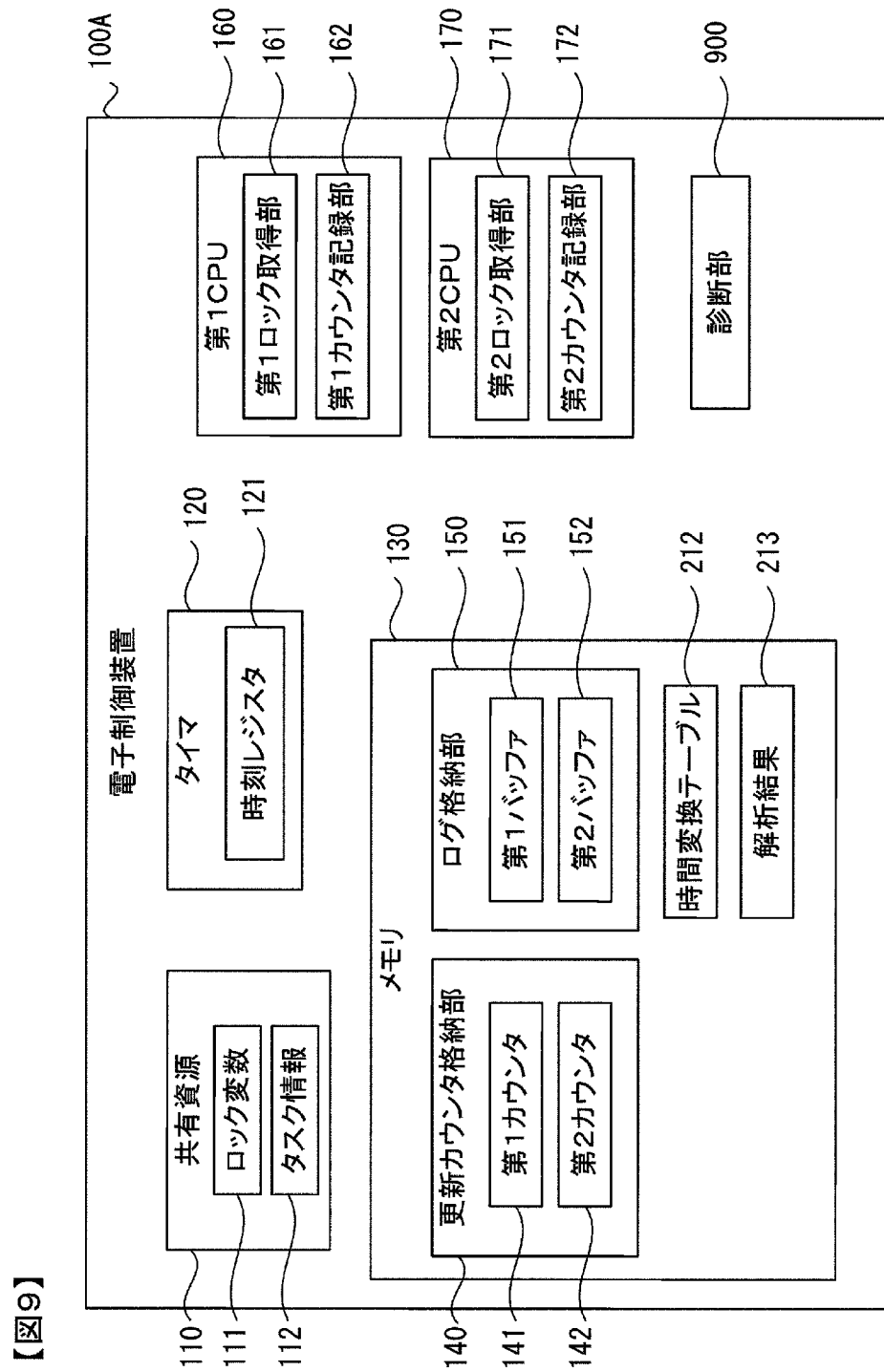


【図8】

【図8】

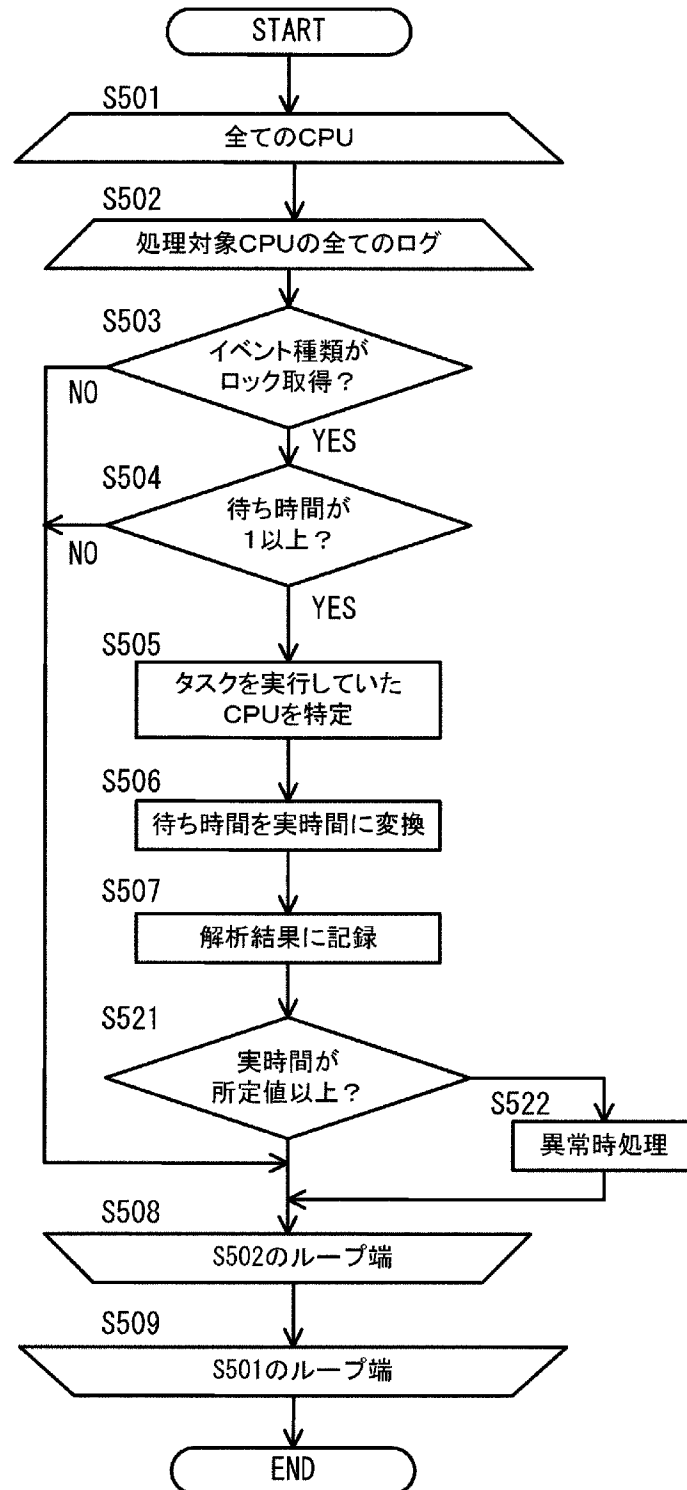


【図9】



【図10】

【図10】



[図11]

【図11】

第1バッファ				
311	312	313	314	315
イベント種類	イベント内容	タイムスタンプ	待ち時間	タスク情報
...	...	...	...	...
ロック取得	ロックM	300	A: 3, B:1, C: 2	割り込みQ
...	...	...	...	...

[図12]

【図12】

時間変換テーブル	
ベースックブロック番号	時間
A	20 us
B	38 us
C	19 us

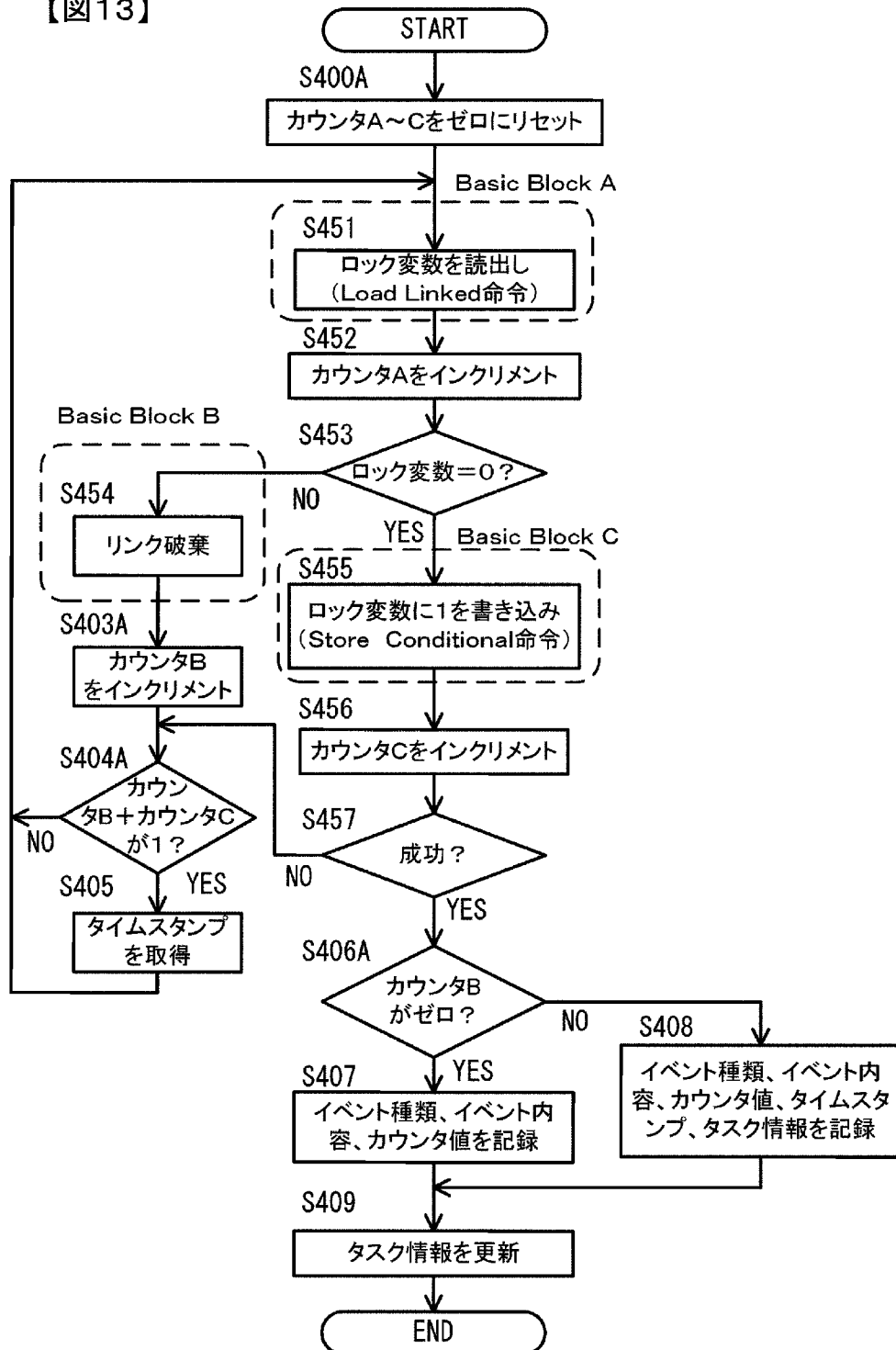
212A

323

324

[図13]

【図13】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026375

A. CLASSIFICATION OF SUBJECT MATTER

G06F9/52(2006.01)i, B60R16/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/52, B60R16/02, G06F12/00, G06F11/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 05-257902 A (Fujitsu Ltd.), 08 October 1993 (08.10.1993), abstract (Family: none)	1-8
A	JP 2001-297008 A (Sun Microsystems, Inc.), 26 October 2001 (26.10.2001), abstract; paragraphs [0020], [0040] & US 6687904 B1 abstract; column 4, lines 27 to 33; column 8, lines 30 to 45 & EP 1104900 A2	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 September 2017 (11.09.17)

Date of mailing of the international search report
26 September 2017 (26.09.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026375

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 05-066972 A (Nippon Telegraph and Telephone Corp.), 19 March 1993 (19.03.1993), abstract; paragraph [0036] (Family: none)	1-8
A	JP 11-085574 A (NEC Corp.), 30 March 1999 (30.03.1999), abstract (Family: none)	1-8
A	JP 2001-084235 A (NEC Corp.), 30 March 2001 (30.03.2001), abstract; paragraph [0012] (Family: none)	1-8
A	JP 2009-251871 A (NEC Corp.), 29 October 2009 (29.10.2009), abstract; paragraph [0029] & WO 2009/123343 A1 abstract; paragraph [0049]	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F9/52(2006.01)i, B60R16/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F9/52, B60R16/02, G06F12/00, G06F11/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 05-257902 A（富士通株式会社）1993.10.08, [要約]（ファミリーなし）	1-8
A	JP 2001-297008 A（サン・マイクロシステムズ・インコーポレーテッド）2001.10.26, [要約]、段落[0020]、[0040] & US 6687904 B1, ABSTRACT, col.4 lines 27-33, col.8 lines 30-45 & EP 1104900 A2	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.09.2017

国際調査報告の発送日

26.09.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 哲雄

5B

5881

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 05-066972 A (日本電信電話株式会社) 1993. 03. 19, [要約]、段落[0036] (ファミリーなし)	1-8
A	JP 11-085574 A (日本電気株式会社) 1999. 03. 30, [要約] (ファミリーなし)	1-8
A	JP 2001-084235 A (日本電気株式会社) 2001. 03. 30, [要約]、段落[0012] (ファミリーなし)	1-8
A	JP 2009-251871 A (日本電気株式会社) 2009. 10. 29, [要約]、段落[0029] & WO 2009/123343 A1, 要約, 段落[0049]	1-8