

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/06 (2006.01)

G11C 16/30 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510060072.6

[45] 授权公告日 2008 年 7 月 9 日

[11] 授权公告号 CN 100401427C

[22] 申请日 2005.3.31

[21] 申请号 200510060072.6

[30] 优先权

[32] 2004.3.31 [33] JP [31] 106210/2004

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 河合贤 圆山敬史

[56] 参考文献

US5333122A 1994.7.26

US2002036923A1 2002.3.28

CN1190785A 1998.8.19

US6487120B2 2002.11.26

GB2343276A 2000.5.3

审查员 贾 勇

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王 英

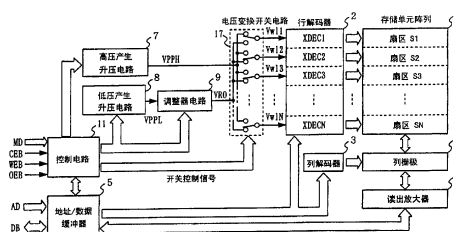
权利要求书 3 页 说明书 23 页 附图 22 页

[54] 发明名称

非易失性半导体存储器

[57] 摘要

构成电压变换开关电路(17)的多个开关供给有多种电压,且被设置成与多个行解码器(2)相对应,以便于每一开关可以分别选择该多种电压中的任意一种并将其输出到相应的行解码器(2)。电压升压电路(7,8)通过升压电源电压来产生该多种电压。调整器电路(9)降低由电压升压电路(7,8)产生的多种电压中的至少一种以稳定电压值,并将最终的电压输出到每一开关。每一行解码器(2)通过利用从相应的开关输出的电压来选择存储单元。因此,能够减少编程/程序校验操作所需的时间同时减小功耗。



1、一种非易失性半导体存储器，包括：

存储单元阵列，在该阵列中，将多个存储单元按照矩阵形式设置并将其划分成多个扇区；

多个行解码器电路，将所述多个行解码器电路中的每一个行解码器电路设置成使其与该存储单元阵列的每一扇区相对应，用于根据外部输入的地址信号来选择包含于相应扇区中的存储单元；

多个开关，其被设置成使其与所述多个行解码器电路相对应，从而使得每一开关可用于分别选择向其供给的多种电压中的任意一种并将该任意一种电压向相应的行解码器电路输出；

电压升压电路，用于通过升压电源电压来产生多种电压；和

调整器电路，用于逐步降低通过该电压升压电路产生的多种电压中的至少一种，以稳定电压值，并将得到的电压输出到该每一个开关，其中

该行解码器电路向所选择的存储单元输出从相应开关输出的电压。

2、根据权利要求1的非易失性半导体存储器，还包括：

控制电路，用于根据所述地址信号产生用于选择每一开关的开关控制信号，其中

每一开关根据该开关控制信号选择要向相应的行解码器电路输出的电压。

3、根据权利要求2的非易失性半导体存储器，其中

所述多种电压至少包括第一电压和低于第一电压的第二电压，且

当向存储单元写入数据时，所述控制电路根据所述地址信号产生所述开关控制信号，该开关控制信号用于使用来选择该存储单元的行解码器电路输出第一电压，而使其它行解码器电路输出第二电压。

4、根据权利要求1的非易失性半导体存储器，其中

每一行解码器电路包括形成在N-阱中的多个PMOS晶体管；且
所述非易失性半导体存储器还包括：

N-阱输入端子，用于将通过所述电压升压电路产生的多种电压中的
任意一种电压施加到该N-阱；和

升压控制电路，用于控制所述电压升压电路以便于在向存储单元
写入数据之前将电压施加到该N-阱输入端子。

5、根据权利要求4的非易失性半导体存储器，其中在写入数据
之前，将作为所述多种电压中最高电压的第三电压施加到所述N-阱
输入端子。

6、根据权利要求5的非易失性半导体存储器，还包括：

N-阱电压变换开关，用于选择要输出到所述N-阱输入端子的电
压；和

开关控制电路，用于在所述第三电压与低于第三电压的第四电压
之间切换，并使该N-阱电压变换开关输出所述第三或第四电压。

7、根据权利要求6的非易失性半导体存储器，其中

在写入数据之前，所述开关控制电路控制所述N-阱电压变换开
关以便于将所述第三电压施加于所述N-阱输入端子，且

当读取数据时，所述开关控制电路控制所述N-阱电压变换开关
以便于将所述第四电压施加于所述N-阱输入端子。

8、根据权利要求7的非易失性半导体存储器，还包括：

降压电路，用于在所述开关控制电路控制所述N-阱电压变换开
关时降低该N-阱输入端子的电压以便于施加所述第四电压；和

比较电路，用于将由该降压电路降低的所述N-阱输入端子的电
压与所述第四电压进行比较，其中

当该比较电路确定由该降压电路降低的所述N-阱输入端子的电

压与所述第四电压相等时，所述开关控制电路控制所述 N-阱电压变换开关以便于将所述第四电压施加于所述 N-阱输入端子。

9、根据权利要求 1 的非易失性半导体存储器，其中所述行解码器包括：

多个形成在 N 阱中的 PMOS 晶体管；和

多个形成在设置于 N-阱中的 P-阱内的 NMOS 晶体管。

10、根据权利要求 9 的非易失性半导体存储器，还包括：

负电压输入端子，用于将包含于由所述电压升压电路产生的多种电压的至少一种负电压或接地电压经由所述行解码器电路施加到所述存储单元的控制栅极；和

升压控制电路，用于控制所述电压升压电路，以便于当在设置于所述存储单元上的电荷存储区中减小电子量时，将负电压施加于负电压输入端子。

11、根据权利要求 1 的非易失性半导体存储器，其中所述至少一种电压为在读取数据时使用的电压。

非易失性半导体存储器

技术领域

本发明涉及非易失性半导体存储器，更为具体地，涉及具有存储单元阵列的非易失性半导体存储器，在该存储单元阵列中，以矩阵形式设置多个存储单元并且将所述多个存储单元划分成多个扇区。

背景技术

诸如快速 EEPROM 的常规非易失性半导体存储器利用各种高电压来实现编程/擦除和读操作。为了产生这些高电压，通常使用用于升压电源电压和输出高电压的升压电路。因此，广泛使用具有内置升压电路的非易失性半导体存储器（例如，参见日本特开平专利公开 No.5-290587，第 4-5 页，图 1）。

下文中，将描述如图 16 中所示的常规非易失性半导体存储器。图 16 是示出常规 EEPROM 的结构的方框图。将存储单元阵列 1 划分成 N（N 为自然数）个扇区 S1 至 SN。扇区 S1 至 SN 为电可重写非易失性存储单元，且将浮栅型存储单元 MC 布置并连接成如图 17 中所示的 NOR 阵列结构。每一存储单元 MC 的漏极连接于位线 BL，其源极连接于公共源极线 SL，而其控制栅极连接于字线 WL。通过行解码器 2 来选择扇区 S1 至 SN 中的每一个的字线 WL，该行解码器 2 被划分成 N（N 为自然数）个解码器块 XDEC1 至 XDECN，并且通过列栅极 4 选择位线 BL，该列栅极 4 由列解码器 3 来驱动。将地址 AD 输入到地址/数据缓冲器 5，并分别由行解码器 2 和列解码器 3 来对行地址和列地址进行解码。

当读取数据时，通过读出放大器 6 检测并放大由列栅极 4 选择的位线数据，并经由地址/数据缓冲器 5 将该数据从 I/O 终端输出。同样，当写入数据时，通过读出放大器 6 经由地址/数据缓冲器 5 来锁存从

I/O 端子输入的数据 DB，并将所锁存的数据 DB 传送到由列栅极 4 选择的位线 BL。

设置高压产生升压电路 7 和低压产生升压电路 8，以产生一个升压电压，该升压电压高于编程/擦除/读取数据所必需的电源电压。将低压产生升压电路 8 的低升压输出电压 VPPL 供给到调整器电路 9。在该电压稳定之后，调整器电路 9 输出调整器输出电压 VRO。同样，将高压产生升压电路 7 的高升压输出电压 VPPH 和调整器电路 9 的调整器输出电压 VRO 一起供给到电压变换开关电路 10。根据从控制电路 11 提供的开关控制信号，电压变换开关电路 10 选择高升压输出电压 VPPH 或调整器电路 9 的调整器输出电压 VRO，并将所选择的电压作为字线供给电压 Vw11 至 Vw1N 供给到行解码器 2。根据模式信号 MD、芯片使能信号 CEB、编程使能信号 WEB 和输出使能信号 OEB，控制电路 11 控制地址/数据缓冲器 5、高压产生升压电路 7、低压产生升压电路 8、调整器电路 9 和电压变换开关电路 10，以便于各电路按照数据编程/擦除/读取模式来执行预定操作。

图 18 示出高压产生升压电路 7 的一个实例。在图 18 中，示出一个由升压时钟驱动的两相时钟电压升压电路。在该两相时钟电压升压电路中，按二极管连接的 NMOS 晶体管 Mn1 至 Mn6 以及 Mn10 串联连接以形成七级电路。将第一 NMOS 晶体管 Mn1 的输入端子固定于电源电压 Vcc (=2.5V)，将滤波电容器 Co 和齐纳二极管 Dzh 插入在供给高升压输出电压 VPPH 的输出端子与接地电压 Vss 之间，并将根据停止模式信号来电连接/断开的开关电路 12 插入在输出端子与电源电压 Vcc 之间。

图 19 示出低压产生升压电路 8 的一个实例。在图 19 中，采用与这里所使用的那些相同的参考数字来表示具有图 18 中的相似配对物的任意组成部件。在图 19 中，将按二极管连接的 NMOS 晶体管 Mn1 至 Mn4 以及 Mn10 串联连接以形成五级电路，并将齐纳二极管 Dzl 插入在供给低升压输出电压 VPPL 的输出端子与接地电压 Vss 之间。

如图 20 中所示，调整器电路 9 包括：使用低升压输出电压 VPPL 作为电源的比较器 CMP；和 PMOS 晶体管 Mp1，该 PMOS 晶体管

Mp1 由比较器 CMP 的输出来控制导通或截止，并串联在 VPPL 节点与 VSS 端子之间。在这种情况下，PMOS 晶体管 Mp1 的漏极端子用作输出端子，并供给调整器输出电压 VRO。VRO 输出端子设置有电阻分压电路，在该电路中，电阻 R1 至 R3 串联连接，并将电阻 R3 的反馈电压 VFB 反馈至比较器 CMP 的同相输入端子。将参考电压 VREF 输入到比较器 CMP 的反相输入端子。因此，执行 PMOS 晶体管 Mp1 的导通/截止控制，使得反馈电压 VFB 等于参考电压 VREF。同样，由模式控制信号 RDB 控制的短路 PMOS 晶体管 Mp2 连接在节点 NR 与 VRO 输出端子之间，该节点 NR 存在于电阻 R1 与 R2 之间。例如，控制电压，使得模式控制信号 RDB 失效，且在读操作中导通 PMOS 晶体管 Mp2，而在程序校验操作中使 PMOS 晶体管 Mp2 截止。结果是，例如，能够在读操作中输出 4.5V 的 VRO，而在程序校验操作中输出 5.5V 的 VRO。同样，由停止模式信号控制的开关电路 13 插入在 VRO 输出端子与 Vcc 电源端子之间，并将由停止模式禁止信号控制的开关电路 14 设置在电阻 R3 的节点 N1 与接地电压端子 Vss 之间。

图 21 示出组成行解码器 2 的单元解码器的一个实例。该单元解码器由在多个行地址 ADR 之间执行逻辑与 (AND) 的 NAND 门 G1、电平移位电路 15 和驱动电路 16 组成。在从 N 个解码器块中选择出的单元解码器中，使节点 N2 失效。电平移位电路 15 由 PMOS 晶体管 Mp3 和 Mp4、NMOS 晶体管 Mn11 和 Mn12、以及非门 G2 组成。将节点 N2 的信号输入到 NMOS 晶体管 Mn11 的栅极，而将节点 N2 的反相信号输入到 NMOS 晶体管 Mn12 的栅极。驱动电路 16 是由 NMOS 晶体管 Mn13 与 PMOS 晶体管 Mp5 构成的反相电路。驱动电路 16 使用电平移位电路 15 的输出作为输入，并使用字线供给电压 Vwl1 作为电源。将驱动电路 16 的输出电压施加到存储单元 MC 的控制栅极。同样，在这种情况下，将 PMOS 晶体管 Mp3 至 Mp5 的 N-阱节点 NW 连接到字线供给电压 Vwl1。

下文中，将描述上述非易失性半导体存储器的操作。在数据编程操作中，将高升压输出电压 VPPH (=10V) 作为字线 WL 电压施加到

根据编程地址 AD 和数据 DB 输入选择的存储单元 MC 的控制栅极，并将 0V 施加到未选择的字线 WL。此时，根据将要写入的数据 DB，将 5V 或 0V 施加到位线 BL。同样，将 0V 施加到公共源极线 SL。结果是，对连接于被选择的字线 WL 且经由位线 BL 向其漏极端子提供 5V 的存储单元 MC 执行写入，并将电子添加到浮置栅极，且存储单元 MC 的阈值沿正常方向增加。

电源电路和解码器 2 的具体操作如下：将升压时钟从控制电路 11 输入到高压产生升压电路 7，如图 18 中所示。通过公知的电荷传递操作来产生高于电源电压的升压电压，并通过设置在输出端子上的齐纳二极管 Dz_h 将其钳位在 10V，并将高升压输出电压 VPPH(=10V) 供给到电压变换开关电路 10。此时，使从控制电路 11 输入的停止模式信号失效，并且将开关电路 12 电断开。同样，以相似的方式将升压时钟输入到低压产生升压电路 8，如图 19 中所示。产生高于电源电压的升压电压并通过设置在输出端子上的齐纳二极管 Dz_l 将其钳位在 7V，并将低压升压输出电压 VPPL(=7V) 供给到调整器电路 9。此时，由于如图 20 中所示的调整器电路 9 在编程操作期间停止，所以停止模式信号被激活且停止模式禁止信号失效。结果是，开关电路 13 电连接，而开关电路 14 电断开，且将调整器输出电压 VRO(=V_{cc}) 供给到电压变换开关电路 10。

在电压变换开关电路 10 中，根据从控制电路 11 供给的开关控制信号来选择高升压输出电压 VPPH(=10V)，并将其作为字线供给电压 Vw_{l1} 至 Vw_{lN} 供给到所有的解码器块 XDEC1 至 XDECN。此时，如图 21 中所示，由字线供给电压 Vw_{l1} 至 Vw_{lN} 来对所有解码器块 XDEC1 至 XDECN 共同使用的诸如 N-阱节点 NW 的超大负载电容进行充电。在完成充电后，选择预定的字线 WL，且使仅用于驱动所选择的字线 WL 的单元解码器的节点 N2 失效。因此，将高升压输出电压 VPPH(=10V) 输出并施加到被选择的存储单元 MC 的控制栅极。不改变未被选择的字线 WL 的电压(=0V)。

接着，在程序校验操作中，在将调整器输出电压 VRO(=5.5V) 施加到对其执行写入的单元的控制栅极上的同时，将 1V 施加到到被

选择的位线 BL。同样，将 0V 施加到公共源极线。此时，通过读出放大器 6 检测并放大位线电压，以确定上述单元是已经对其执行写入的单元还是已经对其执行擦除的单元。当确定上述单元为已经对其执行写入的单元时，取消下一编程操作。另一方面，当确定上述单元为已经对其执行擦除的单元时，执行下一编程操作。电源电路和行解码器 2 的具体电路操作如下：在将停止要供给到如图 18 中所示的高压产生升压电路 7 的升压时钟的同时，激活停止模式信号，并将开关电路 12 电连接。结果是，将电源电压 Vcc 供给到电压变换开关电路 10。

同编程操作情况一样，将升压时钟输入到低压产生升压电路 8，如图 19 中所示。产生高于电源电压的升压电压并通过设置在输出端子上的齐纳二极管 Dz1 将其钳位在 7V，并将该低升压输出电压 VPPL(=7V)供给到调整器电路 9。此时，在如图 20 中所示的调整器电路 9 中，模式控制信号 RDB 被激活，PMOS 晶体管 Mp2 截止，且电阻 R1 被启用。同时，使停止模式信号失效并激活停止模式禁止信号，由此开关电路 13 和 14 分别电断开和电连接。结果是，将调整器输出电压 VRO (=5.5V) 供给到电压变换开关电路 10。

接着，在电压变换开关电路 10 中，根据从控制电路 11 供给的开关控制信号来选择调整器输出电压 VRO (=5.5V)，并将其作为字线供给电压 Vw11 至 Vw1N 供给到行解码器 2 的所有解码器块 XDEC1 至 XDECN。此时，如图 21 中所示，通过字线供给电压 Vw11 至 Vw1N 对所有解码器块 XDEC1 至 XDECN 共同使用的诸如 N-阱节点 NW 的负载电容进行充电。在完成充电后，选择预定的字线 WL，并将调整器输出电压 VRO (=5.5V) 输出并施加到被选择的存储单元 MC 的控制栅极。不改变未被选择的字线 WL 的电压 (=0V)。

图 22 示出表示在上述编程/程序校验操作期间向字线 WL 供给的电压系统的时序图。首先，在停止状态 (STOP) 下，由于高压产生升压电路 7、低压产生升压电路 8 和调整器电路 9 处于停止状态，字线供给电压 Vw11 至 Vw1N 与电源电压 Vcc 相一致。接着，当转变到编程状态 (Program) 时，高压产生升压电路 7 和低压产生升压电路 8 进入操作状态。在该状态下，高压产生升压电路 7 将负载电容从电

源电压 V_{cc} 充电至高升压输出电压 V_{PPH} ($=10V$)，而低压产生升压电路 8 将负载电容从电源电压 V_{cc} 充电至低升压输出电压 V_{PPL} ($=7V$)。此时，电压变换开关电路 10 使高升压输出电压 V_{PPH} ($=10V$) 经过行解码器 2，由此由高压产生升压电路 7 观察的负载电容变得非常大。结果是，需要花费很长的建立时间 t_{11} 。

接着，当从编程状态转变到程序校验状态 (PV) 时，高压产生升压电路 7 进入停止状态，且高升压输出电压 V_{PPH} ($=10V$) 放电到电源电压。而且，调整器电路 9 处于工作状态，并将通过逐步降低低升压输出电压 V_{PPL} ($=7V$) 而获得的调整器输出电压 V_{RO} ($=5.5V$) 经由电压变换开关电路 10 供给到行解码器 2。在其中不确定在上述 PV 操作下完成写入的情况中，转变到下一编程和 PV 操作。值得注意的是，将负载电容从调整器输出电压 V_{RO} ($=5.5V$) 开始进行充电。因此，在第二或稍后的编程模式下达到高升压输出电压 V_{PPH} ($=10V$) 的建立时间 τ_1 略短于第一建立时间 τ_{11} 。下文中，重复上述编程/程序校验操作，直到对所有期望的存储单元 MC 执行写入为止。

如上所述，在其中多次重复（如果需要）编程/程序校验操作的方法中，每次转变到编程模式时，必须利用高升压输出电压 V_{PPH} ($=10V$) 对诸如行解码器 2 的 N-阱节点 NW 的超大负载电容进行多次充电。结果是，每次执行循环(loop)需要花费很长的建立时间 τ_1 。因此，常规非易失性半导体存储器的缺点是：由于对于编程/程序校验操作需要很长的时间以及要由高升压电荷充放电的超大负载电容而导致供给高升压电荷的高压产生升压电路 7 的功耗增加。此外，另一缺点是：如果为了减小 τ_1 而提高产生高压 V_{PPH} 的高压产生升压电路 7 的电流供给能力，则会增加功耗。

同样地，上述结构的缺点是：很难减小编程/程序校验操作所需的时间和功耗，以及由于减小编程/程序校验操作所需的时间会增加功耗。

发明内容

因此,本发明的一个目的是提供一种高性能非易失性半导体存储器,该存储器能够减少编程/程序校验操作所需的时间同时减小功耗。

在根据本发明的非易失性半导体存储器中,在存储单元阵列中,将多个存储单元按照矩阵的形式设置并将其划分成多个扇区。设置多个行解码器电路,使其与存储单元阵列的扇区相对应。每一行解码器电路根据外部输入的地址信号选择包含在相应扇区中的一个存储单元。向多个开关供给多种电压。将该多个开关设置成,使其与所述多个行解码器电路相对应,从而使得每一开关可以分别地选择多种电压中的任意一种并将其输出至相应的行解码器电路。电压升压电路通过对电源电压进行升压来产生多种电压。调整器电路逐渐降低由该电压升压电路产生的多种电压中的至少一种以稳定到一电压值,并向每一开关输出最终的电压。行解码器电路通过利用从相应的开关输出的电压来选择存储单元。

如上所述,通过包括开关,在转变到编程模式的情况下,能够仅对诸如在预定解码器块中的N-阱之类的负载电容充高电压。结果是,可以大大地减小负载电容,且减小用于在高压下充电/放电负载电容的电荷量以及功耗。而且,可以减少达到高压的建立时间。因此,能够减少编程/程序校验操作所需的时间。此外,通过包括电压升压电路,非易失性半导体存储器能够使用单个电源来操作,而不需要从外部供给多个电源。因此,可以增加非易失性半导体存储器的通用性。另外,通过利用电压升压电路,使得能够使用单个电源来进行操作,由此能够进一步减少达到高压的建立时间,并进一步减小用于在高压下充电/放电负载电容的电荷量,这对功耗有相当大的影响。因此,能够增强减小功耗的效果。结果是,可以更加有效地减少编程/程序校验操作所需的时间。而且,通过包括调整器电路,稳定从开关输出的电压。结果是,能够以高精确度控制存储单元的栅极电压,由此改善编程和读取干扰特性。

同样,控制电路根据地址信号产生用于选择每一开关的开关控制信号,且每一开关根据该开关控制信号选择要被输出到相应行解码器单元的电压。同样地,由控制电路来控制开关。

此外,多种电压至少包括第一电压和低于第一电压的第二电压。当将数据写入存储单元时,控制电路根据地址信号来产生开关控制信号,该开关控制信号用于使用于选择存储单元的一个行解码器电路输出第一电压,并使另一行解码器电路输出第二电压。

如上所述,通过包含开关,在转变到编程模式的情况下,能够仅对诸如在预定解码器块中的 N-阱之类的负载电容充高电压。结果是,可以大大地减小负载电容,且减小用于在高压下充电/放电负载电容的电荷量以及功耗。而且,可以减少达到高压的建立时间。因此,能够减少编程/程序校验操作所需的时间。

此外,每一行解码器电路包括多个形成在 N-阱中的 PMOS 晶体管。N-阱输入端子为用于将由电压升压电路产生的多种电压的任意一种施加到 N-阱的端子,且升压控制电路控制该电压升压电路,以便在向存储单元写入数据之前将电压施加到 N-阱输入端子。

如上所述,通过在编程/程序校验操作期间始终向 N-阱电压输入端子施加在非易失性半导体存储器中使用的最大电压,能够进一步减少存储单元栅极供给电压建立时间,并进一步减小诸如冗余 N-阱电容的负载电容的充电/放电电流。因此,可以实现高性能、低功耗的非易失性半导体存储器。

此外,在写入数据之前,将为多种电压中最高的第三电压施加到 N-阱输入端子。同样地,通过利用电压升压电路产生现有最大电压,使得外部高压施加端子和外部施加电压控制端子变得不是必须的。因此,能够减小面积。

此外, N-阱电压变换开关选择将要输出给 N-阱输入端子的电压。开关控制电路在第三电压与低于第三电压的第四电压之间切换,并使得 N-阱电压变换开关输出第三或第四电压。

因此,当执行读取操作时,将低于第三电压的第四电压施加到 PMOS 晶体管的 N-阱。通过利用上述现有电压升压电路的简单控制,能够抑制在正常读取操作期间阈值电压的增加,这是由于组成行解码器部分的 PMOS 晶体管的反偏压效应而导致的。结果是,提高了电流驱动能力,并实现高速读出。此外,能够在读取操作期间停止用于

提供最大电压的电压升压电路，由此可以大大地减小读出时的功耗。

此外，在写入数据之前，开关控制电路控制 N-阱电压变换开关以便于将第三电压施加到 N-阱输入端子。当读取数据时，开关控制电路控制 N-阱电压变换开关，以便于将第四电压施加给 N-阱输入端子。同样，通过包含用作放电电路的降压电路和比较电路，提高了高升压电荷的下降速度。因此，能够减少读取建立时间。

此外，所述降压电路可以在开关控制电路控制 N-阱电压变换开关时降低 N-阱输入端子的电压，以便于施加第四电压。比较电路可以将通过降压电路降低的 N-阱输入端子的电压与第四电压进行比较。当比较电路确定通过降压电路降低的 N-阱输入端子的电压与第四电压相等时，开关控制电路可以控制 N-阱电压变换开关，以便于将第四电压施加到 N-阱输入端子。

此外，行解码器可以包括多个形成在 N-阱中的 PMOS 晶体管和形成于 N-阱的 P-阱中形成的多个 NMOS 晶体管。而且，负电压输入端子可以为用于将包含于由电压升压电路产生的多种电压中的至少一个负电压或接地电压经由行解码器电路施加到存储单元的控制栅极的端子。升压控制电路可以控制电压升压电路，以便于当在设置于存储单元上的电荷存储区中将电子量减小时，向负电压输入端子施加负电压。另外，所述至少一种电压可以为在读取数据时使用的电压。同样，通过构造包含于行解码器中的晶体管以便于具有所谓的三-阱结构，能够在执行擦除时向 WL 线施加负电压。因此，能够提高诸如存储单元 MC 的干扰特性和耐久特性的可靠性。

通过下面结合附图的本发明的详细描述，本发明的这些和其他目的、特征、方面和优点将变得更加显而易见。

附图说明

图 1 是示出本发明第一实施例中的非易失性半导体存储器的结构的框图；

图 2 是示出本发明第一实施例中的编程操作和程序校验操作的

时序图；

图 3 是示出本发明第二实施例中的非易失性半导体存储器的结构的框图；

图 4 是示出本发明第二、第三和第四实施例中的行解码器的示例性结构的框图；

图 5 是示出本发明第二、第三和第四实施例中的单元解码器的结构的电路图；

图 6 是示出本发明第二实施例中的编程操作和程序校验操作的时序图；

图 7 是示出本发明第三实施例中的非易失性半导体存储器的结构的框图；

图 8 是示出本发明第三实施例中的读取操作的时序图；

图 9 是示出本发明第四实施例中的非易失性半导体存储器的结构的框图；

图 10 是示出本发明第四实施例中的示例性放电电路的电路图；

图 11 是示出本发明第四实施例中的电平移位电路的电路结构的说明；

图 12 是示出本发明第四实施例中的程序校验操作和读取操作的时序图；

图 13 是示出本发明第五实施例中的非易失性半导体存储器的结构的框图；

图 14 是示出本发明第五实施例中的行解码器的示例性结构的框图；

图 15 是示出本发明第五实施例中的单元解码器的结构的电路图；

图 16 是示出常规非易失性半导体存储器的结构的框图；

图 17 是示出浮栅型存储单元阵列的等效电路图；

图 18 是示出高压产生升压电路的结构的电路图；

图 19 是示出低压产生升压电路的结构的电路图；

图 20 是示出调整器电路的结构的电路图；

图 21 是示出在常规非易失性半导体存储器中和本发明第一实施例中使用的单元解码器的结构的电路图；和

图 22 是示出常规非易失性半导体存储器中的编程操作和程序校验操作的时序图。

发明详述

下文中，将参考附图来详细描述本发明的实施例。

图 1 是示出本发明第一实施例中的非易失性半导体存储器的结构的框图。在图 1 中，采用与这里所使用的那些相同的参考数字来表示具有图 16 中的相似配对物的任意组成部件，并省略其详细描述。

第一实施例的特征在于：包括含有 N (N 为自然数) 个单元开关的电压变换开关电路 17，该单元开关使用两种电压：高升压输出电压 V_{PPH} ($=10V$) 和调整器输出电压 V_{RO} ($=5.5V$) 作为输入，并根据开关控制信号来选择和输出两种电压的其中之一。在停止状态 (STOP) 或程序校验操作 (PV) 下，电压变换开关电路 17 的所有单元开关根据开关控制信号选择调整器输出电压 V_{RO} 。在编程操作 (Program) 中，仅仅所期望的一个单元开关选择高升压输出电压 V_{PPH} ，而其他单元开关选择调整器输出电压 V_{RO} 。此时，将为电压变换开关电路 17 的输出电压的字线供给电压 V_{wl1} 至 V_{wlN} 分别供给到解码器块 $XDEC1$ 至 $XDECN$ 。

下文中，将详细描述上述非易失性半导体存储器的操作。图 2 示出在编程/程序校验操作期间供给到字线 WL 的电压系统的时序图。首先，在停止状态 (STOP) 中，高压产生升压电路 7、低压产生升压电路 8 和调整器电路 9 进入停止状态，且开关控制信号使电压变换开关电路 17 的所有单元开关选择调整器输出电压 V_{RO} 。因此，字线供给电压 V_{wl1} 至 V_{wlN} 与电源电压 V_{cc} 相一致。接着，当转变到编程状态 (Program) 时，高压产生升压电路 7 和低压产生升压电路 8 进入操作状态，高压产生升压电路 7 将负载电容从电源电压 V_{cc} 充电至高升压输出电压 V_{PPH} ($=10V$)，而低压产生升压电路 8 将负载电

容从电源电压 V_{cc} 充电至低升压输出电压 V_{PPL} ($=7V$)。此时, 在电压变换开关电路 17 中, 仅仅一个所期望的单元开关选择高升压输出电压 V_{PPH} , 由此从高压产生升压电路 7 观察的负载电容非常小 (与常规器件相比较, 约为其 $1/N$)。因此, 可以大大地减少对解码器块 $XDEC1$ 充电所需的建立时间 τ_{s1} ($< \tau_{11}$)。

当从编程状态转变到程序校验状态 (PV) 时, 高压产生升压电路 7 进入停止状态, 且高升压输出电压 V_{PPH} ($=10V$) 放电至电源电压 V_{cc} 。此外, 调整器电路 9 进入操作状态, 且开关控制信号使电压变换开关电路 17 的所有单元开关选择调整器输出电压 V_{RO} 。因此, 将通过逐渐降低低升压输出电压 V_{PPL} ($=7V$) 而获得的调整器输出电压 V_{RO} ($=5.5V$) 供给到所有的解码器块 $XDEC1$ 至 $XDECN$ 。在其中不确定在上述 PV 操作中完成写入的情况下, 转变到下一编程和 PV 操作。值得注意的是, 将负载电容从调整器输出电压 V_{RO} ($=5.5V$) 开始充电。因此, 在第二或稍后的编程模式中达到高升压输出电压 V_{PPH} ($=10V$) 的建立时间 τ_s ($< \tau_1$) 略短于第一建立时间 τ_{s1} ($\tau_s < \tau_{s1}$)。下文中, 重复上述编程/程序校验操作直到对所有期望的存储单元 MC 执行写入为止。

如上所述, 根据第一实施例, 通过包括电压变换开关电路 17, 能够利用高压来仅对诸如在预定解码器块中的 N -阱的负载电容进行充电, 由此大大地减小负载电容。结果是, 减小在高电压下充电/放电负载电容的电荷量并减小功耗。另外, 缩短达到高压的建立时间。因此, 能够减少编程/程序校验操作所需的时间。同样, 电压升压电路使得能够使用单个电源来操作, 由此获得更大的通用性。而且, 调整器电路使得能够对存储单元栅极电压进行高精度度控制, 由此能够改善存储单元的读取干扰特性和可靠性。

值得注意的是, 包含于本实施例的解码器块 $XDEC1$ 至 $XDECN$ 的每一个中的 N -阱彼此隔离, 且在解码器块 $XDEC1$ 至 $XDECN$ 中的每一个中的 N -阱数量为一, 或者将所述 N -阱划分成多个 N -阱。然而, 在解码器块 $XDEC1$ 至 $XDECN$ 中的每一个中的被划分的 N -阱数量越小, 所减小的解码器块的面积就越大。

值得注意的是,在本实施例中,假设组成存储阵列 1 的扇区 S1 至 SN 的数量 (N 个扇区) 与解码器块 XDEC1 至 XDECN 的数量 (N 个解码器块) 相一致。然而,并不限于此。此外,假设单元开关的数量 (N 个单元开关) 与解码器块 XDEC1 至 XDECN 的数量 (N 个解码器块) 相一致,但并不限于此。

图 3 是示出本发明第二实施例中的非易失性半导体存储器的结构的框图。在图 3 中,采用与这里所使用的那些相同的参考数字来表示具有如图 1 中所示的第一实施例中的相似配对物的任意组成部件,并省略其详细说明。

第二实施例的特征在于:设置单个 N-阱电势输入端子,以便于可以将含有包含于行解码器 2 中的 PMOS 晶体管的 N-阱的电压与施加到存储单元的栅极电压分开控制,并将该 N-阱电压输入端子连接于高压产生升压电路 7 的输出端子。

如图 3 中所示,行解码器 2 具有 N-阱电压输入端子,且该 N-阱电压输入端子连接于高压产生升压电路 7 的输出端。行解码器 2 包括 N 个 (N 为自然数) 解码器块 XDEC1 至 XDECN,如图 4 中所示,解码器块 XDEC1 至 XDECN 中的每一个包括 M 个 (M 为自然数) 单元解码器 U1X 至 UMX ($X=1,2,\dots,N$),且将高升压输出电压 V_{PPH} 经由 N-阱电压输入端子输入到单元解码器 U1X 至 UMX ($X=1,2,\dots,N$) 中的每一个。如图 5 中所示,单元解码器 U1X 至 UMX ($X=1,2,\dots,N$) 中的每一个包括电平移位电路 117 和驱动电路 18,从而可以将 N-阱节点 NW 的电压 V_{nwell} 与字线供给电压 V_{wl1} 分开控制。

下文中,将描述本实施例的上述非易失性半导体存储器的操作。图 6 示出表示在编程/程序校验操作期间供给到字线 WL 的电压系统的时序图。首先,在停止状态 (STOP) 中,高压产生升压电路 7、低压产生升压电路 8 和调整器电路 9 进入停止状态,且开关控制信号使电压变换开关电路 17 的所有单元开关选择调整器输出电压 V_{RO} 。因此,字线供给电压 V_{wl1} 至 V_{wlN} 与电源电压 V_{cc} 相一致。接着,当转变到编程状态 (Program) 时,高压产生升压电路 7 和低压产生升压电路 8 进入操作状态。在该状态下,高压产生升压电路 7 将负载

电容从电源电压 V_{cc} 充电至高升压输出电压 V_{PPH} ($=10V$)，而低压产生升压电路 8 将负载电容从电源电压 V_{cc} 充电至低升压输出电压 V_{PPL} ($=7V$)。同时，由高升压输出电压 V_{PPH} 经由 N-阱电压输入端子对行解码器 2 的超大 N-阱负载电容进行充电，且还对由电压变换开关电路 17 所选择的期望解码器块 XDEC1 的负载电容进行充电。此时，对 N-阱的负载电容和解码器块 XDEC1 的负载电容进行充电的建立时间为 τ_{ml} ($\tau_{sl} < \tau_{ml} < \tau_{ll}$)。

当从编程状态转变到程序校验状态 (PV) 时，调整器电路 9 处于工作状态，且开关控制信号使电压变换开关电路 17 的所有单元开关选择调整器输出电压 V_{RO} 。因此，将通过逐步降低低升压输出电压 V_{PPL} ($=7V$) 而获得的调整器输出电压 V_{RO} ($=5.5V$) 供给到所有的解码器块 XDEC1 至 XDECN。在其中不确定在上述 PV 操作下完成写入的情况中，转变到下一编程和 PV 操作。然而，在第二或稍后的编程模式下达到高升压输出电压 V_{PPH} ($=10V$) 的建立时间 τ_{ss} 显著地减小，因为行解码器 2 的 N-阱负载电容容易被充电至 V_{PPH} ($=10V$)，由此，应该仅对所期望的解码器块 XDEC1 的负载电容进行充电。下面，重复上述编程/程序校验操作，直到对所有期望的存储单元 MC 执行写入为止。

如上所述，根据第二实施例，设置 N-阱电压输入端子，以便于可以将含有包含于行解码器 2 中的 PMOS 晶体管的 N-阱的电压与施加到存储单元的栅极电压分开控制，并将 N-阱电压输入端子连接于高压产生升压电路 7 的输出端子。因此，可以在编程/程序校验操作期间始终将在非易失性半导体存储器中使用的最大电压施加到 N-阱电压输入端子，由此消除在编程/程序校验循环期间对行解码器 2 的 N-阱负载电容充电和放电的需求。结果是，能够进一步减少存储单元栅极供给电压的建立时间，并减小诸如冗余 N-阱电容的负载电容的充电/放电电流，由此可以实现高性能且低功耗的非易失性半导体存储器。此外，通过使用现有的电压升压电路产生最大电压，消除了对外部高压施加端子和外部施加电压控制端子的需求。因此，能够减小电路面积。

值得注意的是，行解码器 2 设置有一个超大 N-阱，在该 N-阱中，形成 PMOS 晶体管，以消除划分 N-阱的需求，由此能够减小电路面积。

图 7 是示出本发明第三实施例中的非易失性半导体存储器的结构的框图。在图 7 中，采用与这里所使用的那些相同的参考数字来表示具有如图 3 中所示的第二实施例中的相似配对物的任意组成部件，并省略其详细描述。

第三实施例的特征在于：通过包括 N-阱电压变换开关 19，该 N-阱电压变换开关 19 利用两种电压：高升压输出电压 V_{PPH} 和调整器输出电压 V_{RO} 作为输入并根据 N-阱控制信号来选择并输出两种电压的其中之一。在停止状态（STOP）和读取操作（Read）中，N-阱电压变换开关 19 根据 N-阱控制信号选择调整器输出电压 V_{RO} 。在编程（Program）/程序校验（PV）操作中，N-阱电压变换开关 19 选择高升压输出电压 V_{PPH} 。

下文中，将详细描述本实施例的上述非易失性半导体存储器的操作。如本发明第二实施例的情况一样，在编程/程序校验操作中，根据 N-阱控制信号将高升压输出电压 V_{PPH} 供给到 N-阱电压输入端子。因此，在第三实施例中省略与第二实施例相同部分的描述。下文中，仅描述读取操作。在读取操作中，将 1V 施加到所选择的位线 BL，同时将调整器输出电压 V_{RO} （=4.5V）施加到要被读取的单元的控制栅极。此外，将 0V 施加于公共源极线 SL。此时，通过读出放大器 6 来检测并放大位线电压，并经由地址/数据缓冲器 5 来输出读取数据 DB。

图 8 示出表示在读取操作期间供给到字线 WL 的电压系统的时序图。首先，在停止状态（STOP）中，高压产生升压电路 7、低压产生升压电路 8 和调整器电路 9 进入停止状态，且 N-阱控制信号和开关控制信号使 N-阱电压变换开关 19 的所有单元开关和电压变换开关电路 17 选择调整器输出电压 V_{RO} 。因此，N-阱节点的电压 V_{nwell} 和字线电源电压 V_{w11} 至 V_{w1N} 与电源电压 V_{cc} 相一致。

当转变到读取状态（Read）时，虽然高压产生升压电路 7 继续处

于停止状态,但低压产生升压电路 8 进入操作状态,并将负载电容从电源电压 V_{cc} 充电至低升压输出电压 V_{PPL} ($=7V$)。此时,如图 20 中所示的调整器电路 9 也进入操作状态,模式控制信号 RDB 被失效,PMOS 晶体管 $Mp2$ 切换到导通状态,且电阻 $R1$ 被禁用。同时,停止模式信号被失效而停止模式禁止信号被激活,由此开关电路 13 和 14 分别被电断开和电连接。结果是,将调整器输出电压 V_{RO} ($=4.5V$) 供给到 N-阱电压变换开关 19 和电压变换开关电路 17。

接着,N-阱控制信号使 N-阱电压变换开关 19 选择调整器输出电压 V_{RO} ,而开关控制信号使电压变换开关电路 17 选择调整器输出电压 V_{RO} 。因此,N-阱节点的电压 V_{nwell} 和字线供给电压 V_{wl1} 至 V_{wlN} 被充电至调整器输出电压 V_{RO} ($=4.5V$)。结果是,组成如图 5 中所示的单元解码器的 PMOS 晶体管 $Mp3$ 、 $Mp4$ 和 $Mp5$ 的源极电压和 N-阱电压相同,由此防止由于衬底偏压效应而导致的阈值增加。

如上所述,根据第三实施例,通过包括 N-阱电压变换开关 19,该 N 阱电压变换开关 19 根据 N-阱控制信号来选择两种电压:高升压输出电压 V_{PPH} 和调整器输出电压 V_{RO} 的其中之一,并将所选择的电压供给到 N-阱电压输入端子,可以获得下述效果:首先,与第二实施例的情况一样,能够减少存储单元栅极供给电压建立时间,并减小诸如冗余 N-阱电容的负载电容的充电/放电电流;其次,在读取操作中利用使用现有调整器电路 9 的简单控制,能够抑制由于组成单元解码器的 PMOS 晶体管的反偏压效应而导致的阈值增加。结果是,提高了电流驱动能力,并实现了高速读出。此外,能够在读取操作期间停止电压升压电路供给最大电压,由此可以大大地减小读出时的功耗。

图 9 是示出本发明第四实施例中的非易失性半导体存储器的结构的框图。在图 9 中,采用与这里所使用的那些相同的参考数字来表示具有如图 7 中所示的第三实施例中的相似配对物的任意组成部件,并省略其详细描述。

第四实施例的特征在于:包括放电电路 20。该放电电路 20 根据放电控制信号 DEN 来将调整器输出电压 V_{RO} 与 N-阱节点的电压

V_{nwell} 进行比较。当将 N-阱节点的电压 V_{nwell} 从高升压输出电压 V_{PPH} 放电至调整器输出电压 V_{RO} 时, 放电电路 20 停止放电操作, 并向控制电路 11 输出放电确定信号 RDY。

如图 9 中所示, 根据从控制电路 11 输出的 N-阱控制信号 NW[1:0], N-阱电压变换开关 19 在下述三种状态之间切换: 高升压输出电压 V_{PPH} 选择状态、调整器输出电压 V_{RO} 选择状态和非选择状态 (HiZ), 在非选择状态下, 不选择上述两种电压中的任何一种。特别地, 当 N-阱控制信号 NW[1:0] 为 0h 时, N-阱电压变换开关 19 选择高升压输出电压 V_{PPH}。当 N-阱控制信号 NW[1:0] 为 1h 时, N-阱电压变换开关 19 进入非选择状态 (HiZ)。当 N-阱控制信号 NW[1:0] 为 2h 时, N-阱电压变换开关 19 选择调整器输出电压 V_{RO}。

此外, 在图 10 中示出放电电路 20 的具体结构。如图 10 中所示, 放电电路 20 的基本部件包括电流镜部分 21、电压检测/比较部分 22、检测结果放大部分 23 和放电部分 24。电流镜部分 21 包括 NMOS 晶体管 Mn14、PMOS 晶体管 Mp6 和电阻 R4。其栅极端子和漏极端子彼此连接的 NMOS 晶体管 Mn14 的源极端子固定在接地电压 V_{ss}。NMOS 晶体管 Mn14 的栅极端子输出镜栅电压 V_{gm}。NMOS 晶体管 Mn14 的漏极端子连接于电阻 R4 的一端。电阻 R4 的另一端连接于 PMOS 晶体管 Mp6 的漏极端子。PMOS 晶体管 Mp6 的源极端子和衬底端子固定在电源电压 V_{cc}, 并将放电控制信号 DEN 的反相信号输入到 PMOS 晶体管 Mp6 的栅极端子。

同样地, 当激活放电控制信号 DEN 时, 其中 PMOS 晶体管 Mp6 被电连接的电流镜部分 21 用作有 10 μ A 电流流经的电流镜电路, 并将栅极电压 V_{gm} 输出到电压检测/比较部分 22 和放电部分 24。当放电控制信号 DEN 被失效时, PMOS 晶体管 Mp6 被电断开以中断 DC 电流。电压检测/比较部分 22 包括 NMOS 晶体管 Mn15 和 Mn16 以及 PMOS 晶体管 Mp7 和 Mp8, 其中 NMOS 晶体管 Mn15 和 Mn16 的比率与 NMOS 晶体管 Mn14 的相同。将镜栅电压 V_{gm} 输入到 NMOS 晶体管 Mn15 和 Mn16 的栅极端子。将 NMOS 晶体管 Mn15 和 Mn16 的每一个源极端子固定在接地电压 V_{ss}。NMOS 晶体管 Mn15 的漏极

端子连接于 PMOS 晶体管 Mp7 的漏极端子, 该 PMOS 晶体管 Mp7 的栅极端子与漏极端子彼此连接。将调整器输出电压 VRO 输入到 PMOS 晶体管 Mp7 的源极端子和衬底端子。将 PMOS 晶体管 Mp7 的栅极端子连接于 PMOS 晶体管 Mp8 的栅极端子。将 N-阱节点的电压 Vnwell 输入到 PMOS 晶体管 Mp8 的源极端子和衬底端子。PMOS 晶体管 Mp8 的漏极端子输出检测电压 VO, 并连接于 NMOS 晶体管 Mn16 的漏极端子。

同样地, 当激活放电控制信号 DEN 时, 电压检测/比较部分 22 将 N-阱节点的电压 Vnwell 与调整器输出电压 VRO 进行比较。在 N-阱节点的电压 Vnwell 高于调整器输出电压 VRO 的情况下, 电压检测/比较部分 22 输出高电平电压作为检测电压 VO。在 N-阱节点的电压 Vnwell 低于调整器输出电压 VRO 的情况下, 电压检测/比较部分 22 输出低电平电压。此时, 10 μ A 的电流流经电流镜 NMOS 晶体管 Mn15 和 Mn16。

检测结果放大部分 23 包括由 NMOS 晶体管 Mn17 和 Mn18 与 PMOS 晶体管 Mp9 和 Mp10 构成的一双输入端 NOR 电路以及由 NMOS 晶体管 Mn19 与 PMOS 晶体管 Mp11 构成的反相器。将 N-阱节点的电压 Vnwell 输入到该 NOR 电路作为电源。将检测电压 VO 和放电控制禁止信号 DENB 输入到该 NOR 电路, 且该 NOR 电路输出 NOR 输出电压 VO1。通过将放电信号 DEN 的反相信号输入到电平移位电路 25 以将该反相信号从电源电压的幅度电平移位到 N-阱节点的电压 Vnwell 的幅度, 来获得放电控制禁止信号 DENB。反相电路使用 N-阱节点的电压 Vnwell 作为电源, 并输出通过将 NOR 输出电压 VO1 反相而获得的检测结果放大输出电压 VO2。

同样地, 当激活放电控制信号 DEN 时, 放电控制禁止信号 DENB 变成低电平, PMOS 晶体管 Mp10 电连接, 且 NMOS 晶体管 Mn18 电断开。因此, 检测结果放大部分 23 作为反相器的两相放大电路工作, 并放大检测电压 VO 以输出检测结果放大输出电压 VO2。

另一方面, 当放电控制信号 DEN 失效时, 放电控制禁止信号 DENB 变为高电平。结果是, 由于 PMOS 晶体管 Mp10 电断开而 NMOS

晶体管 Mn18 电连接，所以中断 DC 电流。放电部分 24 包括彼此串联连接的 NMOS 晶体管 Mn20 和 Mn21。将镜栅电压 V_{gm} 输入到 NMOS 晶体管 Mn20 的栅极端子，而将接地电压 V_{ss} 输入到 NMOS 晶体管 Mn20 的源极端子。将检测结果放大输出电压 VO2 输入到 NMOS 晶体管 Mn21 的栅极端子，而将 N-阱节点的电压 V_{nwell} 输入到 NMOS 晶体管 Mn21 的漏极端子。

同样地，在放电部分 24 中，在当激活放电控制信号 DEN 时，检测结果放大输出电压 VO2 处于高电平的情况下，NMOS 晶体管 Mn20 和 Mn21 电连接。在这种情况下，假设 NMOS 晶体管 Mn20 的比率是 NMOS 晶体管 Mn14 的 50 倍，则利用 $500\mu A$ 的电流镜 DC 电流来对 N-阱节点的电压 V_{nwell} 进行放电。在检测结果放大输出电压 VO2 处于低电平的情况下，NMOS 晶体管 Mn21 电断开。因此，停止 N-阱节点的电压 V_{nwell} 的放电。当停止放电时，即，当放电控制信号 DEN 失效时，设置 NMOS 晶体管 Mn22 以中断 DC 电流流向电流镜部分 21、电压检测/比较部分 22 和放电部分 24。将放电控制信号 DEN 的反相信号输入到 NMOS 晶体管 Mn22 的栅极端子。将 NMOS 晶体管 Mn22 的源极端子固定在接地电压 V_{ss} ，并将其漏极端子连接于 NMOS 晶体管 Mn14 至 Mn16 以及 Mn20 的栅极端子。

如上所述，当激活放电控制信号 DEN 时，NMOS 晶体管 Mn22 电断开。当放电控制信号 DEN 失效时，NMOS 晶体管 Mn22 电连接，且将镜栅电压 V_{gm} 固定在接地电压 V_{ss} ，以中断 DC 电流流向电流镜部分 21、电压检测/比较部分 22 和放电部分 24。此外，放电电路 20 输出通过反相并放大检测结果放大输出电压 VO2 而获得的放电确定信号 RDY。

图 11 是如图 10 中所示的电平移位电路 25 的具体电路图。电平移位电路 25 包括 NMOS 晶体管 Mn23 和 Mn24、PMOS 晶体管 Mp12 和 Mp13、以及非门 G3。当将高电平电压输入到输入端子 IN 时，将输入到电压供给端子 SUPPLY 的电压电平输出到输出端子 OUT。当将低电平电压输入到输入端子 IN 时，将接地电压 V_{ss} 电平输出到输出端子 OUT。同样地，当放电控制信号 DEN 失效时，放电电路 20

进入停止状态，且放电确定信号 RDY 变为低电平。在放电控制信号 DEN 被激活且 N-阱节点的电压 V_{nwell} 高于调整器输出电压 VRO 的情况下，利用近似 $510\mu A$ 的电流对 N-阱节点的电压 V_{nwell} 进行放电。当 N-阱节点的电压 V_{nwell} 低于调整器输出电压 VRO 时，停止放电操作，且放电确定信号 RDY 变为高电平。

下面，将详细描述本实施例的上述非易失性半导体存储器的操作。图 12 示出用于描述当从程序校验操作 (PV) 转变为读取操作 (Read) 时 N-阱节点的电压 V_{nwell} 的放电操作的时序图。首先，在程序校验状态 (PV) 中，高压产生升压电路 7、低压产生升压电路 8 和调整器电路 9 进入操作状态，且控制电路 11 输出 0h 作为 N-阱控制信号 NW[1:0]。因此，N-阱电压变换开关 19 选择高升压输出电压 VPPH (=10V)，且 N-阱节点的电压 V_{nwell} 变为 10V。此时，模式控制信号 RDB 变为高电平，且调整器电路 9 输出 VRO=5.5V。另一方面，放电控制信号 DEN 保持低电平。因此，不执行 N-阱节点的电压 V_{nwell} 的放电操作，且放电确定信号 RDY 保持低电平。结果是，程序校验操作 (PV) 与本发明第三实施例相同，因此省略其详细描述。

接着，当在完成程序校验之后从程序校验状态 (PV) 转变到读取准备状态 (Read_Ready) 时，高压产生升压电路 7 首先进入停止状态，将高升压输出电压 VPPH (10V) 放电至电源电压 V_{cc} ，且控制电路 11 输出 1h 作为 N-阱控制信号 NW[1:0]。因此，N-阱电压变换开关 19 进入非选择状态 (HiZ)。此时，模式控制信号 RDB 变为低电平，且调整器电路 9 输出 VRO=4.5V。

另一方面，放电控制信号 DEN 变为高电平，且由于 N-阱节点的电压 V_{nwell} (=10V) 高于调整器输出电压 VRO (=5.5V)，所以将 N-阱节点的电压 V_{nwell} 放电至调整器输出电压 VRO (=4.5V)。在完成放电之后，放电确定信号 RDY 变为高电平。在接收到上述放电确定信号 RDY 后，控制电路 11 将放电控制信号 DEN 降低至低电平。结果是，放电电路 20 进入停止状态，且放电确定信号 RDY 变为低电平。通过利用放电确定信号 RDY 的下降沿作为触发，控制电路 11 输出 2h 作为 N-阱控制信号 NW[1:0]，且 N-阱电压变换开关 19 选择

调整器输出电压 V_{RO} ($=4.5V$)。因此, 将稳定的电压 ($4.5V$) 作为 N-阱节点的电压 V_{nwell} 来供给, 并从读取准备状态 (Read_Ready) 转变为读取操作 (Read)。这里, 本实施例的读取操作 (Read) 与本发明第三实施例相同, 且省略其详细描述。

如上所述, 根据第四实施例, 可以实现与第三实施例相同的效果。另外, 通过包括用于根据放电控制信号 DEN 来将调整器输出电压 V_{RO} 与 N-阱节点的电压 V_{nwell} 相比较并将 N-阱节点的电压 V_{nwell} 从高升压输出电压 V_{PPH} 放电至调整器输出电压 V_{RO} 的放电电路 20, 可以提高高升压电荷的下降速度。结果是, 能够减少读取建立时间。

图 13 是示出本发明第五实施例中的非易失性半导体存储器的结构的方框图。在图 13 中, 采用与这里所使用的那些相同的参考数字来表示具有如图 7 中所示的第二实施例中的相似配对物的任意组成部件, 并省略其详细描述。

第五实施例的特征在于: 组成行解码器 2 的解码器块 XDEC1 至 XDECN 中的每一个包括多个包含于 N-阱中的多个 PMOS 晶体管和多个包含于设置在 N-阱中的 P-阱中的 NMOS 晶体管。即, 第五实施例的特征在于: 采用具有三阱结构的行解码器 2。

如图 13 中所示, 设置负电压变换开关电路 26。负电压变换开关电路 26 包括 N (N 为自然数) 个单元开关, 该 N 个开关利用两种电压: 从负电压产生升压电路 (未示出) 或负电压外部施加端子 (未示出) 输入到例如负电压输入端子的负电压 V_{NG} ($=-8V$) 和接地电压 V_{ss} 作为输入, 且根据负电压控制信号来选择和输出两种电压的其中之一。在擦除操作中, 根据负电压控制信号, 负电压变换开关电路 26 仅使一个所期望的单元开关选择负电压 V_{NG} , 而其它单元开关选择接地电压 V_{ss} 。在其它操作状态下, 根据负电压控制信号, 所有单元开关选择接地电压 V_{ss} 。此时, 将作为负电压变换开关电路 26 的输出电压的未被选择的字线电压 V_{NG1} 至 V_{NGN} 分别供给到解码器块 XDEC1 至 XDECN。

行解码器 2 包括单元解码器 $U1X$ 至 UMX ($X=1, 2, \dots, N$), 如图 14 中所示, 且将未被选择的字线电压 V_{NGX} ($X=1, 2, \dots, N$) 分别输入

到单元解码器 $U1X$ 至 UMX ($X=1,2,\dots,N$)。如图 15 中所示, 单元解码器 $U1X$ 至 UMX ($X=1,2,\dots,N$) 中的每一个具有三-阱结构, 且包括共用一个公共 N-阱的 NMOS 晶体管 $Mn25$ 至 $Mn27$ 和 PMOS 晶体管 $Mp3$ 至 $Mp5$ 、以及非门 $G2$ 。通过重新构造如图 5 中所示的电平移位电路 117 来获得电平移位电路 27, 以便于电平移位电路 27 具有三-阱结构。通过重新构造如图 5 中所示的驱动电路 18 来获得驱动电路 28, 以便于驱动电路 28 具有三-阱结构, 并将接地电压 V_{ss} 改变为未被选择的字线电压 $VNG1$ 。

因此, 在擦除操作中, 通过该擦除操作将负电压施加到字线 WL , 负电压变换开关电路 26 仅向所期望的未被选择的字线电压 $VNG1$ 供给负电压 VNG ($=-8V$), 并向其它未被选择的字线电压 $VNG2$ 至 $VNGN$ 供给接地电压 V_{ss} 。因此, 使所有单元解码器 $U1X$ 至 UMX ($X=1,2,\dots,N$) 进入未选择状态, 并将未被选择的字线电压 $VNG1$ ($=-8V$) 和 $VNG2$ 至 $VNGN$ ($=0V$) 施加到存储单元 MC 的控制栅极, 该存储单元 MC 的控制栅极连接于与未被选择的字线电压 $VNG1$ 至 $VNGN$ 相应的扇区 SX ($X=1$ 至 N) 的字线 WL 。

下面, 将描述本实施例的上述非易失性半导体存储器的操作。在数据擦除操作中, 根据扇区 $S1$ 的地址 AD 的输入, 将未被选择的字线电压 $VNG1$ ($=-8V$) 作为字线 WL 电压施加到扇区 $S1$ 的存储单元 MC 的控制栅极, 并将 $0V$ 施加到其它扇区 $S2$ 至 SN 的字线 WL 。此时, 将 $5V$ 施加到所有的位线 BL , 且公共源极线 SL 变为高阻抗。结果是, 对扇区 $S1$ 的所有存储单元 MC 执行擦除, 该扇区 $S1$ 连接于向其施加有负电压的字线 WL , 并设置有漏极端子, 经由位线 BL 向该漏极端子施加 $5V$, 浮置栅极的电子量减小, 且存储单元 MC 的阈值沿负方向减小。

电源电路和解码器 2 的具体操作如下: 如图 13 中所示的高压产生升压电路 7、低压产生升压电路 8 和调整器电路 9 进入停止状态, 且高升压输出电压 $VPPH$ 和调整器输出电压 VRO 与电源电压 V_{cc} 相一致, 并将其供给到电压变换开关电路 17 和 N-阱电压变换开关 19。接着, 在电压变换开关电路 17 中, 根据从控制电路 11 供给的开关控

制信号来选择调整器输出电压 V_{RO} ($=V_{cc}$), 并将其作为字线供给电压 V_{w11} 至 V_{w1N} 供给到行解码器 2 的所有解码器块 $XDEC1$ 至 $XDECN$ 。同时, 在 N-阱电压变换开关 19 中, 根据从控制电路 11 供给的 N-阱控制信号来选择调整器输出电压 V_{RO} ($=V_{cc}$), 并将该调整器输出电压 V_{RO} ($=V_{cc}$) 施加到行解码器 2 的 N-阱电压输入端。此时, 根据负电压控制信号, 负电压变换开关电路 26 仅向所期望的未被选择的字线 V_{NG1} 供给负电压 V_{NG} ($=-8V$), 并向其它未被选择的字线电压 V_{NG2} 至 V_{NGN} 供给接地电压 V_{ss} 。因此, 使所有单元解码器 $U1X$ 至 UMX ($X=1,2,\dots,N$) 进入未选择状态, 且将未被选择的字线电压 V_{NG1} ($=-8V$) 施加到连接于扇区 $S1$ 的字线 WL 的存储单元 MC 的控制栅极, 而将未被选择的字线电压 V_{NG2} 至 V_{NGN} ($=0V$) 施加到连接于与未被选择的字线电压 V_{NG2} 至 V_{NGN} 相应的扇区 $S2$ 至 SN 的字线 WL 的存储单元 MC 的控制栅极。结果是, 对扇区 $S1$ 的所有存储单元 MC 执行擦除。

如上所述, 根据第五实施例, 可以实现与第三实施例相同的效果。另外, 通过使用包含于 N-阱中的多个 PMOS 晶体管和包含于设置在 N-阱中的 P 阱内的多个 NMOS 晶体管来构造组成行解码器 2 的解码器块 $XDEC1$ 至 $XDECN$ 中的每一个, 能够在执行擦除时向字线 WL 施加负电压。结果是, 与通过仅利用正电压来执行擦除的情况相比较, 能够提高存储单元 MC 的可靠性, 例如干扰特性和耐久特性。

值得注意的是, 在本实施例中, 假设组成存储阵列 1 的扇区 $S1$ 至 SN (N 个扇区) 的数量与未被选择的字线电压 V_{NG1} 至 V_{NGN} (N 个未被选择的字线电压) 的数量相一致。然而, 不限于此。

如上所述, 根据本发明的非易失性半导体存储器具有减少编程/程序校验操作所需的时间同时减小功耗的效果。例如, 作为具有存储单元阵列的非易失性半导体存储器, 根据本发明的非易失性半导体存储器是有用的, 在该存储单元阵列中, 将多个存储单元按照矩阵的形式设置并将其划分成多个扇区。

虽然已经详细地描述了本发明, 但是前述说明在各方面仅是示例性的而并非限制性的。应该理解在不脱离本发明的范围下可以构想出大量其它的修改和变形。

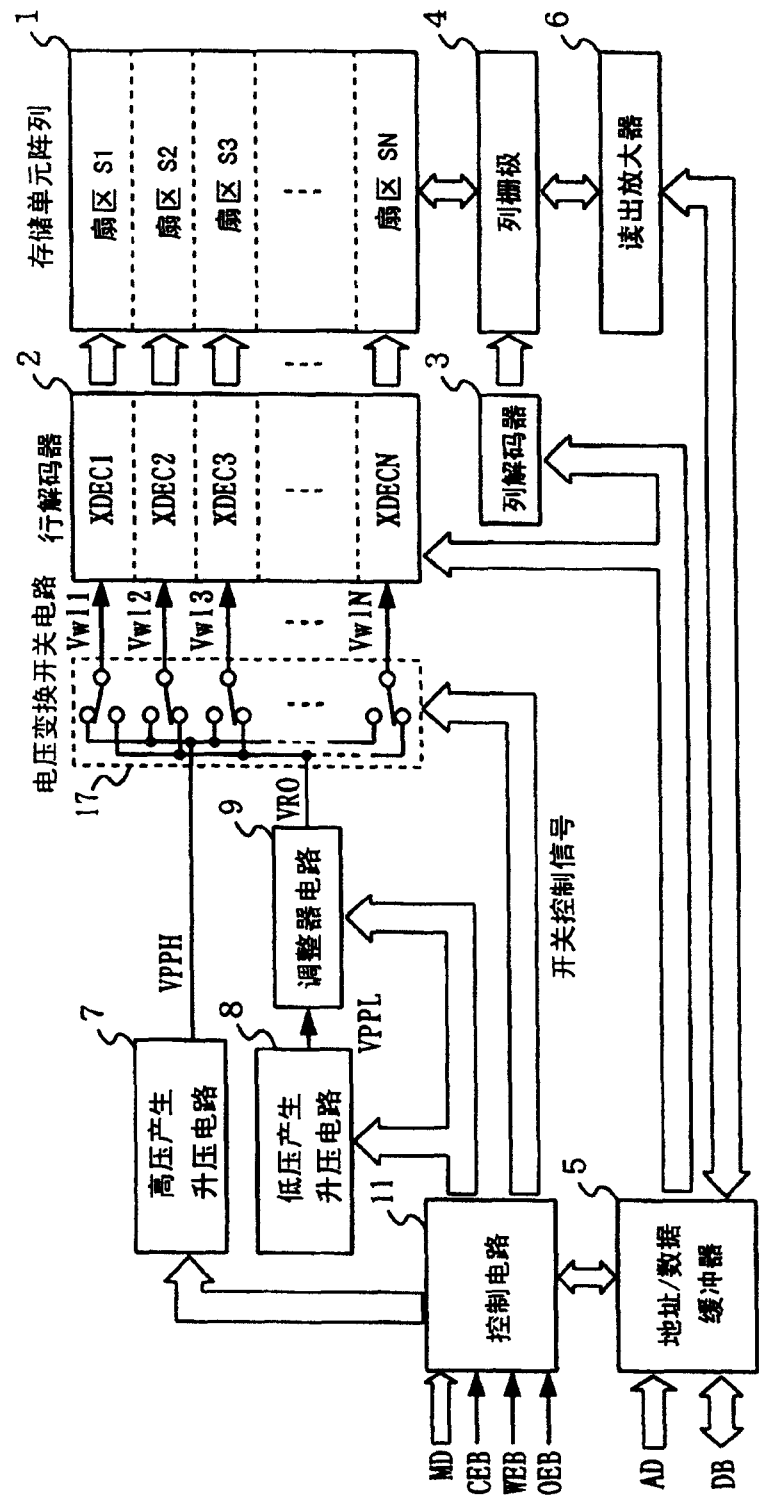


图1

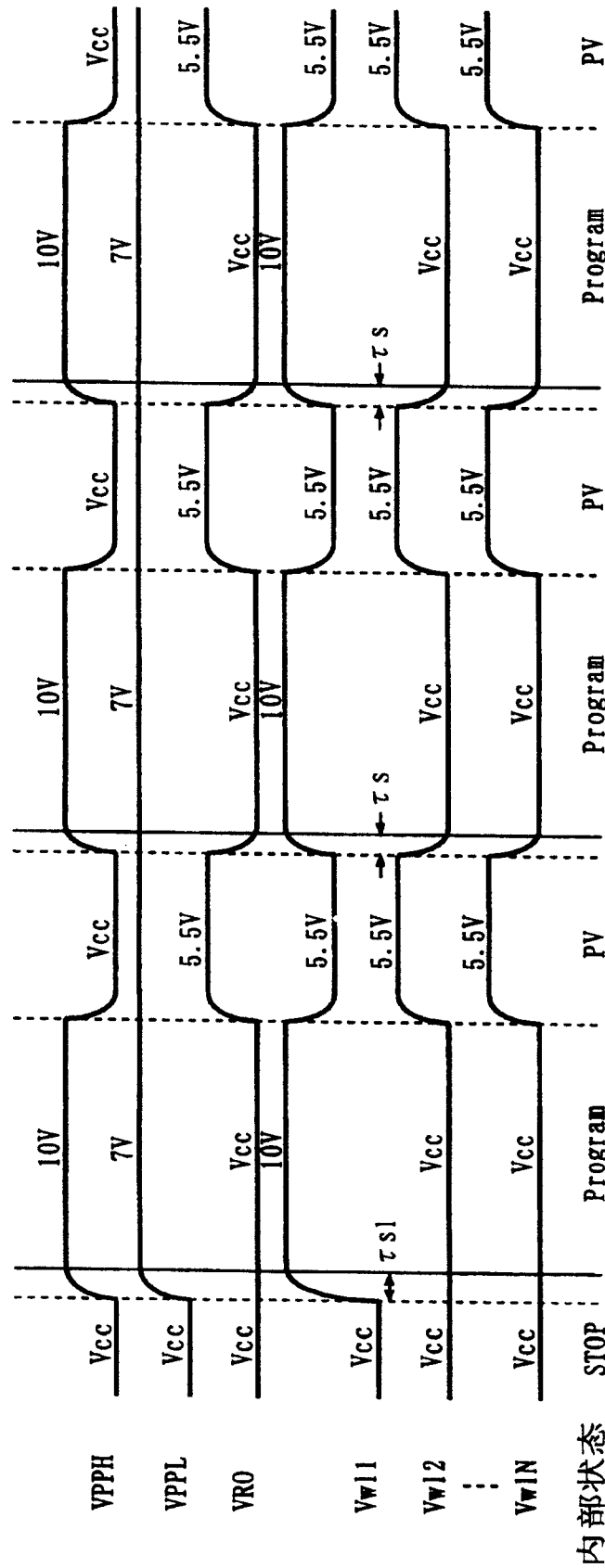


图2

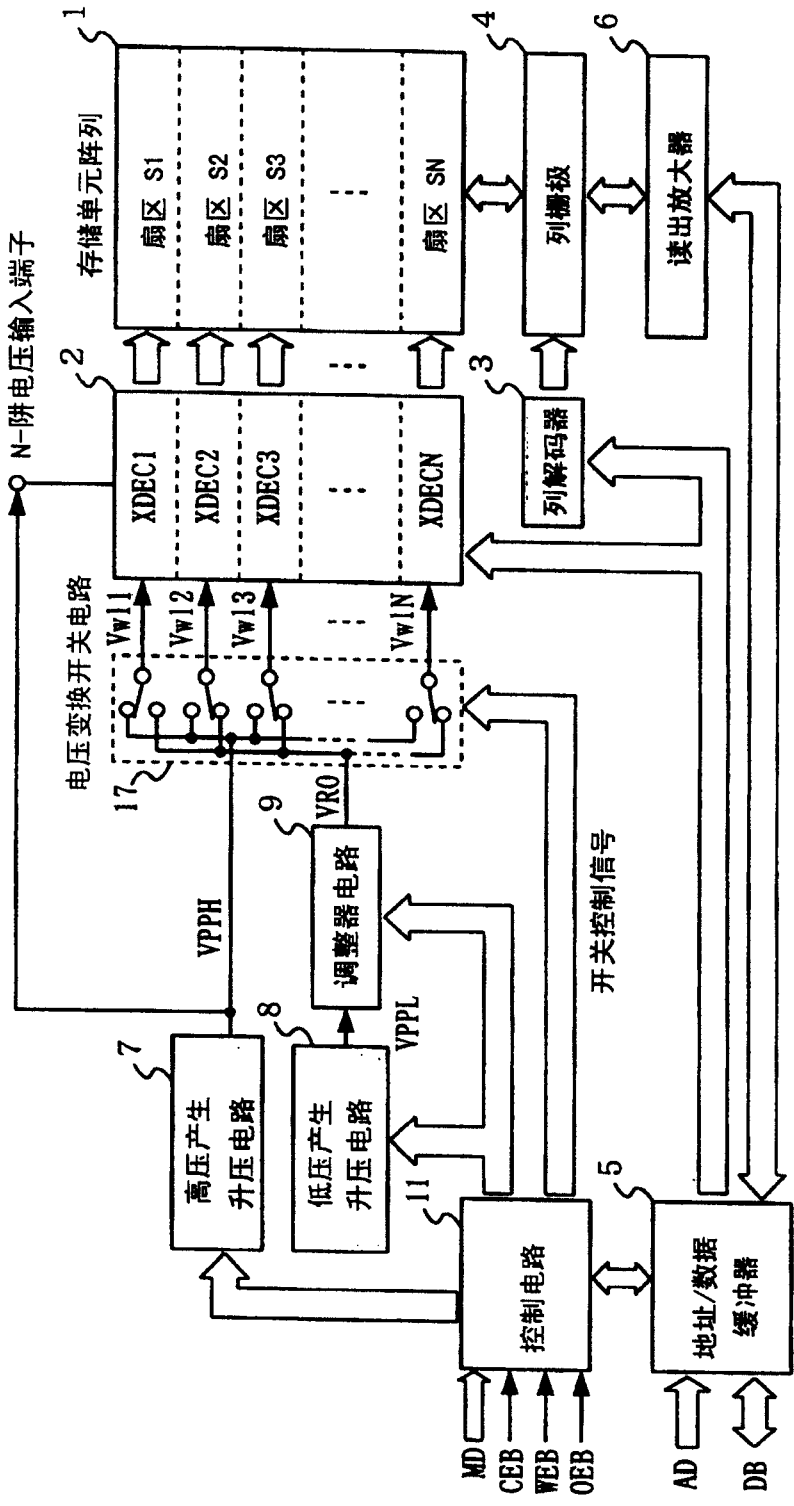


图3

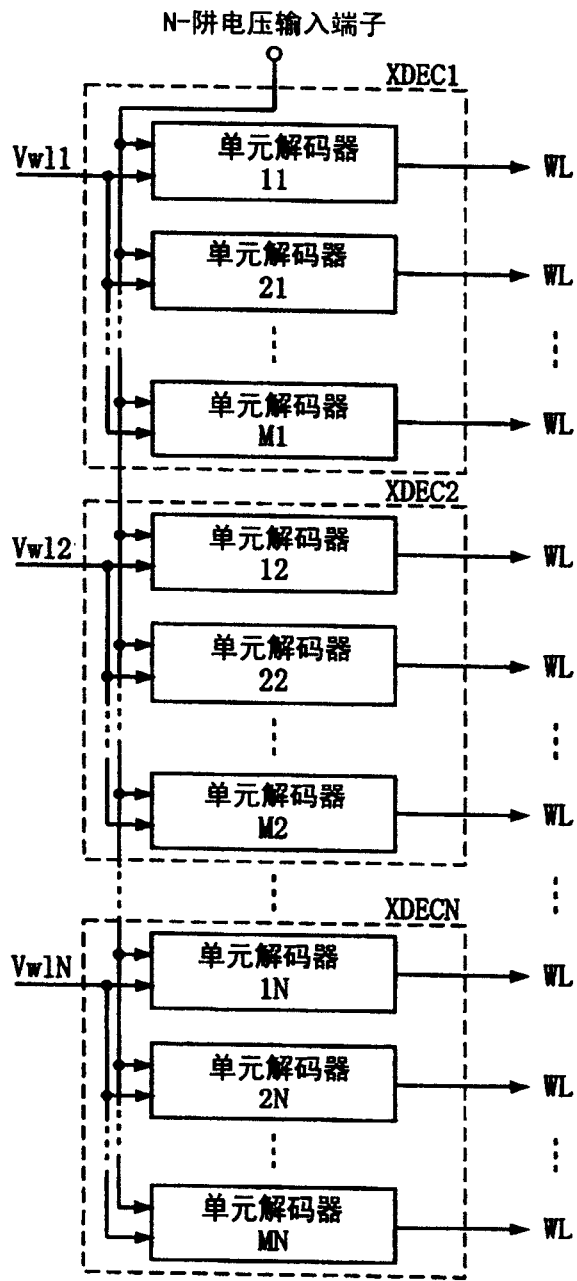
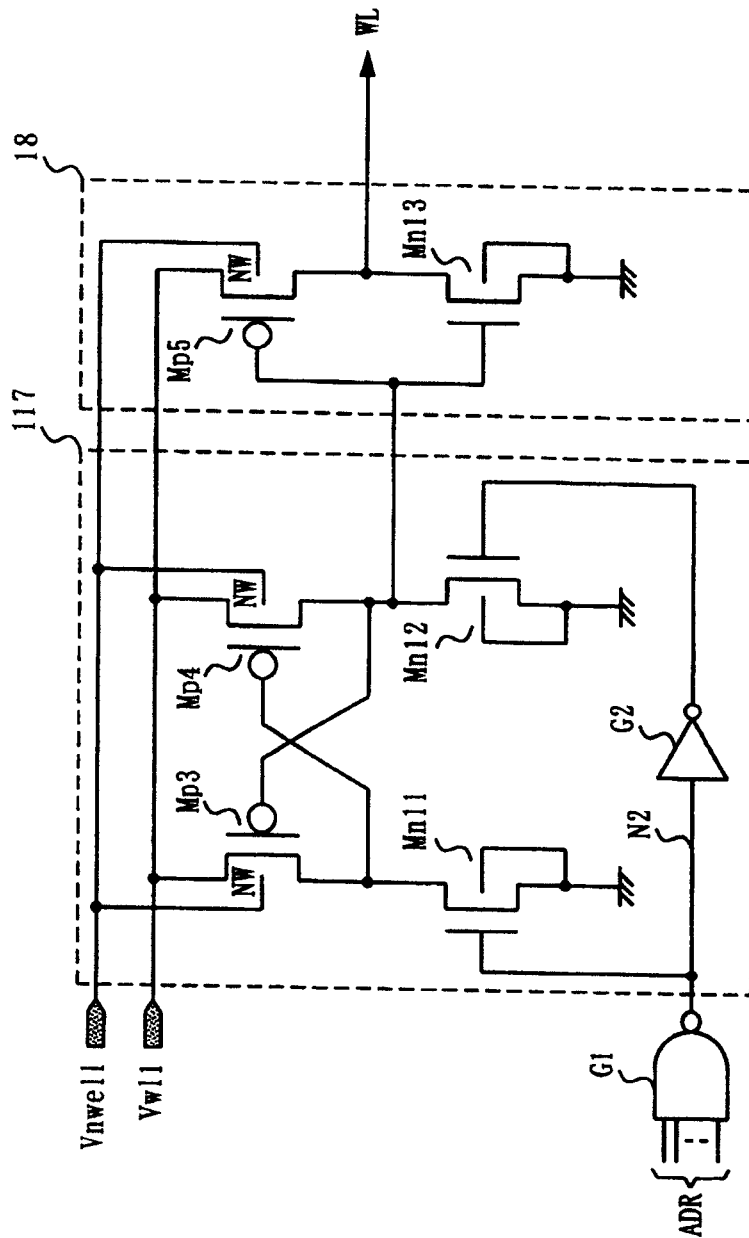
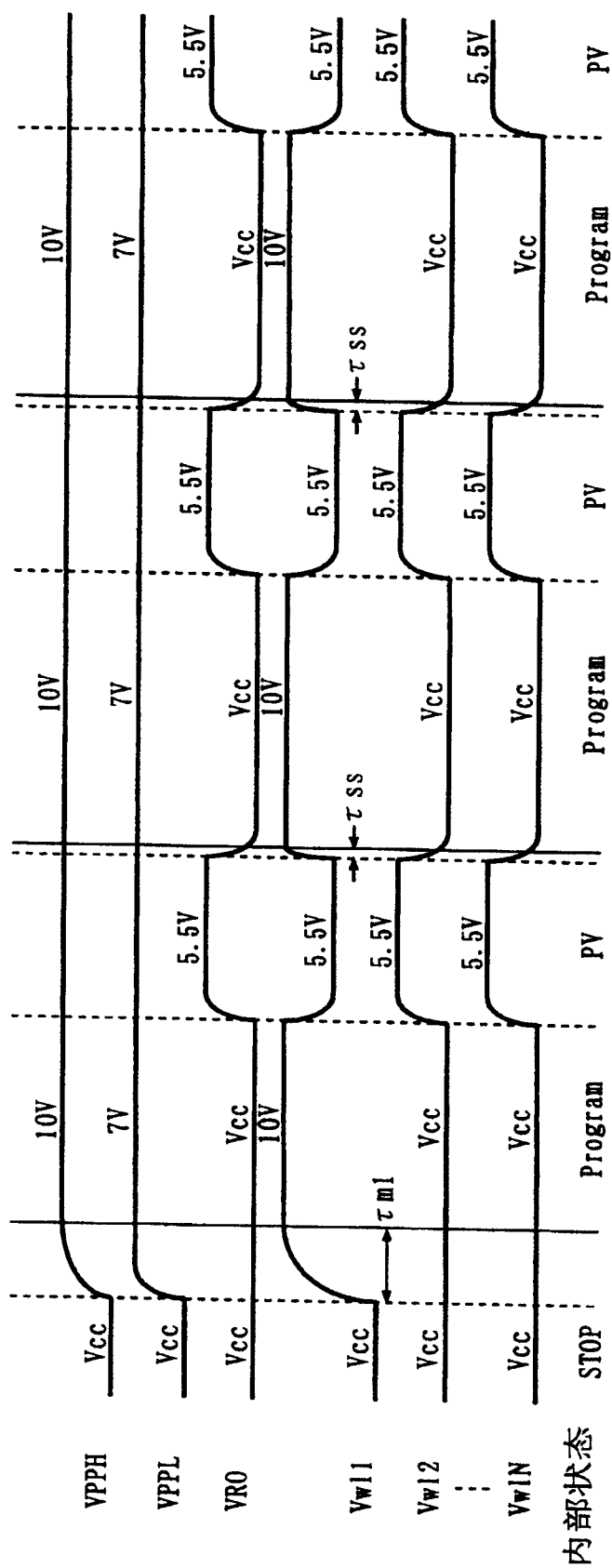


图4



5
四



冬 6

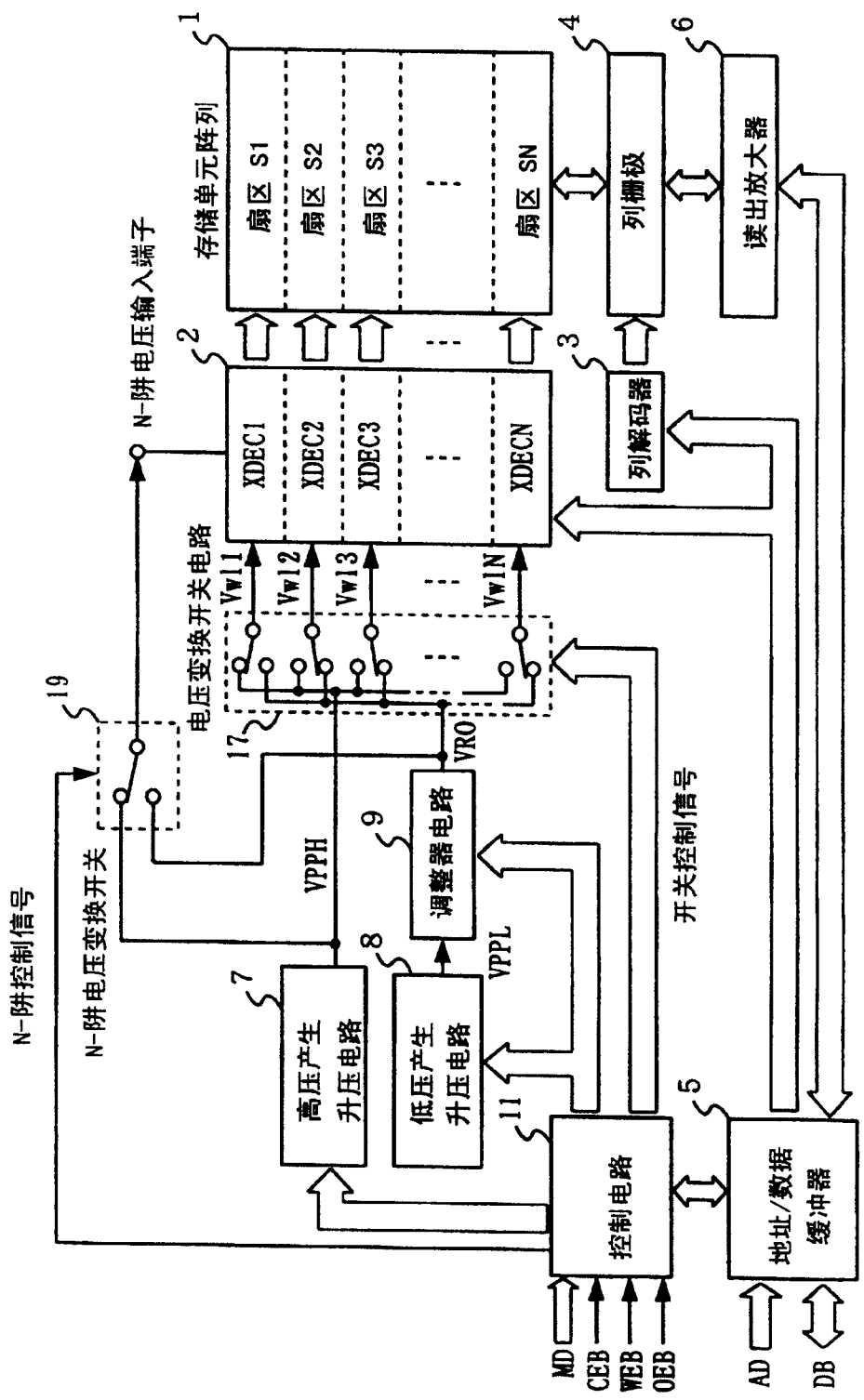


图7

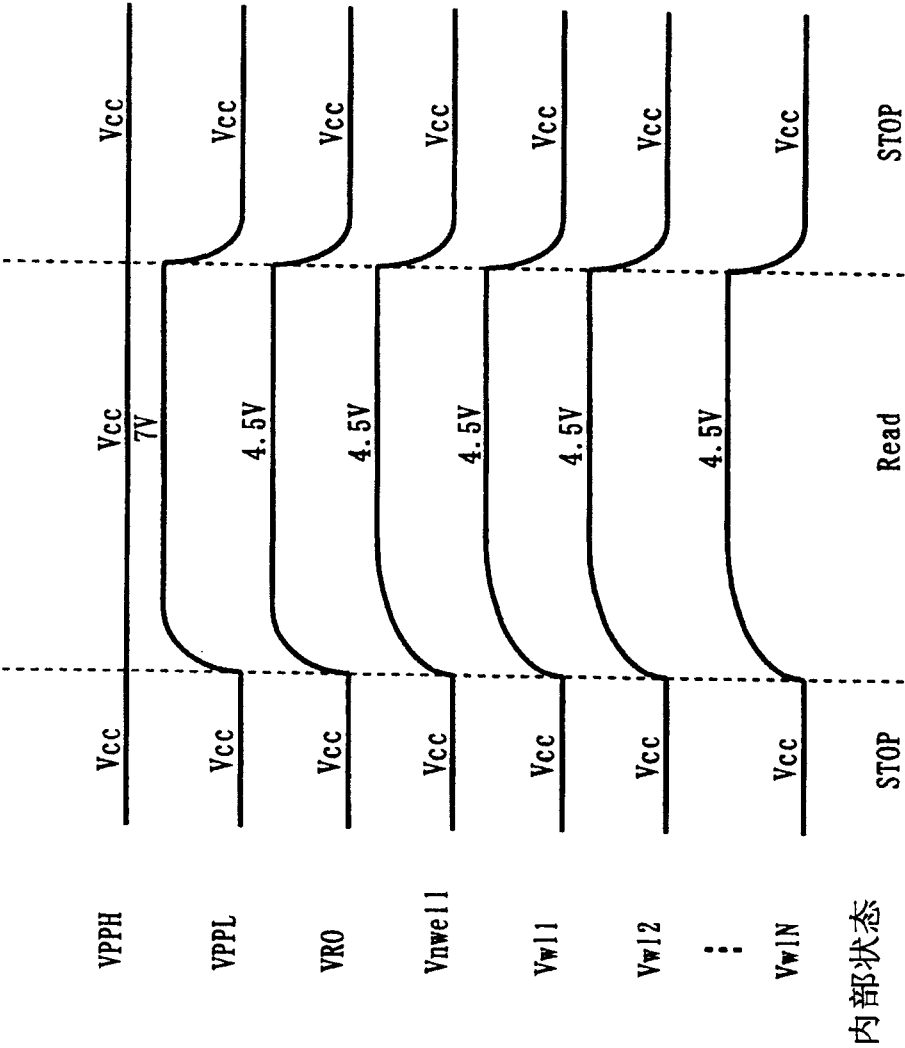


图8

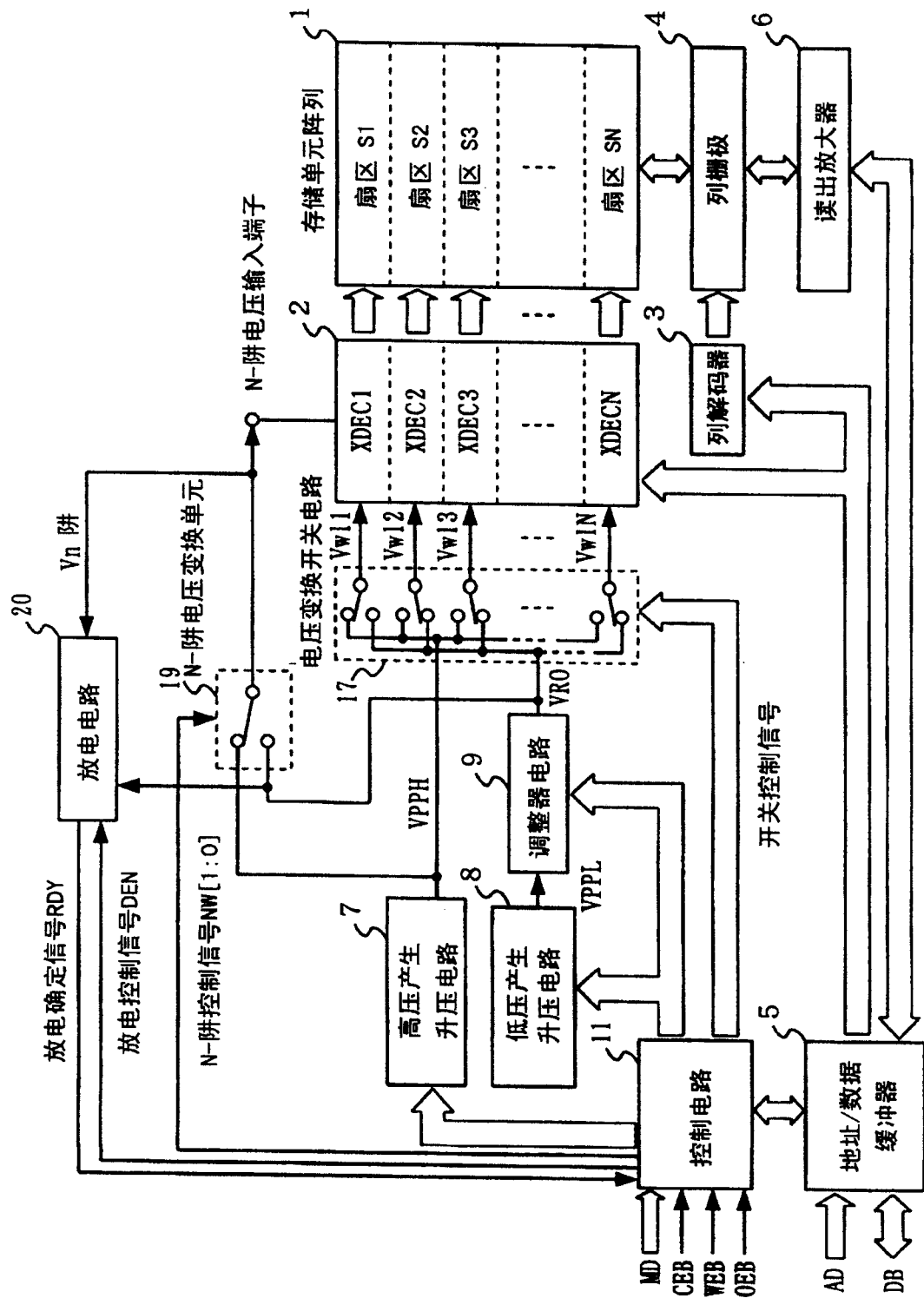


图9

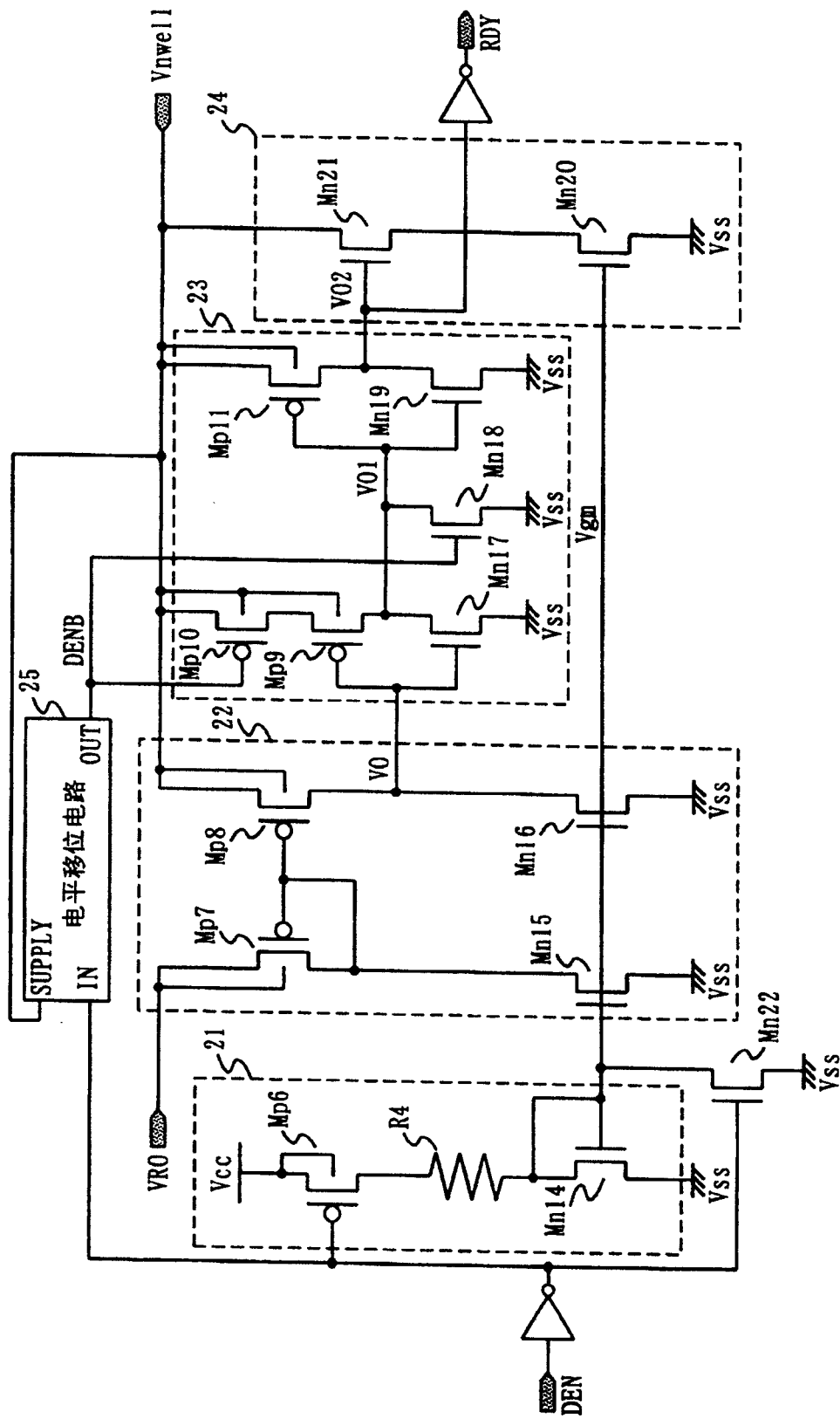


图10

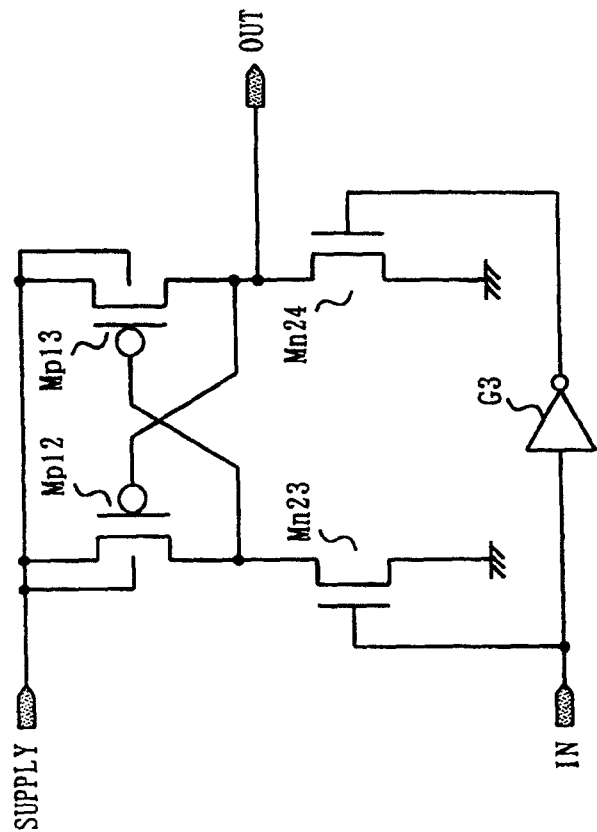


图11

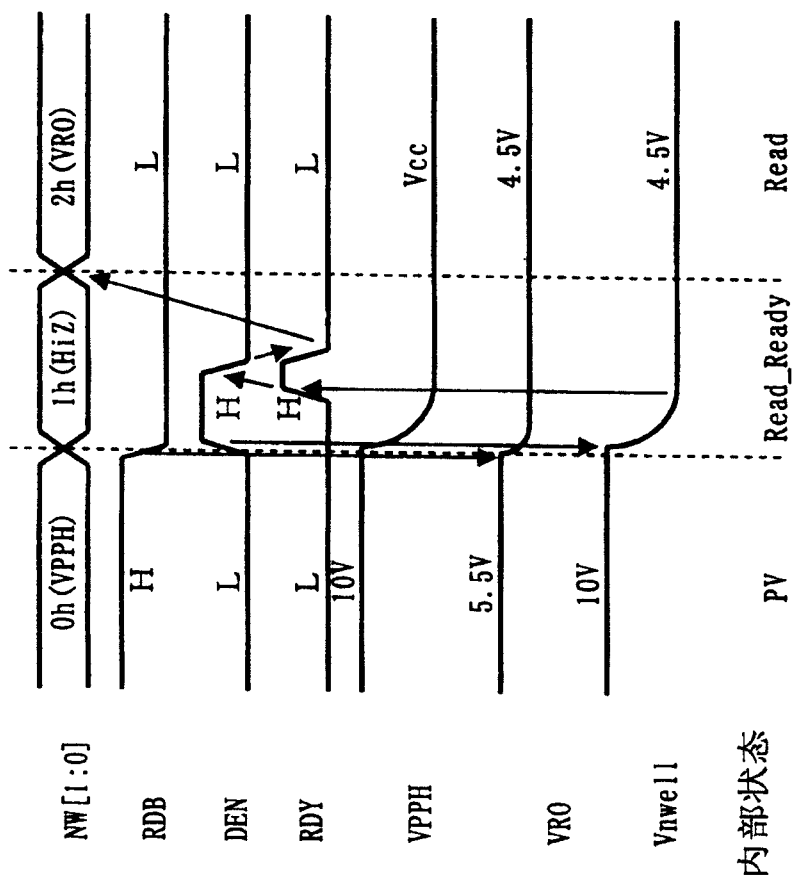
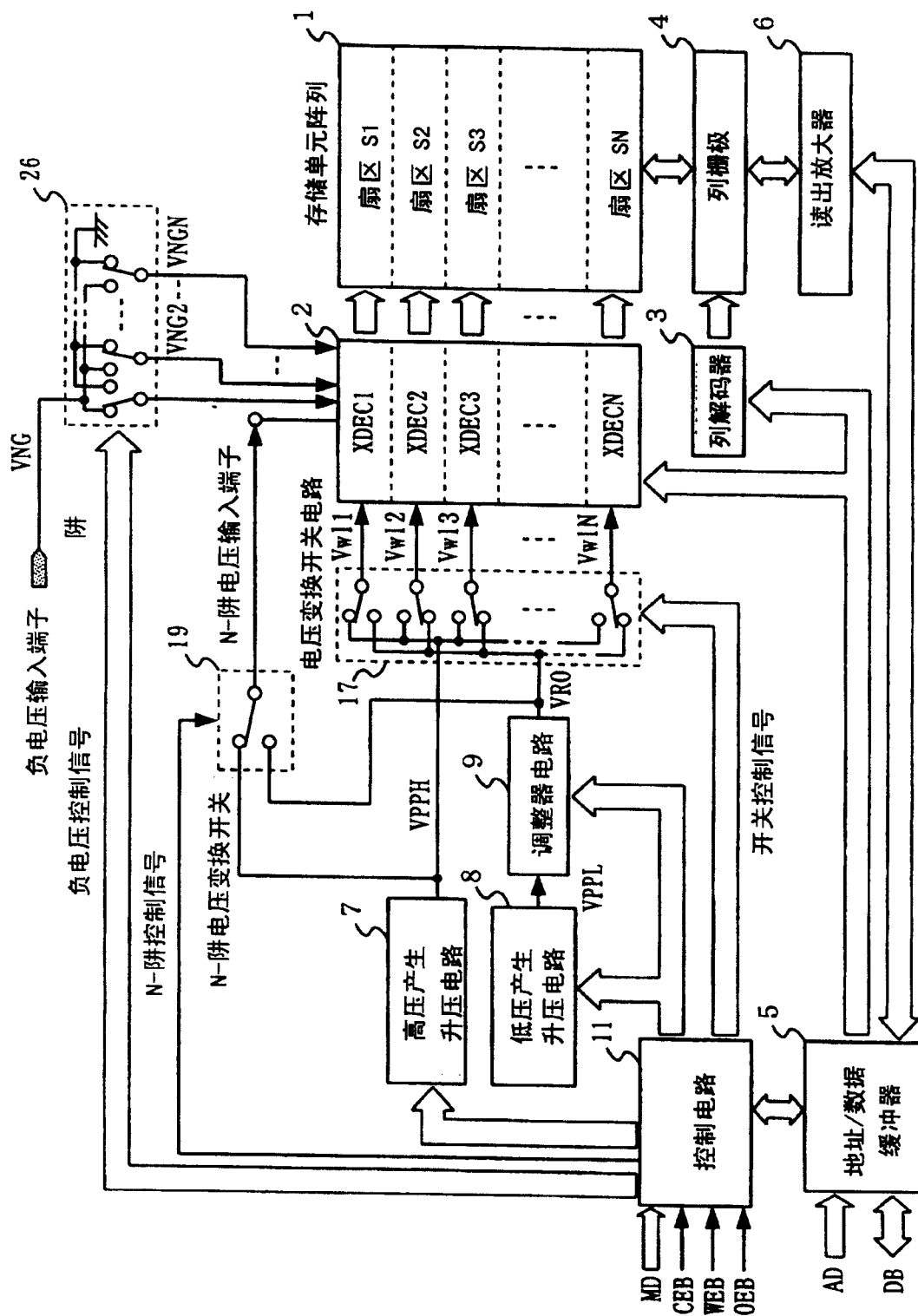


图12



13

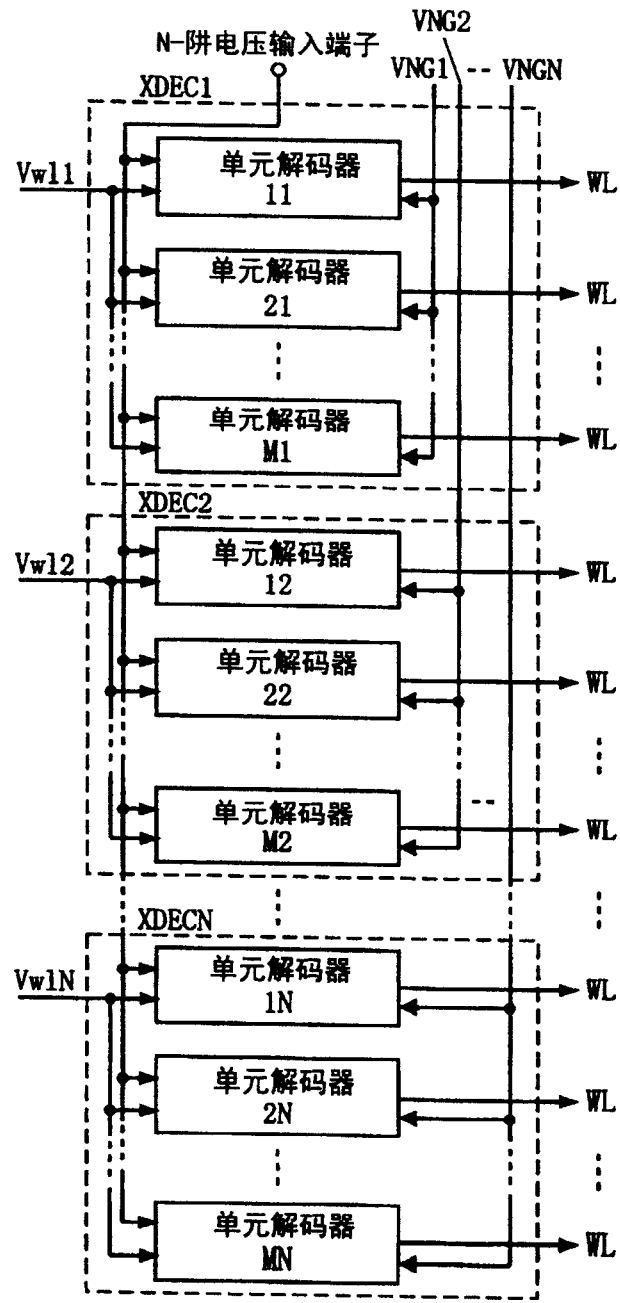


图14

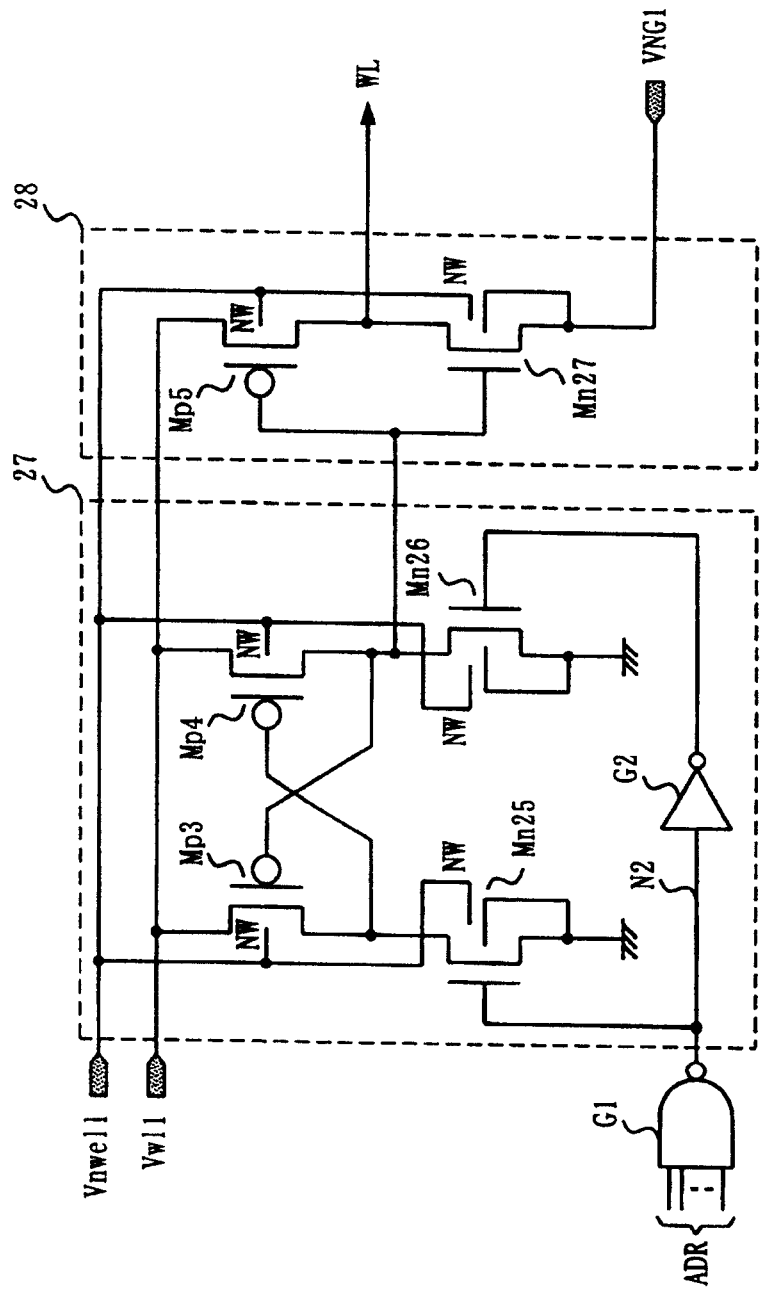


图15

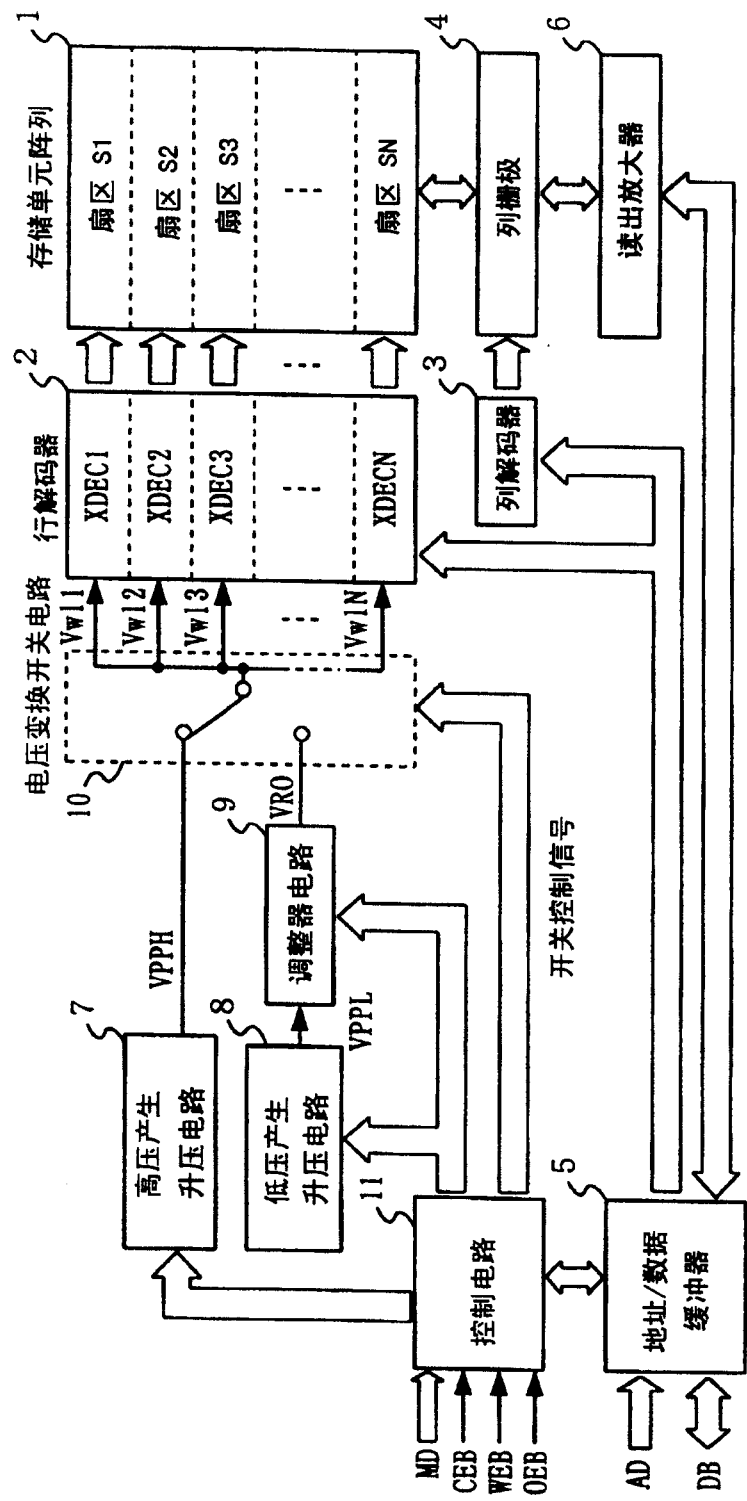


图16

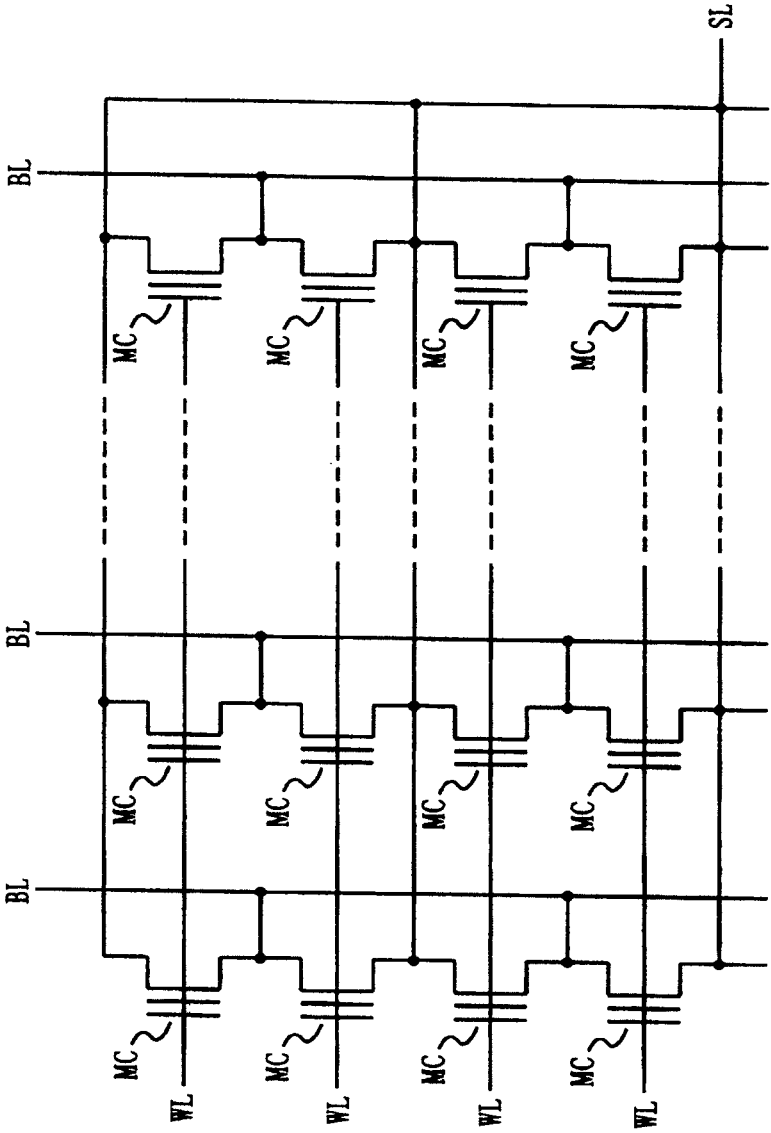


图17

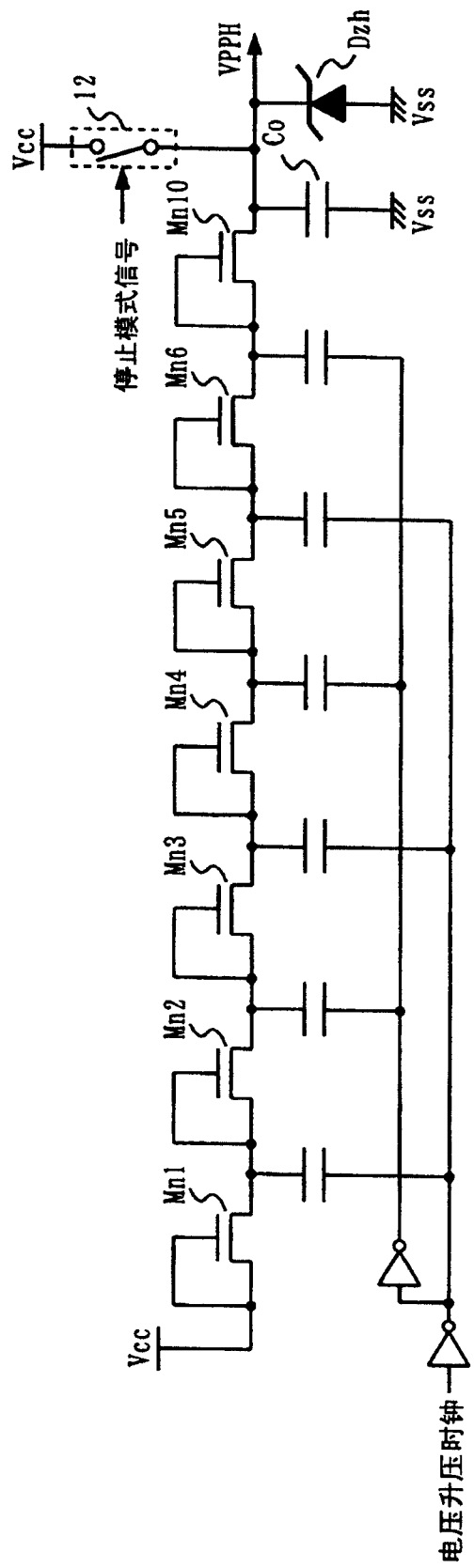


图18

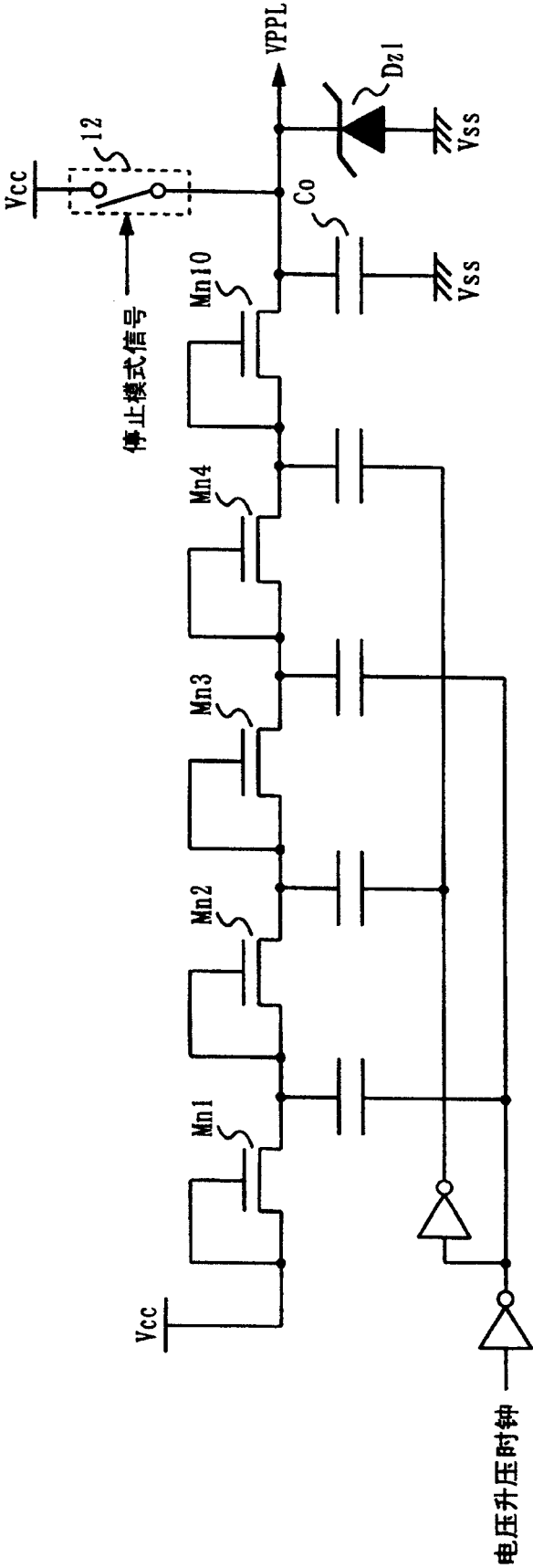


图19

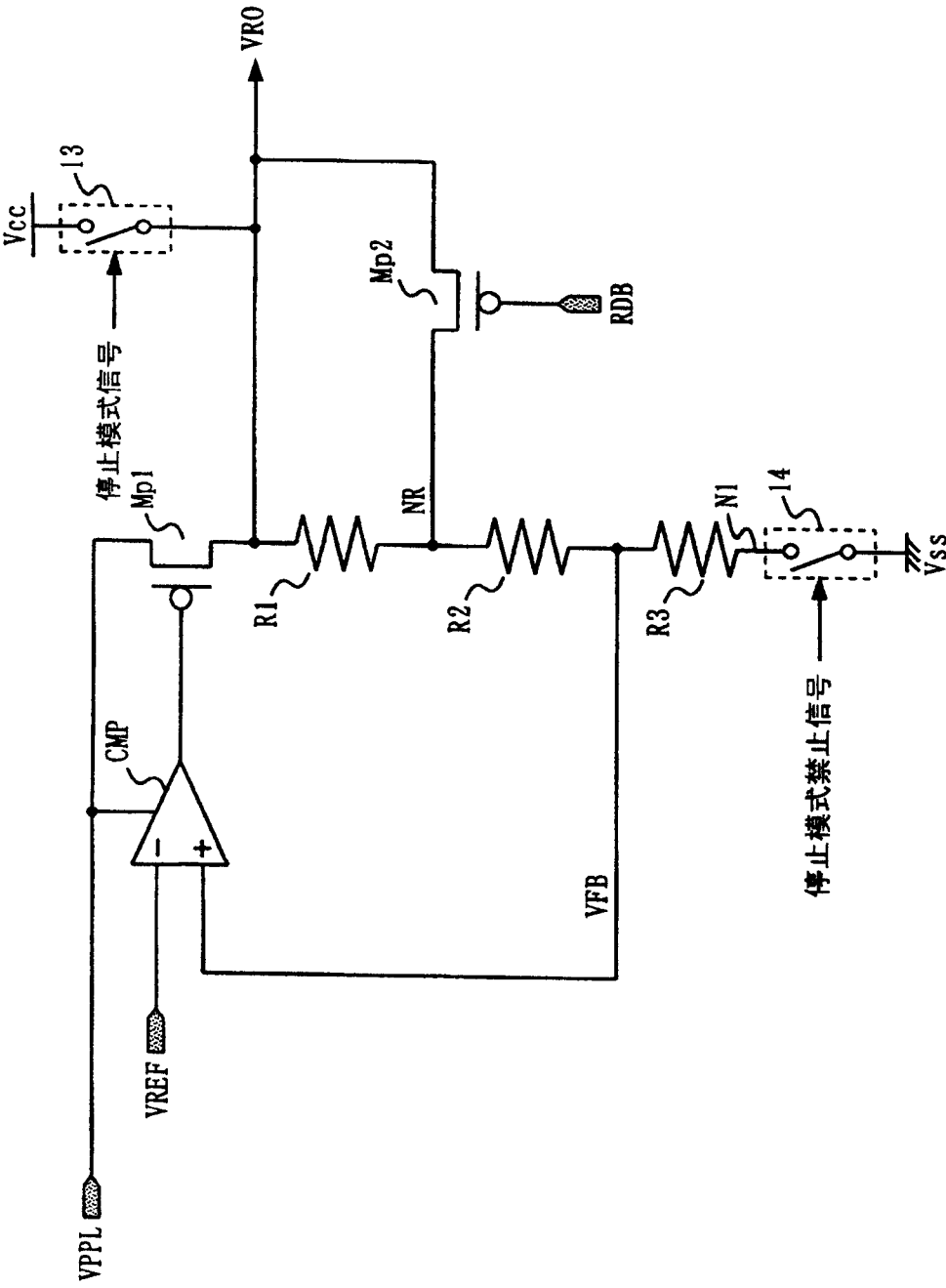


图20

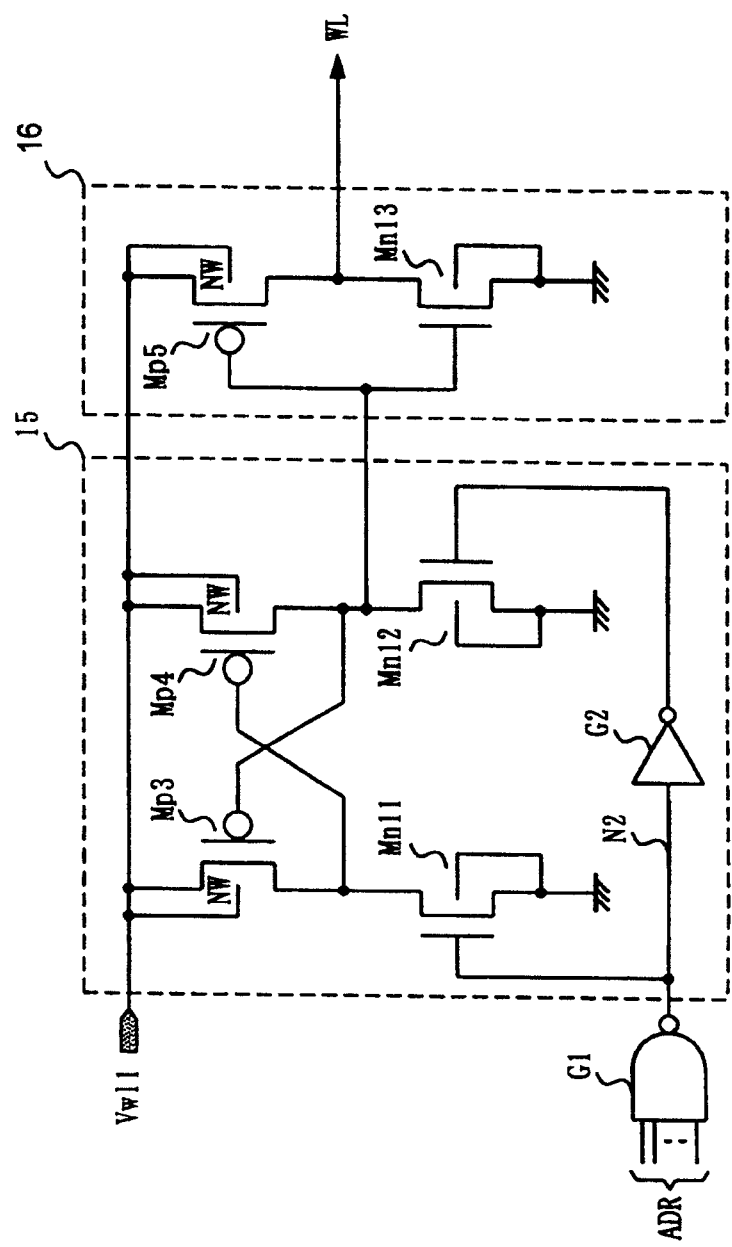


图21

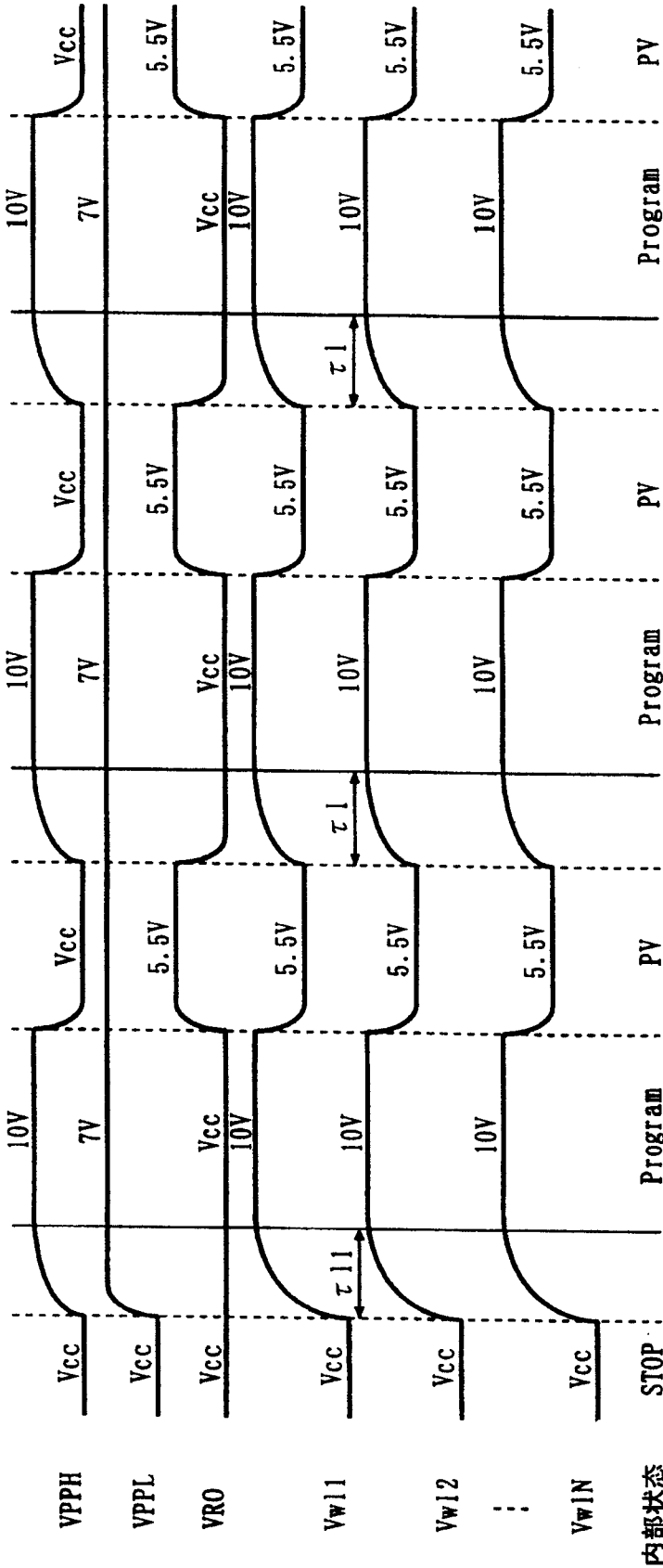


图 22