[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
H01L 29/788
H01L 27/115
G11C 16/04 G11C 16/06

[12]发明专利说明书

[21] ZL 专利号 95192817.1

[45]授权公告日 2000 年 10 月 4 日

[11]授权公告号 CN 1057171C

[22]申请日 1995.2.22 [24]颁证日 2000.5.25
[21]申请号 95192817.1
[30]优先权
[32]1994.3.3 [33]US [31]08/205,327
[86]国际申请 PCT/US95/02240 1995.2.22
[87]国际公布 WO95/24057 英 1995.9.8
[85]进入国家阶段日期 1996.10.28
[73]专利权人 罗姆有限公司
地址 美国加利福尼亚州
[72]发明人 S·D·张 J·H·张 E·赵
[56]参考文献
DE3345173A1 1985. 7.25 B07C5/344
US4,868,619 1989. 9.19 H01J29/78
审查员 赵百令

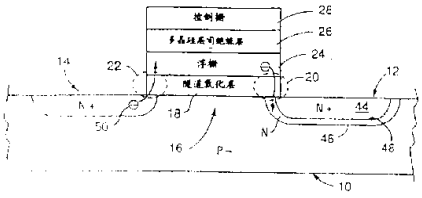
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 马铁良 萧掬昌

权利要求书 4 页 说明书 24 页 附图页数 14 页

[54]发明名称 低压晶体管闪速电可擦可编程只读存储器单元

[57]摘要

一单个晶体管电可擦除可编程存储器件，能够利用 Fowler－Nordh eim 隧道效应进行编程和擦除，能够利用低电压进行操作。每个源和漏区的 部分和第 1 栅绝缘层相互重叠，选择多晶硅层间绝缘层使其具有高的介电常数，以便使浮栅、控制栅，源、漏之间的电容耦合率最大。通过首先把单元块的 电压升高到高阈值电压和一个一个地降低各选择单元的阈值电压来设置阵列各 单元的逻辑状态。



ISSN1008-4274

权　利　要　求　书

1.一种电可擦除可编程存储器件，具有许多存储位置，许多行地址线，许多列地址线，许多源线，其中，许多行地址线之一和许多列地址线之一相结合限定了众多存储位置中的一个位置，其中，许多存储位置中的每一个位置包括形成在衬底上的一个单个晶体管,其有一选定电压,并且包括

一个源，耦连到许多源线中相关的一个源线上;

一个漏，耦连到许多列地址线中相关的一个地址线上;

一个控制栅，耦连到许多行地址线中的相关一个地址线上;

一个浮栅，位于栅和源，漏之间，还包括，

第 1 元件，当把相关行地址线的电位升高到超过相关一源线电位的第一预定电压时，其引起源到浮栅的电子的 Fowler-Nordheim 隧道效应，该第一预定电压高于一个相关的源线的电压，选择第一预定电压远远高于相关源线的电压，以引起从源到浮栅的 Fowler-Nordheim 隧道效应；和

第 2 元件，当把低于衬底的选定电压的预定负电压加到相关行地址线时，其引起浮栅到漏的电子的 Fowler-Nordheim 隧道效应，选择预定负电压，远远低于相关低线的电压，以引起从浮栅到漏的 Fowler-Nordheim 隧道效应。

2.按照权利要求 1 的电可擦除可编程的器件，其特征在于，第 1 引发(Fowler-Nordheim)隧道效应元件包括:

第 1 绝缘材料层，位于控制栅和浮栅之间，所述绝缘材料具有预定的有效厚度和高介电常数，在控制栅和浮栅之间提供高电容;

第 2 绝缘材料层，位于浮栅和源、漏之间，所述选择的第 2 层当浮栅和源之间耦合电容达到最佳时可以产生 Fowler-Nordheim 隧道效应。

源扩散层具有与第 2 绝缘材料层和浮栅重叠的重叠部分，重叠部分具有一定比例，使其在编程期间能产生电子从源扩散层到浮栅的隧道效应。

3.按照权利要求 2 的电可擦除可编程器件，其特征在于，源扩散层还包括扩散到预定深度的 N －型材料的单扩散层。

4.按照权利要求 3 的电可擦除可编程器件，其特征在于，由砷构成的进行单扩散层。

5.按照权利要求 2 的电可擦除可编程器件，其特征在于源扩散层还包括:

第 $1N^+$ 型材料的扩散层，其扩散到预定深度；

第 $2N^+$ 型材料的扩散层，其扩散深度大于第 1 扩散层的深度。

6.按照权利要求 2 的电可擦除可编程的器件，其特征在于，源扩散层还包括：

第 $1N^+$ 材料扩散区；

P 型材料小区，其与第 1 扩散区成一角度。

7.按照权利要求 6 的电可擦除可编程的器件，其特征在于：

由砷形成第 1 扩散区；

由硼形成小区。

8.按照权利要求 2 的电可擦除可编程器件，其特征在于，第 1 绝缘材料层的有效厚度是大约 200 Å 。

9.按照权利要求 2 的电可擦除可编程器件，其特征是，第 1 绝缘材料层是由氧化层－氮化物层－氧化层的结构形成。

10.按照权利要求 2 的电可擦除可编程器件，其特征是，第 2 绝缘材料层是大约 80 Å 厚。

11.按照权利要求 1 的电可擦除可编程的器件，其特征是，第 2 引发（ Fowler-Nordheim 隧道效应的）元件包括：

第 1 绝缘材料层，位于控制栅和浮栅之间，所述绝缘材料具有预定有效厚度和高介电常数，以便在控制栅和浮栅之间提供高电容；

第 2 绝缘材料层，位于浮栅和源、漏之间，所述选择的第 2 层当浮栅和漏之间电容耦连基本上达到最佳效果时能引发 Fowler-Nordheim 隧道效应；

一漏扩散区，具有重叠第 2 绝缘材料层和浮栅的第 2 重叠部分，第 2 重叠部分具有一定比例，使其在擦除期间能产生电子从浮栅迁移到漏扩散区的隧道效应。

12.按照权利要求 11 的电可擦除可编程的器件，其特征是，漏扩散区还包括一个具有预定扩散深度的 N^+ 型材料单扩散区。

13.按照权利要求 12 的电可擦除可编程的器件，其特征是，由砷形成漏扩散区。

14.按照权利要求 11 的电可擦除可编程的器件，其特征是，漏扩散区还包括：

第 $1N^+$ 材料扩散区，具有预定扩散深度；

第 $2N^+$ 材料扩散区，具有比第 1 扩散区深度深的扩散深度。

15.按照权利要求 14 的电可擦除可编程的器件，其特征是，

由砷形成第 1 扩散区；

由磷形成第 2 扩散区。

16.按照权利要求 11 的电可擦除可编程的器件，其特征是，第 1 绝缘材料层的有效厚度是大约 200 Å 。

17.按照权利要求 11 的电可擦除可编程的器件，其特征是，第 1 绝缘材料层由氧化层－氮化物层－氧化层结构组成。

18.按照权利要求 11 的电可擦除可编程的器件，其特征是，第 2 绝缘材料层是大约 80 Å 的厚度。

19.按照权利要求 1 的电可擦除可编程的器件，其特征是，在衬底上形成晶体管，其中沟道区在衬底上面的源漏之间延伸，其中第 1 引发元件包括：

在编程期间，把第 1 电压加到晶体管块中每个晶体管的控制栅的元件；

在编程期间，把第 2 电压加到块中每个晶体管的源上的元件，第 2 电压相对低于加在控制栅上的第 1 电压。

20.按照权利要求 1 的电可擦除可编程器件，其特征是，在衬底上形成晶体管，其中，沟道区在衬底上面的源漏之间延伸，其中第 2 引发元件包括：

在擦除期间，把负电压加到选择的晶体管控制栅上的元件；

在擦除期间，悬浮选择的晶体管的源的元件；

在擦除期间，把低的正电压加到选择的晶体管漏上的元件。

21.按照权利要求 1 的电可擦除可编程器件，其中在阵列中设置许多存储位置，用于形成行和列的存储位置，其中，

以共用方法连接许多存储位置中相关各位置的源线；

以共用方式连接一列中各存储位置的列地址线；

以共用方式连接一行中各存储位置的行地址线。

22.按照权利要求 21 的电可擦除可编程的器件，其中在衬底上形成晶体管，沟道区在衬底上的源漏之间延伸，其中第 1 引发元件包括：

在编程期间，把相当高的电压加到与选择行中晶体管控制栅相关的行地址线上的元件；

在编程期间，把电压加到源线上的元件，该电压相对低于加到行地址线上的电压；

用于在编程期间悬浮选择行中晶体管的漏的元件。

23.按照权利要求 21 的电可擦除可编程的器件，其中，在衬底上形成晶体管，其中沟道区在衬底上源漏之间延伸，其中第 2 引发元件包括：

在擦除期间，把负电压加到与选择晶体管相关的行地址线上的元件；

在擦除期间，悬浮选择晶体管源的元件；

在擦除期间，把低的正电压加到与选择晶体管相关的列线上的元件。

24.一种设置电可擦除可编程存储器件中单元逻辑状态的方法，该器件有许多单元，每个单元包含一个单个的晶体管，每个晶体管有一个源、一个漏，一个控制栅，一个位于控制栅和源、漏之间的浮栅，每个晶体管有一阈值电压，该方法包括下列步骤；

(a)引发各单元的 **Fowler-Nordheim** 隧道效应，使电子从源注入到浮栅，以便把阈值电压升高到第 1 电平；

(b)引发选择单元的 **Fowler-Nordheim** 隧道效应，使电子从浮栅迁移到漏，以便把阈值电压降低到第 2 电平。

25.按照权利要求 24 的方法，其特征是，步骤(b)包括下述步骤：对选择单元的控制栅施加一个预定的负电位。

26.按照权利要求 25 的方法，其特征是，步骤(a)包括下述步骤，把单元的控制栅的电位升高到预定电位，其高于该源的电位。

27.按照权利要求 24 的方法，其中存储器件有许多行地址线，每个行地址线耦连到相关行各单元的控制栅上，有许多列地址线，每个列地址线耦连到相关列各单元的漏上，还有许多源线，其耦连到各单元的源上，其中，

步骤(b)包括施加预定负电压到与选择单元相关的行地址线上。

28.按照权利要求 27 的方法，其特征是，

步骤(a)包括升高各单元的行地址线的电位到预定的电位的步骤，该预定电位高于该源线的电位。

说　明　书

低压晶体管闪速电可擦可编程只读存储器单元

发明领域

本发明涉及电可擦可编程存储器件及其制造方法，特别，本发明涉及利用 Fowler-Nordheim（福勒－诺德海姆）隧道效应既可编程又可擦除的低电流单一晶体管闪速 EEPROM 单元.

发明背景

众所周知现有技术中的电可擦可编程只读存储器（ EEPROMS ）及其制造方法。一种被称为闪速 EEPROM 的上述器件，由美国专利 Nos.4698787 和 4868619 公开，其由 Mukherjee 等人发明，并授权代理人进行申请，这被特别包括在内，作为参考。闪速 EEPROM 存储器由高密度（例如 1 兆位数量级）单元阵列形成。每个单元是一个单一的晶体管，其包括单晶半导体材料构成的基片，基片中具有源和漏，基片上还设置第 1 层绝缘材料。浮栅位于第 1 层绝缘材料和第二层绝缘材料之间，栅位于第 2 层绝缘材料的上面。

由诸如掺磷的第 1 材料的深区和诸如掺砷和磷的第 2 材料的浅区形成源区。部分深区位于第 1 绝缘材料层的下面，并且选择第 1 材料层和栅区最佳叠连，以便减少擦除动作时条层与条层之间的隧道效应。由第 2 材料的浅区形成漏。

第 2 绝缘材料层具有高介电常数，使其电容达到最佳。使相对于衬底的浮栅二端的电压达到最大，由此，使器件在其浮栅上存储和除掉电荷的作用达到最大。

为对常规闪速 EEPROM 单元进行编程，需要分别向控制栅和漏施加电压 10 到 12V 和 4 到 6V，并使源和衬底保持在地电位。这种电压条件使位于源和漏之间部分衬底（沟道区）产生热电子，并被加速到浮栅。为了擦除闪速 EEPROM 单元，向源区施加 10V 到 13V 的电压，而同时悬浮漏区，并使控制栅和衬底保持地电位。用这种方法，利用 Fowler-Nordheim 隧道效应，使电子从浮栅进入源区。

在读操作期间，设定单元的逻辑条件是，向漏极施加 1V 到 2V 电

位，向控制栅加 3V 到 6V 电位，使源极保持地电位。因为编程单元有一个升高阈值电压（ Vt ），这是由于浮栅上面存在电子引起的，编程单元沟道区在读操作期间不导电。另一方面，擦除单元的阈值电压接近 1V，所以其沟道区在读操作期间将导电。

常规闪速 EEPROM 技术有几种缺点。一种缺点是利用热电子注入进行编程。该编程消耗大量的电流，为采用低电压（小于 5V ）时，该技术不利于利用内部芯片上的电荷泵。

现有闪速 EEPROM 技术的其它缺点是有影响单元寿命的各种因素。例如，当为一个单元编程时，全部单元的漏与该要编程单元的漏共用一个列，它接受编程所需的相对高的漏电位。这是因为列中所有单元，通常要共用一个公共的位线。由于漏（ 4V 到 6V ）和衬底（地电位）之间的电位差，干扰了这些未被选择的单元。漏和衬底之间相对高的电压降，在编程期间可使在漏结处产生热空穴。这些空穴可能迁移到栅绝缘层中，并且永远地陷在那里使该单元过早地失效。

陷在栅绝缘层中的热空穴将会干扰器件的读出，并降低在衬底和浮栅之间的通常由栅绝缘层提供的势垒高度。由于降低该势垒高度，接着将使电子注入到未选择单元的浮栅中。产生的热空穴逐步积累使热电子能级超过电子的能级，引起条层之间产生隧道效应，接着释放附加的热电子/热空穴对，于是进一步使热空穴陷在栅绝缘层中。

在常规闪速 EEPROM 的擦除期间，容易在源到衬底的结处产生击穿，该击穿同样地导致热空穴产生和陷住，这是因为源（近似 10 － 13V ）和接地衬底之间具有高的电压差引起的。虽然这种击穿可通过形成一个双重的扩散源区大量减少，然而增加一个额外的扩散层并不能完全消除这种后果。

现有闪速 EEPROM 技术中的另一个缺点是不能逐位检测过擦除单元。在擦除期间当从单元的浮栅中移走太多的电子时，则产生过擦除状态，使该单元在 0V 的 Vt 以下产生擦除，或使该单元的 Vt 在即使没有选择字线的情况下也使该单元导电。过擦除单元的低阈值电压引起单元错误地编程和读出，过擦除单元通常引起漏极的泄漏电流，它又掩盖了共用这同一位线的其它单元的逻辑状态。不能逐位地检测到过擦除单元的存在，因为在一列中存在一个过擦除单元时，该单元即使没被选择时也会使电流通过耦连到该列的位线，由此弄混了过擦除单元的位置。因

为过擦除单元难于检测，所以，发现包含上述单元的存储器经常被报废或者，包含过擦除单元的存储块被隔离和由多余的存储器代替。这些措施一般是昂贵的和无效的。

为了开发具有使上述热空穴俘获作用最小的闪速 EEPROM 器件，作了各种尝试。由 Haddad 等人（“Haddad 专利）在美国专利 No.5077691 中公开了一种这样的器件。其公开的闪速 EEPROM，当在控制栅施加近似－17V 到－12V 电压，在源加近似 0.5V 到 5.0V 电压时，利用从浮栅到源的 Fowler-Nordheim 隧道效应进行擦除。虽然象 Haddad 专利所公开的那样的器件，在擦除期间减少了热空穴俘获效应的可能性，但是，这些器件利用升高了的漏电位进行编程，却没有谈到上面所述的在未被选择的单元中发生的漏极干扰问题。而且，利用热电子注入编程实现这些器件的编程，正如早先讨论过的那样，它消耗大量的电流。

常规的闪速 EEPROM 器件和诸如 Haddad 专利公开的器件的另一种缺点是，这些器件按三步进行编程。首先，通过施加编程条件大约 10msec，把所有单元编程到高 Vt。因为利用热电子注入，所以第 1 步使用高电流，这样只能逐字节进行。接着，施加擦除条件大约 10msec，利用闪速擦除功能，同时擦除所有单元。最后，再次使用大约持续 10msec 的编程脉冲，通过给单元逐字节的编程，把数据设置在芯片上。因此，编程这些单元要耗费时间，特别是这些芯片编程所需的二个步骤都要逐字节进行（就更花费时间）。

现有闪速 EEPROM 器件还有另外一种缺点是，使用存储单元控制栅处的高正电位，要求周围电路的晶体管具有足够高的击穿阈值电压，以便防止在施加高栅电位时击穿。于是，例如，通过向控制栅施加 21.0V 电位来编程单元时，周围器件将不得不做成至少耐 21.0V 的反向偏压的器件。

在日本专利早期发表的 No.57-114282 中公开了一种器件，利用衬底和浮栅之间 Fowler-Norheim 隧道效应，对器件进行编程和擦除。并且，利用器件漏极的高电压进行擦除，所以必须特别注意，防止击穿和涉及漏－衬底结的其它问题。

本发明的总结和目的

本发明要解决现存的闪速 EEPROM 技术中存在的这些和其它问题。

本发明的电可擦可编程存储器件包括，由衬底材料组成的基片，该基片内具有源和漏，位于基片上面的第 1 绝缘材料层，位于第 1 绝缘材料层上面的浮栅，位于浮栅上面第 2 绝缘材料层，位于第 2 绝缘材料层上面的栅。第 1 绝缘材料层和浮栅与部分源和漏区相互重叠。选择第 2 绝缘材料层，使其具有高介电常数，以便在浮栅、控制栅，源和漏之间具有最佳电容耦合率。

设置具有上述结构的电容耦合率，以便提供 EEPROM 单元，其中，利用 Fowler-Nordheim 隧道效应，把电子注入到浮栅上和从浮栅上擦除，利用漏和浮栅之间的 Fowler-Nordheim 隧道效应把电子注入到浮栅上；利用浮栅和源之间的 Fowler-Nordheim 隧道效应，从浮栅上擦除电子。在上述单元阵列中，为制备编程的单元，通过把电子注入到浮栅上，在闪速编程操作中把所有单元升高到高 Vt，因为 Vt 升高到近似 6V 到 7.5V。这是通过升高控制栅电位，使源接地，使漏悬浮来实现的。接着利用选择擦除操作擦除各单元，其中，利用 Fowler-Nordheim 隧道效应从选择单元浮栅擦去电子，因此，使 Vt 降低到近似 1.2V 到 2.2V。通过施加相对高的负电压到控制栅，适中高的正电位到漏，悬浮源，实现选择擦除功能。在闪速编程和选择擦除状态期间、保持衬底为地电位。

本发明器件的上述编程特性，减少了俘获热空穴的可能性和条层之间的隧道效应，这是通过使源和衬底之间及漏和衬底之间的反向偏压差最小实现的。并且，利用本发明的结构，可以构成一个单元阵列，其将能逐位检测由于过擦除状态（即，从浮栅移走过多的电子）人为地造成低 Vt 的单元。本发明的结构同样能修复过擦除单元。并且，因为本发明的单元的结构和操作是利用 Fowler-Nordheim 隧道效应来编程和擦除的，所以器件产生一个最小的电流提升，这样使其本身能利用低电源电压和单元上的电荷泵。最后，减少了处理时间，因为利用二步骤进行编程，而不是常规闪速器件通常所需的三步骤。

因此，本发明的目的是提供低电压，低电流、单个单元 EEPROM 晶体管。本发明另一个目的是提供一个 EEPROM 晶体管，它能够利用 Fowler-Nordheim 隧道效应进行编程和擦除。本发明的又一目的是提供一个 EEPROM 晶体管，它能逐位检测和修复过擦除单元的模式。

通过对本发明下述优选实施例的叙述，本发明的这些和其它目的、特征和优点将显而易见。

图纸的说明

图 1A 是常规闪速 EEPROM 器件的剖视图.

图 1B 是存储阵列中常规闪速 EEPROM 的简略示意图.

图 2A， 2B， 2C 是表示本发明中 3 种选出的不同源区结构的 EEPROM 的剖视图.

图 3A，3B，3C 分别是如图 2A，2B，2C 所示的 EEPROM 器件的顶视图.

图 4A 是图 3A 中沿线 4A － 4A 剖开的一个单元的剖视图. 图 4B 是如图 4A 所示单元的透视图.

图 5 是表示本发明闪速编程操作的简单流程图.

图 6 是表示本发明选择擦除操作的简略流程图.

图 7 是本发明涉及具有闪速编程特征和选择擦除特征的存储阵列的 EEPROM 单元的简略示意图.

图 8 表示本发明器件的等效电容电路.

图 9 是表示本发明过擦除检测方法的简略流程图.

图 10A 和 10B 是表示本发明过擦除恢复方法的简略流程图.

图 11 是按本发明，在一个阵列中给出 4 个单元的存储器的简略示意图.

图 12 是简略示意图，用于说明过擦除恢复方法.

图 13 是用于说明利用三阱结构的按照本发明的存储器件的局部剖视图.

图 14 是如图 13 所示器件的简略示意图.

本发明的详细说明

图 1A 表示现有技术中的一种常规闪速 EEPROM 器件的剖视图. 该器件包括衬底 100，其中形成相对浅的漏区 102 和较深的源区 104. 双扩散源区 104，它有一个浅扩散区 106 和一个较深扩散区 108. 在源区 104 和漏区 102 之间限定沟道区 110.

在沟道区 110 上面形成基本上均匀厚度的栅绝缘层 112. 栅绝缘层 112 从漏区开始延伸，并在 114 区处和源区 104 稍微重叠. 在栅绝缘层 112 上面形成浮栅 116，在浮栅 116 上面形成第 2 绝缘材料层 118. 最后在第 2 绝缘层 118 上面形成控制栅 120. 通常把第 2 层 118 称为“多晶硅层间绝缘层”，因为其位于控制栅和浮栅之间，这两个栅通常由多

晶硅（“Polg”）或多晶硅化物构成。

通过向控制栅 120 施加近似 10V 到 12V 的电压，向漏极 102 施加近似 4V 到 6V 的电压，向源极 104 和衬底 100 施加 0V 的电压，实现对图 1A 所示的闪速 EEPROM 的编程。通过注入热电子进行编程，高能电子 132 是由衬底 100 中的沟道区 110 产生的，并且被加速注入到浮栅区 116．因浮栅中存有电子，使晶体管的阈值电压（Vt）上升，于是防止电流在读出期间流过沟道。

通过悬浮漏 102，保持控制栅 120 在地电位，施加高脉冲电压（即在 10V 到 13V 之间）到源 104 进行擦除。按照这些条件，在浮栅 116 和位于浮栅 116 下面的源扩散区 104 的一部分之间的区域 114 中产生 Fowler-Nordheim 隧道效应。擦除操作使单元的 Vt 减少到一伏数量级的电平，于是使电流在读出期间通过沟道 110。

图 1B 表示一个典型的现有技术中的闪速 EEPROM 存储阵列 122。由图可见，相邻晶体管取向相反。于是，在阵列的左上角，单元 124 的源和下一列单元 126 的源相连。单元 124 的漏和同一列中单元 128 的漏相连。单元 124 和单元 128 的漏的结点和来自列地址解码电路 132 的位线 130 相连。位线 130 与单元 124 和单元 128 共用列中所有单元的其它漏接点相连。单元 124 的栅极和来自行地址解码电路 142 的字线 140 相连。字线 140 与和单元 124、单元 126 同行的所有单元的栅极相连。公共源线 144 与阵列 122 所有单元的源相连。

利用上述单元的擦除操作将涉及要被擦除的特定行的所有单元。这是通过把高电压施加到公共源线 144，同时使要被擦除行的字线 140 接地实现的。当擦除器件时，位线 130 保持悬浮。

通过把包含选择单元行的字线和涉及选择单元的列的位线的电压升高到需要的电压，可以对单个的单元进行独立的编程。

如上所述，利用热电子编程消耗很大的电流，于是排除了利用低电压源和内部电荷泵的可能。并且，当分别进行编程和擦除期间内，把相对高的反向偏压降施加在漏/衬底和源/衬底结处，则增加热空穴被产生和俘获在栅绝缘层内的可能性，也增加条层之间产生隧道效应的可能性。这两种现象对单元寿命产生很大的不利影响。最后，由于过擦除单元不能逐位检测，利用现有技术难于修复过擦除单元。

单元结构

下面将叙述本发明的结构。

图 2A 表示本发明实施例的剖视图。应当注意，叙述本发明的单元是要考虑到系统处于接地状态，本发明的单元结构也可以采用“虚地”结构。

在衬底 10 中形成漏 12 和源 14 .在漏和源之间限定形成沟道区 16 。在沟道区 16 上面形成栅绝缘层 18 或者“隧道氧化层”。在栅绝缘层 18 上面形成浮栅 24，在浮栅 24 上面形成第 2 绝缘材料层－多晶硅层间绝缘层 26 。最后，在多晶硅层间绝缘层 26 上面形成控制栅 28 。

部分漏区 12 和源区 14，分别位于栅绝缘层 18 的下面以形成进出浮栅的 Fowler-Nordheim 隧道效应，如圆区 20 和 22 分别所示。源区 14 可能是单扩散 N^+型区如图 2A 所示。源也可以选择 N^+材料的双重扩散区，如图 2B 中标示的源 14A 。第 1 选择的源区 14A 有一浅区 40 和深区 42，上述两个区域都是由 N^+材料形成的。第 2 选择的源区是如图 2C 中所示 14B，其由 N^+材料浅区 40B 和轻掺杂（如： P^-）P 型材料的深的 helo 小区形成。图 2A 中源的优选深度近似为 0.25μm（设横向扩散与垂直扩散的比率近似为 0.7 到 0.8 ）。

漏区 12 最好选择 N^+型材料双扩散，形成浅区 44 和深区 46 。漏也可以选择单扩散，在这种情况下，图 2A 所示的扩散边缘 48 将不存在。优选漏的深度是大约 0.36μm 。当施加到漏上的电位升高时，深漏区需要避免条层之间产生隧道效应和空穴俘获效应。

图 2A 的实施例是利用 0.8μm 技术的优选实施例，而图 2C 的实施例是采用 0.5μm 技术的优选实施例。

图 3A 、图 3B 、图 3C 表示本发明单元布图的顶视图、每图表示镜象排列的两个单元。

在上述镜象布图中，每个单元与相邻的单元共用一公共漏，并且与一个不同的相邻单元（在单元的列中（穿过页面））共用一个公共源。由图可见，控制栅 28 和浮栅 24 相互叠压并位于沟道 16 上面。虽然图中所示控制栅 28 的边界偏离浮栅 24 的边界，但是应当了解，这些区是“自对准的”，使浮栅边缘 24A 在垂直方向和控制栅边缘 28A 对准，浮栅边缘 24B 和控制栅边缘 28B 在垂直方向对准，在图 2A 、 2B 、 2C 中可以看到其自对准情况。

公共源线 34 和利用特别行中所有单元的控制栅 28 部分地形成字

线，延伸过阵列的整个宽度，使共用字线的各单元也共用公共源线34。

在邻接漏区12处，形成漏接触区32．在围绕该单元的相同单元成镜象定位。例如，和接触处32最邻近的区是相邻单元的漏区12A，在源区14的对面与源线34相关的区是另一个源区14A，它是另一个相邻单元的一部分。

如图4A和4B所示的场氧化层30，形成在栅绝缘层18的下面，使该单元与同一芯片形成的其周围的单元相互隔离。

图4A和4B分别是沿图3A的线4A－4A剖开的剖视图和透视图，表示本发明单元各层的相关位置。由图中尺寸可见，在场氧化层30和栅绝缘层18之间有轻微的重叠。浮栅24重叠场氧化层30到越过栅绝缘层18端点的某一位置。多晶层间绝缘层26在浮栅24上面延伸，并且越过浮栅边缘。多晶硅层间绝缘层26可以选择与浮栅24边缘基本上对准的边缘。最后，控制栅28覆盖多晶硅层间绝缘层26，并且延伸超过层26的边缘。

单元运作

根据本发明，用二步处理设定单元的逻辑状态。如下表A所示，其运作不同于常规闪速EEPROM器件的编程和擦除。

表A

步骤	常规EEPROMS	本发明
I	编程所有单元到高Vt（逐字节）	闪速编程所有单元到高Vt（同时或按页面）
II	闪速擦除到低电压Vt（同时）	选择擦除到低Vt（逐位，逐字节、或逐页面）
III	编程选择单元到高Vt（逐字节）	

对于常规闪速器件，利用三个步骤。首先，通过把电子提高注入到浮栅，逐字节编程所有单元到高Vt．接着，利用闪速擦除功能把电子从浮栅移走，同时擦除所有单元．最后，通过逐字节编程各单元到高Vt，把数据设置在芯片上。

设定本发明的逻辑条件与现有的闪速器件使用的通用程序不同，它采用两步程序，首先把页面或者区段的所有单元在闪速编程时升高到高阈值电压（即把电子注入到浮栅上）．第2步，按字节或按页面（即把

电子从浮栅上移走）擦除选择单元。

下表 B 根据本发明单元优选运作参数

运作参数	VG	V_D	Vs	Vt	V_{SUB}
闪速编程	17	F	0	>6	0
选择擦除	- 12	5	F	0<Vt<2.2	0
过擦除检测	1.5 到 2.0	1	0.6	N/A	0
过擦除复原	12	F	0	0<Vt<2.2	0
读出	5	1	0	N/A	0

表 B 提供关于栅、漏、源、衬底，每次所列运作的优选电压条件。Vt 栏表示每次运作产生的单元阈值电压的振幅。表 B 中符号“ F ”表示处于悬浮条件。

闪速编程是准备步骤，其中，利用源和浮栅之间的 Fowler-Nordheim 隧道效应把每个单元升高到高 Vt 、参看图 5 的流程图可以更容易地了解其运作情况。

通过悬浮漏 12，并使源 14 和衬底 10 接地，同时向控制栅 28 施加 10msec 的 12V 到 20V 的脉冲，完成闪速编程 500 . 在步骤 502，关闭输送电压到列的“通道栅”. 这使单元的“位线”悬浮，因此使单元的漏悬浮。在步骤 502 ，全部源接地。然后，在步骤 504 ，经过 10μsec 到 200μsec 上升时间，全部字线上升到高电位，比如说 17V . 在步骤 506，保持字线高电平大约 10msec，形成单脉冲。由于，在步骤 504 和 506，把电压加到该单元的结果，电子 50，借助隧道效应由源 14 通过栅绝缘区 18 的一部分 22，注入到浮栅 24 . 参看图 2A，闪速编程最好导致大于 6V 的阈值电压。步骤 508，提供 6μsec 暂停时间，其使字线放电，从 12V 到 20V 下降到 3V 到 6V . 步骤 510 是编程检测步骤，其中，读出编程单元的逻辑状态和单元要求的逻辑状态进行比较。如果编程已被检验，则进入步骤 511，表示已经完成编程。

如果在步骤 510 对编程不进行检验，则增加脉冲数。在步骤 514 检验脉冲数，确定不等于或大于选定的脉冲数，如： 10 个脉冲。如果检测到上述条件，则认为编程努力失败进入步骤 516 .

只要加到字线的脉冲数不等于或超过选定的脉冲数则步骤 514 将附加脉冲加到字线上，通过环路回到步骤 504 .

在优选实施例中，通过悬浮所有位线 130A ，使公共源线 144A 接

地，升高每一行字线 140A 电压，实施逐行闪速编程步骤。

因为在闪速编程期间，P－型衬底 10 是接地的，由于衬底的高耗尽电容，编程时沟道区 16 对此运作的影响是小的。通过闪速编程期间悬浮衬底，可以进一步减少这种影响。但是，除非沟道下面的衬底区通过 N 型阱与衬底的其余部分隔离，否则不可能悬浮该衬度，因为整个 EEPROM 单元设置在该衬底中。利用三阱工艺可能形成上述阱，例如在 P－衬底中形成 N－阱，然后在 N－阱内形成 P 区，作为本发明单元的有效衬底。

选择擦除步骤 600 是设定各单独单元到所希望逻辑状态的步骤，它利用漏区的 Fowler-Nordheim 隧道效应，移走选择单元浮栅上的电子，使这些单元降低到低 Vt。图 6 的流程图表示选择擦除操作过程。

在 602 步骤，首先悬浮源，衬底接地，同时在漏上施加 2.0V 到 5.0V，由此进行选择擦除。以后，在步骤 604，把－10V 到－15V 的 10msec 脉冲施加到控制栅（字线）上。在步骤 606，暂停 6μsec，然后进入擦除检验步骤 608．如果擦除成功，步骤 610 判断，步骤 612 确认擦除操作完成。另一方面，如果在 608 步骤，不能检验擦除，则步骤 614 增加脉冲数并循环返回，通过步骤 616 加入另外的擦除脉冲。如果在步骤 616，已确定加入 10 或大于 10 个脉冲到该单元，而且没有完成擦除，则进入步骤 618，表示擦除失败。

如下所述，利用施加适当电压到选择单元的字线 140A 和位线 130A，可以逐位完成这些步骤。适当的擦除单元最好具有大约 0V 到 2.2V 的阈值电压。

利用正的栅电压也可以完成擦除。但是，擦除时应该注意，使用的栅电压要大大地低于周围电路晶体管的击穿电压，以避免现有技术中所达的击穿问题。

过擦除和检测

在选择擦除步骤期间，从单元阵列中的某些单元可能错误地移走过多的电子，使单元具有很低的 Vt（如：小于 0V）。这个低的阈值电压使单元错误的读出。而且，具有异常低的 Vt 的单元，通常在位线上导致产生电流，该电流会阻止共用这同一位线的其它单元逻辑状态的检测。这是因为上述单元在通常防止适当擦除单元导电的状态下导通电流。这种状态通常称为“过擦除”。

因为当利用优选编程和擦除方式时，本发明的存储器件可以按字节擦除，所以其定位过擦除单元比常规器件较容易。但是，如果利用常规编程和擦除技术来编程和擦除本发明的单元，检测过擦除将和常规器件困难相同。

通过响应施加的读电压，该读电压大大低于通常引起通过合适擦除单元沟道导电的电压，测量是否有电流通过该单元，来确定本发明单元是否过擦除。换句话说，当阈值电压足够低，使得穿过没选择单元产生导电时，单元是过擦除。

为检测过擦除，把测试电压 V_{test} 施加到控制栅 28，时间为大约 10msec，同时把偏压 Vs 加到源 14，把大约 1V 到 2V 的电压施加到漏 12。测试电压通常在 0V 到 2V 之间，优选实施例中大约为 1.5V 到 2V。优选偏压 Vs 是大约 0.6V。

通常在这些测试条件下，擦除单元将不进行沟道导电。这是因为如此设置标准单元的阈值电压：把 1.5V 到 2.0V 的低电压加到控制栅 28，该电压不足以导通沟道 16。但是，过擦除单元将有很低（如：小于 0V）阈值电压，因为从浮栅 24 移走过多电子，将导致空穴保留在浮栅 24 上而浮栅 24 上没有相对应的电子。于是，保留的空穴产生一个场，当对控制栅施加 1.5V 到 2.0V 的测试电压时，该场加强，导致沟道导电。

把源偏压 Vs 用于连接处在过擦除状态的单元阵列中的测试单元。把阵列中的全部源施加小的如 0.6V 的正偏压，非选择（V_G=0V）行中的过擦除单元将关断，由此，防止干扰选择（V_G=V_{test}）行中过擦除单元的检测。

选择具有一定数值的测试电压 V_{test}，当把其加到过擦除单元的栅极时，将引起过擦除单元导电，甚至把源偏压 Vs 加到源极时也引起过擦除单元导电。

因此，测试电压 V_{test} 具有下列作用，（1）在过擦除检测期间把电压 Vs 加到源极，（2）利用阈值电压 Vt 限定过擦除条件。它也用作读出列逻辑状态的读出放大器的参考电压。选择测试电压 V_{test} 如下所述。

当 $V_G - Vs - Vt>0V$ 时

电流通过单元，V_{test} 将大于 0V。

其中 V_G 和 Vs 分别是加到控制栅 28 和源 14 的电压。

过擦除单元的阈值电压是当即使是未选定单元在此电压下即 V_G =

0V 时也导电的电压。在本发明过擦除检测方法的优选实施例中，阈值电压大约为 - 0.5V 或更低的单元被定义为过擦除单元。由于基片不同，“实际的”阈值电压不同于“有效的”阈值电压，“有效的”阈值电压称为 Vt，而“实际的”阈值电压称为 $V_{t\Phi}$。利用这种技术，把实际的阈值电压定义为 $V_{t\Phi}\approx-0.5V$，例如对于一过擦除单元。应当了解，可以选择其它数值定义过擦除单元，相应的要调节源偏压 Vs，测试电压 V_{test}。

有效的阈值电压 Vt 可以定义为

$Vt= V_{t\Phi}+\Delta Vbodyeffect$

其中，ΔVbodyeffect 是由体效应引起的阈值电压的变化量。该值对于本发明的器件是大约 1.5V。

因为已规定过擦除单元的 $V_{t\Phi}\approx0.5V$，所以

$Vt\approx(-0.5)+(1.5)\approx1.0V$

如上所述，选择源电压的偏压 Vs 的条件是：它是以关闭一个过擦除的但又是未选定的单元的沟道。对于本发明，利用大约 0.6V 的源电压令人满意。

因为　　$V_G - Vs - Vt>0$

所以　　$V_G - 0.6V - 1.0V>0$　　$V_G>1.6V=V_{test}$

其中 V_{test} 是加到控制栅 28 上的测试电压，其作为过擦除检测程序的一部分。

应当了解，V_{test}=1.6V 是足够大，当施加到源上的源偏压 Vs = 0.6V 时，使过擦除单元导电，但是另一方面，V_{test} = 1.6V 是太低，不能使具有适当阈值电压的单元导电。按照这种方法，可以检测单独的过擦除单元。应当了解，在本发明精神实质内，可以利用其它值的源偏压 Vs 和测试电压 V_{test}，当用不同阈值电压表示过擦除单元时，应对这些电压作适当的调整。

过擦除复原

参看表 B，利用一种优选复原方法，把源 14 接地，漏 12 悬浮，把优选的 12V 脉冲施加到栅 28，时间为 10msec，利用 Fowler-Nordheim 隧道效应，把电子回注到浮栅。接着再测试过擦除单元，如果它们在测试电压下还导电，则重复复原和测试模式，直到所有不适当过写单元被修复，或者验明其不可修复为止。另外，可以选择把源接地，漏悬浮、

来修复过擦除单元.

通过施加约 3V 到 5V 的读出电压到栅极，约 1V 电压到漏、可以确定单元的逻辑状态。编程单元的沟道，即在浮栅上有电子足以产生高阈值电压的编程单元沟道，在读出操作期间将不导电，而擦除单元将导电。对于所有的操作，在读出期间最好把衬底接地。

优化单元性能

在单元的控制栅、浮栅、源、沟道和漏区之间的适当电容耦合，对于在编程和擦除期间器件向浮栅注入和从浮栅移走电荷的能力是重要的。图 8 是一电路图，表示上述各元件之间的电容耦合。用电容器 G_{FG-CG} 表示浮栅和控制栅之间的电容，分别用电容器 C_{FG-S}、C_{FG-C}、C_{FG-D} 表示浮栅和源，浮栅和沟道，浮栅和漏之间电容。

由下列方程定义器件电容耦合率:

$$\text{耦合率} = \frac{C_{FG-CG}}{C_{FG-CG}+C_{FG-S}+C_{FG-C}+C_{FG-D}}$$

注意，本发明的优选实施例中，利用源侧 Fowler-Nordheim 隧道效应，把电子由源 14 注入到浮栅 24，再利用漏侧的隧道效应，把电子从浮栅 24 迁移到漏 12．关于源到浮栅隧道效应的耦合率由单元不同部分决定，而不是由浮栅到漏之间隧道效应操作期间存在的耦合率来决定。

在闪速编程步骤期间，控制栅和衬底之间的耦合率可以由下式表示:

$$\text{耦合率} = \frac{C_{FG-CG}}{C_{FG-CG}+C_{FG-S}+C_{FG-C}+C_{FG-D}} = \frac{A_1/T_1}{A_1/T_1+A_2/T_2}$$

其中，A_1 和 T_1 分别代表多晶层间绝缘层 26 的面积和有效厚度，A_2，T_2 分别是重叠在沟道，源和漏上的栅绝缘层 18 的面积和有效厚度。

在选择擦除步骤期间，因为源是悬浮的，所以控制栅和底衬之间的耦合率可以表示为:

$$\text{耦合率} = \frac{C_{FG-CG}}{C_{FG-CG}+C_{FG-C}+C_{FG-S}} = \frac{A_1/T_1}{A_1/T_1+A_3/T_3}$$

其中，A_3 和 T_3 分别是重叠在沟道、漏和源之上的栅绝缘层 18 的面积和有效厚度。

耦合率应当达到最大，而且最好使其至少达到 65 %，以使跨越浮

栅 24 的电压达到最大．有很多方法使耦合率达到最佳。例如，选择高介电常数的多晶硅层间绝缘层 26 材料，使多晶硅层间绝缘层 26 有一个较小的有效厚度，于是在控制栅 28 和浮栅 24 之间提供高电容而不需占有大的面积。控制栅 28 和浮栅 24 之间的电容 C_{FG-CG} 越大，则残留电容对跨越浮栅的电压的影响越小。

多晶硅层间绝缘材料最好是氧化物－氮化物－氧化物（ ONO ）层，其厚度为 185 Å ±15 Å ．在优选实施例中，多晶硅层间绝缘材料包括 120 Å 氮化物中间层，上下两层为 70 Å 的氧化层，使用常规的氧化物－氮化物－氧化物层的加工工艺形成，最好利用标准的高温氧化沉积工艺（ HTO ）形成，以便使其寿命达到最佳。由于氮化物的高介电常数，优选多晶硅层间绝缘层 26 的有效厚度是 200 Å ，而实际物理厚度是 260 Å ．

应对称地形成多晶硅层间绝缘层，因为这样作可避免在擦除和编程操作期间在该层上产生不同的应力．利用对称的 ONO 层，可使常规闪速 EEPROMS 的耐久可靠性（即，减少 ONO 击穿）获得某些改善。本发明利用对称 ONO 层，使耐久可靠性获得惊人的改善．

另一种方法，通过限制源 14 和漏 12 分别与栅绝缘层 18 重叠的部分 22 、 20 的宽度，使耦合率达到最佳化．这保持浮栅和漏之间及浮栅和源之间的电容最佳化，于是使浮栅和漏之间，浮栅和源之间电压最大。对于具有 0.8μm （ “ 0.8μm 技术”）宽度控制栅和浮栅的器件，源重叠部分 22 最好是 0.2μm ，漏重叠部分 20 是 0.3μm ，有效沟道 16 长度为 0.3μm 。对于 0.5μm 技术的器件，最好设置源重叠部分 22 为 0.12-0.15μm ，漏重叠部分 20 为 0.3μm ，有效沟道长度为 0.15-0.18μm ．选择栅绝缘层另外要考虑的因素包括具有最长的寿命，这要求选择有最佳俘获特性栅绝缘材料，易于产生 Fowler-Nordheim 隧道效应，其要求薄栅绝缘层，二氧化硅是栅绝缘层的优选材料，因为它能满足上述指标要求。

在源 14 和浮栅 24 之间重叠部分，当电场至少为 6 兆 V/cm 时，就会产生 Fowler-Nordheim 隧道效应，尽管当电场是大约 11 到 12 兆 V/cm 时产生最佳隧道效应。应该选择栅绝缘层 18 的厚度，使其在闪速编程和选择擦除模式期间达到场要求的数值范围．对于本发明 84 Å ±4 Å 的厚度是适合的，已发现 80 Å 的厚度最好。因为栅绝缘层 18 必须是薄的，

在耦合率计算中，T2 和 T3 是很低的，这种处理是要限制耦合率。薄栅绝缘层对耦合率的不良影响，可通过增加在场氧化层 30（见图 4A）上的多晶硅层间绝缘层 26 重叠部分的数量来补偿。增加重叠区域有助于优化耦合率，因为增加了多晶硅层间绝缘层 26 的面积 A_1。并且，因为额外区域仅仅发生在场氧化层 30 的上面，而不在源和漏区的上面，这使器件的电容不受负面影响。

在选择擦除步骤期间，浮栅对衬底的电压 V_{FG} 由下式表示：

$$V_{FG}=\frac{V_G C_{FG-CG}+V_D C_{FG-D}}{C_{FG-CG}+C_{FG-C}+C_{FG-D}}$$

其中，V_G 和 V_D 分别是加在控制栅 28 和漏 12 上的电压。耦合率在闪速编程步骤期间比在选择擦除步骤期间更重要。对于选择擦除方式，电容率由下式表示：

C_{FG-CG}：C_{FG-D}：C_{FG-C}：C_{FG-S} 最好是

65：13：13：9

对于绝缘层间的电容来说，上述讨论的面积和厚度参数，应由相关的闪速编程步骤决定。这些值一旦决定，然后应利用上述方程式决定电压 V_G 和 V_D，以便确定希望的 V_{FG}。

通常，在选择擦除操作期间，当把 5V 电压施加到漏时，V_{FG} 将是大约 - 5V。在漏具有 3V 的电压时，将使浮栅具有大约 7V 的电压。当尽可能把最低电压加到漏上时，由于上述的浮获空穴作用，使寿命最优化。使栅绝缘层 18 和多晶硅层间绝缘层 26 的厚度最小，在选择擦除步骤期间，可使所需的漏电压减到最小，这样，将使由于漏的高电压引起的寿命问题变得最小。

本发明沟道中的掺杂，比通常在常规闪速 EPROM 单元中所用的掺杂重许多（大约 10 倍），以便提高阈值电压，由此，在闪速编程和选择擦除期间，平衡器件的应力。并且，当增加阈值电压时，需要较低的栅电压，由此，放松周围器件对击穿电压的要求。优选的掺杂能使器件的初始阈值电压 Vt 升高到 4V，5V 最好为 4.5V 左右。

下表表示采用本发明器件的重掺杂沟道，获得的效果。

表 C

	V_G（快速编程）	V_G（选择擦除）
常规掺杂	21V	- 8V

（ Vt=1.5V ）

重掺杂　　18V　　－ 11V

（ Vt=4.5V ）

在常规器件中，初始阈值电压约为 1.5V 。如果本发明器件利用常规掺杂，闪速编程作用将要求大约 21V 的栅电压，选择擦除要求栅电压是－ 8V 。给周围器件 3V 的安全裕度，则周围器件要求击穿电压是大约 24V 。如表 C 所示，利用重掺杂增加阈值电压，则可将选择擦除电压降低到 18V ，于是考虑到 3V 安全裕度，则把击穿电压要求降低到 21V 。

三阱

因为本发明可以利用负栅电压进行选择擦除，则需要提供使高的负电位与周围电路隔离的方法，以便防止在这些器件的结处产生高电压应力。

有两种可能的方法，防止负栅电压对周围电路的破坏。一种方法是只用 PMOS 器件与负栅电压相接，如果需要加电压，则利用耗尽型 P－沟道器件。但是，这种结构严重的限制了芯片的设计，而且在某些应用中是不希望利用这种结构。

另外方法是应用下面所述的“三阱”结构。三阱结构是减少高压应力产生的问题，该问题是因在擦除期间加在控制栅上的－ 12V 电压引起的。如果在选择擦除期间，由 NMOS 器件提供负栅电压，应该利用三阱结构，如果擦除时不希望利用负电压，则不应利用三阱结构，因为制造三阱结构，需要增加二个掩模步骤，这样增加工艺时间和费用。

图 13 和图 14 是表示三阱结构的简图。图 13 是表示不同晶体管结构的简略剖视图。图 14 是该结构的简单电路图，其包括通过字线 WL 把正的和负的电压加到存储单元。

三阱结构通常包括单阱晶体管 252，双阱晶体管 254，各晶体管耦连到与本发明存储单元 250 的控制栅 28 相连的字线 WL 上。应当了解，如图 13 所示的独立存储单元 250，如图 14 所示的由存储单元 250 组成的单行，和晶体管 252， 254 相似的晶体管，根据本发明在利用三阱结构时，用来把电压传输到阵列中的各单元。还要了解，为了简化这种解释，没有表示全部的控制施加正和负电压到单元控制栅的器件，因为上述的器件在常规装置中已经使用。

单阱晶体管是 PMOS 晶体管 252，其形成在 N－型材料的阱 256 中。这种晶体管在闪速编程周期内，把正电压（大约 17V 到 18V）传输到存储单元 250 的控制栅 28。在闪速编程期间，当把控制电压加到单阱晶体管的栅 270 时，把正电压加到单阱晶体管的源 268 上，并通过字线 WL 把该电压加到存储单元 250 的控制栅上。在闪速编程时，NMOS 晶体管 254 上不加偏压。

双阱晶体管是 NMOS 晶体管 254，其形成在 P－型材料的阱 258 中，利用 N－型材料阱 260 使其与衬底隔离。

NMOS 器件 254 是这样一种器件，在选择擦除期间通过它把用于闪速擦除的负栅电压（即大约－11V 到－12V），传送到存储器单元 250 的控制栅。把负电压加到双阱晶体管的源 262 上，在选择擦除期间，当把控制电压加到双阱晶体管的栅 264 时，把上述负电压通过字线 WL 传送到选择单元的控制栅上。在其运作期间，阱 260 的电压是 V_{CC} 或较低电压，衬底 266 接地。于是有二个反偏压结，一个在衬底 266 和阱 260 之间，另一个在阱 260 和 258 之间，阱 258 隔离芯片上的其它器件使其不受负电压的影响。

阵列运作

图 7 表示一单元阵列。由图可见，该结构基本上与图 1A 所示的闪速 EEPROM 阵列相同。有许多列线 130A，每条列线与相关列单元的漏 12 相连，公共源线 144A 与阵列 122A 中的所有源 14A 耦连。有许多字线 140A，每个字线与相关行单元的控制栅相连。

器件上的外围电路部件包括：常规的行地址译码电路部件 142A，列地址译码电路部件 132A，读出放大器电路 134A，输出缓冲电路部件 136A，和输入缓冲电路部件 138A。外围电路部件包括的是电路块，其用常规方法控制加到列和行上的电压及加到阵列上的源电压，这些外围电路用于上述的闪速编程，选择擦除，读出，过擦除检测，过擦除复原的运作方式。

为了实现叙述本发明单元阵列运行的目的，大大地简化了对存储器件的表示，以单元阵列 200 中的 4 个单元 202，204，206，208 进行说明，如图 11 所示。把单元 202，和 206 的漏耦连到位线 BL1，单元 204 和 208 的漏耦连到位线 BL2。单元 202 和 204 的栅极耦连到字线 WL1，单元 206 和 208 的栅耦连到字线 WL2。全部单元的源耦连到公

共源线 SL。

下表提供与阵列中目标单元 202 有关的读出，闪速编程，选择擦除运作的参数:

表 D（对于目标单元 202）

	读出	闪速编程	选择擦除
V_{BL1}	1 - 2V	F	5V
V_{BL2}	F 到 Vss	F	F
V_S	0V	0V	F
V_{WL1}	Vcc	17V	-11V
V_{WL2}	0V	0V	0V

参看图 11，为了确定选择单元 202 的逻辑状态，把读出电压 Vcc 传送到 WL1，即与单元 202 相关的字线。Vcc 通常是 5V，然而比如那些用在笔记本计算机中的器件，Vcc 可以是大约 3V。与选定单元 202 相关的位线 BL1 保持地电位，地电位也是公共源线的电位。如图 11 所示，所有没选定单元的字线即 WL2，也保持在地电位。如图 11 所示，没选定的位线，即 BL2，进行悬浮，或保持在电压 Vss，其通常是 0V。

为了对行 210 中的所有单元进行闪速编程步骤，把相关行 210 的字线 WL1 升高到大约 17V 的电位，而公共源线 SL 和其它字线、即 WL2，如图 11 所示，保持在地电位。所有位线 BL1 和 BL2 悬浮。通过把所有字线升高到大约 17V，可以对阵列中所有单元闪速编程。如先前所述，在闪速编程期间，利用源和浮栅之间的 Fowler-Nordheim 隧道效应，把电子注入到编程单元的浮栅上。

对单独单元或单元块可以进行选择擦除。为选择擦除单元 202，把大约 - 11V 到 - 12V 电压加到相关单元 202 的字线 WL1，把大约 5V 的电压加到相关单元 202 的位线 BL1。其它位线 BL2 悬浮，其它字线 WL2 接地。在选择擦除期间，悬浮公共源线 SL。通过将选择参量条件加到要擦除的相关单元的位线和字线，可以选择地擦除单元块。如早先所述，由于选择单元或单元组的浮栅和漏之间的 Fowler-Nordheim 隧道效应选择擦除运作使电子离开浮栅。

下面讨论本发明阵列过擦除检测和复原。

参照图 12，叙述常规过擦除检测技术。这些技术只提供识别具有过擦除单元的单元块或单元列，不提供过擦除单元的特别识别。

在常规检测方法中，利用列选择电路部件 300 选择要检测的单元列。假定选择列 302，把读出偏压加到耦连列 302 的位线 B1。把 0V 电位加到列 302 相关各单元的字线 WL1， WL2， WL3，该列各单元的源 S1， S4， S7 接地。利用读出放大器（未表示）决定电流是否流入位线 B1，其将指示在列 302 中存在过擦除单元。这样，用此方法只能决定在单元列中是否有过擦除单元。

如果希望检测存在过擦除单元的整个单元块，利用列选择电路部件 300，选择所有列 302， 304 和 306。全部的源 S1 - S9 接地。加偏压到全部位线 B1， B2， B3，设置读出放大器用于检测流过任一位线的电流。

于是，在常规过擦除检测中，不能检测单独的过擦除单元。

通常，设置常规器件的读出放大器，如果没有电流流过位线（这样在该列中就没有过擦除单元）则输出。如果有电流通过位线，则输出 1，表示存在过擦除状态。

在现有技术中叙述了几种慢速编程方法，其使过擦除单元的阈值电压达到适合的电平。下面参看图 12 叙述每一种方法。逐列进行一种上述过擦除复原方法。它包括升高选择列 302 的位线 B1 到 5V，使源 S1， S4， S7 接地，加 1V 到 2V 电压到与列 302 中单元相关的字线 WL1， WL2， WL3。周期地重复检测该列，看是否有过擦除单元保留，如果还有重复施加检测条件直到认为该列不再包括过擦除单元为止。

第二种现有的过擦除复原方法，基于逐位进行，包括使与列 302 各单元相关的字线 WL1、 WL2、 WL3 接地，所有的源 S1， S4， S7 接地，加 5V 电压到与列相关的位线 B1。第三种和类似的复原方法叙述如下，把与要修复的单元的列 302 相关的字线 WL1、 WL2， WL3 和位线 B1， B2， B3 接地，同时把该列各单元的源 S1， S4， S7 升高到 5V 电压。

第 4 种现有技术中的复原方法是修复整个单元阵列的全部过擦除单元。它包括把源线 S1 - S9 接地，把位线 B1， B2， B3 接地，而把 12V 电压施加到字线 WL1， WL2， WL3 上。

阵列的过擦除检测

利用图 9， 10A， 10B 和 11 的流程图所表示的程序，可以检测和纠正本发明存储器件中的过擦除单元。首先确定什么单元组包括过擦除

单元。一旦确定哪一组，就要逐单元地检验这组中的各单元，以便识别具体的过擦除单元。

下表提供进行过擦除检测和复原运作时可以利用的各参数。

表 E

	选择单元过擦除检测	选择单元过擦除复原	
		方法 1	方法 2
V_{BL1}	1 - 2V	F	0V
V_{BL2}	F	F	0V
V_S	- 0.6V	Vss	F
V_{WL1}	V_{TEST}	12V	12V
V_{WL2}	0V	0V	0V

过擦除检测首先要确定阈值电压，低于该电压单元就会过擦除，然后，利用以前所述的关于单元运作的程序，计算源电压 Vs 和测试电压 V_{TEST}。参考图 11 所示简略阵列图，确定单元 202 是否为过擦除，相关单元 202 的位线 B1 升到大约 1.5V，公共源线 SL 升到偏压 Vs（最好为 0.6V）。测试电压 V_{TEST} 加到相关单元 202 的字线 WL1。只与未选择单元相关的字线 WL2 保持 OV 电位，只与未选择单元相关的位线 BL2 悬浮。如果单元 202 是过擦除，则电流过位线 BL1。

通过首先检测块或列，最有效地进行检测，以便首先对准有过擦除单元的区域，接着检测单独的单元、以便准确地定位过擦除单元。例如，通过把 1.5V 加到那行相关单元的位线 BL1，把 V_{TEST} 加到其字线 WL1，WL2，则可以检测含有单元 202 的整个单元列。接着利用上一段落所叙述的逐位检测方法，找到含有过擦除单元的列，直到识别全部过擦除单元。

参看图 9，其表示按本发明概括性地过擦除检测的流程图。首先，把所有的源加大于 0 的偏压，最好是 0.6V 偏压。在步骤 902 实现加偏压的运作。在步骤 904，把一个或多个字线设置到 V_{TEST}，选择一个或多个列被读出。未选择的字线加 0V 偏压，以便把其相关单元关闭。

如果这样选择单个列和单个字线，则在逐单元的基础上来检验这些单元。在一行或一列中不同数量的单元可以同时被检测，这取决于施加 V_{test} 的字线数和被选择读出的列线数。例如，加 V_{test} 到所有的字线，选

择单独的列读出，然后在同一时刻检验该列中的全部单元，看其是否有过擦除状态。如果单独字线加偏压 V_{test}，选择所有的列，然后检验对应于加偏压的字线的行中的所有单元，看其是否有过擦除状态。在步骤 906，读出加 V_{test} 单元(组)的状态。在步骤 908，如果检测到逻辑“1”，则表示找到了过擦除单元，在步骤 910 这一点被指明。

步骤 912，继续进行过擦除检测，直到整个芯片被读完为止。

如果使用按列检测过擦除的方法，一旦识别包含过擦除单元的列，就逐位检验这些列中的全部单元，以便识别过擦除单元。

参考表 E 和图 11 叙述的下面两种方法，可以用作修复过擦除单元。要利用方法 1 修复图 11 所示的过擦除单元 202，把 12V 20msec 脉冲传送到 WL1．悬浮与单元 202 相关的位线 BL1，把电压 Vss，（最好 0V 电压）加到源线 SL．悬浮位线 BL2，WL2 接地。

接着再利用过擦除检测方法检测该单元。如果该单元仍然过擦除，则重复复原方法，在优选器件中，被修复的单元通常具有大约 1.3V 到 2.5V 的阈值电压。

为了利用方法 2 修复过擦除单元 202，把 12V 20msec 脉冲传输到 WL1．与单元 202 相关的位线 BL1 接地，悬浮源线 SL．与单元 202 不相关的位线 BL2 和字线 WL2 接地。

按照方法 1，使用过擦除检测方法，紧接着再检测该单元，如果该单元没充分地修复，要重复复原技术。

图 10A 和图 10B 以更概括的形式表示方法 1 和方法 2．在这些图中，利用该方法同时修复一个以上的单元。图 10A 表示按照本发明的方法 1．在步骤 1002，悬浮所有的源．然后在步骤 1004，使选择列接地。在步骤 1006，设定所有字线或选择的字线到某一电位，最好是 12V，保持 20msec 或更长。字线设定到此电位的所有地方，在选择列中的所有单元都受这个低电平与操作的影响。设定选择字线到这样的电位的地方，这些选择的列和行中的各单元被修复。

图 10B 表示复原方法 2．在步骤 1010，悬浮这些单元的漏，在步骤 1012，使所有源接地．然后，在步骤 104，把全部字线或被选择的字线升高到某一电位，最好是 12V，维持 20msec 或更长。

工艺过程

本发明的单元采用 CMOS 工艺。由具有 1－0－0 晶向的 P－型

材料形成衬底 10，其电阻率为 17 － 33Ω · cm。图 2A － 图 2C 中，用标记 10 表示 P － 衬底. 在 150KeV、密度为 $5 \times 10^{12}/cm^2$ 时，把磷 31 植入到 N^- 阱中。利用湿氧氧化法，时间为 45 分，温度为 950 ℃，向阱中进行离子注入，接着在 1150 ℃通入氮气。

以后形成栅氧化层，厚度最好为 80 Å．然后限定场区，在能量为 50KeV，剂量为 $4 \times 10^{13}/cm^2$ 时，向场区注入 BF_2.

在 1000 ℃下通 O_2 40 分钟，然后在 920 ℃通 N_2 85 分钟，形成场氧化层。跟着在 1000 ℃通 H_2/O_2 6 小时 40 分钟，获得 12000 Å 的厚度。这样就确定了单元面积，然后，用 50KeV 能量，$6 \times 10^{13}/cm^2$ 剂量注入硼 11。上述的制造工艺是常规工艺。

下一步骤，在栅绝缘层 18 上淀积浮栅 24．这包括当沉积多晶硅作为浮栅时，多晶硅的当场掺杂。为此，利用化学汽相淀积方法，混合 SiH_4 和 PH_3 形成 Si（掺磷）．由于当场进行多晶硅材料的掺杂，可以避免另加高温的制造步骤。为了将多晶硅的晶粒尺寸减到最小，这是重要的．已经发现，用较小晶粒尺寸的多晶硅，可获得较平滑的多晶硅表面，这样使坚固的较薄氧化层能生长在多晶硅的表面上。

为了达到最佳耐久性，利用标准高温氧化淀积工艺，形成 200 Å 有效厚度的 ONO 层是优选的多晶层间绝缘层。但是，如果在选择擦除期间不用负栅电压，则可以不必沉积 HTO．首先，在 5 % O_2 和 95 % N_2 气氛中，在 950 ℃，氧化 8 分钟，在浮栅上形成氧化层。以 30 Å /min 速率淀积氮化物 4 分钟，然后以 4 － 5 Å /min 速率进行 HTO 沉积 15 分钟。

一种替代的形成层间多层 ONO 方法，其包括，在 5 % O_2 和 95 % N_2 气氛中，在 950 ℃，时间为 12 分，在浮栅上形成氧化层。然后淀积 120 Å 的氮化物。最后，在 940 ℃进行湿氧氧化，时间为 1 到 3 小时。

此后，诸如读出晶体管，地址晶体管等外围部件由常规方法装配上。控制栅 28 最好由多晶硅形成，并且用常规方法掺杂。

下面叙述植入源区 14 和漏区 12．公开 4 个可选实施例，两个单元利用 0.8μm 技术，两个单元利用 0.5μm．

按照形成源区和漏区的优选方法，在利用 0.8μm 技术的单元中，用 80KV 能量，$5 \times 10^{15}/cm^{-2}$ 剂量，把砷注入到源区 14．优选的漏区是双扩散区，其形成方法是：首先，用 150KeV 能量，$1.0 \times 10^{14}/cm^2$ 剂

量，注入磷。接着进行漏区退火，在氮气 N_2 中，温度为 900 ℃，时间 60 分，然后在氧气 O_2 中、温度为 900 ℃，时间为 20 分，以便产生扩散作用。接着，用 80KeV 能量，把 $5.0 \times 10^{15}/cm^2$ 剂量的砷注入到漏区。

用 0.8μm 技术形成源区和漏区的另一种替代的方法是一种简化的方法，所用掩模较少，但是，耐久性比优选方法差。在这种替代方法中，用 80KeV 能量和 $5.0 \times 10^{15}/cm^2$ 剂量把砷注入源区，以便形成如图 2A 所示单独扩散源区。用 $5.0 \times 10^{15}/cm^2$ 剂量和 80KeV 能量，把砷注入到漏区。

在利用 0.5μm 技术，形成单元中源区和漏区的优选方法中，由 N^+ 材料的浅区 40B 和 P 型材料的小区 42B 形成源区，如图 2C 所示，这有助于减少穿通现象。利用 80KeV 能量把 $1.5 \times 10^{15}/cm^{-2}$ 剂量的砷注入源区。把剂量 $5 \times 10^{13}/cm^2$ 的硼 11，以 45°角度注入，形成 P 型小区。漏区是双扩散区，首先，以剂量 $1.0 \times 10^{14}/cm^2$，能量为 150KeV 的条件注入磷 31，在 900 ℃，N_2 氮气中退火 45 分钟，在 O_2 氧气中退火 20 分，接着以 $5 \times 10^{15}/cm^2$ 剂量，80KeV 能量注入砷。

另一种替代方法，用于注入 0.5μm 技术的单元中的源区和漏区，该单元利用具有 P 型小区的源区，小区是利用上文所述的方法形成的。利用 $5.0 \times 10^{15}/cm^2$ 剂量和 80KeV 能量把砷注入漏区。这种替换实施例的制造方法比优选实施例简单，但是其耐久性比优选实施例差。

下表是表示利用本发明单元可能达到的效果。在检测单元时，进行了闪速编程，选择擦除，过擦除复原的操作实验。每次操作都要测量阈值电压。应当注意，检测的单元比本发明的优选的单元的沟道掺杂量少，这样对于本发明来说，检测单元比优选的 Vt（大约 4.5 伏）有一个较低的初始阈值电压（Vt）。于是，加于控制栅的电压（V_{CG}）高于具有优选沟道掺杂的器件所需的电压。而且，检测器件具有 200 Å 的隧道氧化层，而本发明器件却有大约 80 Å 的优选隧道氧化层。

试验期间，利用 10 毫秒脉冲进行闪速编程，选择擦除，过擦除复原操作。

表 F

单元号	Vt1	闪速编程 V_{CG}=20V	选择擦除 V_{CG} = 0V V_D = 5V	过擦除复原 V_{CG} = 1.5V
1	1.42	5.54	1.66	2.58

2	1.26	4.86	1.44	1.84
3	1.24	5.04	1.26	1.52
4	1.32	5.7	1.28	1.52
5	1.36	5.46	1.62	1.92
6	1.32	4.84	2.06	2.12
7	1.40	4.86	2.04	2.08
8	1.30	5.42	1.62	1.90
9	1.30	5.40	1.54	1.82
10	1.38	5.72	1.82	1.82

这里使用的术语和表达式仅被用作说明书的术语，而不受限制，不打算使用排除上述等效特征的术语和表达式或它的部分，应当认为，在本发明权利要求的范围内，进行各种修改是可能的。

说 明 书 附 图

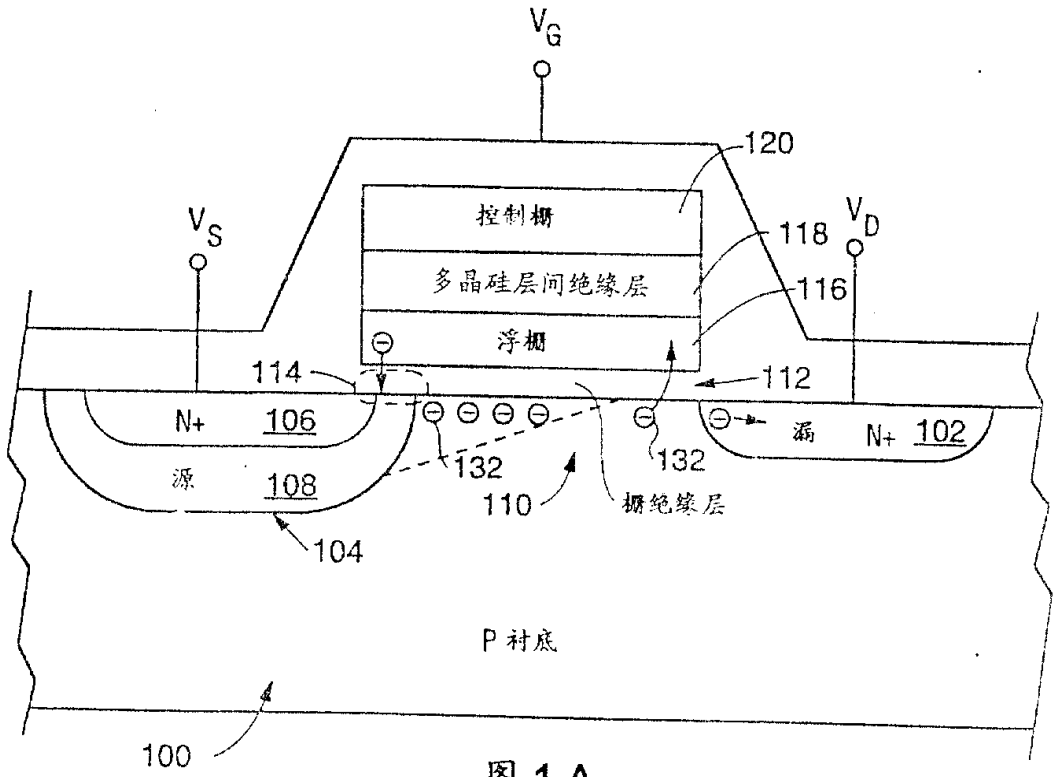


图 1 A

（现有技术）

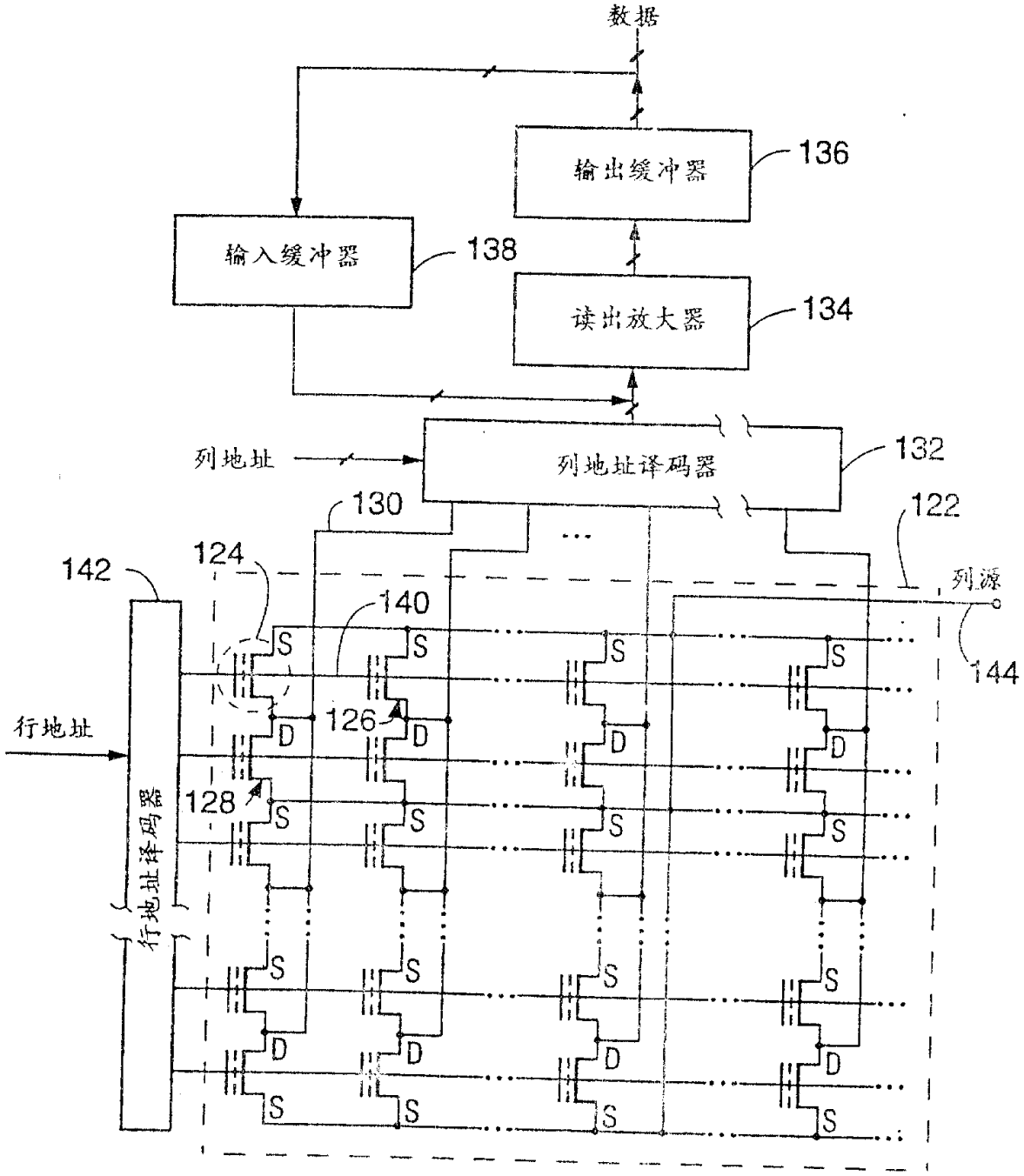

数据
输出缓冲器
136
输入缓冲器
138
读出放大器
134
列地址
列地址译码器
132
130
122
142
124
140
列源
144
行地址
126
128
行地址译码器
S
D

图 1 B

（现有技术）

图 2 A

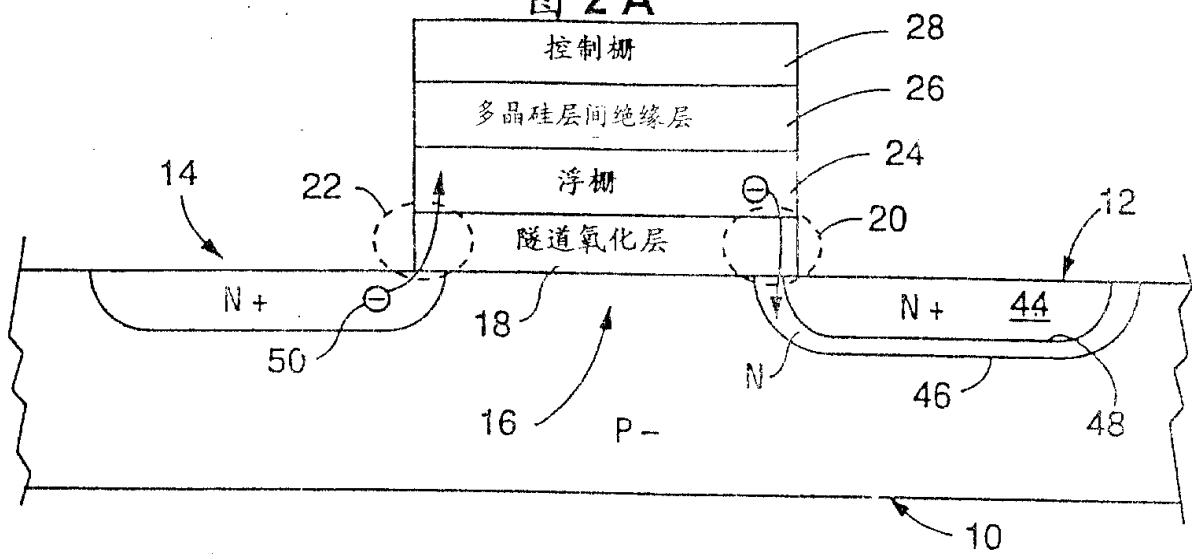

控制栅
多晶硅层间绝缘层
浮栅
隧道氧化层
28
26
24
20
14
22
12
N+
44
18
50
16
P-
N
46
48
10

图 2 B

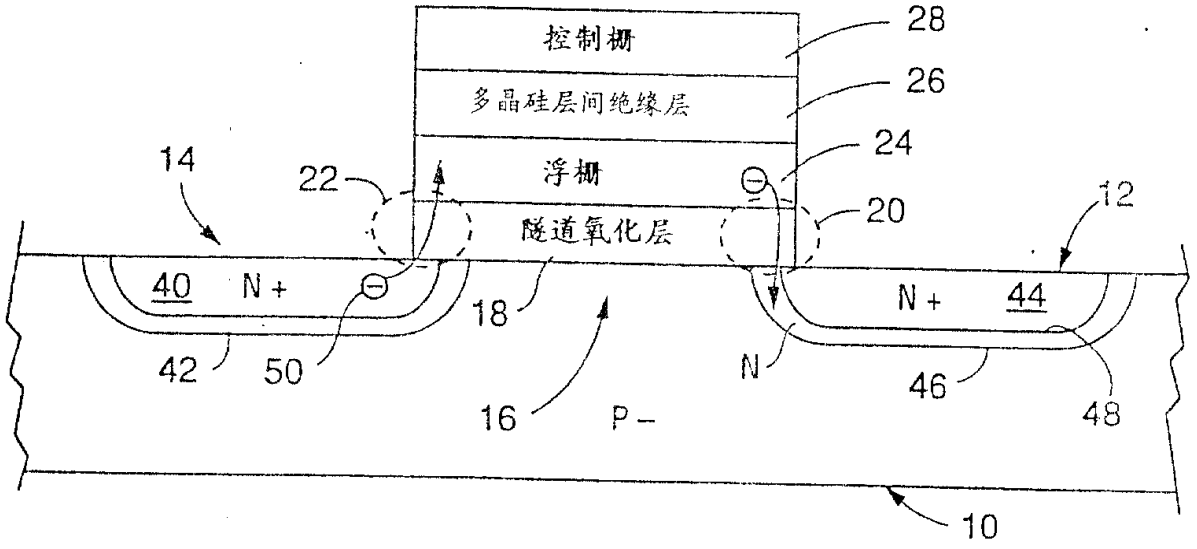
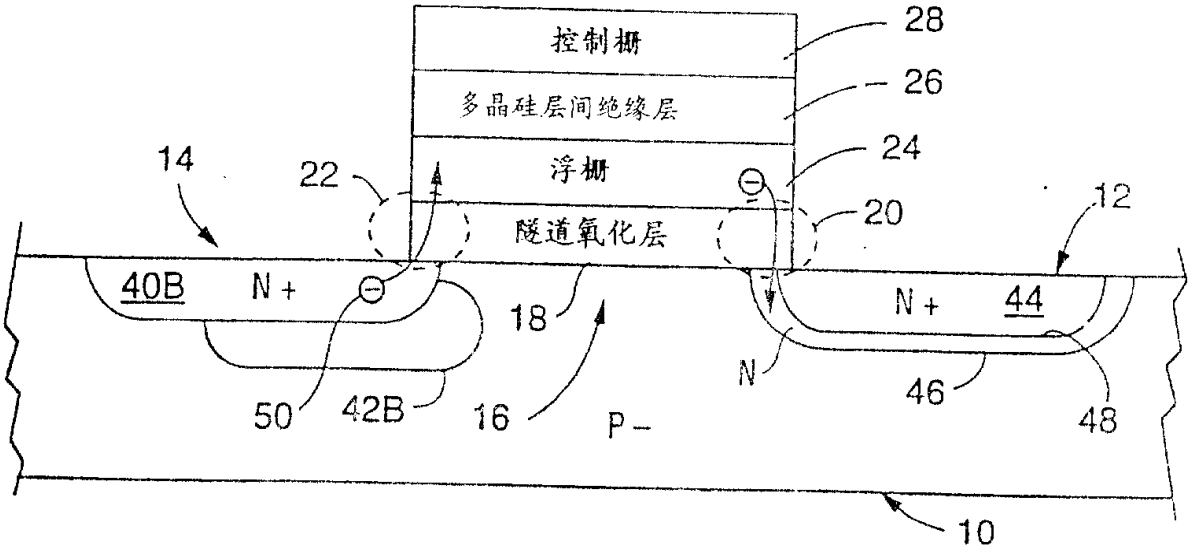

控制栅
多晶硅层间绝缘层
浮栅
隧道氧化层
28
26
24
20
14
22
12
40
N+
44
18
42
50
16
P-
N
46
48
10

图 2 C


控制栅
多晶硅层间绝缘层
浮栅
隧道氧化层
28
26
24
20
14
22
12
40B
N+
44
18
50
42B
16
P-
N
46
48
10

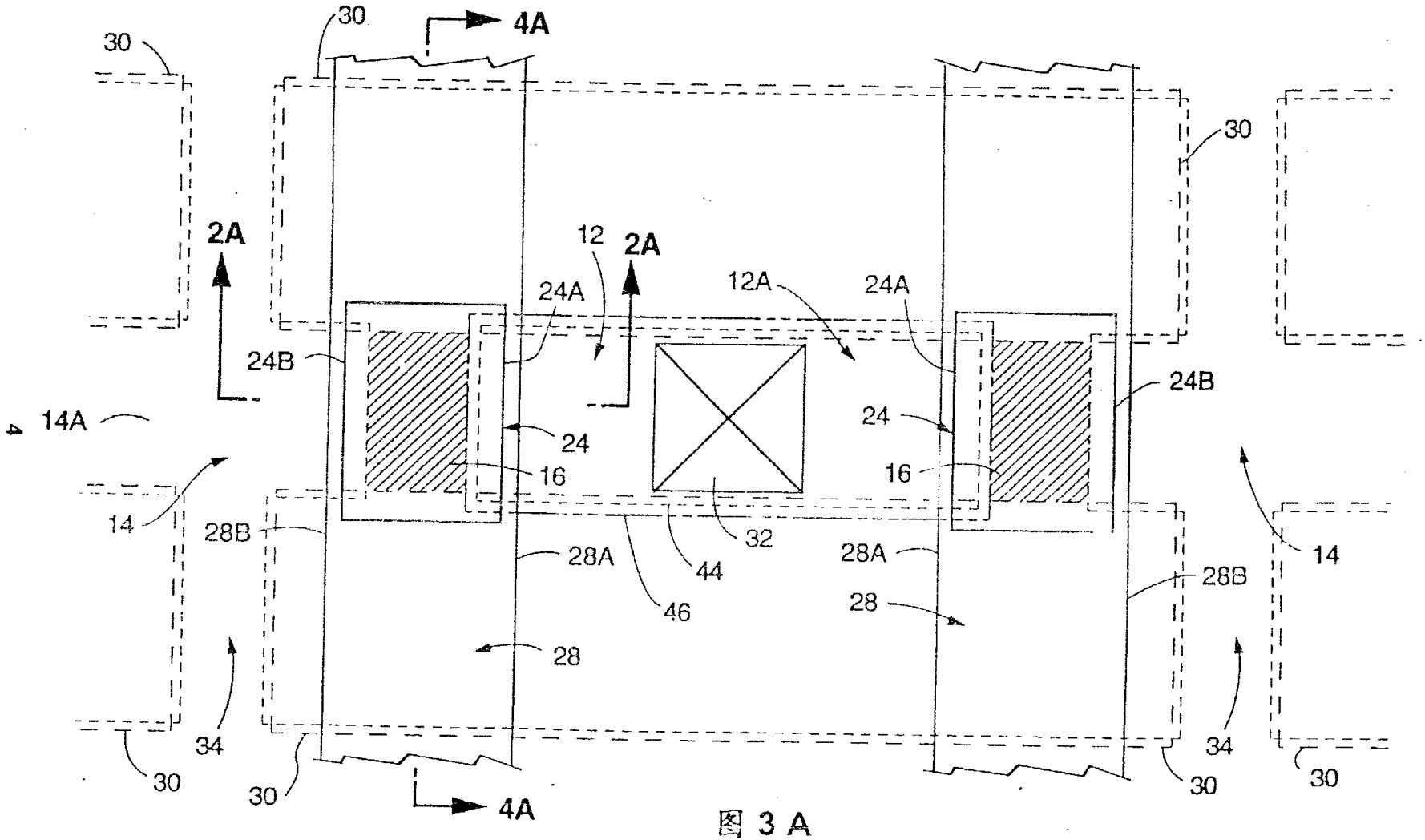

30
4A
30
30
2A
12
2A
24A
12A
24A
24B
24B
14A
24
24
16
16
14
28B
28A
44
32
28A
28B
14
46
28
28
34
34
30
30
30
30
4A

图 3 A

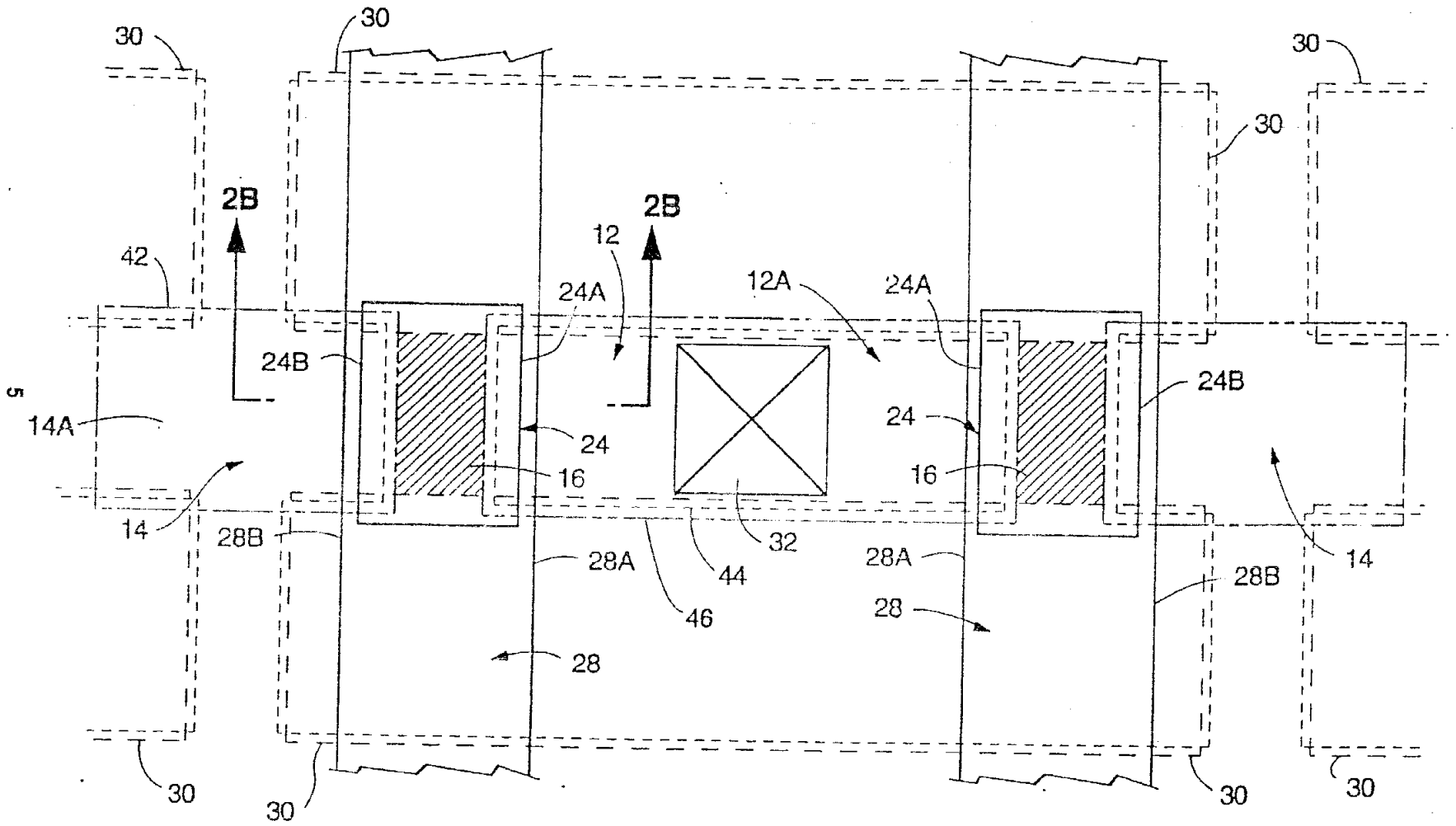

30
30
30
30
2B
2B
42
12
24A
12A
24A
24B
24B
14A
24
24
16
16
14
14
28B
28A
28A
28B
44
32
46
28
28
30
30
30
30

图 3 B

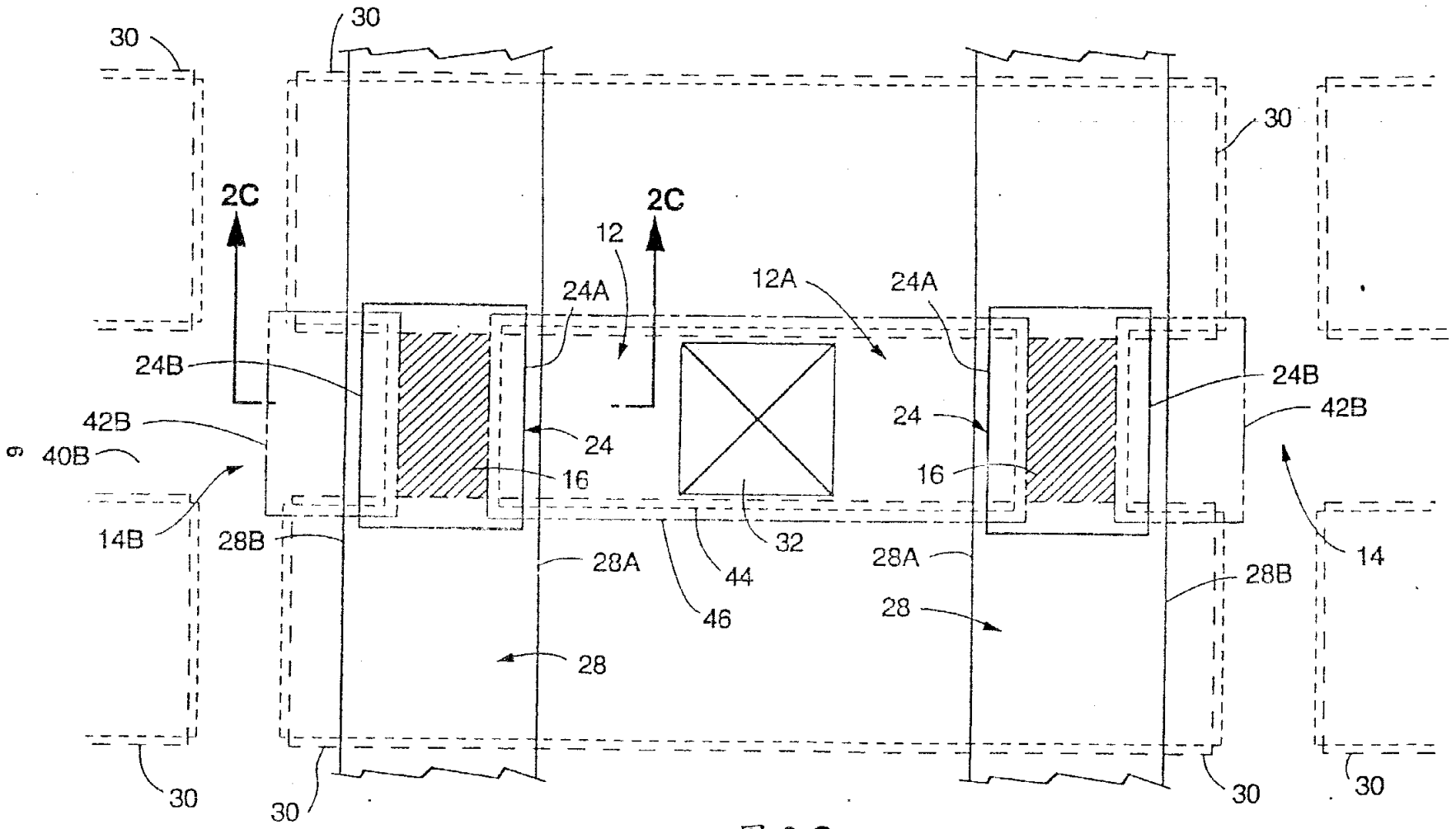

30
30
30
2C
2C
12
12A
24A
24A
24B
24B
42B
42B
40B
24
24
16
16
14B
14
28B
28A
28A
28B
28
28
44
46
32
30
30
30
30

图 3 C

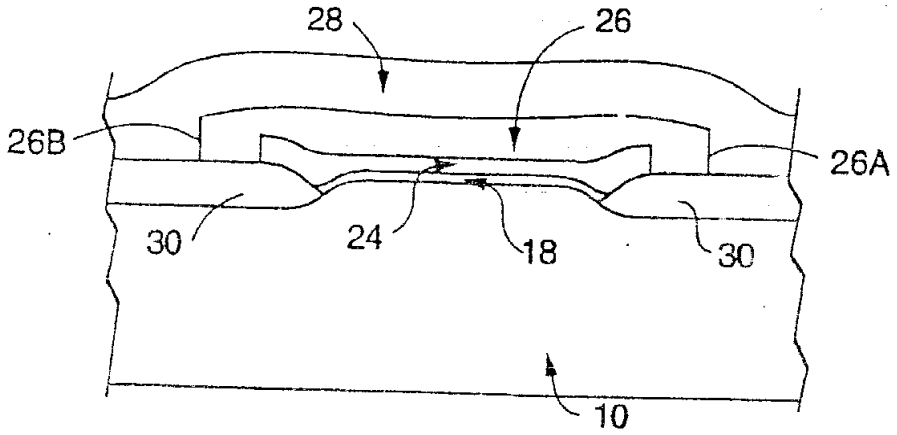

28
26
26B
26A
30
24
18
30
10

图 4 A

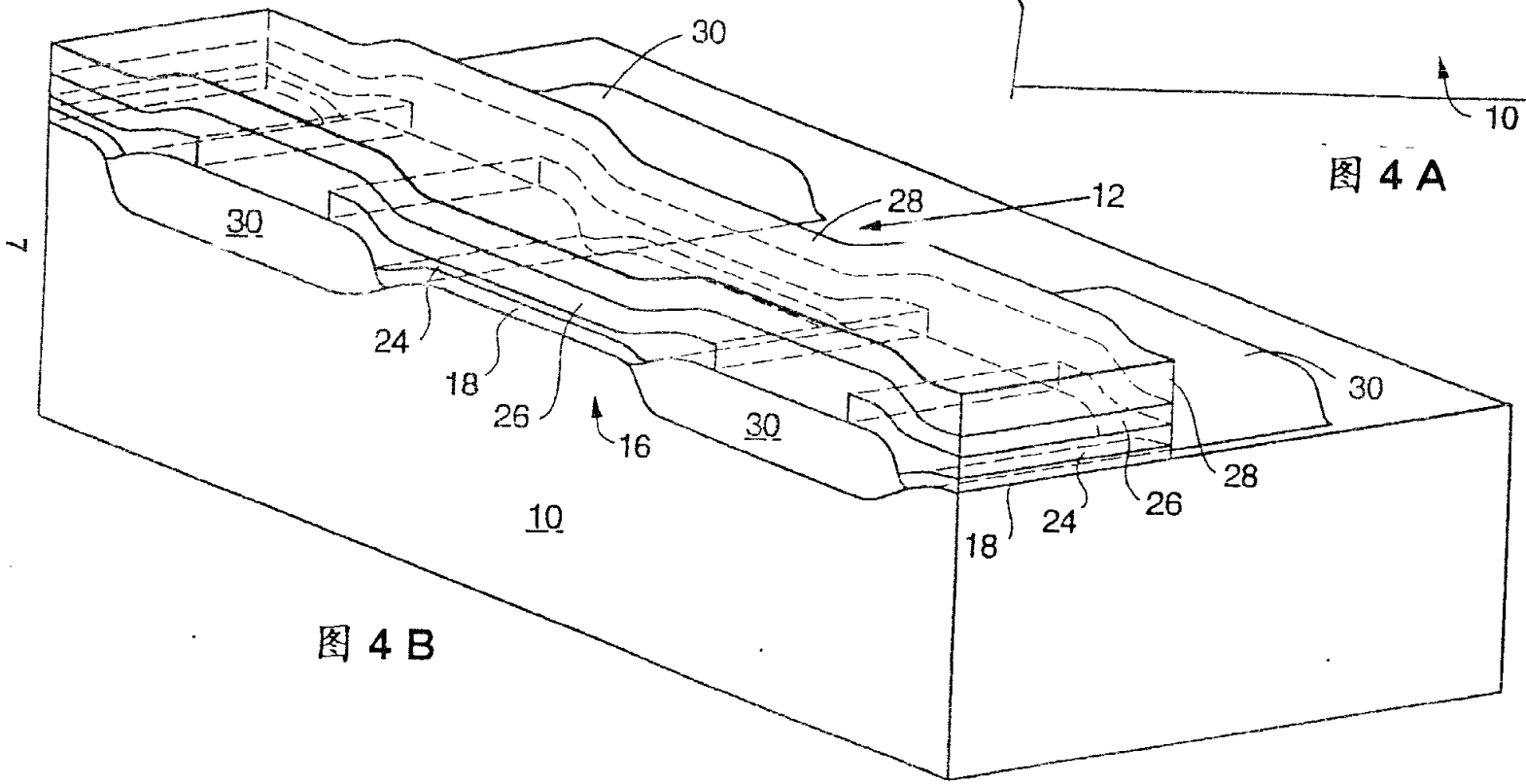

30
28
12
30
24
18
26
16
30
10
18
24
26
28
30

图 4 B

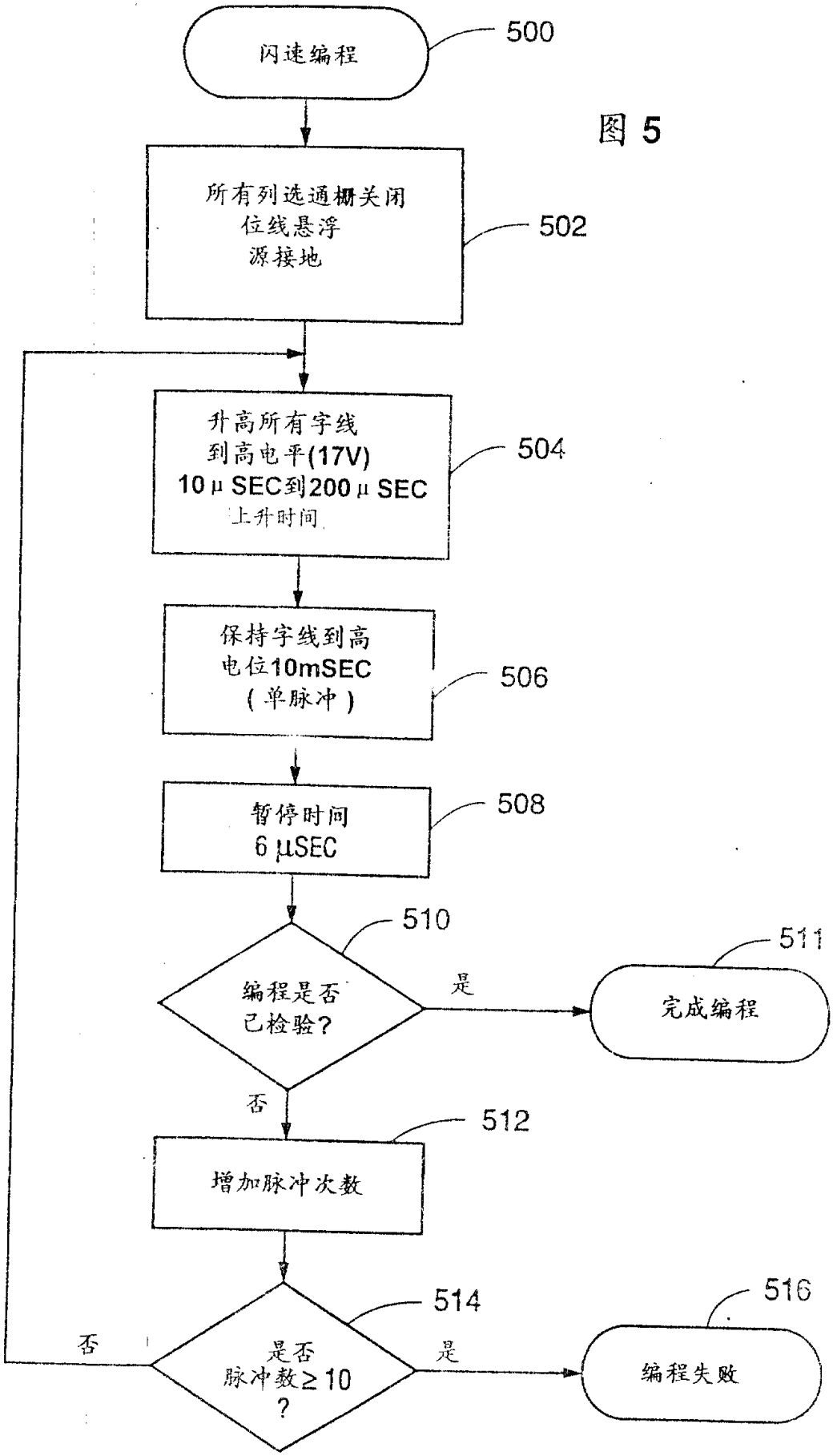

闪速编程
500
所有列选通栅关闭
位线悬浮
源接地
502
升高所有字线
到高电平(17V)
10μSEC到200μSEC
上升时间
504
保持字线到高
电位10mSEC
(单脉冲)
506
暂停时间
6μSEC
508
编程是否
已检验?
510
是
511
完成编程
否
增加脉冲次数
512
是否
脉冲数≥10
?
514
否
是
编程失败
516

图 5

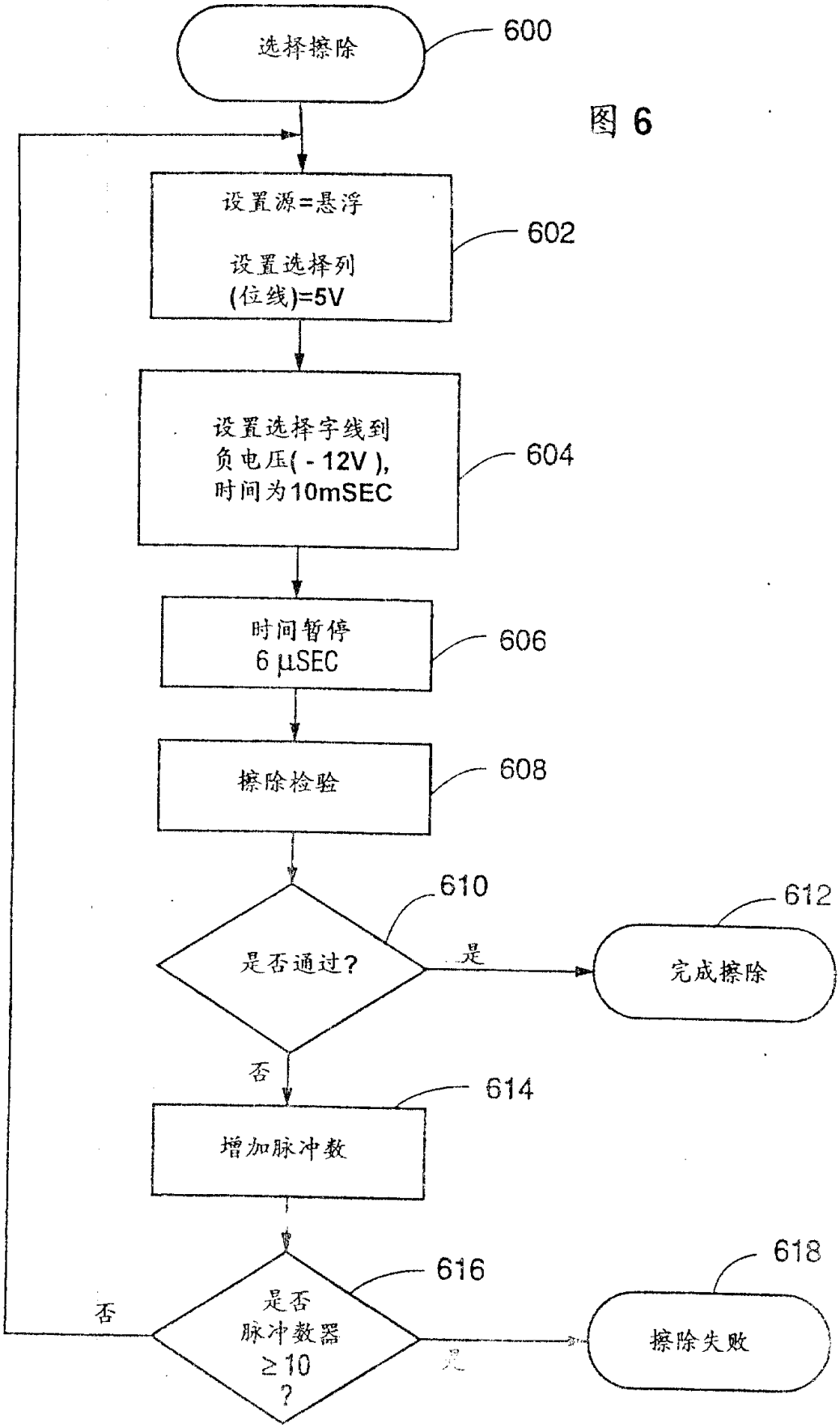
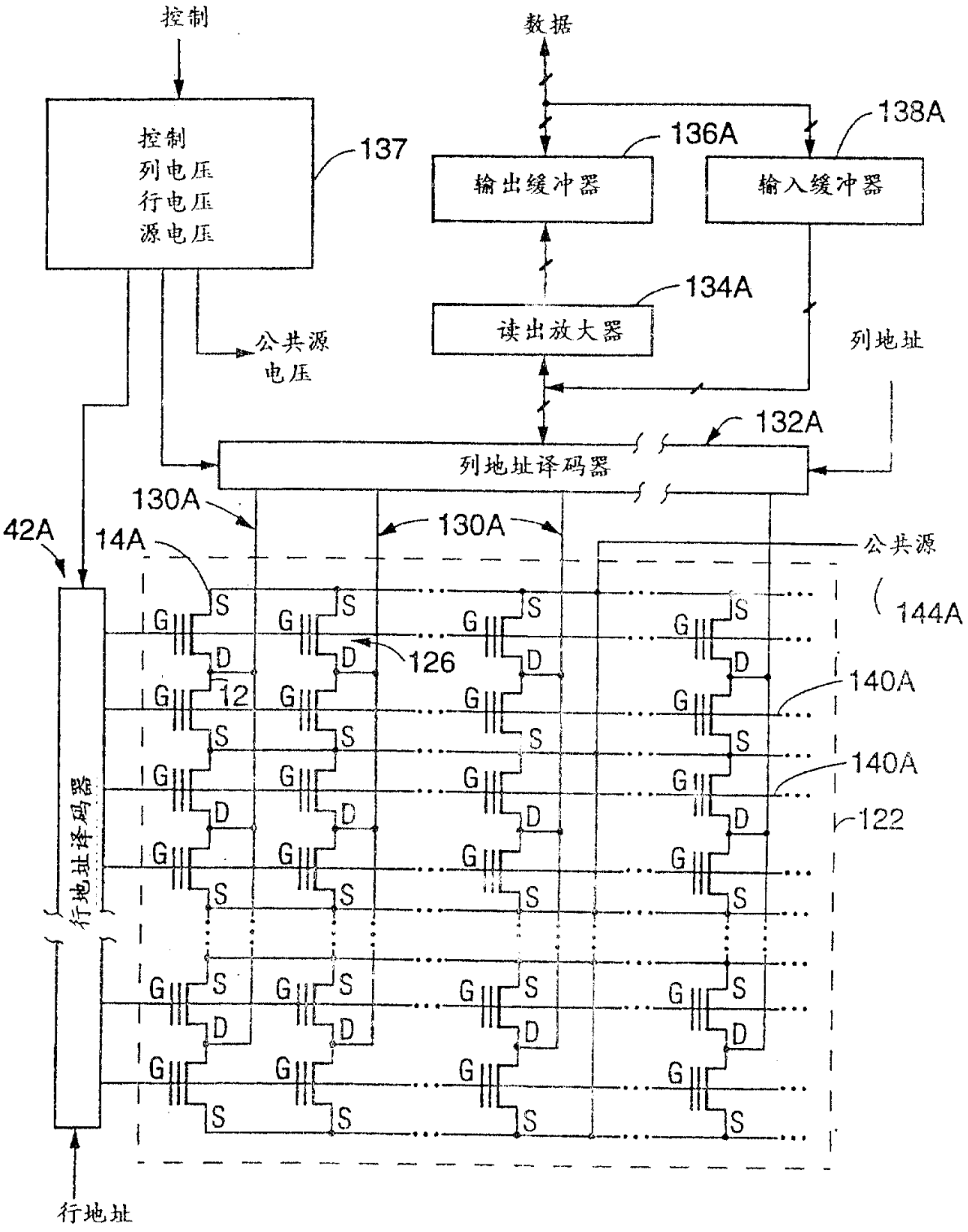

选择擦除
600
设置源=悬浮
设置选择列
(位线)=5V
602
设置选择字线到
负电压(- 12V),
时间为10mSEC
604
时间暂停
6 μSEC
606
擦除检验
608
是否通过?
610
是
完成擦除
612
否
增加脉冲数
614
是否
脉冲数器
≥10
?
616
否
是
擦除失败
618

图 6

图 7


控制
数据
控制
列电压
行电压
源电压
137
输出缓冲器
136A
输入缓冲器
138A
读出放大器
134A
公共源
电压
列地址
列地址译码器
132A
130A
130A
42A
14A
公共源
144A
126
140A
140A
122
行地址译码器
行地址

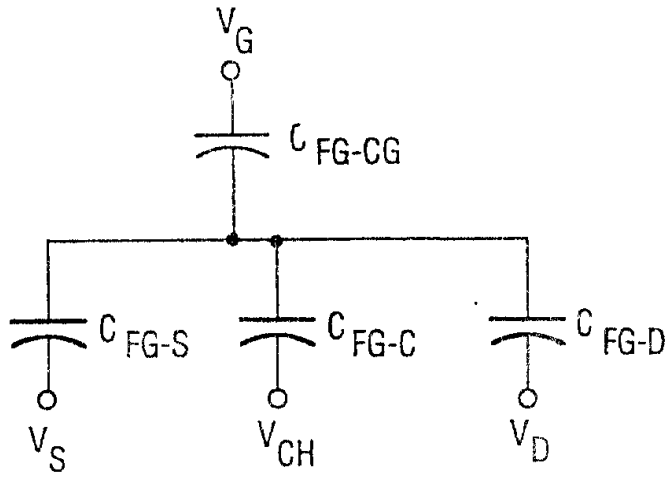

V_G
C_{FG-CG}
C_{FG-S}
C_{FG-C}
C_{FG-D}
V_S
V_{CH}
V_D

图 8

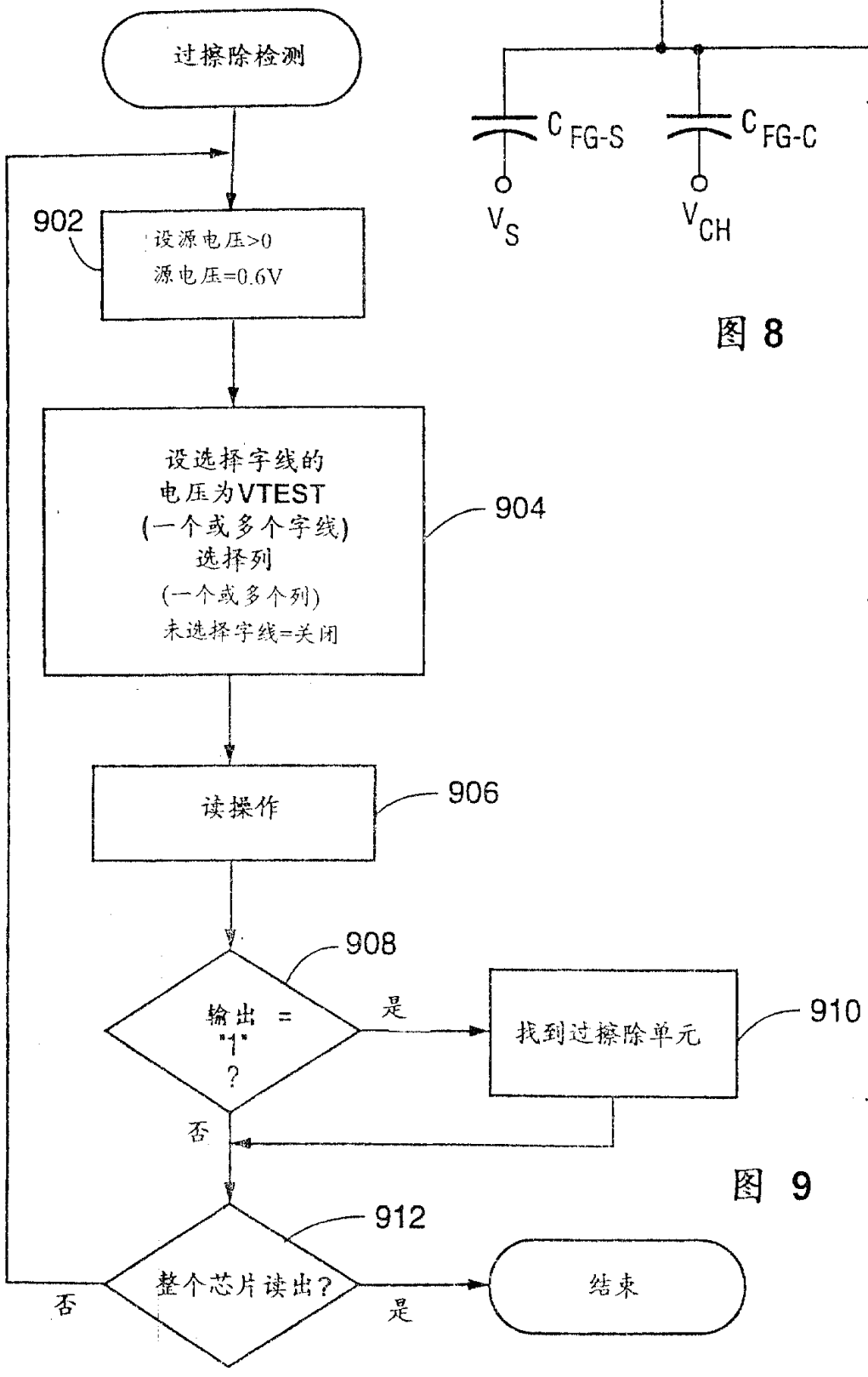

过擦除检测
902
设源电压>0
源电压=0.6V
设选择字线的
电压为VTEST
(一个或多个字线)
选择列
(一个或多个列)
未选择字线=关闭
904
读操作
906
908
输出 =
"1"
?
是
找到过擦除单元
910
否
912
整个芯片读出?
否
是
结束

图 9

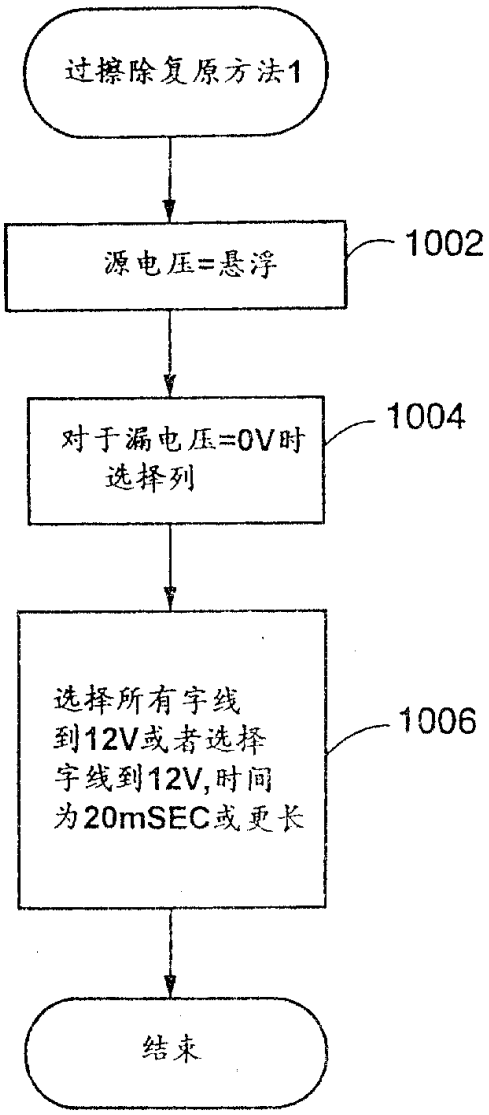

过擦除复原方法1
源电压=悬浮
1002
对于漏电压=0V时
选择列
1004
选择所有字线
到12V或者选择
字线到12V,时间
为20mSEC或更长
1006
结束

图 10 A

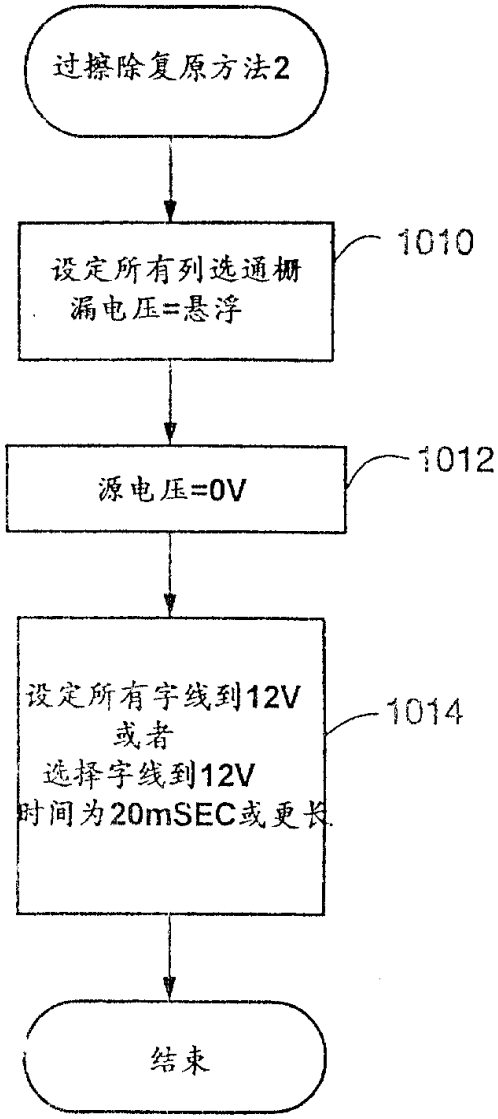

过擦除复原方法2
设定所有列选通栅
漏电压=悬浮
1010
源电压=0V
1012
设定所有字线到12V
或者
选择字线到12V
时间为20mSEC或更长
1014
结束

图 10 B

图 11

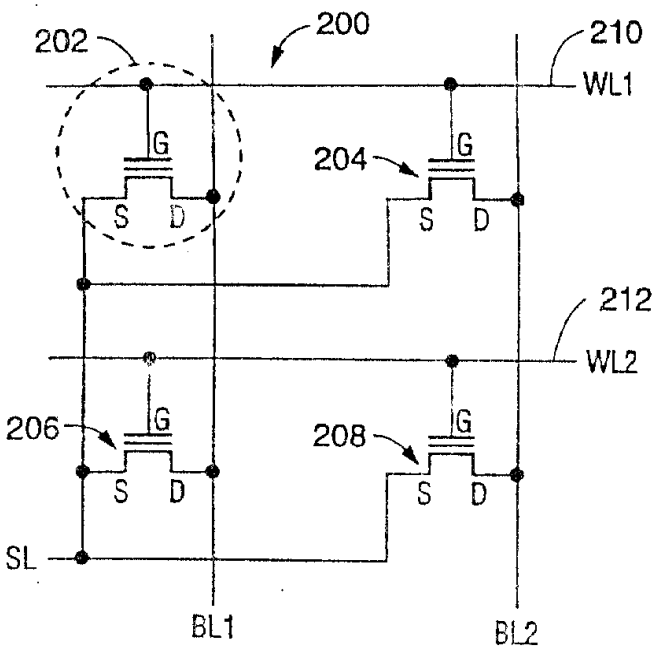
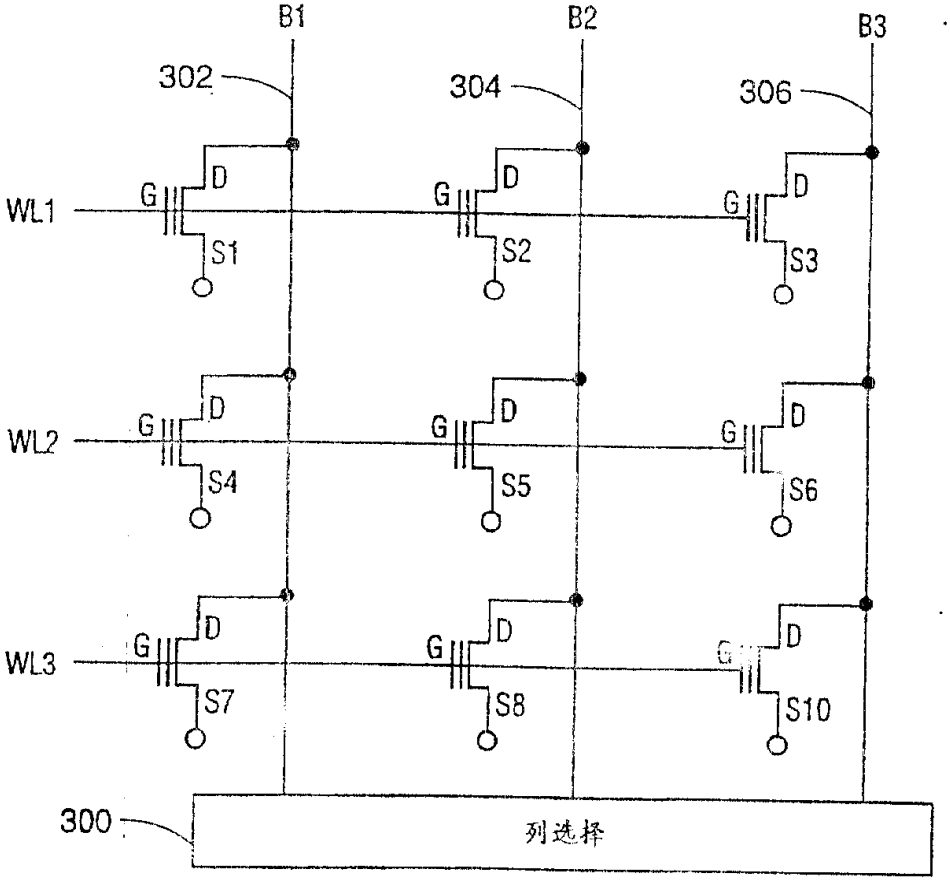

202
200
210
WL1
G
S
D
204
212
WL2
206
208
SL
BL1
BL2

图 12


B1
B2
B3
302
304
306
WL1
WL2
WL3
G
D
S1
S2
S3
S4
S5
S6
S7
S8
S10
300
列选择

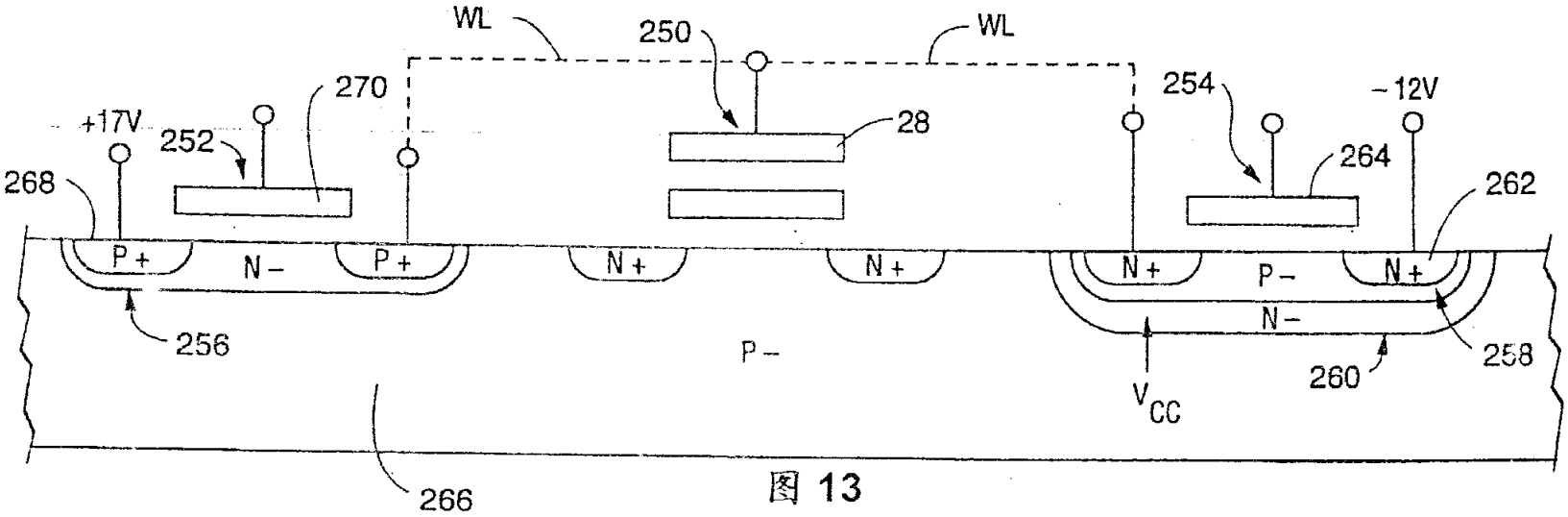

WL
250
WL
270
+17V
252
28
254
-12V
264
268
262
P+
N-
P+
N+
N+
N+
P-
N+
N-
256
P-
258
260
V_{CC}
266

图 13

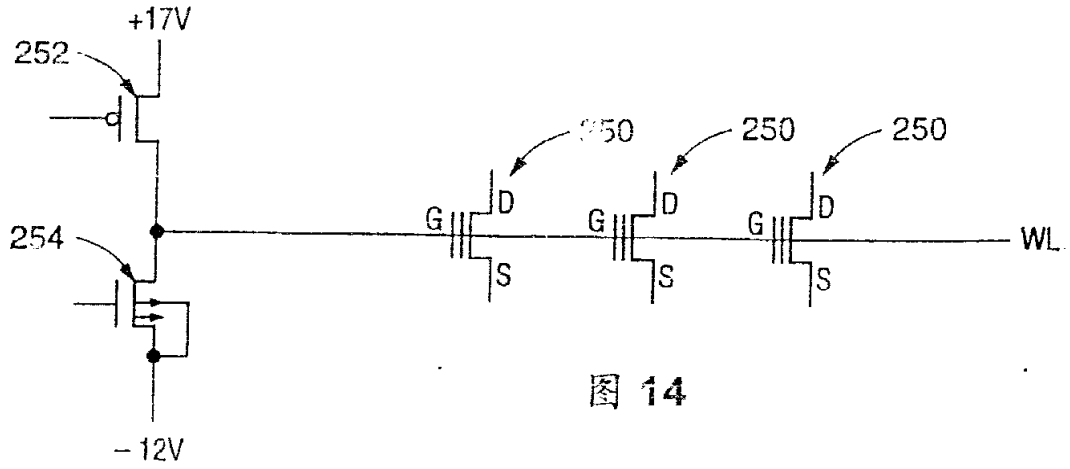

+17V
252
250
250
250
D
D
D
G
G
G
254
WL
S
S
S
-12V

图 14