

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-528794

(P2024-528794A)

(43)公表日 令和6年8月1日(2024.8.1)

(51)国際特許分類 F I
 H 0 1 L 25/04 (2023.01) H 0 1 L 25/04 Z
 H 0 1 L 23/12 (2006.01) H 0 1 L 23/12 F

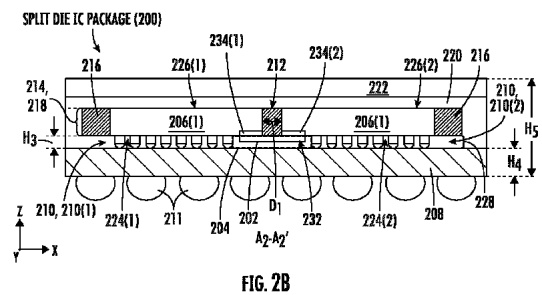
審査請求 未請求 予備審査請求 未請求 (全37頁)

(21)出願番号	特願2023-579583(P2023-579583)	(71)出願人	507364838
(86)(22)出願日	令和4年6月17日(2022.6.17)		クアルコム, インコーポレイテッド
(85)翻訳文提出日	令和5年12月25日(2023.12.25)		アメリカ合衆国 カリフォルニア 9 2 1
(86)国際出願番号	PCT/US2022/073006		2 1 サン ディエゴ モアハウス ドライ
(87)国際公開番号	WO2023/009919		ブ 5 7 7 5
(87)国際公開日	令和5年2月2日(2023.2.2)	(74)代理人	100108453
(31)優先権主張番号	17/443,740		弁理士 村山 靖彦
(32)優先日	令和3年7月27日(2021.7.27)	(74)代理人	100163522
(33)優先権主張国・地域又は機関	米国(US)		弁理士 黒田 晋平
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く	(72)発明者	アニケット・パティル
			アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5
		(72)発明者	ブリガム・ナヴァジャ
			アメリカ合衆国・カリフォルニア・9 2 最終頁に続く

(54)【発明の名称】 ダイ - 基板スタンドオフキャピティ内のダイツーダイ (D 2 D) 接続を採用した分割ダイ集積回路 (I C) パッケージおよび関連する製造方法

(57)【要約】

D 2 D 接続を提供するためにダイ - 基板スタンドオフキャピティ (すなわちキャピティ) 内の D 2 D 相互接続構造を採用した分割ダイ IC パッケージ、および関連する製造方法。分割ダイ IC パッケージ内の複数のダイ間の D 2 D 通信を容易にするために、パッケージ基板はまた、複数のダイ間の D 2 D 信号ルーティングを提供するために複数のダイに結合された D 2 D 相互接続部 (例えば金属相互接続部) を含む D 2 D 相互接続構造 (例えば相互接続ブリッジ) も含む。D 2 D 相互接続構造は、ダイ相互接続部がダイとパッケージ基板との間に配置され、ダイがパッケージ基板から離れている結果として、ダイとパッケージ基板との間のダイスタンドオフ領域に形成されるキャピティ内に配置される。D 2 D 相互接続構造は、他の相互接続のためにパッケージ基板内により多くの領域を確保するために、パッケージ基板の外側に IC パッケージにおけるキャピティ内に設けることができる。



【特許請求の範囲】**【請求項 1】**

集積回路（IC）パッケージであって、
パッケージ基板と、
第 1 のダイと、
第 2 のダイと、

前記パッケージ基板および前記第 1 のダイに結合されており、前記第 1 のダイと前記パッケージ基板との間にダイスタンドオフ領域を形成する第 1 の複数のダイ相互接続部と、
前記ダイスタンドオフ領域に配置されており、前記パッケージ基板と前記第 2 のダイとに結合された第 2 の複数のダイ相互接続部と、

前記第 1 の複数のダイ相互接続部と前記第 2 の複数のダイ相互接続部との間の前記ダイスタンドオフ領域内に形成されたキャビティと、

前記キャビティ内に配置されたダイツェダイ（D2D）相互接続構造であって、前記第 1 のダイおよび前記第 2 のダイに結合された複数の D2D 相互接続部を含む、D2D 相互接続構造と、

を備える、IC パッケージ。

【請求項 2】

前記複数の D2D 相互接続部は、前記パッケージ基板に結合されていない、請求項 1 に記載の IC パッケージ。

【請求項 3】

前記第 2 のダイは、水平方向において前記第 1 のダイに水平に隣接しており、

前記第 1 のダイの第 1 のアクティブ面は、前記水平方向に直交する垂直方向において前記パッケージ基板に隣接して配置されており、

前記第 2 のダイの第 2 アクティブ面は、前記垂直方向において前記パッケージ基板に隣接して配置されている、

請求項 1 に記載の IC パッケージ。

【請求項 4】

前記垂直方向における前記 D2D 相互接続構造の高さは、前記垂直方向における前記キャビティの高さよりも小さい、請求項 3 に記載の IC パッケージ。

【請求項 5】

前記第 2 のダイは、前記第 1 のダイと前記第 2 のダイとの間に水平ダイ分離領域を形成する離間距離を有する前記第 1 のダイに水平に隣接しており、

前記キャビティは、前記垂直方向において部分的に前記水平ダイ分離領域に隣接して配置されている、

請求項 3 に記載の IC パッケージ。

【請求項 6】

前記垂直方向における前記第 1 の複数のダイ相互接続部および前記第 2 の複数のダイ相互接続部の高さが、前記垂直方向における前記キャビティの高さを画定する、請求項 3 に記載の IC パッケージ。

【請求項 7】

前記 D2D 相互接続構造は、前記第 1 のダイおよび前記第 2 のダイに結合された少なくとも 1 つの金属相互接続部を含む再配線層（RDL）を備える、請求項 1 に記載の IC パッケージ。

【請求項 8】

前記 RDL は、2/2 以下のラインスペース（L/S）比を有する複数の金属相互接続部を備える、請求項 7 に記載の IC パッケージ。

【請求項 9】

前記第 1 の複数のダイ相互接続部および前記第 2 の複数のダイ相互接続部の高さは、30 ~ 40 マイクロメートル（ μm ）であり、

前記 RDL の高さは、7 μm 以下であり、

10

20

30

40

50

前記 RDL は、2 / 2 以下のラインスペース (L / S) 比を有する複数の金属相互接続部を備える、

請求項 7 に記載の IC パッケージ。

【請求項 10】

前記第 1 のダイは、第 1 のアクティブ面および第 1 の裏面を備えており、

前記第 2 のダイは、第 2 のアクティブ面および第 2 の裏面を備えており、

前記第 1 の複数のダイ相互接続部は、前記第 1 のダイの前記第 1 のアクティブ面を前記パッケージ基板に結合しており、

前記第 2 の複数のダイ相互接続部は、前記第 2 のダイの前記第 2 のアクティブ面を前記パッケージ基板に結合している、

請求項 1 に記載の IC パッケージ。

10

【請求項 11】

再構成ダイモジュールをさらに備えており、前記再構成ダイモジュールが、

前記パッケージ基板に隣接するアクティブ面と、

前記アクティブ面における第 1 のアクティブ面と、第 1 の裏面とを含む前記第 1 のダイと、

前記アクティブ面における第 2 のアクティブ面と、第 2 の裏面とを含む前記第 2 のダイと、

前記第 1 のダイの前記第 1 の裏面および前記第 2 のダイの前記第 2 の裏面に隣接して配置されたモールドコンパウンドと、

を備える、

請求項 1 に記載の IC パッケージ。

20

【請求項 12】

前記第 2 のダイは、前記第 1 のダイと前記第 2 のダイとの間に水平ダイ分離領域を形成する離間距離において前記第 1 のダイに水平に隣接しており、

前記第 1 のダイは、前記水平ダイ分離領域に水平に隣接する第 1 の D 2 D インターフェイス回路を備え、

前記第 2 のダイは、前記水平ダイ分離領域に水平に隣接する第 2 の D 2 D インターフェイス回路を備え、

前記第 1 の D 2 D インターフェイス回路は、前記 D 2 D 相互接続構造に結合されており

30

、前記第 2 の D 2 D インターフェイス回路は、前記 D 2 D 相互接続構造に結合されており、

前記 D 2 D 相互接続構造は、前記第 1 の D 2 D インターフェイス回路を前記第 2 の D 2 D インターフェイス回路に結合している、

請求項 1 に記載の IC パッケージ。

【請求項 13】

前記 D 2 D 相互接続構造は、各々が 1 つ以上の金属相互接続部を含む 1 つ以上のメタライゼーション層を備えており、

前記第 1 のダイは、前記 D 2 D 相互接続構造の前記 1 つ以上のメタライゼーション層内の 1 つ以上の金属相互接続部に結合されており、

前記第 2 のダイは、前記 D 2 D 相互接続構造の前記 1 つ以上のメタライゼーション層内の 1 つ以上の金属相互接続部に結合されている、

請求項 12 に記載の IC パッケージ。

40

【請求項 14】

前記 1 つ以上のメタライゼーション層は、各々が 1 つ以上の金属相互接続部を含む 1 つ以上の再配線層 (RDL) を備えており、

前記第 1 のダイは、前記 D 2 D 相互接続構造の前記 1 つ以上の RDL 内の 1 つ以上の金属相互接続部に結合されており、

前記第 2 のダイは、前記 D 2 D 相互接続構造の前記 1 つ以上の RDL 内の 1 つ以上の金

50

属相互接続部に結合されている、

請求項 13 に記載の IC パッケージ。

【請求項 15】

前記第 2 のダイは、水平方向において前記第 1 のダイに水平に隣接しており、

前記第 1 の D2D インターフェイス回路は、前記水平方向に直交する垂直方向において前記キャビティの上方に配置されており、

前記第 2 の D2D インターフェイス回路は、前記垂直方向において前記キャビティの上方に配置されている、

請求項 12 に記載の IC パッケージ。

【請求項 16】

前記第 1 の複数のダイ相互接続部は、複数の金属ピラーを含み、

前記第 2 の複数のダイ相互接続部は、複数の金属ピラーを含む、

請求項 1 に記載の IC パッケージ。

【請求項 17】

前記パッケージ基板は、各々が複数の金属相互接続部を含む 1 つ以上のメタライゼーション層を備えており、

前記第 1 の複数のダイ相互接続部は、前記パッケージ基板内の前記複数の金属相互接続部のうちの 1 つ以上の金属相互接続部に結合されており、

前記第 2 の複数のダイ相互接続部は、前記パッケージ基板内の前記複数の金属相互接続部のうちの 1 つ以上の金属相互接続部に結合されている、

請求項 1 に記載の IC パッケージ。

【請求項 18】

IC パッケージであって、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、モバイル位置データユニット、全地球測位システム (GPS) デバイス、携帯電話、セルラーフォン、スマートフォン、セッション開始プロトコル (SIP) 電話、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス、デスクトップコンピュータ、携帯情報端末 (PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、携帯音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (DVD) プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、およびマルチコプター、からなる群から選択されるデバイスに組み込まれる、請求項 1 に記載の IC パッケージ。

【請求項 19】

集積回路 (IC) パッケージを製造する方法であって、

アクティブ面と、前記アクティブ面に隣接する第 1 のアクティブ面を含む第 1 のダイと、前記アクティブ面に隣接する第 2 のアクティブ面を含む第 2 のダイであって、前記第 2 のダイは前記第 1 のダイに水平に隣接する、第 2 のダイと、を備えるダイモジュールを形成することと、

前記ダイモジュールの前記アクティブ面に隣接して、ダイツーダイ (D2D) 相互接続構造であって、前記 D2D 相互接続構造は複数の D2D 相互接続部を含む、D2D 相互接続構造を形成することと、

前記第 1 のダイの前記第 1 のアクティブ面に結合された第 1 の複数のダイ相互接続部を形成することと、

前記第 2 のダイの前記第 2 のアクティブ面に結合された第 2 の複数のダイ相互接続部を形成して、前記第 1 の複数のダイ相互接続部と前記第 2 の複数のダイ相互接続部との間にキャビティであって、前記キャビティ内に前記 D2D 相互接続構造が配置される、キャビティを形成することと、

前記ダイモジュールの前記アクティブ面をパッケージ基板上に配置することであって、

前記第 1 の複数のダイ相互接続部を前記パッケージ基板に結合することと、

10

20

30

40

50

前記第 2 の複数のダイ相互接続部を前記パッケージ基板に結合することと、
を含む、ことと、
を含む、方法。

【請求項 20】

前記複数の D 2 D 相互接続部を前記パッケージ基板に結合しないことをさらに含む、請求項 19 に記載の方法。

【請求項 21】

前記 D 2 D 相互接続構造を形成することは、

前記第 1 のダイ内の第 1 の D 2 D インターフェイス回路を前記 D 2 D 相互接続構造に水平に結合することと、

前記第 2 のダイ内の第 2 の D 2 D インターフェイス回路を前記 D 2 D 相互接続構造に結合して、前記第 2 の D 2 D インターフェイス回路を前記第 1 の D 2 D インターフェイス回路に結合することと、

をさらに含む、請求項 19 に記載の方法。

【請求項 22】

前記ダイモジュールを形成することは、

第 1 の表面を含むキャリアを提供することと、

前記キャリアの前記第 1 の表面上に前記第 1 のダイを配置することと、

前記キャリアの前記第 1 の表面上に、前記第 1 のダイに水平に隣接して前記第 2 のダイを配置することと、

を含む、

請求項 19 に記載の方法。

【請求項 23】

前記ダイモジュールを形成することは、

前記キャリアの前記第 1 の表面に接着フィルムを塗布すること

をさらに含み、

前記キャリアの前記第 1 の表面上に前記第 1 のダイを配置することは、前記第 1 のダイを前記接着フィルム上に配置することを含み、

前記キャリアの前記第 1 の表面上に前記第 2 のダイを配置することは、前記第 2 のダイを前記第 1 のダイに水平に隣接して前記接着フィルム上に配置することを含む、

請求項 22 に記載の方法。

【請求項 24】

前記キャリアの前記第 1 の表面上、ならびに前記第 1 のダイの第 1 の裏面上および前記第 2 のダイの第 2 の裏面上にオーバーモールドコンパウンドを配置することをさらに含む、請求項 22 に記載の方法。

【請求項 25】

前記オーバーモールドコンパウンドの上面を、前記第 1 のダイの前記第 1 の裏面および前記第 2 のダイの前記第 2 の裏面に向かって研削することをさらに含む、請求項 24 に記載の方法。

【請求項 26】

前記ダイモジュールから前記キャリアを除去することと、

前記第 1 のダイの前記第 1 の裏面および前記第 2 のダイの前記第 2 の裏面に隣接して前記ダイモジュールに第 2 のキャリアを取り付けることと、

をさらに含む、

請求項 24 に記載の方法。

【請求項 27】

前記キャビティ内の前記第 1 のダイの前記第 1 のアクティブ面の一部の上および前記第 2 のダイの前記第 2 のアクティブ面の一部の上に前記 D 2 D 相互接続構造を形成することをさらに含む、請求項 26 に記載の方法。

【請求項 28】

10

20

30

40

50

前記 D 2 D 相互接続構造は、前記第 1 のダイと前記第 2 のダイとの間の水平ダイ分離領域に垂直に隣接して配置される、請求項 27 に記載の方法。

【請求項 29】

前記 D 2 D 相互接続構造を形成することは、

前記キャビティ内の前記第 1 のダイの前記第 1 のアクティブ面および前記第 2 のダイの前記第 2 のアクティブ面に、第 1 の再配線層 (RDL) を形成することと、

前記第 1 の RDL 上に 1 つ以上の追加の RDL を形成することと、

を含む、

請求項 27 に記載の方法。

【請求項 30】

前記ダイモジュールから前記第 2 のキャリアを除去することをさらに含む、請求項 27 に記載の方法。

【請求項 31】

前記第 1 の複数のダイ相互接続部および前記第 2 の複数のダイ相互接続部を前記パッケージ基板に結合することをさらに含む、請求項 27 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先出願

本出願は、2021年7月27日に出願された「SPLIT DIE INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING DIE-TO-DIE (D2D) CONNECTIONS IN DIE-SUBSTRATE STANDOFF CAVITY, AND RELATED FABRICATION METHODS」と題された米国特許出願第 17 / 443, 740 号の優先権を主張するものであり、この文書はその全体が参照により本明細書に組み込まれる。

【0002】

本開示の分野

本開示の分野は、集積回路 (IC) パッケージに関し、より詳細には、分割半導体ダイ IC パッケージに関する。

【背景技術】

【0003】

集積回路 (IC) は、電子デバイスの基礎である。IC は、「半導体パッケージ」または「チップパッケージ」とも呼ばれる IC パッケージにパッケージングされる。IC パッケージは、1 つ以上の半導体ダイを IC (複数可) として含み、半導体ダイは、物理的支持および半導体ダイ (複数可) への電氣的インターフェイスを提供するためにパッケージ基板に取り付けられて電氣的に結合されている。パッケージ基板は、電氣的トレース (例えば金属線) を含む 1 つ以上のメタライゼーション層を含み、垂直相互接続アクセス (ビア) が、隣接するメタライゼーション層間で電氣的トレースを互いに結合して、半導体ダイ (複数可) 間の電氣的インターフェイスを提供する。半導体ダイ (複数可) は、パッケージ基板の電氣的トレースに半導体ダイ (複数可) を電氣的に結合するために、パッケージ基板の最上層または外層において露出した金属相互接続部に取り付けられ、電氣的にインターフェイスされる。パッケージ基板は、IC パッケージ内の半導体ダイ (複数可) と外部回路との間の外部インターフェイスを提供するために、金属相互接続部を有する外部外層を含む。

【0004】

IC パッケージは、意図された用途に基づいて多くの種類がある。分割半導体ダイ IC パッケージ (「分割ダイ」IC パッケージ) は、従来では互いに並んで配置される 2 つ以上の半導体ダイを含むパッケージである。半導体ダイは、物理的支持および半導体ダイへの電氣的インターフェイスを提供するためにパッケージ基板上に取り付けられて電氣的に結合される。分割ダイ IC パッケージの設計上の動作に従って、ダイツードイ (D2D)

10

20

30

40

50

通信のために分割ダイ間の信号インターフェイスを提供することが必要な場合がある。例えば、各分割ダイは、内部回路および別のダイへの通信信号インターフェイスを提供するD2Dインターフェイス回路を含むことができる。この点に関して、分割ダイICパッケージは、ダイ間の信号インターフェイスを提供するために、各ダイのD2Dインターフェイス回路の間のD2D接続を含むD2D相互接続構造を含むことができる。従来の分割ダイICパッケージは、D2D相互接続構造を提供するためにD2Dインターポーザを採用している。例えば、このD2Dインターポーザは、信号インターフェイスブリッジのように機能するパッケージ基板内のシリコンインターポーザとして提供されることがある。別の例として、D2Dインターポーザは、D2D接続をサポートするためのメタライゼーション層として複数の再配線層(RDL)を含む埋め込みウェハレベルパッケージ(eWLP)であってもよい。しかしながら、いずれの場合も、D2D接続を提供するために追加のメタライゼーション層を設けると、ICパッケージのパッケージ高さが望ましくない態様で増大する可能性がある。

10

【発明の概要】**【課題を解決するための手段】****【0005】**

本明細書に開示される態様は、ダイツードダイ(D2D)接続を提供するためにダイ-基板スタンドオフキャビティ(すなわちキャビティ)内のD2D相互接続構造を採用する例示的な分割ダイ集積回路(IC)パッケージを含む。関連する製造方法も開示する。例示的な態様では、分割ダイICパッケージは、パッケージ基板に結合された少なくとも2つの半導体ダイ(「ダイ」)を含む。パッケージ基板は、ダイと外部相互接続部(例えばはんだバンプ)との間の信号ルーティングを提供できる金属相互接続部(例えば金属線またはトレース)を各々が有する1つ以上のメタライゼーション層を含む。分割ダイICパッケージは、信号ルーティングのためにダイをパッケージ基板に電気的に結合する、ダイとパッケージ基板との間の複数のダイ相互接続部(例えば、はんだ接合部を有するダイバンプ)を含む。例示的な態様では、分割ダイICパッケージ内の複数のダイ間のD2D通信を容易にするために、パッケージ基板はまた、複数のダイ間のD2D信号ルーティングを提供するために複数のダイに結合されたD2D相互接続部(例えば金属相互接続部)を含むD2D相互接続構造(例えば相互接続ブリッジ)も含む。D2D相互接続構造は、ダイ相互接続部がダイとパッケージ基板との間に配置されてダイがパッケージ基板から離れている結果として、ダイとパッケージ基板との間のダイスタンドオフ領域に形成されるキャビティ内に配置されている。このようにして、D2D相互接続構造をパッケージ基板の外側のICパッケージのキャビティ内に設けて、ダイと外部相互接続部との間などの他の相互接続のためにパッケージ基板内のより多くの領域を確保することができる。パッケージ基板の外側にD2D相互接続構造を設けると、そうでなければD2D接続のための金属相互接続部によって消費されるであろうパッケージ基板の領域を、他の信号ルーティングおよび/または他のデバイス(例:パッシブデバイス)のために使用できるため、分割ダイICパッケージの全高さを低減することもできる。また、D2D相互接続構造をキャビティ内に設けることにより、パッケージ基板内に設けた場合よりもD2D相互接続部をダイの近くに配置することができ、したがって長さが短くなり、それにより抵抗が減少してD2Dシグナリング速度が向上する。

20

30

40

【0006】

特定の例示的な態様では、D2D相互接続構造は、ダイのアクティブ面に隣接してダイモジュール上に構築された1つ以上の再配線層(RDL)によって形成されている。RDLはダイモジュール上に構築されており、D2D通信のために使用されるダイのダイ相互接続部に結合されている。RDLはまた、ダイモジュールとパッケージ基板との間の水平領域全体にわたるRDLを形成する(これにより分割ダイICパッケージの高さが増大する)必要なしに、ダイスタンドオフ領域を形成する限られた領域においてダイモジュール上に構築することができる。D2D相互接続構造をRDL(複数可)として提供することにより、従来の積層基板において製造され得るものよりも、D2D相互接続部のため的小

50

さなパターンニングサイズ（すなわちライン（L）/スペース（S）（L/S））の金属相互接続部を有する、より薄いメタライゼーション層を容易にすることができる。したがって、D2D相互接続部をRDL内に設けることで、分割ダイICパッケージ内の、より高密度のD2D相互接続部を容易にすることができる。またRDLでは、D2D相互接続構造をダイのダイ相互接続部に接続するために使用されるはんだ接合部を必要としない。このことは、D2D通信を提供するためにD2D相互接続部に結合された高密度のダイ相互接続部を有するダイにおいて、特に有用であり得る。

【0007】

別の例では、D2D相互接続構造のRDL層は、再構成ダイモジュールを形成する再構成ウェハとしてのダイモジュール上に形成される。この点に関して、ダイは、最初のウェハ上に形成した後、ダイシングし、ファンアウトウェハレベルパッケージング（FLOWLP）プロセスの一部として再構成ウェハ上に再配置することができる。再構成ウェハ上のダイをダイシングして、再構成ダイモジュールとしてダイモジュールを提供することができる。ダイモジュールを再構成ダイモジュールとして提供することで、ダイの配置の良好な制御を可能にすることができ、ダイを互いにより近くに配置してパッケージサイズをさらに縮小することができる。また、再構成ダイモジュールとしてダイモジュールを提供することで、複数のダイが存在する再構成ダイモジュール上にD2D相互接続部のためのRDLを構築する便利なプロセスを提供することができる。このようにして、再構成ダイモジュール上にRDLを製造する際に、RDLをダイモジュールのダイ相互接続部に結合することができる。その後、D2D相互接続部を形成するRDLが組み込まれたダイモジュールを、分割ダイICパッケージの製造の一部としてパッケージ基板に結合することができる。

10

20

【0008】

なお、分割ダイICパッケージのパッケージ基板の外側のダイスタンドオフ領域内にD2D相互接続構造を設けることは、D2D相互接続部を設けるためにパッケージ基板内のメタライゼーション層も使用されることを排除するものではないことに留意されたい。パッケージ基板の外側のダイスタンドオフ領域内にD2D相互接続構造を含めることにより、パッケージ基板内にD2D接続部を設ける必要性を低減または最小化することができる。

【0009】

この点について、例示的な一態様では、ICパッケージが提供される。ICパッケージは、パッケージ基板と、第1のダイと、第2のダイとを備える。ICパッケージはまた、パッケージ基板および第1のダイに結合されておりかつ第1のダイとパッケージ基板との間にダイスタンドオフ領域を形成する第1の複数のダイ相互接続部を備える。ICパッケージはまた、ダイスタンドオフ領域内に配置されておりかつパッケージ基板および第2のダイに結合された第2の複数のダイ相互接続部を備える。第1の複数のダイ相互接続部と第2の複数のダイ相互接続部との間のダイスタンドオフ領域に、キャビティが形成される。ICパッケージはまた、キャビティ内に配置されたD2D相互接続構造を備える。D2D相互接続構造は、第1のダイおよび第2のダイに結合された複数のD2D相互接続部を備える。

30

40

【0010】

別の例示的な態様では、ICパッケージを製作する方法が提供される。本方法は、アクティブ面と、アクティブ面に隣接する第1のアクティブ面を含む第1のダイと、アクティブ面に隣接する第2のアクティブ面を含む第2のダイとを含むダイモジュールを形成することを含み、第2のダイは第1のダイに水平に隣接する。本方法はまた、ダイモジュールのアクティブ面に隣接してD2D相互接続構造を形成することを含み、D2D相互接続構造は複数のD2D相互接続部を含む。本方法はまた、第1のダイの第1のアクティブ面に結合された第1の複数のダイ相互接続部を形成することを含み。本方法はまた、第2のダイの第2のアクティブ面に結合された第2の複数のダイ相互接続部を形成して、第1の複数のダイ相互接続部と第2の複数のダイ相互接続部との間のキャビティであって、キャビ

50

ティ内にD 2 D相互接続構造が配置される、キャビティを形成することを含む。本方法はまた、パッケージ基板上にダイモジュールを配置することと、第1の複数のダイ相互接続部をパッケージ基板に結合することと、第2の複数のダイ相互接続部をパッケージ基板に結合することを含む。

【図面の簡単な説明】

【0011】

【図1A】ダイツードイ(D 2 D)接続を提供するためにパッケージ基板内にD 2 D接続インターポーザを含む分割半導体ダイ(「ダイ」)集積回路(IC)パッケージの上面図である。

【図1B】ダイツードイ(D 2 D)接続を提供するためにパッケージ基板内にD 2 D接続インターポーザを含む分割半導体ダイ(「ダイ」)集積回路(IC)パッケージの断面側面図である。

【図2A】D 2 D接続を提供するためにダイ-基板スタンドオフキャビティ(すなわちキャビティ)内のD 2 D相互接続構造を採用した例示的な分割ダイICパッケージの上面図である。

【図2B】D 2 D接続を提供するためにダイ-基板スタンドオフキャビティ(すなわちキャビティ)内のD 2 D相互接続構造を採用した例示的な分割ダイICパッケージの断面側面図である。

【図3】図2Bの分割ダイICパッケージの別の側面図であり、D 2 D接続を提供するキャビティ内のD 2 D相互接続構造のさらなる細部を示している。

【図4】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを製造するための例示的なプロセスを示すフローチャートである。

【図5A】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを製造するための別の例示的なプロセスを示すフローチャートである。

【図5B】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを製造するための別の例示的なプロセスを示すフローチャートである。

【図5C】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを製造するための別の例示的なプロセスを示すフローチャートである。

【図6A】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを、図5A~5Cの例示的な製造プロセスに従って製造するときの例示的な製造段階を示している。

【図6B】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを、図5A~5Cの例示的な製造プロセスに従って製造するときの例示的な製造段階を示している。

【図6C】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを、図5A~5Cの例示的な製造プロセスに従って製造するときの例示的な製造段階を示している。

【図6D】図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含む、D 2 D接続を提供するためにキャビティ内のD 2 D相互接続構造を採用する分割ダイICパッケージを、図5A~5Cの例示的な製造プロセスに従って製造するときの

10

20

30

40

50

例示的な製造段階を示している。

【図 6 E】図 2 A ~ 図 3 の例示的な分割ダイ IC パッケージ（ただしこれに限定されない）を含む、D 2 D 接続を提供するためにキャビティ内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージを、図 5 A ~ 5 C の例示的な製造プロセスに従って製造するときの例示的な製造段階を示している。

【図 6 F】図 2 A ~ 図 3 の例示的な分割ダイ IC パッケージ（ただしこれに限定されない）を含む、D 2 D 接続を提供するためにキャビティ内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージを、図 5 A ~ 5 C の例示的な製造プロセスに従って製造するときの例示的な製造段階を示している。

【図 6 G】図 2 A ~ 図 3 の例示的な分割ダイ IC パッケージ（ただしこれに限定されない）を含む、D 2 D 接続を提供するためにキャビティ内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージを、図 5 A ~ 5 C の例示的な製造プロセスに従って製造するときの例示的な製造段階を示している。

【図 6 H】図 2 A ~ 図 3 の例示的な分割ダイ IC パッケージ（ただしこれに限定されない）を含む、D 2 D 接続を提供するためにキャビティ内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージを、図 5 A ~ 5 C の例示的な製造プロセスに従って製造するときの例示的な製造段階を示している。

【図 7】図 2 A ~ 図 3 の例示的な分割ダイ IC パッケージ（ただしこれに限定されない）を含み、図 4 ~ 図 6 H の例示的な製造プロセスによる、D 2 D 接続を提供するためにキャビティ内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージ（複数可）にパッケージングされ得る構成要素を含む例示的なプロセッサベースシステムのブロック図である。

【図 8】図 2 A ~ 図 3 の例示的な分割ダイ IC パッケージ（ただしこれに限定されない）を含み、図 4 ~ 図 6 H の例示的な製造プロセスによる、D 2 D 接続を提供するためにキャビティ内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージ（複数可）にパッケージングされ得る無線周波数（RF）構成要素を含む例示的な無線通信デバイスのブロック図である。

【発明を実施するための形態】

【0012】

次に、図面を参照して、本開示のいくつかの例示的な態様について説明する。「例示的（exemplary）」という語は、「例、事例、または例示として働くこと」を意味するために本明細書で使用される。「例示的」として本明細書で説明したいかなる態様も、必ずしも他の態様よりも好ましいまたは有利であると解釈されるべきではない。

【0013】

本明細書に開示される態様は、ダイツードダイ（D 2 D）接続を提供するためにダイ - 基板スタンドオフキャビティ（すなわちキャビティ）内の D 2 D 相互接続構造を採用する例示的な分割ダイ集積回路（IC）パッケージを含む。関連する製造方法も開示する。例示的な態様では、分割ダイ IC パッケージは、パッケージ基板に結合された少なくとも 2 つの半導体ダイ（「ダイ」）を含む。パッケージ基板は、ダイと外部相互接続部（例えば、はんだバンプ）との間の信号ルーティングを提供できる金属相互接続部を各々が有する 1 つ以上のメタライゼーション層を含む。分割ダイ IC パッケージは、信号ルーティングのためにダイをパッケージ基板に電氣的に結合する、ダイとパッケージ基板との間の複数のダイ相互接続部（例えば、はんだ接合部を有するダイバンプ）を含む。例示的な態様では、分割ダイ IC パッケージ内の複数のダイ間の D 2 D 通信を容易にするために、パッケージ基板はまた、複数のダイ間の D 2 D 信号ルーティングを提供するために複数のダイに結合された D 2 D 相互接続部（例えば金属線）を含む D 2 D 相互接続構造（例えば相互接続ブリッジ）も含む。D 2 D 相互接続構造は、ダイ相互接続部がダイとパッケージ基板との間に配置されてダイがパッケージ基板から離れている結果として、ダイとパッケージ基板との間のダイスタンドオフ領域に形成されるキャビティ内に配置されている。このようにして、D 2 D 相互接続構造をパッケージ基板の外側の IC パッケージのキャビティ内に設けて、ダイと外部相互接続部との間などの他の相互接続のためにパッケージ基板内のより

10

20

30

40

50

多くの領域を確保することができる。パッケージ基板の外側にD2D相互接続構造を設けると、そうでなければD2D接続のための金属相互接続部によって消費されるであろうパッケージ基板の領域を、他の信号ルーティングおよび/または他のデバイス(例:パッシブデバイス)のために使用できるため、分割ダイICパッケージの全高さを低減することもできる。また、D2D相互接続構造をキャビティ内に設けることにより、パッケージ基板内に設けた場合よりもD2D相互接続部をダイの近くに配置することができ、したがって長さが短くなり、それにより抵抗が減少してD2Dシグナリング速度が向上する。

【0014】

図2Aから始まる、パッケージ内の複数のダイ間のD2D接続を提供するためにキャビティ内のD2D相互接続構造を採用する分割ダイICパッケージの例を説明する前に、ま

10

【0015】

この点に関して、図1Aおよび図1Bは、それぞれ、D2D接続を提供するためにパッケージ基板104内にD2Dインターポーザ102を含む分割半導体ダイ(「ダイ」)ICパッケージ100の上面図および断面側面図である。図1Bの分割ダイICパッケージ100は、図1Aの線A₁-A₁'に沿った断面として示されている。図1Aおよび図1Bを参照すると、分割ダイICパッケージ100は、パッケージ基板104に結合された少なくとも2つの半導体ダイ(「ダイ」)106(1)、106(2)を含む。ダイ106(1)、106(2)は、この例ではX軸方向に互いに水平に隣接して配置されており、ダイ106(1)、106(2)の間にダイ分離領域108が形成されている。パッケージ基板104は、ダイ106(1)、106(2)と外部相互接続部110(例えば、はんだボール)との間の信号ルーティングを提供することができる金属相互接続部(例えば金属線またはトレース)を各々が有する1つ以上のメタライゼーション層を含む。図1Bに示したように、分割ダイICパッケージ100は、信号ルーティングのためにダイ106(1)、106(2)をパッケージ基板104に電氣的に結合する複数のダイ相互接続部112(例えば、はんだ接合部を有するダイパンプ)を、ダイ106(1)、106(2)とパッケージ基板104との間に含む。ダイ相互接続部112は、この例では、それぞれのダイ106(1)、106(2)のアクティブ面116(1)、116(2)上のダイパッド(図示せず)に結合された金属ピラー114を含む。金属ピラー114は、金属ピラー114上に形成されておりかつパッケージ基板104に結合されたはんだ接合部118によって、パッケージ基板104に結合されている。

20

30

【0016】

図1Aおよび図1Bの分割ダイICパッケージ100における複数のダイ106(1)、106(2)間のD2D通信を容易にするために、パッケージ基板104はD2Dインターポーザ102も含む。D2Dインターポーザ102は、この例では、ダイ分離領域108の下のパッケージ基板104内に配置されている。D2Dインターポーザ102は、それぞれのダイ106(1)、106(2)に結合されている特定のダイ相互接続部112に結合されたD2D相互接続部120(例えば金属線)を含み、D2D相互接続部120は、D2D通信のためのダイ106(1)、106(2)間のD2D信号ルーティング専用である。このD2D信号ルーティングは、例として、通信信号、および共通パワーレールの結合とすることができる。D2D相互接続部120の長さを短縮して抵抗を低減し、シグナリング速度を向上させるために、D2Dインターポーザ102は、従来ではパッケージ基板104の上部メタライゼーション層に配置されている。

40

【0017】

パッケージ基板104内にD2Dインターポーザ102が含まれることにより、パッケージ基板104のメタライゼーション層のスペースが消費される。これに起因して、図1Bに示したように、Z軸方向におけるパッケージ基板の高さH₁が増大し、したがってZ軸方向における分割ダイICパッケージの全高さH₂が増大し得る。また、パッケージ基板104内にD2D相互接続部120を含めると、D2D相互接続部120がパッケージ

50

基板 104 内の他の金属相互接続部（パワーレールなど）の近くに位置する可能性があり、これにより信号干渉が生じる可能性がある。D2D 相互接続部 120 を介して伝送される D2D 通信信号は、ダイ 106（1）、106（2）の間の D2D バスインターフェイスの一部としてのより高速の信号であり得るため、干渉に対して特に敏感である可能性がある。また、D2D インターポーザ 102 の位置がダイ分離領域 108 の下に隣接しており、パッケージ基板 104 内のルーティングスペースに影響を与え得る。D2D 通信信号以外の信号をルーティングするパッケージ基板 104 内の他の金属相互接続部は、D2D インターポーザ 102 から分離され、したがって D2D インターポーザ 102 の領域の外側の他の領域においてルーティングしなければならない。このことは、パッケージ基板 104 内のルーティングのオプションおよび能力に影響を及ぼし得る。例えば、D2D インターポーザ 102 は、パッケージ基板 104 内の電力分配ネットワークのルーティング経路に干渉し、これにより電力分配経路が長くなり得る。これに起因して、パッケージ基板 104 内の電力分配ネットワークにおける電圧降下が増大し得る。さらに、D2D 相互接続部 120 の数および/または密度が増加するにつれて、D2D インターポーザ 102 がパッケージ基板 104 の追加のメタライゼーション層に配置される可能性が高くなり、他の信号ルーティングのために使用され得る領域がさらに消費される。あるいは、D2D インターポーザ 102 がパッケージ基板 104 内の追加のスペースを消費するのを避けるために、一方のダイ 106（1）、106（2）からの追加の D2D 相互接続部をパッケージ基板 104 を通って外部相互接続部 110 にルーティングして他方のダイ 106（2）、106（1）に戻さなければならない場合がある。

10

20

【0018】

図 2A および図 2B は、それぞれ、D2D 接続のためにパッケージ基板内のスペースを消費することを回避できるように、図 1A および図 1B の分割ダイ IC パッケージ 100 における D2D インターポーザ 102 に代わる D2D 接続構造を採用する別の例示的な分割ダイ IC パッケージ 200 の上面図および断面側面図である。この点に関して、以下でさらに詳細に説明するように、図 2A および図 2B の分割ダイ IC パッケージ 200 は、ダイ - 基板スタンドオフキャビティ（すなわちキャビティ）204 内に配置される、D2D 接続を提供するための D2D 相互接続構造 202 を含む。ダイ - 基板スタンドオフキャビティ 204 は、ダイ 206（1）、206（2）をパッケージ基板 208 に結合するダイ相互接続部 210 がダイ 206（1）、206（2）とパッケージ基板 208 との間に配置される結果として、半導体ダイ（「ダイ」）206（1）、206（2）とパッケージ基板 208 との間のダイスタンドオフ領域 228 に形成される領域である。ダイ - 基板スタンドオフキャビティ 204 は、一例では、パッケージ基板 208 またはダイ 206（1）、206（2）の内側のスペースを含まない。ダイ相互接続部 210 は、ダイ相互接続部 210 のそれぞれの高さ H_3 だけ、ダイ 206（1）、206（2）をパッケージ基板 208 から「スタンドオフして（離して）」、ダイ 206（1）、206（2）とパッケージ基板 208 との間に配置されるダイ - 基板スタンドオフキャビティ 204 を形成する。

30

【0019】

このようにして、図 2B に示したように、D2D 相互接続構造 202 は、パッケージ基板 208 の外側に、分割ダイ IC パッケージ 200 のダイ - 基板スタンドオフキャビティ 204 内に設けられる。これにより、ダイ 206（1）、206（2）と外部相互接続部 211（例えば、はんだボール）との間などの他の相互接続のために、パッケージ基板 208 内により多くの領域を確保することができる。また、D2D 相互接続構造 202 をパッケージ基板 208 の外側に設けることにより、D2D 相互接続構造 202 がパッケージ基板 208 内に含まれる場合のパッケージ基板 208 の高さよりも、パッケージ基板 208 の高さ H_4 を低減することもできる。パッケージ基板 208 の高さ H_4 を低減することにより、分割ダイ IC パッケージ 200 の全高さ H_5 も低減されるが、なぜなら、さもなければ D2D 接続のための相互接続（例えば金属線、金属トレース、垂直相互接続アクセス（ビア）、パッド）によって消費されるであろうパッケージ基板 208 の領域を、他の

40

50

信号ルーティングおよび/または他のデバイス（例えばパッシブデバイス）のために使用できるためである。また、D 2 D相互接続構造 2 0 2を分割ダイICパッケージ 2 0 0のダイ - 基板スタンドオフキャパシティ 2 0 4内に設けることにより、パッケージ基板 2 0 8内に設ける場合よりも、D 2 D相互接続構造 2 0 2におけるD 2 D相互接続部をダイ 2 0 6 (1)、2 0 6 (2)の近くに配置することができる。これによりD 2 D相互接続部の長さを短縮することができ、それにより抵抗が減少してダイ 2 0 6 (1)と2 0 6 (2)の間のD 2 Dシグナリング速度が向上する。

【 0 0 2 0 】

引き続き図 2 Aおよび図 2 Bを参照すると、図 2 Bの分割ダイICパッケージ 2 0 0は、図 2 Aの線 A₂ - A₂' に沿った断面として示されている。ダイ 2 0 6 (1)、2 0 6 (2)は、パッケージ基板 2 0 8に結合されている。ダイ 2 0 6 (1)、2 0 6 (2)は、この例では、ダイ 2 0 6 (1)、2 0 6 (2)間の領域の距離 D₁のダイ分離領域 2 1 2を伴って、X軸方向に互いに水平に隣接して配置されている。この例では、ダイ 2 0 6 (1)、2 0 6 (2)はダイモジュール 2 1 4に含まれている。第 1および第 2のダイ 2 0 6 (1)、2 0 6 (1)は、この例では、X軸方向の水平方向に直交するZ軸方向の垂直方向においてパッケージ基板 2 0 8の上方に配置されている。ダイモジュール 2 1 4は、ダイ 2 0 6 (1)、2 0 6 (2)と、ダイ 2 0 6 (1)、2 0 6 (2)の周囲およびダイ分離領域 2 1 2内に形成されたオーバーモールドコンパウンド 2 1 6（例えばエポキシ）を含む。例えば、以下でさらに詳細に説明するように、ダイモジュール 2 1 4は、ファンアウトウェハレベルパッケージング（F O W L P）プロセスに従って製造された再構成ウェハ 2 1 8を含むことができる。ダイモジュール 2 1 4を再構成ウェハ 2 1 8として提供することにより、良好なダイ配置制御を可能にすることができ、ダイ 2 0 6 (1)、2 0 6 (2)を互いにより近くに配置して、水平のX軸方向におけるダイ分離領域 2 1 2の幅をさらに短縮してパッケージサイズを縮小することができる。ダイモジュール 2 1 4の上には誘電体層 2 2 0が配置されている。誘電体層 2 2 0上には、分割ダイICパッケージ 2 0 0の一部としてモールドコンパウンドなどのパッケージングコンパウンド 2 2 2が配置されている。

【 0 0 2 1 】

図 2 Bに示したように、第 1および第 2の複数のダイ相互接続部 2 1 0 (1)、2 1 0 (2)は、パッケージ基板 2 0 8と、それぞれの第 1および第 2のダイ 2 0 6 (1)、2 0 6 (2)とに結合されている。第 1および第 2のダイ 2 0 6 (1)、2 0 6 (2)は、それぞれのアクティブ面 2 2 4 (1)、2 2 4 (2)および裏面 2 2 6 (1)、2 2 6 (2)を有する。ダイ相互接続部 2 1 0 (1)は、ダイ 2 0 6 (1)のアクティブ面 2 2 4 (1)とパッケージ基板 2 0 8とに結合されている。ダイ相互接続部 2 1 0 (2)は、ダイ 2 0 6 (2)のアクティブ面 2 2 4 (2)とパッケージ基板 2 0 8とに結合されている。パッケージ基板 2 0 8とそれぞれの第 1および第 2のダイ 2 0 6 (1)、2 0 6 (2)とに結合されている第 1および第 2の複数のダイ相互接続部 2 1 0 (1)、2 1 0 (2)は、第 1および第 2のダイ 2 0 6 (1)、2 0 6 (2)とパッケージ基板 2 0 8との間にダイスタンドオフ領域 2 2 8を形成する。ダイ相互接続部 2 1 0 (1)と2 1 0 (2)の間のダイスタンドオフ領域 2 2 8には、ダイ - 基板スタンドオフキャパシティ 2 0 4が形成される。D 2 D相互接続構造 2 0 2は、ダイ - 基板スタンドオフキャパシティ 2 0 4内に配置されている。図 3に関して以下でより詳細に説明するように、D 2 D相互接続構造 2 0 2は、ダイ 2 0 6 (1)、2 0 6 (2)間のD 2 D接続を提供するために、第 1のダイ 2 0 6 (1)および第 2のダイ 2 0 6 (2)に結合されたD 2 D相互接続部 2 3 2を含む。この例では、ダイ 2 0 6 (1)は、ダイ 2 0 6 (2)へのD 2 D通信インターフェイスを提供するD 2 Dインターフェイス回路 2 3 4 (1)を含む。D 2 Dインターフェイス回路 2 3 4 (1)は、ダイ分離領域 2 1 2に水平に隣接している。また、この例では、ダイ 2 0 6 (2)は、ダイ 2 0 6 (1)へのD 2 D通信インターフェイスを提供するD 2 Dインターフェイス回路 2 3 4 (2)を含む。D 2 Dインターフェイス回路 2 3 4 (2)も、ダイ分離領域 2 1 2に水平に隣接している。D 2 Dインターフェイス回路 2 3 4 (1)、2

34(2)は、D2D相互接続構造202の上に、D2D相互接続構造202に接触して配置されてD2D相互接続部232に結合されており、D2D通信のためにD2Dインターフェイス回路234(1)、234(2)が互いに結合される。

【0022】

この例では、D2D相互接続構造202およびそのD2D相互接続部232は、パッケージ基板208内に配置されていない。この例では、D2D相互接続構造202によって提供されるD2D接続のためにパッケージ基板208内の領域を消費することを避けるために、D2D相互接続部232は、パッケージ基板208のメタライゼーション層における金属相互接続部(例えば金属線、金属トレース、垂直相互接続アクセス(ビア)、パッド)を含むパッケージ基板208に結合されていない。

10

【0023】

図3は、ダイ-基板スタンドオフキャピティ204内のD2D相互接続構造202を含む追加の例示的な細部を説明するための、図2Aおよび図2Bの分割ダイICパッケージ200の別の断面側面図である。図3の分割ダイICパッケージ200の断面側面図もまた、図2Aの分割ICダイパッケージ200の線A₂-A₂'に沿っている。

【0024】

図3に示したように、この例では、ダイモジュール214は、パッケージ基板208に隣接するアクティブ面236を有する。第1および第2のダイ206(1)、206(2)の第1および第2のアクティブ面224(1)、224(2)は、パッケージ基板208のアクティブ面236に配置されており、第1および第2のダイ206(1)、206(2)とパッケージ基板208との間に、それぞれの第1および第2のダイ相互接続部210(1)、210(2)を介して接続を形成することができる。第1のダイ相互接続部210(1)は、第1のダイ206(1)の第1のアクティブ面224(1)に結合されている。第2のダイ相互接続部210(2)は、第2のダイ206(2)の第2のアクティブ面224(2)に結合されている。第1および第2のダイ相互接続部210(1)、210(2)の各々は、それぞれの第1および第2のダイ206(1)、206(2)のそれぞれの第1および第2のアクティブ面224(1)、224(2)上のダイパッドに結合された金属ピラー238(1)、238(2)(例えば銅ピラー)を含む。相互接続バンプ240(1)、240(2)(例えば、はんだバンプまたはキャップ)が金属ピラー238(1)、238(2)上に配置されており、パッケージ基板208への電氣的接続を形成している。パッケージ基板208は、ダイ相互接続部210(1)、210(2)を介してダイ206(1)、206(2)間の電氣的接続を形成するために1つ以上のメタライゼーション層242(1)~242(3)を含む。ダイ相互接続部210(1)、210(2)は、パッケージ基板208のメタライゼーション層242(1)~242(3)内の1つ以上の金属相互接続部243(1)~243(3)(例えば金属線、金属トレース、垂直相互接続アクセス(ビア)、パッド)に結合されている。ダイ相互接続部210(1)、210(2)の高さH₃は、Z軸の垂直方向におけるダイ-基板スタンドオフキャピティ204の高さH₃を画定する。D2D相互接続構造202は、Z軸の垂直方向において、ダイ-基板スタンドオフキャピティ204の高さH₃よりも小さい高さH₆を有し、したがってD2D相互接続構造202は、必要な場合にパッケージ基板208内の領域を消費することなく、ダイ-基板スタンドオフキャピティ204内に配置することができる。オーバーモールドコンパウンド216は、第1および第2のダイ206(1)、206(2)の第1および第2の裏面226(1)、226(2)に隣接して配置されている。

20

30

40

【0025】

一例として、以下でさらに詳細に説明するように、ダイモジュール214は、FOWLPプロセスに従って製造された再構成ダイモジュールとすることができる。これにより、D2D相互接続構造202を、分割ダイICパッケージ200の製造プロセスの一部として、1つ以上のメタライゼーション層においてダイモジュール214上により容易に構築することが可能となる。例えば、D2D相互接続構造202は、金属相互接続部248(

50

1) ~ 248(3) (例えば金属線、金属トレース、垂直相互接続アクセス(ビア)、パッド)をそれぞれ含むRDL 246(1) ~ 246(3)である1つ以上のメタライゼーション層244(1) ~ 244(3)を含むことができる。例えば、メタライゼーション層244(1) ~ 244(3)がRDL 246(1) ~ 246(3)である場合、メタライゼーション層244(1) ~ 244(3)における金属相互接続部248(1) ~ 248(3)においてより小さいL/S比を達成することがより容易であり得る。例えば、金属相互接続部248(1) ~ 248(3)のL/S比は、2/2または1/1とすることができる。一例として、ダイ相互接続部210(1)、210(2)の高さH₃は、30 ~ 40マイクロメートル(μm)とすることができ、RDL 246(1) ~ 246(3)の各々の高さは、7μm以下とすることができ、金属相互接続部248(1) ~ 248(3)は、2/2以下のL/S比を有することができる。

【0026】

第1のダイ206(1)、より詳細にはD2Dインターフェイス回路234(1)は、D2D相互接続構造202に結合される第1のRDL 246(1)内の金属相互接続部248(1)に結合することができる。第2のダイ206(1)、より詳細にはD2Dインターフェイス回路234(2)も、D2D相互接続構造202に結合される第1のRDL 246(1)内の金属相互接続部248(1)に結合することができる。このようにして、D2D相互接続構造202を介したD2D通信のために、D2Dインターフェイス回路234(1)、234(2)を互いに結合することができる。接続性を空間的により効率的にするために、第1および第2のダイ206(1)、206(2)内のD2Dインターフェイス回路234(1)、234(2)は、D2D相互接続構造202への接続を行うために、Z軸の垂直方向においてダイ-基板スタンドオフキャビティ204の上に配置されるように、および/または、ダイ-基板スタンドオフキャビティ204に重なるように、もしくは、部分的に重なるように配置されてもよい。

【0027】

図4は、図2A ~ 図3の例示的な分割ダイICパッケージ200(ただしこれに限定されない)を含む、D2D接続を提供するためにダイ-基板スタンドオフキャビティ内のD2D相互接続構造を採用する分割ダイICパッケージを製造するための例示的なプロセス400を示したフローチャートである。図4の例示的なプロセス400は、一例として図2A ~ 図3の分割ダイICパッケージ200に関して説明されているが、このプロセスは、D2D接続を提供するためにダイ-基板スタンドオフキャビティ内のD2D相互接続構造を採用する他の分割ダイICパッケージにも適用可能である。

【0028】

この点に関して、図4を参照すると、第1の製造ステップは、アクティブ面236と、アクティブ面236に隣接する第1のアクティブ面224(1)を含む第1のダイ206(1)と、アクティブ面236に隣接する第2のアクティブ面224(1)を含む第2のダイ206(2)と、を備えるダイモジュール214を形成することを含み、第2のダイ206(2)は、第1のダイ206(1)に水平に隣接する(図4のブロック402)。プロセス400における次の製造ステップは、ダイモジュール214のアクティブ面236に隣接してD2D相互接続構造202を形成することを含み、D2D相互接続構造202は複数のD2D相互接続部232を含む(図4のブロック404)。プロセス400における次の製造ステップは、第1のダイ206(1)の第1のアクティブ面224(1)に結合された第1の複数のダイ相互接続部210(1)を形成することを含む(図4のブロック406)。プロセス400における次の製造ステップは、第2のダイ206(2)の第2のアクティブ面224(2)に結合された第2の複数のダイ相互接続部210(2)を形成して、第1の複数のダイ相互接続部210(1)と第2の複数のダイ相互接続部210(2)との間にダイ-基板スタンドオフキャビティ204を形成することを含み、D2D相互接続構造202がダイ-基板スタンドオフキャビティ204内に配置される(図4のブロック408)。プロセス400における次の製造ステップは、ダイモジュール214のアクティブ面236をパッケージ基板208上に配置することを含む(図4のブ

ロック 410)。ダイモジュール 214 のアクティブ面 236 をパッケージ基板 208 上に配置することは、第 1 の複数のダイ相互接続部 210 (1) をパッケージ基板 208 に結合すること (図 4 のブロック 412) と、第 2 の複数のダイ相互接続部 210 (2) をパッケージ基板 208 に結合すること (図 4 のブロック 414) とを含む。

【0029】

図 5A ~ 5C は、図 2A ~ 図 3 の例示的な分割ダイ IC パッケージ (ただしこれに限定されない) を含む、D2D 接続を提供するためにダイ - 基板スタンドオフキャピティ内の D2D 相互接続構造を採用する分割ダイ IC パッケージを製造するための別の例示的なプロセス 500 を示したフローチャートである。図 6A ~ 図 6H は、図 5A ~ 図 5C の例示的な製造プロセス 500 による、D2D 接続を提供するためにダイ - 基板スタンドオフキャピティ内の D2D 相互接続構造を採用する分割ダイ IC パッケージの例示的な製造段階 600A ~ 600H を示す。以下では、図 5A ~ 図 5C の製造プロセス 500 について、図 6A ~ 図 6H の例示的な製造段階 600A ~ 600H と併せて説明する。

10

【0030】

この点に関して、図 5A のプロセス 500 を参照すると、分割ダイ IC パッケージ 200 の製造における第 1 のステップは、再構成ダイモジュールとしてダイモジュール 214 を製造することであり得る。図 6A の製造段階 600A に示したように、これは、再構成ウェハ 606 として再構成ダイモジュール 214 を形成するために第 1 の表面 604 を含むキャリア 602 を提供することと、キャリア 602 上に X 軸方向において互いに水平に隣接してダイ 206 (1)、206 (2) を配置する (かつ位置決めする) こととを含む (図 5A のブロック 502)。キャリア 602 は、ダイモジュール 214 を形成するためにダイ 206 (1)、206 (2) の位置決めおよび操作を可能にする構造を提供する。以下で説明するように、再構成ウェハ 606 としてダイモジュール 214 を提供することにより、ダイモジュール 214 がパッケージ基板 208 上に配置される前に、ダイ 206 (1)、206 (2) のアクティブ面 224 (1)、224 (2) に隣接してダイモジュール 214 上に D2D 相互接続構造 202 を形成する能力をもたらすことができる。例えば、D2D 相互接続構造 202 は、好ましくは、ダイモジュール 214 上に、図 3 の RDL 246 (1) ~ 246 (3) などの 1 つ以上の RDL として形成することができる。ダイ 206 (1)、206 (2) をキャリア 602 にしっかりと取り付けるための接着剤を提供するために、ダイ 206 (1)、206 (2) が接着フィルム 608 上に配置される前に、キャリア 602 の第 1 の表面 604 上に一時的な接着フィルム 608 を配置することができる。

20

30

【0031】

図 6B の次の製造段階 600B に示したように、再構成ウェハ 606 としてダイモジュール 214 を形成する際の次のステップは、キャリアの第 1 の表面 604 上と、それぞれの第 1 および第 2 のダイ 206 (1)、206 (2) の第 1 および第 2 の裏面 226 (1)、226 (2) 上および上方にオーバーモールドコンパウンド 216 (例えばエポキシモールド) を配置して、ダイ 206 (1)、206 (2) を固定し、ダイ 206 (1)、206 (2) に誘電体分離を提供することである (図 5A のブロック 504)。図 6C の次の製造段階 600C に示したように、再構成ウェハ 606 としてダイモジュール 214 を形成する際の次のステップは、オーバーモールドコンパウンド 216 の上面 612 (図 6B) を、ダイ 206 (1)、206 (2) の裏面 226 (1)、226 (2) に向かって、所望の厚さ D_2 に縮小された表面 614 まで研削することである (図 5A のブロック 506)。代替的に、オーバーモールドコンパウンド 216 をダイ 206 (1)、206 (2) の裏面 226 (1)、226 (2) まで研削することもできる。

40

【0032】

図 6D の次の製造段階 600D に示したように、次のステップは、再構成ウェハ 606 からキャリア 602 を除去し、ダイ 206 (1)、206 (2) の裏面 226 (1)、226 (2) に隣接して再構成ウェハ 606 に第 2 のキャリア 616 を取り付けることである (図 5B のブロック 508)。キャリア 602 を除去して、ダイ 206 (1)、206 (2) を

50

(2)のアクティブ面224(1)、224(2)、より詳細にはD2Dインターフェイス回路234(1)、234(2)を露出させ、再構成ウェハ606上に形成されてダイ206(1)、206(2)のアクティブ面224(1)、224(2)およびD2Dインターフェイス回路234(1)、234(2)に結合されるD2D相互接続構造202を準備する。図6Dに示したように、再構成ウェハ606を第2のキャリア616に固定するために、再構成ウェハ606が第2のキャリア616に取り付けられる前に、最初に接着剤層618を第2のキャリア616上に配置することができる。

【0033】

次に、図6Eの次の製造段階600Eに示したように、次のステップは、後の製造段階においてダイ-基板スタンドオフキャピティ204として形成される領域において、第1のダイ206(1)の第1のアクティブ面224(1)の一部および第2のダイ206(2)の第2のアクティブ面224(2)の一部の上に、D2D相互接続構造202を形成することである(図5Bのブロック510)。D2D相互接続構造202は、第1のダイ206(1)と第2のダイ206(2)との間の水平ダイ分離領域212に対してZ軸方向において垂直に隣接して配置される。製造段階600Eは、ダイ206(1)、206(2)のD2Dインターフェイス回路234(1)、234(2)に結合された第1のRDL246(1)が、D2D相互接続構造202の一部として再構成ウェハ606上に形成されることを示している。図6Fの次の製造段階600Fに示したように、第1のRDL246(1)の上に追加のRDL246(複数可)(2)を形成して、D2D相互接続構造202の一部を形成することができる(図5Bのブロック512)。この例におけるRDL246(1)、246(2)の形成は、RDLを形成するための従来のプロセスを含むことができ、このプロセスは、ダイモジュール214上にコーティング層を設けることと、パターニングプロセスによってコーティングの一部を除去してD2Dインターフェイス回路234(1)、234(2)のためのダイパッドを露出させることと、シード層を堆積させることと、リソグラフィプロセスを実行してRDL246(1)、246(2)内に金属相互接続部を形成することと、を含む。ダイ相互接続部210(1)、210(2)を形成するときにRDL246(1)、246(2)をはんだ露出から保護するために、完全に構築されたときにD2D相互接続構造202の上にはんだレジスト層620を形成することもできる。

【0034】

図6Gの次の製造段階600Gに示したように、次のステップは、再構成ウェハ606上に、ダイ206(1)、206(2)と接触したダイ相互接続部210(1)、210(2)を形成することである(図5Cのブロック514)。これは、金属ピラー238(1)、238(2)および相互接続パンプ240(1)、240(2)を形成することを含む。上述したように、これにより、ダイモジュール214が再構成ウェハ606から形成されるときに、ダイ相互接続部210(1)、210(2)の間の領域にダイスタンドオフ領域228が形成される。ダイモジュール214とパッケージ基板208との間にダイスタンドオフ領域228によって形成されるキャピティ(図2Bおよび図3)は、パッケージ基板208内の領域を消費する必要なしに、D2D相互接続構造202が最終的な分割ダイICパッケージ200内に存在するための余地およびスペースを保持するダイ-基板スタンドオフキャピティ204を形成する。再構成ウェハ606の一部として複数のダイモジュール214が形成される場合、ダイモジュール214を分離するためにダイシミュレーションを使用することができる。図6Hの次の製造段階600Hに示したように、次のステップは、第2のキャリア616を除去し、ダイモジュール214のアクティブ面236をパッケージ基板208上に配置してダイ相互接続部210(1)、210(2)をパッケージ基板208に結合し、分割ダイICパッケージ200を形成することである(図5Cのブロック516)。

【0035】

図2A~図3の例示的な分割ダイICパッケージ(ただしこれに限定されない)を含み、図4~図6Hの例示的な製造プロセスによる、D2D接続を提供するためにダイ-基板

10

20

30

40

50

スタンドオフキャビティ内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージ（複数可）は、任意のプロセッサベースのデバイスに提供される、またはデバイスに統合され得る。例には、限定はしないが、セフトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、モバイル位置データユニット、全地球測位システム（GPS）デバイス、スマートフォン、セルラーフォン、スマートフォン、セッション開始プロトコル（SIP）電話、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス（例えば、スマートウォッチ、ヘルスマたはフィットネストラッカー、アイウェアなど）、デスクトップコンピュータ、携帯情報端末（PDA）、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、携帯音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク（DVD）プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、およびマルチコプターが含まれる。

10

【0036】

この点に関して、図 7 は、プロセッサベースシステム 700 の一例を示している。プロセッサベースシステム 700 の構成要素は、IC 702 である。プロセッサベースシステム 700 内の IC 702 の一部またはすべては、図 2 A ~ 図 3 の例示的な分割ダイ IC パッケージ（ただしこれに限定されない）を含み、かつ図 4 ~ 図 6 H の例示的な製造プロセスによる、および本明細書に開示される任意の態様による、D 2 D 接続を提供するためにダイ - 基板スタンドオフキャビティ（すなわちキャビティ）内の D 2 D 相互接続構造を採用する分割ダイ IC パッケージ（複数可）704 内に提供され得る。この例では、プロセッサベースシステム 700 は、分割ダイ IC パッケージ 704 として、およびシステムオンチップ（SoC）706 として形成することができる。プロセッサベースシステム 700 は、CPU コアまたはプロセッサコアとも呼ばれ得る 1 つまたは複数のプロセッサ 710 を含む CPU 708 を含む。CPU 708 は、一時的に記憶されたデータへの迅速なアクセスのために、CPU 708 に結合されたキャッシュメモリ 712 を有し得る。CPU 708 は、システムバス 714 に結合され、プロセッサベースシステム 700 に含まれるマスタデバイスおよびスレーブデバイスを相互結合することができる。周知のように、CPU 708 は、システムバス 714 を介してアドレス、制御、およびデータ情報を交換することによってこれらの他のデバイスと通信する。例えば、CPU 708 は、スレーブデバイスの一例としてのメモリコントローラ 716 にバストランザクション要求を通信することができる。図 7 には示されていないが、複数のシステムバス 714 を設けることができ、各システムバス 714 は、異なるファブリックを構成する。

20

30

【0037】

他のマスタデバイスおよびスレーブデバイスをシステムバス 714 に接続することができる。図 7 に示したように、これらのデバイスは、例として、メモリコントローラ 716 およびメモリアレイ（複数可）718 を含むメモリシステム 720 と、1 つ以上の入力デバイス 722 と、1 つ以上の出力デバイス 724 と、1 つ以上のネットワークインターフェイスデバイス 726 と、1 つ以上のディスプレイコントローラ 728 と、を含むことができる。メモリシステム 720、1 つ以上の入力デバイス 722、1 つ以上の出力デバイス 724、1 つ以上のネットワークインターフェイスデバイス 726、および 1 つ以上のディスプレイコントローラ 728 の各々は、同じまたは異なる IC パッケージにおいて提供することができる。入力デバイス（複数可）722 は、入力キー、スイッチ、音声プロセッサ等（ただしこれらに限定されない）を含む、任意のタイプの入力デバイスを含むことができる。出力デバイス（複数可）724 は、オーディオ、ビデオ、他の視覚インジケータ等（ただしこれらに限定されない）を含む、任意のタイプの出力デバイスを含むことができる。ネットワークインターフェイスデバイス（複数可）726 は、ネットワーク 730 との間でデータを交換できるように構成された任意のデバイスとすることができる。ネットワーク 730 は、有線ネットワークまたは無線ネットワーク、プライベートネット

40

50

ワークまたは公衆ネットワーク、ローカルエリアネットワーク（LAN）、ワイヤレスローカルエリアネットワーク（WLAN）、ワイドエリアネットワーク（WAN）、ブルートゥース（登録商標）ネットワーク、およびインターネット（ただしこれらに限定されない）を含む、任意のタイプのネットワークとすることができる。ネットワークインターフェイスデバイス（複数可）726は、必要に応じて、任意のタイプの通信プロトコルをサポートするように構成され得る。

【0038】

CPU708はまた、システムバス714を通じてディスプレイコントローラ（複数可）728にアクセスして、1つ以上のディスプレイ732に送られる情報を制御するように構成され得る。ディスプレイコントローラ（複数可）728は、1つ以上のビデオプロセッサ734を介して表示される情報をディスプレイ（複数可）732へ送り、ビデオプロセッサ734は、表示される情報を処理してディスプレイ（複数可）732に適したフォーマットにする。ディスプレイコントローラ（複数可）728およびビデオプロセッサ（複数可）734は、分割ダイICパッケージ704および同一または異なるICパッケージとして含めることができ、一例としてCPU708を含む同一または異なるICパッケージに含めることができる。ディスプレイ（複数可）732は、陰極線管（CRT）、液晶ディスプレイ（LCD）、プラズマディスプレイ、発光ダイオード（LED）ディスプレイ等（ただしこれらに限定されない）を含む、任意のタイプのディスプレイを含むことができる。

【0039】

図8は、1つ以上のIC802から形成される無線周波数（RF）コンポーネントを含む例示的なワイヤレス通信デバイス800を示しており、IC802の任意の1つは、図4～図6Hの例示的な製造プロセスによる、および本明細書で開示される任意の態様による、図2A～図3の例示的な分割ダイICパッケージ（ただしこれに限定されない）を含む、D2D接続を提供するためにダイ-基板スタンドオフキャビティ（すなわちキャビティ）内のD2D相互接続構造を採用する分割ダイICパッケージ（複数可）803を含むことができる。ワイヤレス通信デバイス800は、例として、上記のデバイスのうちのいずれかを含んでもよく、またはその中に設けられてもよい。図8に示すように、ワイヤレス通信デバイス800は、トランシーバ804およびデータプロセッサ806を含む。データプロセッサ806は、データおよびプログラムコードを記憶するためのメモリを含み得る。トランシーバ804は、双方向通信をサポートする送信機808および受信機810を含む。一般に、ワイヤレス通信デバイス800は、任意の数の通信システムおよび周波数帯域のための任意の数の送信機808および/または受信機810を含んでもよい。トランシーバ804の全体または一部は、1つ以上のアナログIC、RFIC、混成信号ICなどの上に実装され得る。

【0040】

送信機808または受信機810は、スーパーヘテロダインアーキテクチャまたはダイレクトコンバージョンアーキテクチャで実装することができる。スーパーヘテロダインアーキテクチャでは、信号は、複数のステージでRFとベースバンドとの間で周波数変換され、例えば、受信機810では、1つのステージでRFから中間周波数（IF）に周波数変換され、その後、別のステージでIFからベースバンドに周波数変換される。ダイレクトコンバージョンアーキテクチャでは、信号は、1つのステージにおいて、RFとベースバンドとの間で周波数変換される。スーパーヘテロダインアーキテクチャおよびダイレクトコンバージョンアーキテクチャは、異なる回路ブロックを使用すること、および/または異なる要件を有することがある。図8におけるワイヤレス通信デバイス800では、送信機808および受信機810は、ダイレクトコンバージョンアーキテクチャを用いて実装される。

【0041】

送信経路では、データプロセッサ806は、送信されるデータを処理し、IおよびQアナログ出力信号を送信機808に提供する。例示的なワイヤレス通信デバイス800では

、データプロセッサ 806 は、データプロセッサ 806 により生成されるデジタル信号を、さらなる処理のために、I および Q アナログ出力信号、例えば I および Q 出力電流へと変換するため、デジタルアナログ変換器 (DAC) 812 (1) および 812 (2) を含む。

【0042】

送信機 808 内では、ローパスフィルタ 814 (1) および 814 (2) が、それぞれ、I および Q アナログ出力信号をフィルタ処理して、前のデジタルアナログ変換によって発生した不要な信号を除去する。増幅器 (AMP) 816 (1)、816 (2) は、それぞれ、ローパスフィルタ 814 (1)、814 (2) からの信号を増幅し、I および Q ベースバンド信号を提供する。アップコンバータ 818 は、送信 (TX) 局部発振器 (LO) 信号発生器 822 からミキサ 820 (1)、820 (2) を通る I および Q TX LO 信号で、I および Q ベースバンド信号をアップコンバートして、アップコンバートされた信号 824 を提供する。フィルタ 826 は、アップコンバートされた信号 824 をフィルタ処理して、周波数アップコンバージョンにより発生した不要な信号および受信周波数帯域中の雑音を除去する。電力増幅器 (PA) 828 は、フィルタ 826 からのアップコンバートされた信号 824 を増幅して所望の出力電力レベルを取得し、送信 RF 信号を提供する。送信 RF 信号は、デュプレクサまたはスイッチ 830 を通してルーティングされ、アンテナ 832 を介して送信される。

10

【0043】

受信経路では、アンテナ 832 は、基地局によって送信された信号を受信し、受信した RF 信号を提供し、RF 信号は、デュプレクサまたはスイッチ 830 を通してルーティングされ、低雑音増幅器 (LNA) 834 に提供される。デュプレクサまたはスイッチ 830 は、受信 (RX) 信号が TX 信号から分離されるように、特定の RX から TX へのデュプレクサ周波数分離で動作するように設計される。受信された RF 信号は、LNA 834 によって増幅され、フィルタ 836 によってフィルタ処理されて、所望の RF 入力信号を取得する。ダウンコンバージョンミキサ 838 (1)、838 (2) は、フィルタ 836 の出力を、RX LO 信号発生器 840 からの I および Q RX LO 信号 (すなわち、LO_I および LO_Q) と混合して、I および Q ベースバンド信号を生成する。I および Q ベースバンド信号は、AMP 842 (1)、842 (2) によって増幅され、さらにローパスフィルタ 844 (1)、844 (2) によってフィルタ処理されて、I および Q アナログ入力信号を取得し、これらがデータプロセッサ 806 に提供される。この例では、データプロセッサ 806 は、データプロセッサ 806 によってさらに処理されるようにアナログ入力信号をデジタル信号に変換するためにアナログデジタル変換器 (ADC) 846 (1)、846 (2) を含む。

20

30

【0044】

図 8 のワイヤレス通信デバイス 800 では、TX LO 信号発生器 822 が、周波数アップコンバージョンに使用される I および Q TX LO 信号を生成し、RX LO 信号発生器 840 が、周波数ダウンコンバージョンに使用される I および Q RX LO 信号を生成する。各 LO 信号は、特定の基本周波数を有する周期信号である。TX 位相ロックループ (PLL) 回路 848 は、データプロセッサ 806 からタイミング情報を受け取り、TX LO 信号発生器 822 からの TX LO 信号の周波数および / または位相を調整するために使用される制御信号を生成する。同様に、RX PLL 回路 850 は、データプロセッサ 806 からタイミング情報を受け取り、RX LO 信号発生器 840 からの RX LO 信号の周波数および / または位相を調整するために使用される制御信号を生成する。

40

【0045】

本明細書において開示される態様に関連して説明された種々の例示的な論理ブロック、モジュール、回路、およびアルゴリズムが、電子ハードウェア、メモリ内にもしくは別のコンピュータ可読媒体内に記憶され、プロセッサもしくは他の処理デバイスによって実行される命令、または両方の組合せとして実装される場合があることは、当業者にはさらに

50

理解されよう。本明細書で開示するメモリは、任意のタイプおよびサイズのメモリである場合があり、所望の任意のタイプの情報を記憶するように構成される場合がある。この互換性について明確に説明するために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップについて、上記では概してそれらの機能性に関して説明してきた。そのような機能がどのように実装されるかは、特定の適用例、設計選択、および/またはシステム全体に課される設計制約によって決まる。当業者は、説明する機能を特定の適用例ごとに様々な方法で実装し得るが、そのような実装決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

【0046】

本明細書で開示する態様に関連して説明した様々な例示的な論理ブロック、モジュール、および回路は、プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、個別ゲートもしくはトランジスタ論理、個別ハードウェア構成要素、または本明細書で説明する機能を実行するように設計されたそれらの任意の組合せを用いて実装または実行され得る。プロセッサは、マイクロプロセッサであってもよいが、代替としてプロセッサは、任意の従来プロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであってもよい。プロセッサはまた、コンピューティングデバイスの組合せ(例えば、DSPおよびマイクロプロセッサの組合せ、複数のマイクロプロセッサ、DSPコアと連携する1つ以上のマイクロプロセッサ、または任意の他のそのような構成)として実装されてもよい。

【0047】

本明細書で開示する態様は、ハードウェアにおいて具現化されてもよく、かつハードウェア内に記憶され、例えば、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読取り専用メモリ(ROM)、電氣的プログラマブルROM(EPROM)、電氣的消去可能プログラマブルROM(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野において知られている任意の他の形態のコンピュータ可読媒体の中に存在し得る命令において具現化されてもよい。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ることおよび記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサと一体化され得る。プロセッサおよび記憶媒体は、ASICの中に存在してもよい。ASICは、リモート局内に存在してもよい。代替として、プロセッサおよび記憶媒体は、個別構成要素としてリモート局、基地局、またはサーバの中に存在してもよい。

【0048】

本明細書の例示的な態様のいずれかで説明した動作ステップが、例示および説明を提供するために記載されていることにも留意されたい。説明する動作は、図示のシーケンス以外の多数の異なるシーケンスにおいて実行される場合がある。さらに、単一の動作ステップにおいて記載した動作は、実際にはいくつかの異なるステップにおいて実行される場合がある。加えて、例示的な態様において論じられた1つ以上の動作ステップは組み合わせられる場合がある。当業者には容易に明らかになるように、フローチャートに示される動作ステップが数多くの異なる変更を受ける場合があることを理解されたい。当業者であれば、様々な異なる技術および技法のいずれかを使用して情報および信号が表され得ることも理解するであろう。例えば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁性粒子、光場もしくは光学粒子、またはそれらの任意の組合せによって表されてもよい。

【0049】

本開示の上記の説明は、あらゆる当業者が本開示を作成または使用することが可能となるように提供される。本開示に対する様々な変更は当業者には容易に明らかであり、本明細書で定義される一般原理は他の変形例に適用され得る。したがって、本開示は、本明細書で説明する例および設計に限定されるものでなく、本明細書で開示する原理および新規

10

20

30

40

50

の特徴と一致する最も広い範囲を与えられるべきである。

【 0 0 5 0 】

以下の番号付けされた態様 / 条項において、実装例について説明する。

1. 集積回路 (I C) パッケージであって、
パッケージ基板と、

第 1 のダイと、

第 2 のダイと、

パッケージ基板および第 1 のダイに結合されており、第 1 のダイとパッケージ基板との間にダイスタンドオフ領域を形成する第 1 の複数のダイ相互接続部と、

ダイスタンドオフ領域に配置されており、パッケージ基板と第 2 のダイとに結合された第 2 の複数のダイ相互接続部と、 10

第 1 の複数のダイ相互接続部と第 2 の複数のダイ相互接続部との間のダイスタンドオフ領域内に形成されたキャビティと、

キャビティ内に配置されたダイツーダイ (D 2 D) 相互接続構造であって、第 1 のダイおよび第 2 のダイに結合された複数の D 2 D 相互接続部を含む、D 2 D 相互接続構造と、
を備える、I C パッケージ。

2. 複数の D 2 D 相互接続部は、パッケージ基板に結合されていない、条項 1 に記載の I C パッケージ。

3. 第 2 のダイは、水平方向において第 1 のダイに水平に隣接しており、

第 1 のダイの第 1 のアクティブ面は、水平方向に直交する垂直方向においてパッケージ基板に隣接して配置されており、 20

第 2 のダイの第 2 アクティブ面は、垂直方向においてパッケージ基板に隣接して配置されている、

条項 1 および 2 のいずれかに記載の I C パッケージ。

4. 垂直方向における D 2 D 相互接続構造の高さは、垂直方向におけるダイ - 基板スタンドオフキャビティの高さよりも小さい、条項 3 に記載の I C パッケージ。

5. 第 2 のダイは、第 1 のダイと第 2 のダイとの間に水平ダイ分離領域を形成する離間距離において第 1 のダイに水平に隣接しており、

ダイ - 基板スタンドオフキャビティは、垂直方向において部分的に水平ダイ分離領域に隣接して配置されている、 30

条項 3 および 4 のいずれかに記載の I C パッケージ。

6. 垂直方向における第 1 の複数のダイ相互接続部および第 2 の複数のダイ相互接続部の高さが、垂直方向におけるキャビティの高さを画定する、条項 3 ~ 5 のいずれかに記載の I C パッケージ。

7. D 2 D 相互接続構造は、第 1 のダイおよび第 2 のダイに結合された少なくとも 1 つの金属相互接続部を含む再配線層 (R D L) を備える、条項 3 ~ 6 のいずれかに記載の I C パッケージ。

8. R D L は、2 / 2 以下のラインスペース (L / S) 比を有する複数の金属相互接続部を備える、条項 7 に記載の I C パッケージ。

9. 第 1 の複数のダイ相互接続部および第 2 の複数のダイ相互接続部の高さは、30 ~ 40 マイクロメートル (μm) であり、 40

R D L の高さは、7 μm 以下であり、

R D L は、2 / 2 以下のラインスペース (L / S) 比を有する複数の金属相互接続部を備える、

条項 7 および 8 のいずれかに記載の I C パッケージ。

10. 第 1 のダイは、第 1 のアクティブ面および第 1 の裏面を備えており、

第 2 のダイは、第 2 のアクティブ面および第 2 の裏面を備えており、

第 1 の複数のダイ相互接続部は、第 1 のダイの第 1 のアクティブ面をパッケージ基板に結合しており、

第 2 の複数のダイ相互接続部は、第 2 のダイの第 2 のアクティブ面をパッケージ基板に 50

結合している、

条項 1 ~ 9 のいずれかに記載の IC パッケージ。

11. 再構成ダイモジュールをさらに備えており、再構成ダイモジュールが、パッケージ基板に隣接するアクティブ面と、アクティブ面における第 1 のアクティブ面と、第 1 の裏面とを含む第 1 のダイと、アクティブ面における第 2 のアクティブ面と、第 2 の裏面とを含む第 2 のダイと、第 1 のダイの第 1 の裏面および第 2 のダイの第 2 の裏面に隣接して配置されたモールドコンパウンドと、を備える、

条項 1 ~ 10 のいずれかに記載の IC パッケージ。

12. 第 2 のダイは、第 1 のダイと第 2 のダイとの間に水平ダイ分離領域を形成する離間距離をおいて第 1 のダイに水平に隣接しており、

第 1 のダイは、水平ダイ分離領域に水平に隣接する第 1 の D 2 D インターフェイス回路を備え、

第 2 のダイは、水平ダイ分離領域に水平に隣接する第 2 の D 2 D インターフェイス回路を備え、

第 1 の D 2 D インターフェイス回路は、D 2 D 相互接続構造に結合されており、

第 2 の D 2 D インターフェイス回路は、D 2 D 相互接続構造に結合されており、

D 2 D 相互接続構造は、第 1 の D 2 D インターフェイス回路を第 2 の D 2 D インターフェイス回路に結合している、

条項 1 ~ 11 のいずれかに記載の IC パッケージ。

13. D 2 D 相互接続構造は、各々が 1 つ以上の金属相互接続部を含む 1 つ以上のメタライゼーション層を備えており、

第 1 のダイは、D 2 D 相互接続構造の 1 つ以上のメタライゼーション層内の 1 つ以上の金属相互接続部に結合されており、

第 2 のダイは、D 2 D 相互接続構造の 1 つ以上のメタライゼーション層内の 1 つ以上の金属相互接続部に結合されている、

条項 12 に記載の IC パッケージ。

14. 1 つ以上のメタライゼーション層は、各々が 1 つ以上の金属相互接続部を含む 1 つ以上の再配線層 (RDL) を備えており、

第 1 のダイは、D 2 D 相互接続構造の 1 つ以上の RDL 内の 1 つ以上の金属相互接続部に結合されており、

第 2 のダイは、D 2 D 相互接続構造の 1 つ以上の RDL 内の 1 つ以上の金属相互接続部に結合されている、

条項 13 に記載の IC パッケージ。

15. 第 2 のダイは、水平方向において第 1 のダイに水平に隣接しており、

第 1 の D 2 D インターフェイス回路は、水平方向に直交する垂直方向においてキャビティの上方に配置されており、

第 2 の D 2 D インターフェイス回路は、垂直方向においてキャビティの上方に配置されている、

条項 12 ~ 14 のいずれかに記載の IC パッケージ。

16. 第 1 の複数のダイ相互接続部は、複数の金属ピラーを含み、

第 2 の複数のダイ相互接続部は、複数の金属ピラーを含む、

条項 1 ~ 15 のいずれかに記載の IC パッケージ。

17. パッケージ基板は、各々が複数の金属相互接続部を含む 1 つ以上のメタライゼーション層を備えており、

第 1 の複数のダイ相互接続部は、パッケージ基板内の複数の金属相互接続部のうちの 1 つ以上の金属相互接続部に結合されており、

第 2 の複数のダイ相互接続部は、パッケージ基板内の複数の金属相互接続部のうちの 1 つ以上の金属相互接続部に結合されている、

10

20

30

40

50

条項 1 ~ 16 のいずれかに記載の IC パッケージ。

18. セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、モバイル位置データユニット、全地球測位システム (GPS) デバイス、携帯電話、セルラーフォン、スマートフォン、セッション開始プロトコル (SIP) 電話、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス、デスクトップコンピュータ、携帯情報端末 (PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、携帯音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク (DVD) プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、およびマルチコプター、からなる群から選択されるデバイスに組み込まれる、条項 1 から 17 のいずれかに記載の IC パッケージ。 10

19. 集積回路 (IC) パッケージを製造する方法であって、

アクティブ面と、アクティブ面に隣接する第 1 のアクティブ面を含む第 1 のダイと、アクティブ面に隣接する第 2 のアクティブ面を含む第 2 のダイであって、第 2 のダイは第 1 のダイに水平に隣接する、第 2 のダイと、を備えるダイモジュールを形成することと、

ダイモジュールのアクティブ面に隣接して、ダイツーダイ (D2D) 相互接続構造であって、D2D 相互接続構造は複数の D2D 相互接続部を含む、D2D 相互接続構造を形成することと、

第 1 のダイの第 1 のアクティブ面に結合された第 1 の複数のダイ相互接続部を形成することと、 20

第 2 のダイの第 2 のアクティブ面に結合された第 2 の複数のダイ相互接続部を形成して、第 1 の複数のダイ相互接続部と第 2 の複数のダイ相互接続部との間にキャビティであって、キャビティ内に D2D 相互接続構造が配置される、キャビティを形成することと、

ダイモジュールのアクティブ面をパッケージ基板上に配置することであって、

第 1 の複数のダイ相互接続部をパッケージ基板に結合することと、

第 2 の複数のダイ相互接続部をパッケージ基板に結合することと、

を含むことと、

を含む、方法。

20. 複数の D2D 相互接続部をパッケージ基板に結合しないことをさらに含む、条項 19 に記載の方法。 30

21. D2D 相互接続構造を形成することは、

第 1 のダイ内の第 1 の D2D インターフェイス回路を D2D 相互接続構造に水平に結合することと、

第 2 のダイ内の第 2 の D2D インターフェイス回路を D2D 相互接続構造に結合して、第 2 の D2D インターフェイス回路を第 1 の D2D インターフェイス回路に結合することと、

をさらに含む、条項 19 および 20 のいずれかに記載の方法。

22. ダイモジュールを形成することは、

第 1 の表面を含むキャリアを提供することと、 40

キャリアの第 1 の表面上に第 1 のダイを配置することと、

キャリアの第 1 の表面上に、第 1 のダイに水平に隣接して第 2 のダイを配置することと

を含む、

条項 19 ~ 21 のいずれかに記載の方法。

23. ダイモジュールを形成することは、

キャリアの第 1 の表面に接着フィルムを塗布すること

をさらに含み、

キャリアの第 1 の表面上に第 1 のダイを配置することは、第 1 のダイを接着フィルム上に配置することを含み、 50

キャリアの第 1 の表面上に第 2 のダイを配置することは、第 2 のダイを第 1 のダイに水平に隣接して接着フィルム上に配置することを含む、

条項 2 2 に記載の方法。

2 4 . キャリアの第 1 の表面上、ならびに第 1 のダイの第 1 の裏面上および第 2 のダイの第 2 の裏面上にオーバーモールドコンパウンドを配置することをさらに含む、条項 2 2 および 2 3 のいずれかに記載の方法。

2 5 . オーバーモールドコンパウンドの上面を、第 1 のダイの第 1 の裏面および第 2 のダイの第 2 の裏面に向かって研削することをさらに含む、条項 2 4 に記載の方法。

2 6 . ダイモジュールからキャリアを除去することと、

第 1 のダイの第 1 の裏面および第 2 のダイの第 2 の裏面に隣接してダイモジュールに第 2 のキャリアを取り付けることと、

をさらに含む、

条項 2 4 および 2 5 のいずれかに記載の方法。

2 7 . キャピティ内の第 1 のダイの第 1 のアクティブ面の一部の上および第 2 のダイの第 2 のアクティブ面の一部の上に D 2 D 相互接続構造を形成することをさらに含む、条項 2 6 に記載の方法。

2 8 . D 2 D 相互接続構造は、第 1 のダイと第 2 のダイとの間の水平ダイ分離領域に垂直に隣接して配置される、条項 2 7 に記載の方法。

2 9 . D 2 D 相互接続構造を形成することは、

キャピティ内の第 1 のダイの第 1 のアクティブ面および第 2 のダイの第 2 のアクティブ面に、第 1 の再配線層 (R D L) を形成することと、

第 1 の R D L 上に 1 つ以上の追加の R D L を形成することと、

を含む、

条項 2 7 および 2 8 のいずれかに記載の方法。

3 0 . ダイモジュールから第 2 のキャリアを除去することをさらに含む、条項 2 7 ~ 2 9 のいずれかに記載の方法。

3 1 . 第 1 の複数のダイ相互接続部および第 2 の複数のダイ相互接続部をパッケージ基板に結合することをさらに含む、条項 2 7 ~ 3 0 のいずれかに記載の方法。

【符号の説明】

【 0 0 5 1 】

1 0 0 分割ダイ I C パッケージ

1 0 2 D 2 D インターポーザ

1 0 4 パッケージ基板

1 0 6 (1)、1 0 6 (2) 半導体ダイ

1 0 8 ダイ分離領域

1 1 0 外部相互接続部

1 1 2 ダイ相互接続部

1 1 4 金属ピラー

1 1 6 (1)、1 1 6 (2) アクティブ面

1 1 8 はんだ接合部

1 2 0 D 2 D 相互接続部

2 0 0 分割ダイ I C パッケージ

2 0 2 D 2 D 相互接続構造

2 0 4 ダイ - 基板スタンドオフキャピティ

2 0 6 (1)、2 0 6 (2) 半導体ダイ

2 0 8 パッケージ基板

2 1 0、2 1 0 (1)、2 1 0 (2) ダイ相互接続部

2 1 1 外部相互接続部

2 1 2 ダイ分離領域

2 1 4 ダイモジュール

10

20

30

40

50

2 1 6	オーバーモールドコンパウンド	
2 1 8	再構成ウエハ	
2 2 0	誘電体層	
2 2 2	パッケージングコンパウンド	
2 2 4 (1)、2 2 4 (2)	アクティブ面	
2 2 6 (1)、2 2 6 (2)	裏面	
2 2 8	ダイスタンドオフ領域	
2 3 2	D 2 D 相互接続部	
2 3 4 (1)、2 3 4 (2)	D 2 D インターフェイス回路	
2 3 6	アクティブ面	10
2 3 8 (1)、2 3 8 (2)	金属ピラー	
2 4 0 (1)、2 4 0 (2)	相互接続バンプ	
2 4 2 (1) ~ 2 4 2 (3)	メタライゼーション層	
2 4 3 (1) ~ 2 4 3 (3)	金属相互接続部	
2 4 4 (1) ~ 2 4 4 (3)	メタライゼーション層	
2 4 6 (1) ~ 2 4 6 (3)	R D L	
2 4 8 (1) ~ 2 4 8 (3)	金属相互接続部	
6 0 2	キャリア	
6 0 4	第 1 の表面	
6 0 6	再構成ウエハ	20
6 0 8	接着フィルム	
6 1 2	上面	
6 1 4	縮小された表面	
6 1 6	第 2 のキャリア	
6 1 8	接着剤層	
6 2 0	はんだレジスト層	
7 0 0	プロセッサベースシステム	
7 0 2	I C	
7 0 4	分割ダイ I C パッケージ	
7 0 6	システムオンチップ (S o C)	30
7 0 8	C P U	
7 1 0	プロセッサ	
7 1 2	キャッシュメモリ	
7 1 4	システムバス	
7 1 6	メモリコントローラ	
7 1 8	メモリアレイ	
7 2 0	メモリシステム	
7 2 2	入力デバイス	
7 2 4	出力デバイス	
7 2 6	ネットワークインターフェイスデバイス	40
7 2 8	ディスプレイコントローラ	
7 3 0	ネットワーク	
7 3 2	ディスプレイ	
7 3 4	ビデオプロセッサ 8 0 0	ワイヤレス通信デバイス
8 0 2	I C	
8 0 3	分割ダイ I C パッケージ	
8 0 4	トランシーバ	
8 0 6	データプロセッサ	
8 0 8	送信機	
8 1 0	受信機	50

- 8 1 2 (1)、 8 1 2 (2) デジタルアナログ変換器 (D A C)
- 8 1 4 (1)、 8 1 4 (2) ローパスフィルタ
- 8 1 6 (1)、 8 1 6 (2) 増幅器 (A M P)
- 8 1 8 アップコンバータ
- 8 2 0 (1)、 8 2 0 (2) ミキサ
- 8 2 2 送信 (T X) 局部発振器 (L O) 信号発生器
- 8 2 4 アップコンバートされた信号
- 8 2 6 フィルタ
- 8 2 8 電力増幅器 (P A)
- 8 3 0 デュプレクサまたはスイッチ
- 8 3 2 アンテナ
- 8 3 4 低雑音増幅器 (L N A)
- 8 3 6 フィルタ
- 8 3 8 (1)、 8 3 8 (2) ダウンコンバージョンミキサ
- 8 4 0 R X L O 信号発生器
- 8 4 2 (1)、 8 4 2 (2) A M P
- 8 4 4 (1)、 8 4 4 (2) ローパスフィルタ
- 8 4 6 (1)、 8 4 6 (2) アナログデジタル変換器 (A D C)
- 8 4 8 T X 位相ロックループ (P L L) 回路
- 8 5 0 R X P L L 回路

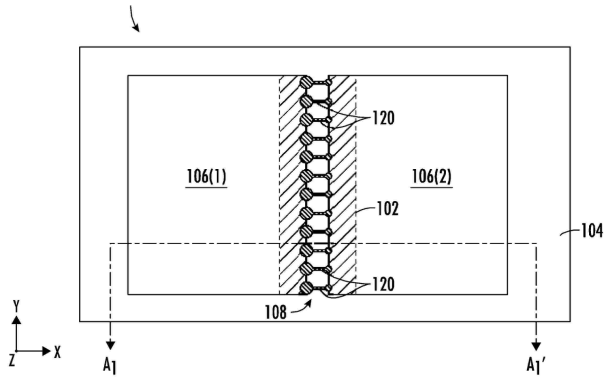
10

20

【 図 面 】

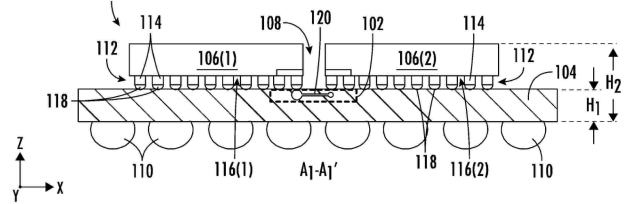
【 図 1 A 】

分割ダイICパッケージ(100)



【 図 1 B 】

分割ダイICパッケージ(100)



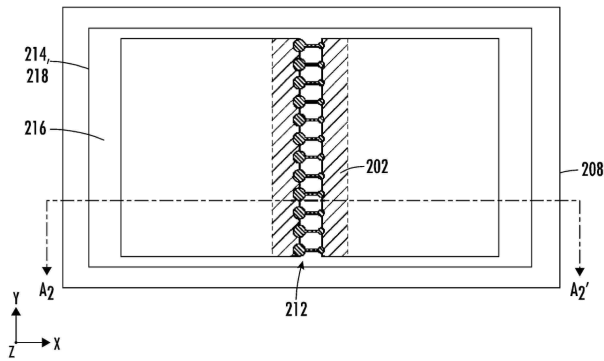
30

40

50

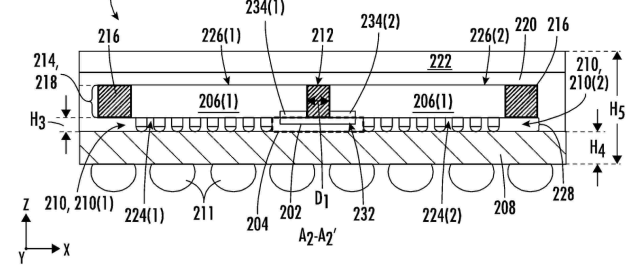
【図 2 A】

分割ダイICパッケージ(200)



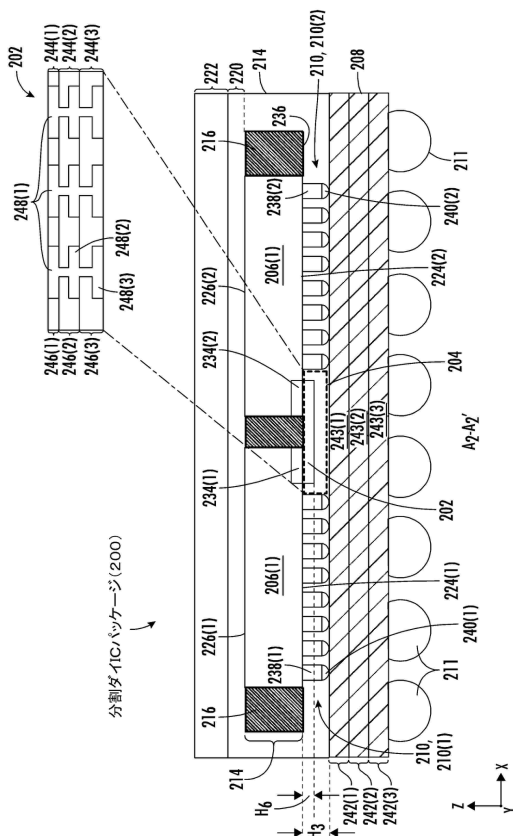
【図 2 B】

分割ダイICパッケージ(200)

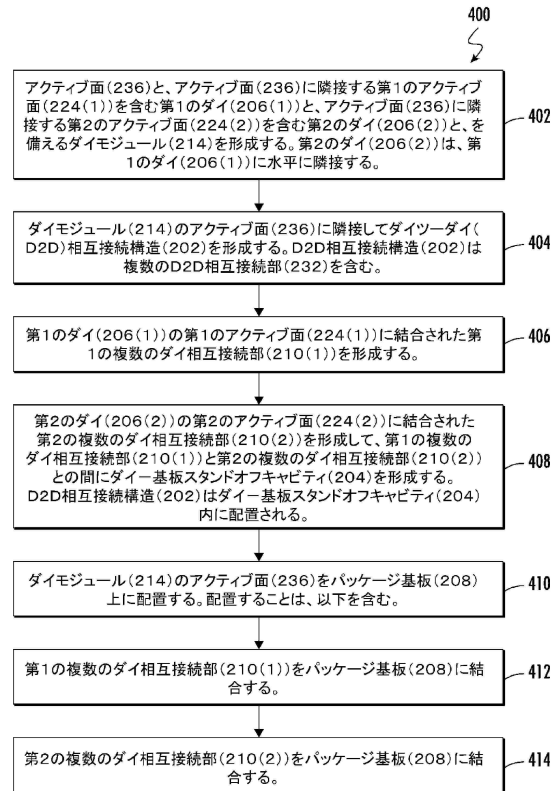


10

【図 3】



【図 4】



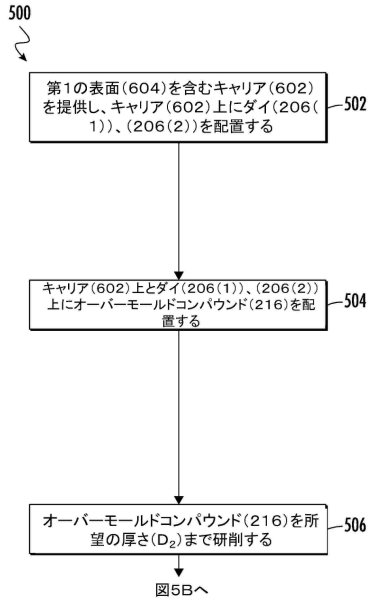
20

30

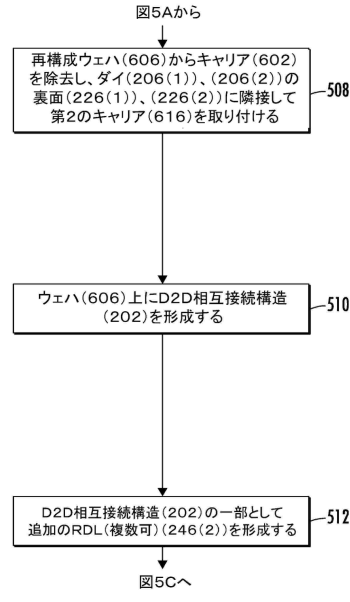
40

50

【 図 5 A 】

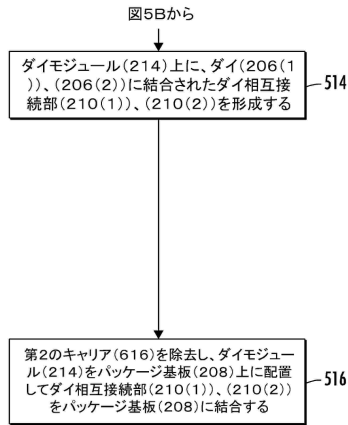


【 図 5 B 】

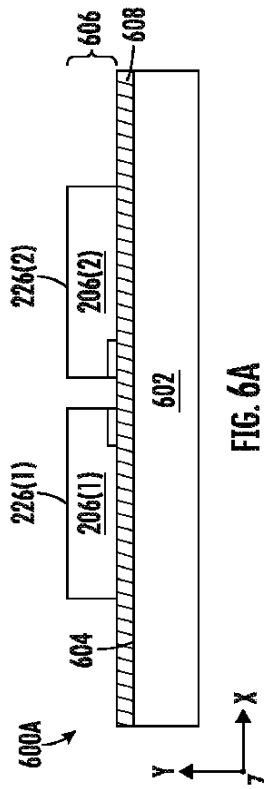


10

【 図 5 C 】



【 図 6 A 】



20

30

40

50

【 図 6 B 】

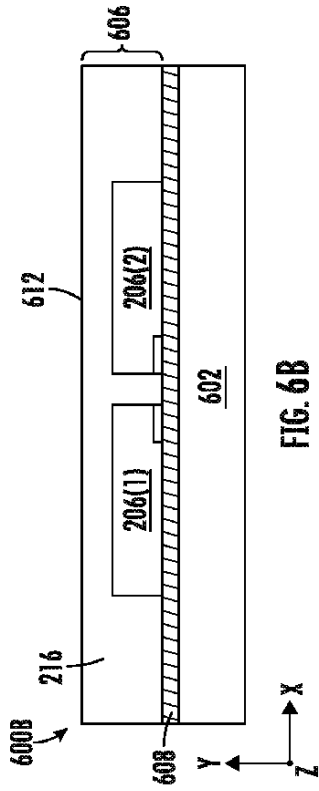


FIG. 6B

【 図 6 C 】

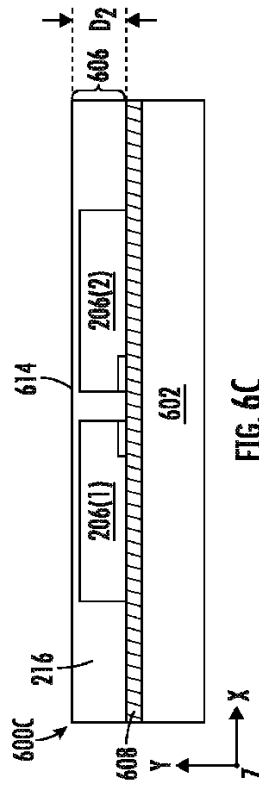


FIG. 6C

10

20

【 図 6 D 】

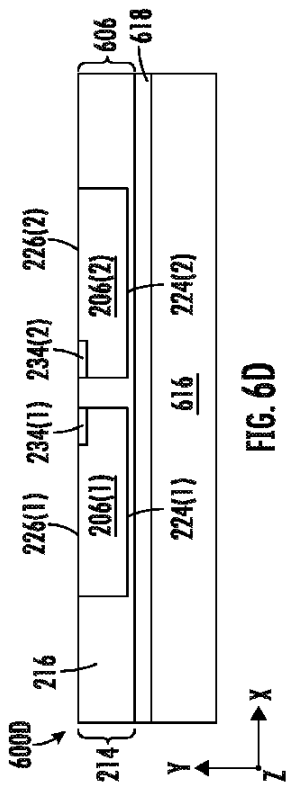


FIG. 6D

【 図 6 E 】

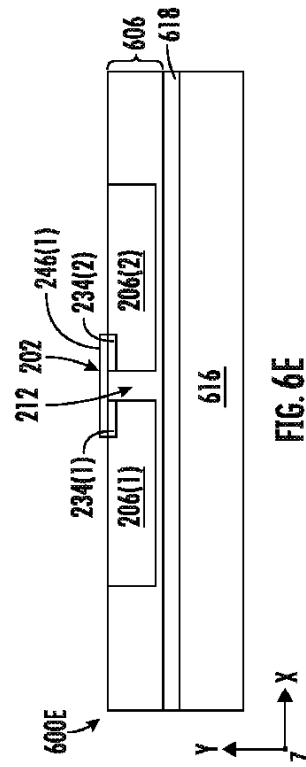


FIG. 6E

30

40

50

【 図 6 F 】

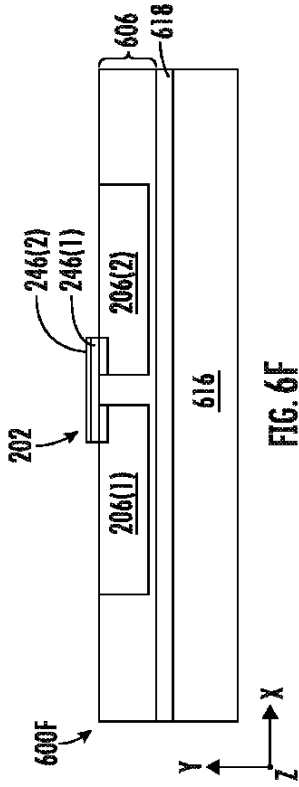


FIG. 6F

【 図 6 G 】

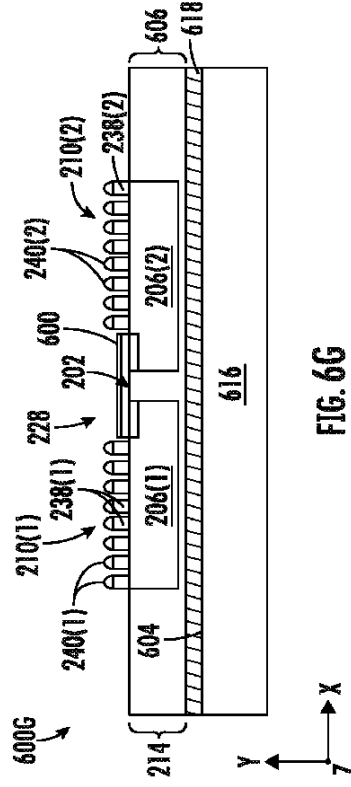
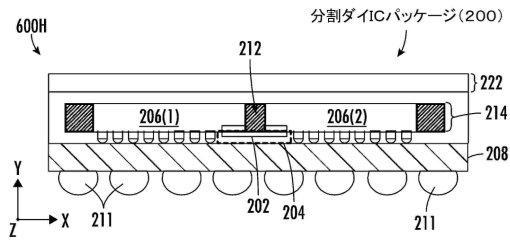


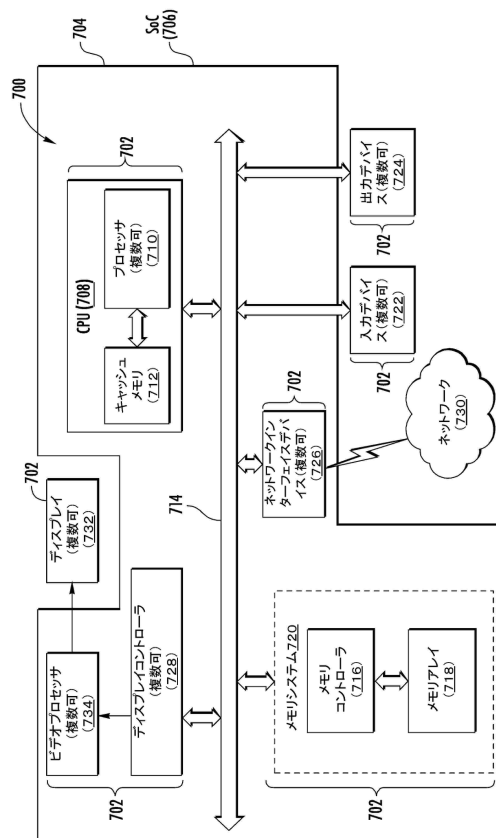
FIG. 6G

【 図 6 H 】



分割ダイICパッケージ(200)

【 図 7 】



10

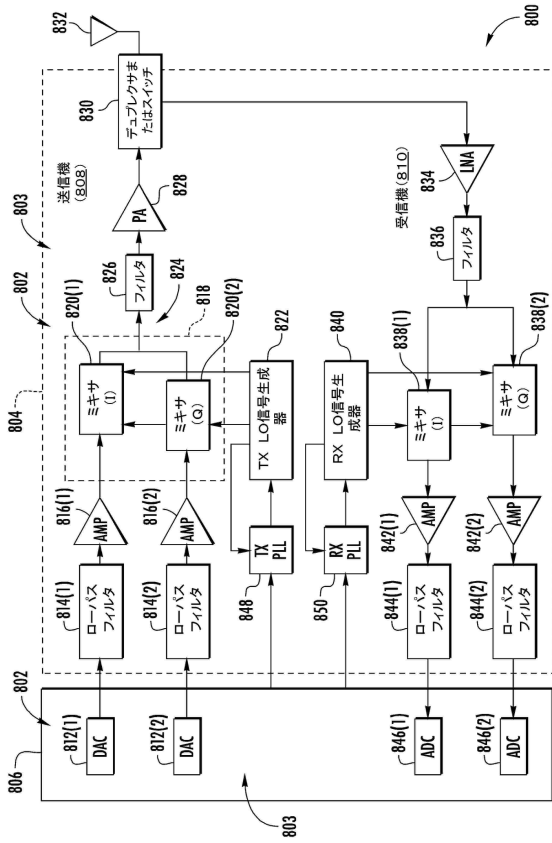
20

30

40

50

【 図 8 】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/073006

A. CLASSIFICATION OF SUBJECT MATTER		
INV.	H01L25/065	H01L23/538
		H01L23/00
		H01L21/56
		H01L25/00
ADD.	H01L23/31	H01L21/683
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019/051633 A1 (BHAGAVAT MILIND S [US] ET AL) 14 February 2019 (2019-02-14) paragraph [0065] - paragraph [0079]; figures 2, 4-6, 15, 36 -----	1-7, 10-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 7 October 2022	Date of mailing of the international search report 08/12/2022	
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Diaz Alvarez, C	

Form PCT/ISA/210 (second sheet) (April 2005)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/073006

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

10

20

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims.; it is covered by claims Nos.:
1-7, 10-25

30

40

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

50

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

10

1. claims: 1-7, 10-25

The plurality of D2D interconnects are not coupled to the package substrate

2. claims: 8, 9

The D2D interconnect structure comprises a redistribution layer, RDL, comprising at least one metal interconnect coupled to the first die and the second die

3. claims: 26-31

20

Forming the die module comprises: providing a carrier comprising a first surface; placing the first die on the first surface of the carrier; and placing the second die on the first surface of the carrier and horizontally adjacent to the first die

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/073006

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2019051633 A1	14-02-2019	CN 111033731 A	17-04-2020
		EP 3665721 A1	17-06-2020
		JP 6864152 B2	28-04-2021
		JP 2020528220 A	17-09-2020
		KR 20200030563 A	20-03-2020
		US 2019051633 A1	14-02-2019
		WO 2019032322 A1	14-02-2019

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,J
O,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,M
Z,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,
TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

1 2 1 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7 5

(72)発明者

ホン ・ ボク ・ ウィ

アメリカ合衆国 ・ カリフォルニア ・ 9 2 1 2 1 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7
5