

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-28947
(P2010-28947A)

(43) 公開日 平成22年2月4日(2010. 2. 4)

(51) Int.Cl.			F I			テーマコード (参考)
H02J	1/00	(2006.01)	H02J	1/00	309H	5G013
H02H	7/00	(2006.01)	H02H	7/00	A	5G053
H02H	7/20	(2006.01)	H02H	7/20	A	5G065
H02H	9/04	(2006.01)	H02H	9/04	B	5H006
H02M	7/06	(2006.01)	H02H	9/04	C	
審査請求 未請求 請求項の数 10 O L						(全 12 頁) 最終頁に続く

(21) 出願番号	特願2008-185863 (P2008-185863)	(71) 出願人	000006013
(22) 出願日	平成20年7月17日 (2008. 7. 17)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100113077
			弁理士 高橋 省吾
		(74) 代理人	100112210
			弁理士 稲葉 忠彦
		(74) 代理人	100108431
			弁理士 村上 加奈子
		(74) 代理人	100128060
			弁理士 中鶴 一隆
		(72) 発明者	永井 孝佳
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
			最終頁に続く

(54) 【発明の名称】 電源装置

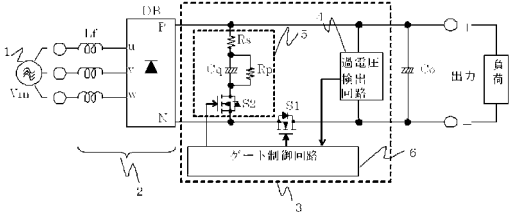
(57) 【要約】

【課題】 交流電源において過電圧が発生し、出力側回路を切り離す保護動作を行ったときに、比較的簡単な回路構成で、整流回路出力側の正負端子間に発生する電圧上昇を抑えることができる電源装置を得ることを目的とする。

【解決手段】 この発明に係る電源装置は、交流電源1を整流して脈流又は直流に変換する整流回路2と、この整流回路2の出力側の正負端子間を電流制御素子を介して接続するバイパス回路5と、この整流回路2と出力側回路とを切り離すスイッチと、過電圧検出回路4とを備えている。

過電圧検出回路4が過電圧を検出した時に、前記スイッチを遮断して整流回路2と出力側回路を切り離す動作をするが、このとき同時に前記電流制御素子を制御して、前記バイパス回路5に流れる電流を制御することにより、整流回路2の正負端子間に発生する電圧上昇を抑える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

交流電源を整流する整流回路と、
 この整流回路の出力側の正負端子と負荷の正負端子とを接続する一対の配線と、
 この配線のいずれかに設けられ電流を導通および遮断するスイッチと、
 電流制御素子を介して前記整流回路の出力側の正負端子間または前記一対の配線間を接続するバイパス回路と、
 前記交流電源、前記整流回路の出力側または前記一対の配線間における過電圧を検出する過電圧検出回路と、
 この過電圧検出回路が過電圧を検出した時に前記スイッチを遮断し、前記電流制御素子の導通電流を制御する制御装置と
 を備えた電源装置。

10

【請求項 2】

バイパス回路は、電流制御素子に直列に接続されたコンデンサを備えることを特徴とする、
 請求項 1 に記載の電源装置。

【請求項 3】

コンデンサは、整流回路のインダクタンスに保持された交流電流エネルギーを規定電圧以下で保持可能な容量を有することを特徴とする、
 請求項 2 に記載の電源装置。

20

【請求項 4】

バイパス回路は、電流制御素子およびコンデンサの直列体に直列に接続された抵抗を備えることを特徴とする、
 請求項 2 又は 3 に記載の電源装置。

【請求項 5】

バイパス回路は、放電用抵抗を介してコンデンサの両端子が接続されていることを特徴とする、
 請求項 2 乃至 4 のいずれか 1 項に記載の電源装置。

【請求項 6】

整流回路の等価インダクタンスを L_e 、コンデンサの静電容量を C_q 、抵抗の抵抗値を R_s とし、 C_q と R_s と L_e が数 1 の関係にあることを特徴とする、
 請求項 4 又は 5 に記載の電源装置。

30

【数 1】

$$R_s \geq 2 \sqrt{\frac{L_e}{C_q}}$$

【請求項 7】

バイパス回路に流れる電流を測定する電流測定回路又は整流回路の出力側の正負端子間の電圧を測定する電圧測定回路を備え、
 制御装置は、過電圧検出回路が過電圧を検出した時に、スイッチを遮断し、前記電流測定回路又は前記電圧測定回路からの出力に基づき電流制御素子の導通電流を制御することを特徴とする、
 請求項 1 に記載の電源装置。

40

【請求項 8】

バイパス回路は、電流制御素子に直列に接続された抵抗を備えたことを特徴とする、
 請求項 7 に記載の電源装置。

【請求項 9】

バイパス回路は、電流制御素子に直列に接続されたコンデンサを備えたことを特徴とする、
 請求項 7 又は 8 に記載の電源装置。

50

【請求項 10】

整流回路は、P W Mコンバータ方式を用いたことを特徴とする、
請求項 1 乃至 9 のいずれか 1 項に記載の電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電源装置、特に、入力電源から過電圧が印加された場合に、回路素子を保護する保護回路を備える電源装置に関するものである。

【背景技術】

【0002】

従来の電源装置では、交流を直流に変換する整流回路出力側の正負端子間の電圧を検出しこれが所定値を上回ったときには過電圧と判断して、整流回路側と出力端子側を切り離し、出力端子に接続された負荷回路等を保護していた（例えば、特許文献 1 参照）。

【0003】

【特許文献 1】特開 2002-218645 号公報（第 4 頁、第 2 図）

【発明の開示】

【発明が解決しようとする課題】

【0004】

整流回路は大きなインダクタンス（ L_f ）を有するフィルタリアクトルを備えており、過電圧保護動作時においても交流電流が供給されているため、このフィルタリアクトルには

【0005】

【数 1】

$$\sum_n \frac{1}{2} L_f \times I_n^2$$

で表される大きなエネルギーが蓄えられている（ I_n は各相のリアクトルに流れる電流、 $n = 1 \sim 3$ ）。この時に負荷回路等を切り離すと、整流回路出力側の正負端子間は浮遊容量 C_s のみの非常に小さな静電容量、即ち高いインピーダンスのみを介して接続されている状態となるが、フィルタリアクトルに蓄えられた交流電流エネルギーは、この浮遊容量 C_s 部に供給されることになるため、

【0006】

【数 2】

$$\sum_n \frac{1}{2} L_f \times I_n^2 = \frac{1}{2} C_s \times V_{pn}^2$$

でエネルギーがバランスするように、この正負端子間には非常に大きなサージ電圧 V_{pn} が発生することとなる。

【0007】

このサージ電圧が整流回路に印加されるため、高い耐電圧性能を有する素子を選定せざるを得なくなり、整流回路の大型化、高コスト化を招いていた。

一方、過電圧発生時に、整流回路に供給されている交流電源を遮断して、素子に過電圧が印加されないようにするという方法も考えられるが、通常の遮断器では動作速度が遅いため上記のような急激な電圧上昇に追従できず、また、F E T、I G B T 等の半導体素子を用いて高速化を図った場合には、3 相各相に 2 個ずつで計 6 個の素子とこの素子用のゲート制御回路が必要であり、回路が大掛かりになるという問題があった。

【0008】

本発明は、上記に示したような問題点を解決するためになされたもので、交流電源において過電圧が発生し、出力側回路を切り離す保護動作を行ったときに、比較的簡単な回路構成で、整流回路出力側の正負端子間に発生する電圧上昇を抑えることができる電源装置

10

20

30

40

50

を得ることを目的とする。

【課題を解決するための手段】

【0009】

この発明に係る電源装置は、交流電源を整流する整流回路と、整流回路の出力側の正負端子と負荷の正負端子とを接続する一対の配線と、この配線のいずれかに設けられ電流を導通および遮断するスイッチと、電流制御素子を介して整流回路の出力側の正負端子間または前記一対の配線間を接続するバイパス回路と、交流電源、整流回路の出力側または前記一対の配線間における過電圧を検出する過電圧検出回路と、スイッチ及び電流制御素子を制御する制御回路から構成されている。

また、制御回路は過電圧検出回路が過電圧を検出した時にスイッチを遮断し、電流制御素子の導通電流を制御することを特徴としている。

【発明の効果】

【0010】

この発明に係る電源装置によれば、電流制御素子を介してバイパス回路が整流回路の出力側の正負端子間またはこれに接続された一対の配線間に接続されており、過電圧を検出した時に電流制御素子の動作を制御し、これによりバイパス回路を流れる電流を制御できるため、整流回路の出力部の正極と負極間に発生する電圧上昇を抑えることができる。

【発明を実施するための最良の形態】

【0011】

実施の形態 1.

図 1 は本発明の実施の形態 1 による三相 AC/DC 電源装置の回路図である。三相交流電源 1 からの入力は、フィルタリアクトル Lf と、三相ダイオードブリッジ DB によって構成される整流回路 2 によって整流される。この整流回路 2 の出力側の正負端子と負荷の正負端子とを接続する一対の配線が設けられており、整流回路 2 からの出力電流はこの一対の配線上に設けられた過電圧保護回路 3 を介し、さらに負荷への出力端子間に設けられた平滑コンデンサ Co によって平滑され、負荷に対して出力される。

過電圧保護回路 3 は、整流回路 2 の出力部の負極（三相ダイオードブリッジの端子 N）と、出力端子の負極との間に設けられた、負荷への電流を導通および遮断するためのスイッチである第一のスイッチ S1、電流制御素子である第二のスイッチ S2 を含み、前記一対の配線間を接続するバイパス回路 5、出力端子付近に設けられた過電圧検出回路 4、過電圧検出回路 4 からの過電圧検出信号に従い第一および第二のスイッチ S1、S2 のオン・オフを制御する制御装置であるゲート制御回路 6 により構成される。

【0012】

第一のスイッチ S1 は、整流回路 2 の出力電流を負荷に通電するかどうかを切り替えるためのものであり、整流回路 2 の正極と、出力端子の正極との間に設けてもよい。第一および第二のスイッチ S1、S2 には、FET、IGBT、バイポーラトランジスタなどを用いることができる。

過電圧検出回路 4 において過電圧を検出するには、整流回路 2 の出力電圧を抵抗分圧器によって降圧した後、コンパレータにより基準電圧と比較する方法、あるいは A/D コンバータによってデジタル信号に変換して基準となるデジタル値と比較する方法、などを用いることができる。なお、図 1 では過電圧を電源装置の出力端にて検出しているが、三相ダイオードブリッジ DB の出力側、すなわち第一のスイッチ S1 よりも入力側で検出してもよいし、また AC 入力電圧を検出してもよい。

バイパス回路 5 は、整流回路 2 の出力側の正極（P）と負極（N）間に接続され、ダンピング抵抗 Rs と、電荷吸収コンデンサ Cq、および第二のスイッチ S2 の直列回路と、電荷吸収コンデンサ Cq に並列に接続された放電抵抗 Rp により構成される。

【0013】

次に、バイパス回路 5 を構成する抵抗、およびコンデンサの定数の定め方について説明する。

電荷吸収コンデンサ Cq の値は下式に示される通り、少なくとも 3 つのフィルタリアク

10

20

30

40

50

トル L_f に蓄積されているエネルギーの総和を吸収可能な程度の容量を有するように選定する。

【0014】

【数3】

$$\sum_n \frac{1}{2} L_f \times I_n^2 < \frac{1}{2} C_q \times V_c^2$$

ここで、各変数は下記の通りである。

L_f ：フィルタリアクトルのインダクタンス。

I_n ($n=1\sim3$)：第二のスイッチ S_2 がオンする瞬間に3つのフィルタリアクトルのそれぞれに流れる電流の瞬時値。

C_q ：電荷吸収コンデンサの静電容量。

V_c ：電荷吸収コンデンサ C_q の最終到達電圧であるが、過電圧発生期間中に整流回路出力部の正極と負極間に定常的に現れる電圧でもあるため、整流回路2に使用している素子等の耐電圧仕様により規定されるものである。

電荷吸収コンデンサ C_q に流れ込む電流は、 L_f に蓄えられたエネルギーによる電流だけでなく、三相電源から定常的に流れ込む電流も含まれる場合もあるので、この静電容量は上の式で求まる最小値よりも10倍程度大きくするのが望ましい。

【0015】

ダンピング抵抗 R_s の値は、フィルタリアクトル L_f 、電荷吸収コンデンサ C_q 、およびダンピング抵抗 R_s による直列共振回路が、臨界制動条件あるいは過制動条件となるように選定する。すなわち、

【0016】

【数4】

$$R_s \geq 2 \sqrt{\frac{L_e}{C_q}}$$

ここで、 L_e は、フィルタリアクトル L_f 、電荷吸収コンデンサ C_q 、およびダンピング抵抗 R_s を直列共振回路と見なしたときの、フィルタリアクトル L_f の等価的なインダクタンスである。三相交流の各線に挿入された3つのフィルタリアクトル L_f のうち、1個または2個には三相交流電源からダイオードブリッジ DB に向かう電流が、残りのフィルタリアクトル L_f にはダイオードブリッジ DB から三相交流電源1に向かう電流が流れるので、 L_e の値は1個の L_f と、2個並列に接続した L_f と、を直列に接続した値、すなわち $L_e = 1.5 L_f$ となる。

【0017】

バイパス回路5を備えた本実施の形態に係る電源装置の動作を図2乃至4に基づいて説明する。図2、3は各々本実施の形態による電源装置、及び従来の電源装置において過電圧が検出された場合の各部の波形を示す図であり、図4は本実施の形態による電源装置において過電圧発生時の電流経路を示す図である。図2、4において、 t_1 は入力電圧の変動が始まる時であり、 t_2 は第一のスイッチ S_1 がオフする時を示している。

従来の電源装置では、入力電圧の上昇により出力電圧が上昇し、過電圧が検出されることにより出力切り離しスイッチ S_1 をオフにするが、このとき整流回路出力部の正極と負極間の正負端子間電圧 V_{pn} には高いサージ電圧が発生する(図3)。

これに対して、本実施の形態における電源装置では、第一のスイッチ S_1 をオフすると同時に第二のスイッチ S_2 をオンする。このときの電流経路を図4に示す。フィルタリアクトル L_f には従来と同様のエネルギーが蓄積されており、ダイオードブリッジ DB の出力から電流が流出し続けるが、この電流の大部分は I_q として、バイパス回路5のダンピング抵抗 R_s および第二のスイッチ S_2 を介して電荷吸収コンデンサ C_q に流れ込む。その結果、ダイオードブリッジ DB の出力の正負端子間電圧 V_{pn} の上昇は図2に示すように小さく抑えることができる。

10

20

30

40

50

【0018】

また、ダンピング抵抗 R_s により、バイパス回路 5 に流れ込む電流は制限されるので、前記〔数 1〕で示されるフィルタリアクトル L_f に蓄積されるエネルギーが増大するのを抑制できる。さらに、直列共振回路を構成する R_s 、 C_q 、 L_e が、臨界制動条件又は過制動条件となっているため、共振をダンピングして直列共振回路に過剰な電圧、電流が発生するのを防止できる。

【0019】

実施の形態 1 に示したバイパス回路においては、電荷吸収コンデンサ C_q の両端子を放電抵抗 R_p を介して接続するようにしている。このため、過電圧発生期間中に電荷吸収コンデンサ C_q に充電された電荷を過電圧が発生していない期間に放電でき、放電抵抗 R_p を備えないものと比べて電荷吸収コンデンサ C_q の容量を最大限に活用して充電できるので、電荷吸収コンデンサ C_q の容量を比較的小さくできる。逆に、過電圧の発生確率が極めて低く、1 回のみの過電圧に耐えればよいのであれば、放電抵抗 R_p を省略することも可能である。

【0020】

以上のように、本発明の電源装置によれば、入力に過電圧が印加されたときに、負荷に過電圧が印加されるのを防止するとともに、整流回路にサージ電圧が印加されるのを防ぐことができ、電源装置の信頼性を向上させることが可能となる。また、電源装置に使用するダイオードブリッジなどの部品に高耐圧のものを用いる必要がなくなり、電源装置のコストを低減することができる。

【0021】

なお、本発明における過電圧保護回路 3 は、後に説明する実施の形態 2～5 において示すものも含めて、三相 AC/DC 電源だけではなく、単相入力 AC/DC 電源や、DC/DC コンバータに用いるほか、任意の直流電源を入力側回路として用いることが可能である。特に、出力切り離しスイッチである第一のスイッチ S_1 をオフする瞬間に、入力側回路のいずれかのリアクトルにエネルギーが蓄積されており、このエネルギーが放出されてサージ電圧を発生させるような場合に有効である。

【0022】

実施の形態 2.

実施の形態 1 では、整流回路 2 として三相ダイオードブリッジを用いたものについて説明したが、これは他の整流方式によるものであってもよく、整流回路 2 として三相 PWM コンバータを用いた電源装置の回路図を図 5 に示す。

基本的な構成は実施の形態 1 の図 1 に示した電源装置と同じであるが、整流回路 2 が、フィルタリアクトル L_{fA} 、 L_{fB} およびフィルタコンデンサ C_f と、三相 IGBT ブリッジ 7、PWM 制御回路 8 により構成される点異なる。ここで、フィルタ L_{fA} は省略される場合もあり得る。また、三相 IGBT ブリッジの代わりに三相 FET ブリッジ、あるいはサイリスタブリッジを用いても良い。

PWM 制御回路 8 と過電圧保護回路 3 のゲート制御回路 6 は、同一の基板に実装し、さらに同一のマイクロプロセッサや DSP、FPGA などで実現することにより、コスト低減を図ることが可能である。逆に、ゲート制御回路 6 は独立した別回路のままとしこの回路を単純化することにより、過電圧保護回路 3 の信頼性を向上させても良い。

【0023】

次に本実施の形態に係る電源装置の動作について説明する。

PWM 制御回路 8 は、各相の入力電圧およびフィルタリアクトル L_{fB} に流れる電流、および出力電圧を検出し、三相 IGBT ブリッジ 7 のオン・オフを制御することにより、三相交流電源 1 から流れ込む電流波形が、入力電圧に比例した高調波の少ない電流となるように、すなわち、入力力率を向上させるように制御する。

ゲート制御回路 6 の機能は、実施の形態 1 にて説明したものと同一であり、過電圧検出回路 4 からの信号によって第一のスイッチ S_1 をオフ、電流制御素子である第二のスイッチ S_2 をオンとすることにより、出力および三相 IGBT ブリッジ 7 に印加される過電圧

10

20

30

40

50

を防止する。

【0024】

本実施の形態において使用されている IGBTブリッジ7はダイオードブリッジに比べ高価であるため、本発明の適用により耐電圧仕様を低減できれば、電源装置全体のコスト低減効果大きい。また、耐電圧仕様を下げることにによりスイッチング速度や耐電流特性を向上させることが可能となり、電源の小型化、高効率化が可能となる。

また、三相PWMコンバータは、図1に示したダイオードブリッジを用いたものよりも小さなインダクタンスのフィルタリアクトル $L_f A$ および $L_f B$ で、入力力率を向上させることができ、更に、 $L_f A$ 、 $L_f B$ に蓄えられた交流電流エネルギーが小さくなるため、このエネルギーを吸収するのに必要な電荷吸収コンデンサ C_q の容量も小さくてすむという利点もある。

10

【0025】

実施の形態3.

実施の形態1および2においては、バイパス回路5として、ダンピング抵抗 R_s と電荷吸収コンデンサ C_q および電流制御素子である第二のスイッチ S_2 の直列回路、および電荷吸収コンデンサ C_q に並列に接続された放電抵抗 R_p によって構成され、第二のスイッチ S_2 は過電圧発生時にオン動作のみを行うものを示した。

本実施の形態及び実施の形態4、5に示すものは、バイパス回路5を流れる電流 I_q 、又は整流回路2の出力側の正負端子間電圧 V_{pn} を監視しながら、第二のスイッチ S_2 の動作をフィードバック制御することにより、バイパス回路5に流れる電流 I_q を制御し、正負端子間電圧 V_{pn} を規定電圧以下に抑えようとするものである。

20

図6に、抵抗 R_s と第二のスイッチ S_2 を直列接続してバイパス回路5を構成した電源装置の回路図を示す。

【0026】

本実施の形態に係る電源装置の動作について説明する。

ゲート制御回路6に設けたROMやフラッシュメモリなどの記憶素子において、電圧変動に対応する電流 I_q の目標波形をあらかじめテーブルとして用意しておく。過電圧検出信号が入力されると、測定された電圧変動に近い電圧変動に対応する電流 I_q の目標波形が記憶素子から選定され、アドレス制御回路の指示によって各時刻における電流 I_q の目標値が順次読み出される。

30

一方、電流 I_q は、シャント抵抗やカレントトランス、ホール素子などを用いた電流検出器により検出し、RC回路やアクティブフィルタなどのローパスフィルタによって平滑したものを、実測値として得る。

電流 I_q の目標値と実測値との差分をPI制御器に通し、この出力信号を基にしてPWM発生回路にて矩形波を発生させて第二のスイッチ S_2 をオン・オフ制御する。電流波形は第二のスイッチ S_2 のオン・オフ制御のためパルス電流が流れることになるが、その平均値が図2に示した電流 I_q と同等な波形となるように制御すればよい。図7に各部の波形を示す。

【0027】

本実施の形態では、バイパス回路5を流れる電流 I_q の実測によるフィードバック制御を行っているため、電流 I_q を目標値に近づけるよう制御することが可能となり、整流回路の出力側の正負端子間電圧 V_{pn} を精度よく規定値以内にするができる。

40

また、ダンピング抵抗 R_s を備えているため、後に説明する実施の形態4、5のようにこれを備えていないものと比較すると、第二のスイッチ S_2 に流れる電流及び第二のスイッチ S_2 での発熱を低減させることができるため、第二のスイッチ S_2 の冷却を簡略なものとするができる利点がある。

【0028】

以上述べた電流フィードバックPWM回路は一般的なものであり、電流目標値と実測値を一致させるように制御するものであれば、他の構成であってもよい。

また、上記では電流 I_q を測定し、これと電流 I_q の目標波形とを比較することにより

50

第二のスイッチ S_2 をフィードバック制御したが、整流回路出力側の正負端子間電圧 V_{pn} をモニタし、これが所定値を越えないように第二のスイッチ S_2 をオン・オフ制御することにより、 I_q を制御することも可能である。

【0029】

一方、整流回路 2 に印加される電圧をそれほど精度よく管理する必要がない場合には、電流 I_q や正負端子間電圧 V_{pn} を測定してフィードバックするという構成をやめて、制御をもっと単純化することも可能である。この場合には、過電圧発生時の電圧変動に対応して予め定めて記憶素子に記憶させておいた第二のスイッチ S_2 のオン・オフパターンを、順次読み込んで第二のスイッチ S_2 を制御するだけのオープンループ制御となる。

【0030】

実施の形態 4.

本実施の形態は、実施の形態 3 に対して、ダンピング抵抗 R_s を省略し、電荷吸収コンデンサ C_q と放電抵抗 R_p の並列回路を電流制御素子である第二のスイッチ S_2 に直列に接続してバイパス回路 5 を構成したものであり、この部分の回路図を図 8 に示す。

この場合も第二のスイッチ S_2 をオン・オフすることにより、バイパス回路 5 に流れる電流 I_q を制御することができるが、ダンピング抵抗 R_s が挿入されていないので、第二のスイッチ S_2 をオンした時に大きなピーク電流が流れる。これに対しては、第二のスイッチ S_2 のオン・オフを高周波で行い、オン時間を短くすれば電流パルス幅を短くすることができ、電流量を制御することが可能である。

【0031】

第二のスイッチ S_2 はオン・オフ制御されるので、パルス電流が流れることになるが、浮遊容量 C_s 、又は C_s に並列に小容量のコンデンサを追加して平滑すれば、実施の形態 1 の電流 I_q と同じような滑らかな電流波形を得ることもできる。

また、第二のスイッチ S_2 のオン・オフ制御は、図 7 に示したものと同様、電流 I_q 又は正負端子間電圧 V_{pn} を検出して目標値と比較して制御しても良いが、第二のスイッチ S_2 を実施の形態 1 におけるダンピング抵抗 R_s として機能させるように運転させる場合には、第二のスイッチ S_2 のオン時間の比率を一定としておく簡易な制御とすることも可能である。この場合には、電流 I_q は正負端子間電圧 V_{pn} とコンデンサ電圧 V_c との差 $V_{pn} - V_c$ に比例して流れるため、図 2 に示した電流 I_q の電流波形と類似した波形となる。

【0032】

実施の形態 5.

本実施の形態は、実施の形態 3、4 に対して、電荷吸収コンデンサ C_q と放電抵抗 R_p とダンピング抵抗 R_s の全てを省略し、バイパス回路 5 として電流制御素子である第二のスイッチ S_2 のみを備える場合であり、この回路を図 9 に示す。

この場合は、FET や IGBT、バイポーラトランジスタなどの素子を、オン・オフ制御のみ可能なスイッチとして使用するのではなく、能動領域にて動作させることにより、これらの素子を流れる電流を制御する。この場合、第二のスイッチ S_2 の制御線 (FET の場合におけるゲート信号) には、能動領域で使用するためのアナログ信号を印加する。すなわち、PI 制御器の出力をアナログ増幅器を介して第二のスイッチ S_2 の制御線に印加する。

【0033】

また、電流 I_q を測定してフィードバック制御するかわりに、正負端子間電圧 V_{pn} を測定しこれが所定値を超えないように第二のスイッチ S_2 を制御する構成を図 10 に示す。

この場合には、例えば上限値と下限値の 2 つの電圧設定ができるヒステリシスコンパレータを用いて、電圧が上限値を超えたときには、第二のスイッチ S_2 をオンにして電圧を下げ、下限値を下回ったときには第二のスイッチ S_2 をオフになるように制御すると、電圧 V_{pn} が上限値と下限値付近の間に収まるようにすることができ、正負端子間電圧 V_{pn} に過大なサージ電圧が発生することはない。

10

20

30

40

50

このように、最低限、第二のスイッチ S 2 があれば、本発明におけるバイパス回路 5 を構成することは可能である。

【0034】

以上のように、実施の形態 5 によれば、電荷吸収コンデンサ C q、放電抵抗 R p、及びダンピング抵抗 R s を省略することにより、バイパス回路 5 の構成を簡略化し、大電力部品を削減できるので、回路の小型化、コストの低減が可能となる。

図 10 に示すように電圧フィードバック制御を行う場合には、図 9 に示す電流フィードバック制御の場合と比較して、記憶素子、アドレス制御回路等の部品を省略でき、更に構成部品を少なくできるという利点がある。

【図面の簡単な説明】

10

【0035】

【図 1】この発明の実施の形態 1 による電源装置の回路図である。

【図 2】この発明の実施の形態 1 による電源装置において、過電圧発生時の各部波形を示す図である。

【図 3】従来の電源装置において、過電圧発生時の各部波形を示す図である。

【図 4】この発明の実施の形態 1 による電源装置において、過電圧発生時の電流経路を示す図である。

【図 5】この発明の実施の形態 2 による電源装置の回路図である。

【図 6】この発明の実施の形態 3 による電源装置のバイパス回路及び制御装置の回路図である。

20

【図 7】この発明の実施の形態 3 による電源装置において、過電圧発生時の各部波形を示す図である。

【図 8】この発明の実施の形態 4 による電源装置のバイパス回路及び浮遊容量の回路図である。

【図 9】この発明の実施の形態 5 による電源装置のバイパス回路及び制御装置の回路図である。

【図 10】この発明の実施の形態 5 による電源装置のバイパス回路及び制御装置の回路図である。

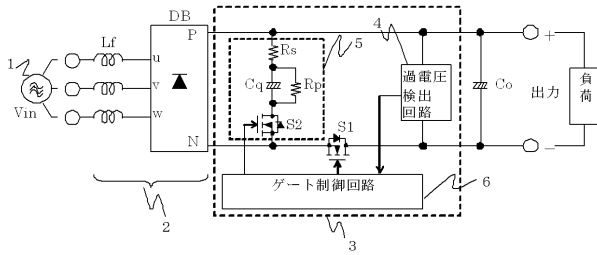
【符号の説明】

【0036】

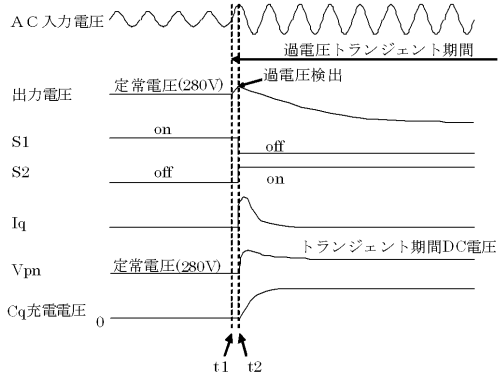
30

- 1 交流電源
- 2 整流回路
- 4 過電圧検出回路
- 5 バイパス回路
- 6 ゲート制御回路

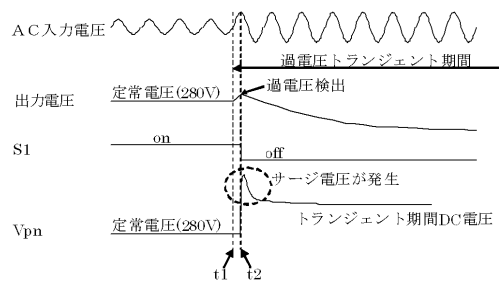
【図 1】



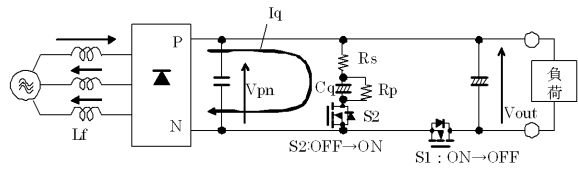
【図 2】



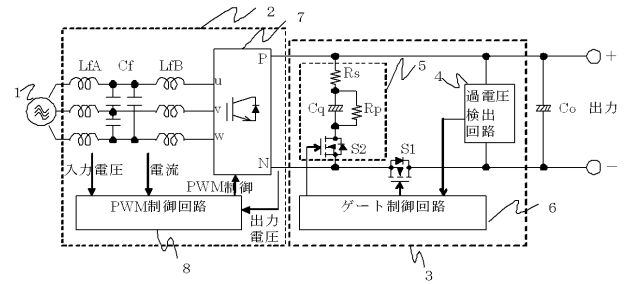
【図 3】



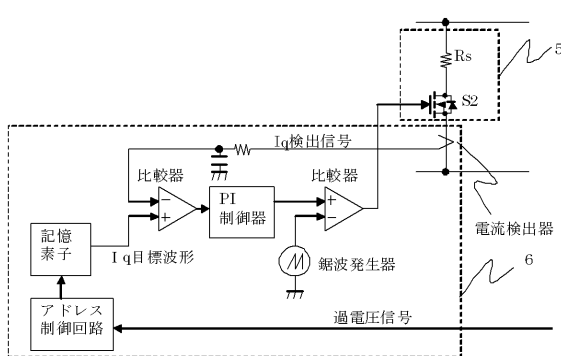
【図 4】



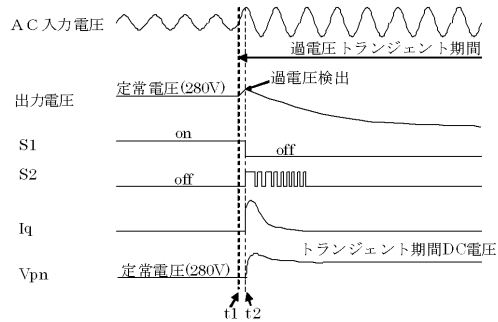
【図 5】



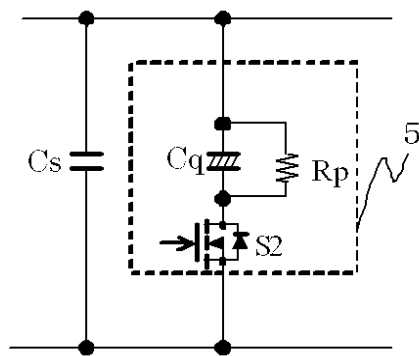
【図 6】



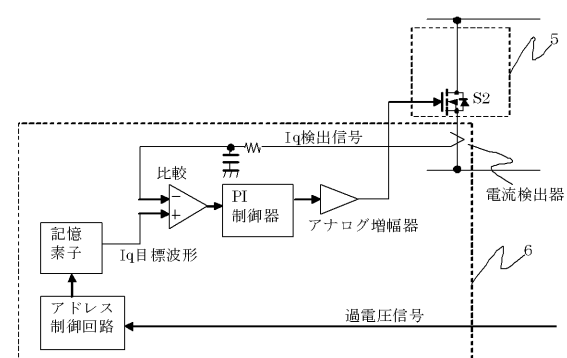
【図 7】



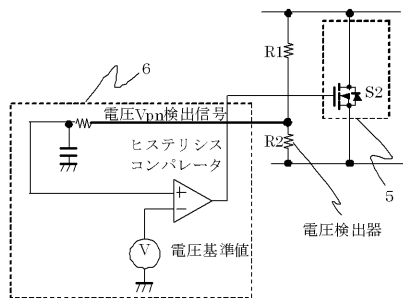
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 2 M 7/06 H

(72)発明者 菅 郁朗

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5G013 AA02 AA04 BA02 CB30 DA05 DA11
5G053 AA09 BA04 CA01 CA04 DA01 EB05 EC03
5G065 BA01 DA06 EA06 HA01 JA02 KA02 KA05 LA01 MA10 NA01
NA02
5H006 AA05 CA02 CB01 CC08 DA04 DB01 DB03 DC05 FA01 GA04