



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년04월04일
 (11) 등록번호 10-1845592
 (24) 등록일자 2018년03월29일

(51) 국제특허분류(Int. Cl.)
 H01L 21/762 (2006.01)
 (52) CPC특허분류
 H01L 21/76259 (2013.01)
 H01L 21/76264 (2013.01)
 (21) 출원번호 10-2015-0159825
 (22) 출원일자 2015년11월13일
 심사청구일자 2015년11월13일
 (65) 공개번호 10-2017-0015062
 (43) 공개일자 2017년02월08일
 (30) 우선권주장
 14/813,177 2015년07월30일 미국(US)
 (56) 선행기술조사문헌
 JP2013012653 A*
 (뒷면에 계속)

(73) 특허권자
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완, 신추, 신추 사이언스 파크,
 리-신 로드 6, 넘버 8
 (72) 발명자
 린 보지은
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 첸 하이칭
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 마오 티엔아이
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 (74) 대리인
 김진희, 김태홍

전체 청구항 수 : 총 9 항

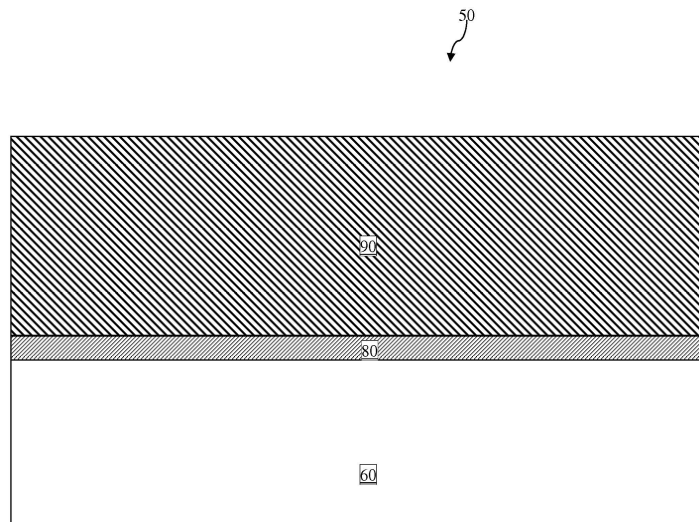
심사관 : 김종희

(54) 발명의 명칭 **다공질 저-k 구조 형성 시스템 및 방법**

(57) 요약

본 발명은 다공질 저-k 유전체 구조의 형성에 관한 것이다. 기판 위에 복수의 전도성 소자들이 형성된다. 상기 전도성 소자들은 복수의 개구들에 의해 서로 분리되어 있다. 상기 전도성 소자들 위에 배리어층이 형성된다. 상기 배리어층은 상기 개구들의 측벽을 덮도록 형성된다. 상기 배리어층에 처리 공정을 실시한다. 상기 처리 공정이 실시된 후 상기 배리어층은 친수성이 된다. 상기 처리 공정이 실시된 후 상기 배리어층 위에 유전체 물질이 형성된다. 상기 유전체 물질은 상기 개구를 채우고 복수의 포로젠을 함유한다.

대표도



(52) CPC특허분류

H01L 21/7627 (2013.01)

H01L 21/76283 (2013.01)

(56) 선행기술조사문헌

JP2005000780 A

KR1020060064289 A

KR1020000076869 A

US20140377937 A1

US20100093168 A1*

US20050212135 A1

US20140065818 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관;

상기 기관 위에 배치되고, 복수의 개구들에 의해 서로 분리되어 있는 복수의 전도성 소자들;

상기 전도성 소자들 위 및 상기 전도성 소자들 사이에 배치되는 유전체 물질; 및

상기 전도성 소자들과 상기 유전체 물질 사이에 배치되는 배리어층

을 포함하며,

상기 배리어층의 표면이 친수성을 가지고,

상기 유전체 물질은 상기 개구들 내부에 배치되는 제1 부분, 및 상기 개구들 위와 상기 전도성 소자들 위에 배치되는 제2 부분을 포함하며,

상기 제1 부분이 상기 제2 부분보다 더 다공질인 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 유전체 물질의 제1 부분이 상기 유전체 물질의 제2 부분보다 낮은 유전 상수를 갖는 반도체 디바이스.

청구항 3

제1항에 있어서,

상기 유전체 물질이 복수의 다공질 구조를 포함하고,

상기 유전체 물질의 제1 부분에 배치된 다공질 구조는 상기 유전체 물질의 제2 부분에 배치된 다공질 구조보다 크기가 더 큰 반도체 디바이스.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 전도성 소자들은 배선 구조의 금속 라인인 반도체 디바이스.

청구항 6

제1항에 있어서, 상기 전도성 소자들의 적어도 일부 위에 배치된 하나 이상의 전도성 비아를 추가로 포함하는 반도체 디바이스.

청구항 7

제1항에 있어서, 상기 유전체 물질의 유전 상수는 이산화규소의 유전 상수보다 작은 반도체 디바이스.

청구항 8

기관;

상기 기관 위에 배치되는 복수의 금속 소자들;

상기 금속 소자들 사이 및 상기 금속 소자들 위에 배치되는 저-k 유전체 물질; 및

상기 금속 소자들과 상기 저-k 유전체 물질 사이에 배치되는 배리어층

을 포함하며,

상기 배리어층의 표면이 친수성을 가지고,

상기 저-k 유전체 물질은 상기 금속 소자들 사이에 배치되고 제1 유전 상수를 갖는 제1 부분, 및 상기 금속 소자들 위에 배치되고 제2 유전 상수를 갖는 제2 부분을 포함하며,

상기 제1 유전 상수는 상기 제2 유전 상수보다 낮고;

상기 제1 유전 상수 및 상기 제2 유전 상수는 각각 이산화규소의 유전 상수보다 작은 반도체 디바이스.

청구항 9

반도체 디바이스의 제조 방법으로서,

복수의 개구에 의해 서로 분리되어 있는 복수의 전도성 소자를 기판 위에 형성하는 단계;

상기 개구의 측벽을 덮도록 형성된 배리어층을 상기 전도성 소자 위에 형성하는 단계;

배리어층에 처리 공정을 실시하는 단계로서, 상기 처리 공정이 실시된 후 배리어층이 친수성이 되는 단계; 및

상기 처리 공정이 실시된 후 상기 배리어층 위에, 상기 개구를 채우고 복수의 포로젠을 함유하는 유전체 물질을 형성하는 단계

를 포함하는 제조 방법.

청구항 10

제9항에 있어서, 상기 처리 공정이 이하의 공정 조건에서 실시되는 것인 제조 방법:

500의 분당 표준 세제곱 센티미터(ccm) 내지 2000 sccm 범위의 유속;

100℃ 내지 400℃ 범위의 공정 온도;

0.1 Torr 내지 10 Torr 범위의 공정 압력;

50 Watt 내지 1500 Watt 범위의 공정 동력; 및

2초 내지 120초 범위의 공정 지속시간.

발명의 설명

기술 분야

배경 기술

- [0001] 반도체 집적회로(IC) 산업은 빠른 성장을 겪어왔다. IC 재료 및 설계에서의 기술적 진보는 각 세대가 이전 세대보다 더 작고 더 복잡한 회로를 갖는 IC 세대들을 생산해 왔다. 그러나, 이들 진보는 IC의 프로세싱 및 제조의 복잡성을 증가시켜왔고, 이러한 진보를 실현하기 위하여, IC 프로세싱 및 제조에서 유사한 개발이 필요하다. 집적회로 개발 과정에서, 기능적 밀도(functional density)(즉, 칩 면적당 상호연결된 소자의 개수)는 일반적으로 증가하면서 기하학적 크기[즉, 제조 공정을 이용하여 제조될 수 있는 가장 작은 부품 (또는 라인)]는 감소되어 왔다.
- [0002] 반도체 제조의 일부로서, 금속 트렌치가 형성될 수 있다. 금속 트렌치는 IC의 여러 부품을 위한 배선을 제공하는 금속 라인의 역할을 할 수 있다. 금속 트렌치는 저-k 유전체 물질에 의하여 분리된다. 그러나, 종래의 반도체 제조 기술은 충분히 다공질인 저-k 유전체 물질을 제공하지 못했다. 이것은 종래의 반도체 IC의 성능에 부정적인 영향을 줄 수 있다.
- [0003] 따라서, 종래의 IC에서의 저-k 물질은 일반적으로 그 의도하는 목적에는 적합하였지만, 모든 양태에서 완전히 만족스러운 것은 아니었다.

선행기술문헌

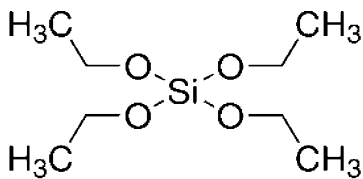
특허문헌

(특허문헌 0001) 일본 공개특허공보 특개2013-012653호(2013.01.17)

발명의 내용

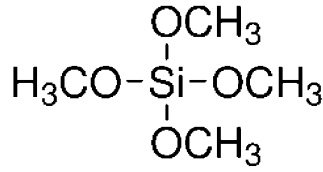
- [0004] 하기 개시내용은 제공된 발명 대상의 상이한 특징들을 실현하기 위해, 많은 상이한 실시양태들 또는 실시예들을 제공한다. 본 개시내용을 단순화하기 위해 성분 및 배치의 구체예를 이하에 기재한다. 물론, 이들은 단지 예시인 것으로서, 제한적인 것으로 의도되지 않는다. 예를 들면, 후속되는 설명에서 제2 특징부 위 또는 바로 위에 제1 특징부를 형성한다는 것은 제1 특징부와 제2 특징부가 직접 접촉되는 실시양태를 포함할 수 있으면서도, 부가적 특징부가 제1 특징부와 제2 특징부 사이에 형성되어, 제1 특징부와 제2 특징부가 직접 접촉되지 않도록 하는 실시양태를 포함할 수도 있다. 또한, 본 개시내용은 각종 예에서 참조 숫자 및/또는 문자를 반복할 수 있다. 이 반복은 간단 및 명료성을 위한 것으로서, 그 자체가 논의되는 각종 실시양태 및/또는 구성 간의 관계를 나타내는 것은 아니다.
- [0005] 또한, "및", "아래", "하부", "위", "상부" 등과 같은 공간 관계 용어는 본원에서 도면에 도시된 바와 같은 다른 요소(들) 또는 특징(들)에 대한 한 요소 또는 특징의 관계를 설명하기 위하여 설명의 용어를 위해 사용될 수 있다. 공간 관계 용어는 도면에 도시된 배향에 더하여 사용 또는 작동 중인 디바이스의 다른 배향들을 포함하도록 의도된다. 장치는 다르게(90도 회전되거나 다른 배향으로) 배향될 수 있고 본원에 사용되는 공간 관계 설명도 이에 따라 해석될 수 있다.
- [0006] 반도체 제조 기술이 계속 개발됨에 따라, 집적회로(IC)에서 (금속 트렌치와 같은) 전도성 소자들을 분리시키기 위해 저-k 유전체 물질을 사용하여 왔다. 저-k 유전체 물질은 약 3.9인 이산화규소의 유전 상수보다 낮은 유전 상수를 갖는 물질을 의미할 수 있다. 다시 말해서, 저-k 유전체 물질은 약 3.9 미만의 유전 상수를 가진다. 일반적으로, 유전체 물질의 기공율이 증가할수록, 유전체 물질은 더 양호한 저-k 특성을 나타내므로 바람직하다. 예컨대, 더 다공질인 저-k 구조는 더 양호한 RxC 성능을 제공할 수 있다. 아쉽게도, 종래의 반도체 제조는 충분한 기공율을 갖는 유전체 구조를 제공할 수 없었다. 따라서, 이하 논의되는 본 개시내용의 실시양태는 기공율이 증가된 저-k 유전체 구조 및 이러한 저-k 유전체 구조의 제조 방법에 관한 것이다.
- [0007] 도 1-5 및 9-12는 본 발명의 여러 양태에 따른 여러 제조 단계에서 반도체 디바이스의 개략적인 단편적 횡단 측면도이다. 반도체 디바이스(50)는 집적회로(IC) 칩, 시스템 온 칩(SoC), 또는 이의 부분을 포함할 수 있고, 레지스터, 커패시터, 인덕터, 다이오드, 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET), 상보성 금속 산화물 반도체(CMOS) 트랜지스터, 양극성 접합 트랜지스터(BJT), 측면 확산 MOS(LDMOS) 트랜지스터, 고전력 MOS 트랜지스터, 또는 다른 유형의 트랜지스터와 같은 다양한 패시브 및 액티브 마이크로전자 디바이스를 포함할 수 있다.
- [0008] 도 2를 참조하면, 반도체 디바이스(50)는 기판(60)을 포함한다. 일부 실시양태에서, 기판(60)은 붕소와 같은 p형 도펀트로 도핑된 실리콘 기판(예컨대 p형 기판)이다. 이와는 다르게, 기판(60)은 다른 적합한 반도체 재료일 수 있다. 예컨대, 기판(60)은 인 또는 비소와 같은 n형 도펀트로 도핑된 실리콘 기판(n형 기판)일 수 있다. 기판(60)은 게르마늄 및 다이아몬드와 같은 다른 기본적인 반도체를 포함할 수 있다. 기판(60)은 임의로 화합물 반도체 및/또는 합금 반도체를 포함할 수 있다. 또한, 기판(60)은 에피택셜층(에피층)을 포함할 수 있고, 성능 증대를 위해 강화될 수 있으며, 실리콘-온-인슐레이터(SOI) 구조를 포함할 수 있다.
- [0009] 일부 실시양태에서, 기판(60)은 실질적으로 전도성 또는 반전도성이다. 전기 저항은 약 10^3 옴-미터 미만일 수 있다. 일부 실시양태에서, 기판(60)은 금속, 금속 합금, 또는 식 MX_a (여기서, M은 금속이고, X는 N, S, Se, O, Si이며, "a"는 약 0.4~2.5 범위내임)을 갖는 금속 질화물/황화물/셀레늄화물/산화물/규화물을 함유한다. 예컨대, 기판(60)은 Ti, Al, Co, Ru, TiN, WN₂, 또는 TaN을 함유할 수 있다.
- [0010] 일부 다른 실시양태에서, 기판(60)은 약 1 내지 약 40 범위의 유전 상수를 갖는 유전체 물질을 함유한다. 일부 다른 실시양태에서, 기판(60)은 Si, 금속 산화물, 또는 금속 질화물을 함유하며, 여기서 식은 MX_b (여기서, M은 금속 또는 Si이고, X는 N 또는 O이며, "b"는 약 0.4 내지 2.5의 범위내임)이다. 예컨대, 기판(60)은 SiO₂, 질화 규소, 산화알루미늄, 산화하프늄 또는 산화란타늄을 함유할 수 있다.

- [0011] 복수의 드레인/소스가 기판(60)에 형성될 수 있고 복수의 게이트가 기판(60) 위에 형성될 수 있는 것으로 이해된다. 그러나, 간결의 이유에서, 이들 드레인/소스 또는 게이트는 본원에서 구체적으로 예시되지 않는다.
- [0012] 이어서 기판(60) 위에 에칭 정지층(80)이 형성된다. 에칭 정지층(80)은 증착 공정을 이용하여 형성될 수 있다. 여러 실시양태에서, 에칭 정지층(80)은 금속 재료와 같은 적합한 전도성 물질을 함유할 수 있다.
- [0013] 이어서 전도층(90)이 에칭 정지층(80) 위에 형성된다. 전도층(90)은 증착 공정에 의하여 형성될 수 있다. 여러 실시양태에서, 전도층(90)은 구리, 알루미늄, 텅스텐 또는 이들의 조합을 함유할 수 있다. 전도층(90) 및 에칭 정지층(80)의 재료 조성은 전도층(90)과 에칭 정지층(80) 사이에 충분한 에칭 선택성이 존재하도록 구성된다. 다시 말해서, 전도층(90) 및 에칭 정지층(80)은 전도층(90)이 에칭 정지층(80)의 에칭 없이 에칭될 수 있도록 또는 그 반대이도록 실질적으로 상이한 에칭 속도를 가진다.
- [0014] 이제 도 2를 참조하면, 복수의 개구 또는 리세스(100)가 전도층(90)에 형성된다. 개구(100)는 에칭 공정, 예컨대 건식 에칭 공정 또는 습식 에칭 공정에 의하여 형성된다. 에칭제는 전도층(90)과 에칭 정지층(80) 사이의 높은 에칭 선택성으로 인하여 에칭 정지층(80)은 거의 온전하게 유지하면서 전도층(90)은 에칭 제거하도록 구성된다. 전도층(90)의 나머지 부분을 전도성 소자(90)라 일컬을 수 있다.
- [0015] 이제 도 3을 참조하면, 배리어층(110)이 전도성 소자(90)의 상면 및 측면 위에 (그리고 개구(100)에 의하여 노출된 에칭 정지층(80)의 부분 위에) 형성된다. 배리어층(110)은 적합한 증착 공정에 의하여 형성되며 질화규소 또는 탄화규소 등과 같은 유전체 물질을 함유할 수 있다.
- [0016] 이제 도 4를 참조하면, 배리어층(110)이 형성된 후, 처리 공정(130)을 실시하여 배리어층(110)을 처리한다. 일부 실시양태에서, 처리 공정(130)은 NH₃, O₂, He, Ar, N₂O, 또는 CO₂를 이용하는 플라즈마 처리 공정을 포함한다. 일부 실시양태에서, 처리 공정(130)의 유량은 약 500의 분당 표준 세제곱 센티미터(sccm) 내지 약 2000 sccm 범위내이다. 일부 실시양태에서, 처리 공정(130)의 공정 온도는 약 100℃ 내지 약 400℃ 범위내이다. 일부 실시양태에서, 처리 공정(130)의 공정 압력은 약 0.1 Torr 내지 약 10 Torr 범위내이다. 일부 실시양태에서, 처리 공정(130)의 공정 전력은 약 50 Watt 내지 약 1500 Watt 범위내이다. 일부 실시양태에서, 처리 공정(130)의 공정 지속시간은 약 2초 내지 약 120초 범위내이다.
- [0017] 처리 공정(130)은 배리어층(110)의 표면의 소수성을 변화시킨다. 더 상세하게는, 처리 공정(130)에 의하여 처리되지 않으면, 배리어층(110)의 표면은 어느 정도 소수성이다. 처리 공정(130)에 의하여 처리된 후, 배리어층(110)의 표면은 친수성이 된다. 실험 데이터는 상기 개시한 처리 공정(130)의 공정 조건이 배리어층(110) 표면의 친수성을 최적하도록 구성되어 있음을 확인하였다. 예컨대, 일부 실시양태에서, 배리어층(110)의 친수성 표면은 약 93도 미만, 예컨대 약 10도 내지 약 90도 범위내의 표면 접촉각을 가진다. 배리어층(110) 표면의 친수성은 이하에서 더 상세히 논의될 후속 공정에서 개구(100)에 형성되는 저-k 유전체 물질의 기공을 증가를 돕는다.
- [0018] 이제 도 5를 참조하면, 저-k 유전체 물질이 배리어층(110) 상에 형성된다. 저-k 유전체 물질은 이산화규소의 유전 상수 미만의 유전 상수를 갖는 유전체 물질을 의미한다. 도 5에 도시된 바와 같이, 저-k 유전체 물질(200)은 개구(100)를 채운다. 일부 실시양태에서, 저-k 유전체 물질(200)은 스핀-온 유전체(SOD) 코팅 공정에 의하여 형성된다. 저-k 유전체 물질(200)의 중합체 매트릭스의 전구체는 두 성분, 즉 규소-메틸(Si-Me)을 함유하지 않는 제1 성분 및 Si-Me를 함유하는 제2 성분을 포함한다. 일부 실시양태에서, (Si-Me를 함유하지 않는) 제1 성분은 테트라에틸 오르토실리케이트(TEOS) 및 테트라메틸 오르토실리케이트(TMOS)를 함유한다. TEOS는 이하의 화학식을 가진다:



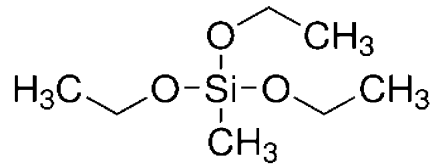
[0019]

[0020] TMOS는 이하의 화학식을 가진다:



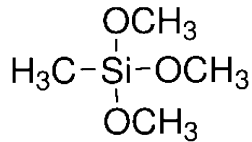
[0021]

[0022] 일부 실시양태에서, (Si-Me를 함유하는) 제2 성분은 트리에톡시메틸실란(MTES) 및 트리메톡시메틸실란(MTMS)을 함유한다. MTES는 이하의 화학식을 가진다:



[0023]

[0024] MTMS는 이하의 화학식을 가진다:



[0025]

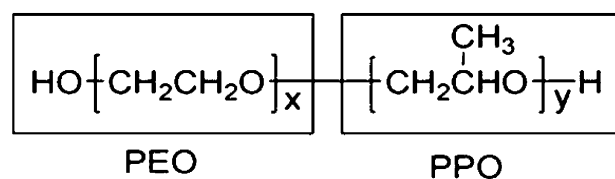
[0026] TEOS, TMOS, MTES, 및 MTMS의 화학식은 또한 도 6a 및 6b에 도시되어 있다.

[0027] 본 발명의 여러 양태에 따르면, 메틸 함량(CH₃ 또는 Me)은 생성되는 저-k 유전체 물질(200)의 특성에 영향을 줄 수 있다. 예로서, 전구체의 Si-Me 함량은 저-k 유전체 물질(200)에서 생성되는 규소-탄소(Si-C) 영역과 상관관계가 있다(또는 이것에 영향을 준다). Si-Me 함량은 또한 저-k 유전체 물질(200)의 소수성에 영향을 줄 수 있다. 종래의 저-k 유전체 물질 형성 방법은 전구체의 Si-Me 함량에 주목하지 않았으나, 본 발명은 후술하는 바와 같이 다공질 구조의 형성에 영향을 주게 될 저-k 유전체 물질(200)의 특성에 영향을 미치는 Si-Me 함량을 구성하는 것이 유리하다는 것을 인식하고 있다.

[0028] 일부 실시양태에서, Si-Me 함량은 전구체의 (Si-Me를 함유하는) 제2 성분 및 (Si-Me를 함유하지 않는) 제1 성분의 혼합비(몰)를 구성함으로써 제어된다. 예컨대, 전구체의 제1 성분에 대한 제2 성분의 혼합비는 본 발명의 여러 양태에 따르면 약 0.1 내지 약 10의 범위내로 구성된다. 일부 실시양태에서, 전구체의 제1 성분에 대한 제2 성분의 혼합비는 약 0.3 내지 약 3의 범위내로 구성된다. 이들 범위는 개구(100) 내 저-k 유전체 물질의 부분에서 다공질 구조의 형성을 촉진하기 위하여 저-k 유전체 물질(200)의 재료 특성을 최적화하도록 구성된다. 일부 실시양태에서, 혼합비에 대하여 상기 논의된 범위는 약 8.3보다 큰 Si-C 영역을 생성시킬 수 있다.

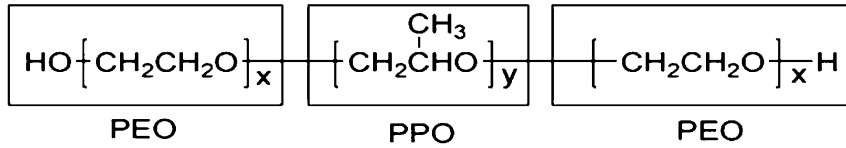
[0029] 다시 도 5를 참조하면, 저-k 유전체 물질(200)은 복수의 포로겐 분자(210)를 함유한다. 본 발명의 여러 양태에 따르면, 포로겐 분자(210)는 수용액 중에서 대략 구형으로 배열되는 지질 분자인 (미셀 주형이라고도 불리는) 미셀을 형성할 수 있는 계면활성제를 포함한다. 일례를 제공하기 위하여, 도 7은 미셀 및 본 발명의 한 실시양태에 따른 미셀을 집합적으로 구성하는 복수의 단량체의 모식도를 나타낸 것이다.

[0030] 미셀은 소수성 부분 및 친수성 부분을 모두 포함한다. 도 8a 및 8b는 도 6의 미셀 주형을 형성할 수 있는 계면활성제형 포로겐의 두 예시적 실시양태의 화학식을 나타낸 것이다. 도 8a에서, 계면활성제형 포로겐은 친수성 성분 및 소수성 성분을 갖는 디블록 공중합체이다. 일부 실시양태에서, 친수성 성분은 (PEO라 불리는) 폴리에틸렌 옥사이드이고, 소수성 성분은 (PPO라 불리는) 폴리프로필렌 옥사이드이다. 이들 실시양태에서, 디블록 공중합체는 (도 8a에도 도시된 바와 같은) 이하의 화학식을 가진다:



[0031]

[0032] 도 8b에서, 계면활성제형 포로젠은 제1 친수성 성분, 소수성 성분 및 제2 친수성 성분을 갖는 트리블록 공중합체이다. 일부 실시양태에서, 제1 친수성 성분은 PEO이고, 소수성 성분은 PPO이며, 제2 친수성 성분은 또한 PEO이다. 이들 실시양태에서, 트리블록 공중합체는 (도 8b에도 도시된 바와 같은) 이하의 화학식을 가진다:



[0033] 실시양태와 무관하게, 본 발명의 실시양태에 따르면 외면(즉, 구체 표면)에서 또는 그 근처에서 (도 7에 도시된) 미셀 부분은 친수성인 것으로 이해된다.

[0035] 다시 도 5를 참조하면, 미셀의 외면이 친수성이라는 사실은, 특히 배리어층(110)의 처리된 표면도 친수성이므로, 개구(100)를 향한 포로젠(210)의 이동을 촉진한다. 다시 말해서, 포로젠(210) 중의 미셀이 친수성 외면을 가지므로, 이들 미셀은 처리된 배리어층(110)의 친수성 표면으로 유인된다. 따라서, 저-k 유전체 물질(200) 내부에서 포로젠(210)은 개구(100) 안으로 "흡인"되고 표면 유인력으로 인하여 개구(100) 안에 "포획"된다. 상기 논술한 바와 같이, 신중히 구성된 전구체 성분의 Si-Me 함량은 또한 개구(100) 안으로 포로젠의 이동을 촉진한다. 저-k 유전체 물질(200)은 포로젠(210)을 효과적으로 개구(100) 안으로 아래로 "밀어내는" 소수성을 가질 수 있다.

[0036] 공정 조건(예컨대, 1. 배리어층(110)을 더 친수성으로 만드는 처리 공정, 및 2. 원하는 Si-Me 함량을 달성하기 위한 매트릭스 전구체 성분의 혼합비)을 적절하게 구성하는 경우 실질적으로 대부분의 포로젠(210)이 개구(100) 내부에 "포획"되는 것이 실험 데이터를 통해 관찰되었다. 일부 실시양태에서는, 어떤 크기보다 큰 거의 모든 (예컨대, 99% 초과) 포로젠(210)이 개구(100) 내부에 "포획"된다. 개구(100) 내부에 있지 않은 포로젠은 심지어 전자적 검사 기계(예컨대, 푸리에 변환 적외선 분광분석(FTIR)기)로도 보이지 않을 수 있을 정도로 현저히 작을 수 있다. 예컨대, 개구(100) 내부의 포로젠(210)은 수 나노미터 범위의 직경을 가질 수 있고, 반면에 개구(100) 외부의 포로젠은 수 마이크론 범위의 직경을 가질 수 있어, 수백배 또는 심지어 수천배의 전체 크기 차이를 유도할 수 있다. 이러한 이유에서 그리고 또한 간결의 이유에서, 개구(100) 외부에 배치되는 임의의 포로젠은 본원에서 구체적으로 예시하지 않는다.

[0037] 이제 도 9를 참조하면, 반도체 디바이스(50)에 대하여 경화 공정(300)이 실시된다. 경화 공정(300)은 고온에서 실시될 수 있으며 자외선(UV) 공정 또는 열 공정을 포함할 수 있다. UV 경화 공정에서, 공정 온도는 약 350℃ 내지 약 450℃ 범위내일 수 있으며, 공정 지속시간은 약 3분 내지 약 10분 동안 지속될 수 있다. 열 경화 공정에서, 공정 온도는 약 350℃ 내지 약 450℃ 범위내일 수 있고, 공정 지속시간은 약 30분 내지 약 120분 동안 지속될 수 있다.

[0038] 경화 공정(300)은 포로젠(210)을 다공질 요소(310)로 변환시킨다. 예컨대, 포로젠(210) 내부의 미셀은 증발되거나 또는 그렇지 않으면 경화 공정(300)에 의해 제거된다. 결과적으로, 각각의 포로젠(210) 대신 다공질 구조(즉, 빈 공간 또는 중공 공간)가 형성된다. 다공질 요소(310)는 개구(100)를 채우는 저-k 유전체 부분이 더욱 더 저-k가 되게 한다. 이것은 다공질 요소 내부의 공기의 유전 상수가 저-k 물질 자체의 유전 상수보다 낮은 약 1의 유전 상수를 갖기 때문이다. 이런 식으로, 개구(100)를 채우는 저-k 유전체 물질(200)의 부분들의 전체 유전 상수는 다공질 요소(310)의 존재로 인하여 감소된다.

[0039] 이제 도 10을 참조하면, 전도성 소자(90)의 적어도 일부 위에 하나 이상의 비아 개구가 형성된다. 예컨대, 비아 개구(320)가 전도성 소자(90) 중 하나 위에 형성된다. 비아 개구(320)는 에칭 공정, 예컨대 습식 에칭 공정 또는 건식 에칭 공정에 의하여 형성될 수 있다. 비아 개구(320)는 일부 실시양태에서는 상부에서 더 넓고 하부에서 더 좁도록 역 사다리꼴 형상을 가질 수 있다. 이것은 전도성 물질이 후속 공정에서 더 용이하게 개구(320)를 채우도록 돕는다.

[0040] 이제 도 11을 참조하면, 배리어층(340)이 비아 개구(320)의 내부에 형성된다. 다시 말해서, 배리어층(340)은 개구(320)의 측면 표면(저-k 유전체 물질(200)의 측면) 상에 그리고 전도성 소자(90) 위의 배리어층(110) 부분 위에 형성된다. 일부 실시양태에서, 배리어층(340)은 적합한 증착 공정에 의하여 형성된다. 일부 실시양태에서, 배리어층(340) 및 배리어층(110)은 동일한 재료 조성을 가지며 유사한 증착 공정에 의하여 형성된다. 이후, 비아 개구(320) 아래에 배치된 배리어층(340 및 110) 부분이 에칭 제거되어, 전도성 소자(90)의 일부가 비아 개구

(320)에 의해 노출된다.

- [0041] 이제 도 12를 참조하면, 비아 개구(320) 내부에 전도성 비아(360)가 형성된다. 전도성 비아(360)는 적합한 증착 공정에 의하여 형성될 수 있다. 전도성 비아(360)는 금속 재료, 예컨대 구리, 알루미늄, 텅스텐 또는 이들의 조합을 함유할 수 있다. 전도성 비아(360) 및 전도성 소자(90)는 다층 배선 구조의 일부로서 형성될 수 있다고 이해된다. 예컨대, 전도성 소자(90)는 배선 구조의 특정 배선층(예컨대, 금속-0 또는 금속-1)에 금속 라인으로서 형성될 수 있고, 전도성 비아(360)는 그 아래의 전도성 소자(90)와 배선 구조의 다른 배선층의 다른 요소(예컨대, 다른 금속 라인) 사이에 전기 접속을 제공한다.
- [0042] 저-k 유전체 물질(200)은 여러 전도성 소자(90)에 대하여 전기 절연을 제공한다. 저-k 유전체 물질(200)은 개념적으로 부분들(200A 및 200B)로 나눌 수 있으며, 이 부분들은 개념적으로 도 12에 도시된 점선에 의하여 분리된다. 상기 부분들(200A 및 200B) 사이에 실제적인 물리적 분리는 없고, 본원에서의 개념적 분할은 단지 후술하는 논의를 용이하게 하기 위한 것이다. 상기 부분(200A)은 개구(100)를 채우는 저-k 유전체 물질(200)의 세그먼트이고, 한편 상기 부분(200B)은 개구(100) 외부에 (및 부분(200A) 위에) 배치되는 저-k 유전체 물질(200)의 세그먼트이다.
- [0043] 상기 논의된 바와 같이, 개구(100) 내부의 배리어층(110)의 처리된 표면의 친수 특성 및 (도 5에 도시된) 포로젠(210) 외면의 소수 특성으로 인하여, 저-k 유전체 물질(200) 내부의 포로젠(210)은 저-k 유전체 물질(200)의 부분(200A) 내부에 모인다. 또한 Si-Me-함유 및 Si-Me-비함유 진구체의 혼합비를 신중하게 구성함으로써 부분(200A)을 향해 포로젠(210)을 아래로 밀어내는 것을 돕는 저-k 유전체 물질의 특성이 얻어진다. 따라서, 이들 포로젠(210)을 다공질 요소(310)로 변환시키는 경화 공정(300) 후, 저-k 유전체 물질(200)의 부분(200A)의 기공율은 저-k 유전체 물질(200)의 부분(200B)의 기공율보다 실질적으로 더 크다. 이것은 부분(200A) 내부의 다공질 요소(310)의 농도는 높은 반면에 부분(200B) 내부에 배치되는 다공질 요소는 크기(예컨대, 직경차 5~10배) 및 개수 면에서 현저히 작기 때문이다. 이러한 이유에서 그리고 간결의 이유에서도, 부분(200B)의 다공질 요소는 본원에서 구체적으로 예시하지 않는다. 일부 실시양태에서, 부분(200A)은 부분(200B)보다 1.3배 이상 내지 3배 더 다공질이다. 예컨대, 부분(200A)의 기공율은 약 20% 내지 약 30% 범위내인 반면, 부분(200B)의 기공율은 약 10% 내지 약 15% 범위내이다.
- [0044] 또한, 다공질 요소(310)는 대부분 - 약 1의 낮은 유전 상수를 갖는 - 공기를 포함하므로, 결과적으로 저-k 유전체 물질(200)의 부분(200A)의 유전 상수는 저-k 유전체 물질(200)의 부분(200B)의 유전 상수보다 실질적으로 더 낮다. 일부 실시양태에서, 부분(200A)의 유전 상수는 약 1.3 내지 약 2.3 범위내인 반면, 부분(200B)의 유전 상수는 약 2.3 내지 약 3.5 범위내이다. 부분(200A)의 유전 상수 값이 낮을수록 유리한데, 그 이유는 부분(200A)은 전도성 소자들(90) 사이의 전기적 분리를 제공하는 부분이기 때문이다. 이 점에서, 저-k 물질(200)은 더욱 더 "저-k"가 된다. 특히, 유전 상수 값이 낮을수록 RxC 성능이 개선된다.
- [0045] 저-k 유전체 물질(200)의 부분(200A 및 200B) 사이의 기공율 및 유전 상수 차이로 인하여, 이들 두 부분(200A 및 200B)의 규소 함량도 상이하다. 이것은 실험 시료의 규소 함량을 나타내는 그래프인 도 13에 나타나 있다. 상기 그래프는 X축과 Y축을 가진다. X축은 (정상부로부터 바닥부까지 측정된) 거리 또는 깊이를 나타내고, Y축은 규소 함량을 나타낸다. 도 13에는 플롯(400)이 나타나 있다. 플롯(400)은 정상부(예컨대, 비아(360)의 상면 근처)로부터 개구(100)의 바닥부까지 변화함에 따른 저-k 유전체 물질(200)의 규소 함량을 나타낸다.
- [0046] 플롯(400)에 기초하면, 저-k 유전체층의 규소 함량은 전체적으로 균일하게 남아있음을 알 수 있다. 대략 개구(100)를 충전하는 저-k 유전체 물질의 부분(200A)의 규소 함량을 나타내는 플롯(400)의 세그먼트(400A)에서, 규소 함량은 낮다. 이것은 다른 식으로 말하면 개구(100)를 채우는 저-k 유전체 물질(200)의 부분(200A)의 기공율이 높다는 것이다. 역으로, 대략 개구(100) 외부의 저-k 유전체 물질의 부분(200B)의 규소 함량을 나타내는 플롯(400)의 세그먼트(400B)에서, 규소 함량은 높다. 이것은 다른 식으로 말하면 전도성 소자(90) 위에 배치되는 저-k 유전체 물질(200)의 부분(200B)의 기공율이 낮다는 것이다.
- [0047] 도 14는 본 발명의 여러 양태에 따른 반도체 제조 공정의 실시 방법(500)의 흐름도이다.
- [0048] 상기 방법(500)은 기판 위에 복수의 전도성 소자를 형성하는 단계(510)를 포함한다. 전도성 소자는 복수의 개구에 의하여 서로 분리되어 있다.
- [0049] 상기 방법(500)은 전도성 소자 위에 배리어층을 형성하는 단계(520)를 포함한다. 배리어층은 개구의 측벽을 커버하도록 형성된다.
- [0050] 상기 방법(500)은 배리어층에 처리 공정을 실시하는 단계(530)를 포함한다. 상기 처리 공정이 실시된 후 배리어

층은 친수성이 된다. 일부 실시양태에서, 상기 처리 공정은 NH₃, O₂, He, Ar, N₂O, 또는 CO₂를 이용하는 플라즈마 공정을 포함한다. 일부 실시양태에서, 처리 공정은 이하의 공정 조건에서 실시된다: 약 500의 분당 표준 세제곱 센티미터(ccm) 내지 약 2000 sccm 범위의 유속; 약 100°C 내지 약 400°C 범위의 공정 온도; 약 0.1 Torr 내지 약 10 Torr 범위의 공정 압력; 약 50 Watt 내지 약 1500 Watt 범위의 공정 전력; 및 약 2초 내지 약 120 초 범위의 공정 지속시간.

- [0051] 상기 방법(500)은 상기 처리 공정이 실시된 후 배리어층 위에 유전체 물질을 형성하는 단계(540)를 포함한다. 유전체 물질은 이산화규소의 유전 상수보다 낮은 유전 상수를 갖는 저-k 유전체 물질일 수 있다. 유전체 물질은 개구를 채우며 복수의 포로젠을 함유한다. 일부 실시양태에서, 유전체 물질 형성 단계(540)는 메틸 함유 전구체 성분 대 메틸 무함유 전구체 성분의 혼합비를 구성하는 것을 포함한다. 일부 실시양태에서, 유전체 물질의 형성은 포로젠이 개구 내부에 모이도록 실시된다.
- [0052] 상기 방법(500)은 유전체 물질을 경화하는 단계(550)를 포함한다. 포로젠은 경화 후 다공질이 된다.
- [0053] 반도체 디바이스의 제조를 완료하기 위하여 상기 방법(500)의 단계(510~550) 전, 그 동안 또는 그 후에 추가 공정을 실시할 수 있는 것으로 이해된다. 예컨대, 상기 방법(500)은 전도체 요소 중 적어도 하나 위에 비아 개구를 형성하는 단계 및 비아 개구 내에 전도성 비아를 형성하는 단계를 포함할 수 있다. 간결의 이유에서, 추가의 제조 단계는 본원에서 상세히 논하지 않는다.
- [0054] 상기 논의에 기초하면, 본 발명이 종래의 저-k 유전체 물질 제조 방법 및 디바이스에 비하여 이점을 제공하는 것을 알 수 있다. 그러나, 다른 실시양태들이 추가의 이점을 제공할 수 있고 반드시 모든 이점이 본원에 개시되어 있는 것은 아니며 특정 이점은 모든 실시양태에서 요구되는 것이 아니다. 한 장점은 본 발명의 저-k 물질이 증대된 기공율로 인하여 개선된 성능을 제공한다는 것이다. 상기 논의된 바와 같이, 배리어층을 더 친수성이 되게 하는 배리어층의 표면 처리는 (친수성 외면을 갖는) 포로젠이 전도성 소자를 분리하는 개구(100) 안으로 이동하도록 유도한다. 또한 매트릭스 전구체 성분의 혼합비를 신중히 구성함으로써 개구를 향해 포로젠을 아래로 밀어내는 데 도움이 되는 특성을 갖는 물질이 얻어진다. 결과적으로, 포로젠을 저-k 유전체 물질 내부에서 다공질 구조로 전환시키는 경화 공정 후, 개구를 채우는 저-k 유전체 물질 부분은 개구 외부에서의 저-k 유전체 물질 부분보다 실질적으로 높은 기공율을 가진다. 더 큰 기공율은 더 낮은 유전 상수에 상응한다. 개구 내에서 저-k 유전체 물질 부분은 전도성 소자 사이의 전기 절연을 제공하므로, 유전 상수가 낮을수록 유리하고, 예컨대 이것은 RxC 성능을 증대시킨다.
- [0055] 다른 장점은 본 발명은 기존의 제조 방법에 많은 변화를 요구하지 않는다는 것이다. 따라서, 제조 비용이 증가한다 하더라도 현저히 증가하지 않는다.
- [0056] 본 발명의 한 양태는 반도체 디바이스에 관한 것이다. 반도체 디바이스는 기판 및 기판 위에 배치된 복수의 전도성 소자를 포함한다. 전도성 소자는 복수의 개구에 의하여 서로 분리되어 있다. 전도체 소자들 위에 및 전도체 소자들 사이에 유전체 물질이 배치된다. 유전체 물질은 개구 내부에 배치되는 제1 부분 및 개구 위와 전도체 소자 위에 배치되는 제2 부분을 포함한다. 제1 부분은 제2 부분보다 실질적으로 더 다공질이다.
- [0057] 본 발명의 다른 양태는 반도체 디바이스에 관한 것이다. 반도체 디바이스는 기판 및 기판 위에 배치된 복수의 금속 소자를 포함한다. 저-k 유전체 물질은 금속 소자들 사이에 및 그 위에 배치된다. 저-k 유전체 물질은 금속 소자 사이에 배치된 제1 부분을 포함한다. 제1 부분은 제1 유전 상수를 가진다. 저-k 유전체 물질은 금속 소자 상에 배치된 제2 부분을 포함한다. 제2 부분은 제2 유전 상수를 가진다. 제1 유전 상수는 제2 유전 상수보다 낮다. 제1 유전 상수 및 제2 유전 상수는 각각 이산화규소의 유전 상수 미만이다.
- [0058] 본 발명의 또 다른 양태는 반도체 디바이스의 제조 방법에 관한 것이다. 복수의 전도성 소자가 기판 상에 형성된다. 전도성 소자는 복수의 개구에 의하여 서로 분리되어 있다. 배리어층이 전도성 소자 상에 형성되어 있다. 배리어층은 개구의 측벽을 커버하도록 형성된다. 배리어층에 처리 공정이 실시된다. 배리어층은 처리 공정이 실시된 후 친수성이 된다. 처리 공정이 실시된 후 배리어층 위에 유전체 물질이 형성된다. 유전체 물질은 개구를 채우고 복수의 포로젠을 함유한다.
- [0059] 이상은 수가지 실시양태의 특성들을 요약하고 있어, 당업자라면 후속되는 상세한 설명을 잘 이해할 수 있다. 당업자는 본원에 도입된 실시양태의 동일 목적을 수행하고/하거나 동일 이점을 달성하기 위한 다른 공정 및 구조를 설계하거나 변경시키기 위한 기초로서 본 개시내용을 용이하게 이용할 수 있음을 인지하여야 한다. 당업자는 또한 그러한 동등한 구성이 본 개시내용의 취지 및 범주를 벗어나지 않는다는 것과, 본 개시내용의 취지 및 범

주를 벗어나지 않도록 하면서 본원의 각종 변화, 치환 및 변경을 가할 수 있다는 것을 인식하여야 한다.

도면의 간단한 설명

[0060]

본 개시내용의 측면은 첨부 도면을 참조하여 읽을 때 하기 상세한 설명을 통해 가장 잘 이해된다. 산업계의 표준 실무에 따라, 각종 특징부들이 척도에 비례하여 도시되어 있지 않음을 강조해 둔다. 실제로, 논의의 명료성을 위해, 각종 특징부들의 크기는 임의로 확대되거나 감소될 수 있다.

도 1-5 및 9-12는 본 발명의 일부 실시양태에 따른 제조의 여러 단계에서 반도체 디바이스의 개략적인 횡단 측면도이다.

도 6a-6b는 본 발명의 일부 실시양태에 따른 저-k 유전체 물질의 형성에 이용되는 전구체의 제1 성분 및 제2 성분의 화학식을 나타낸 것이다.

도 7은 단량체 및 본 발명의 일부 실시양태에 따른 단량체로 구성된 미셀의 모식도이다.

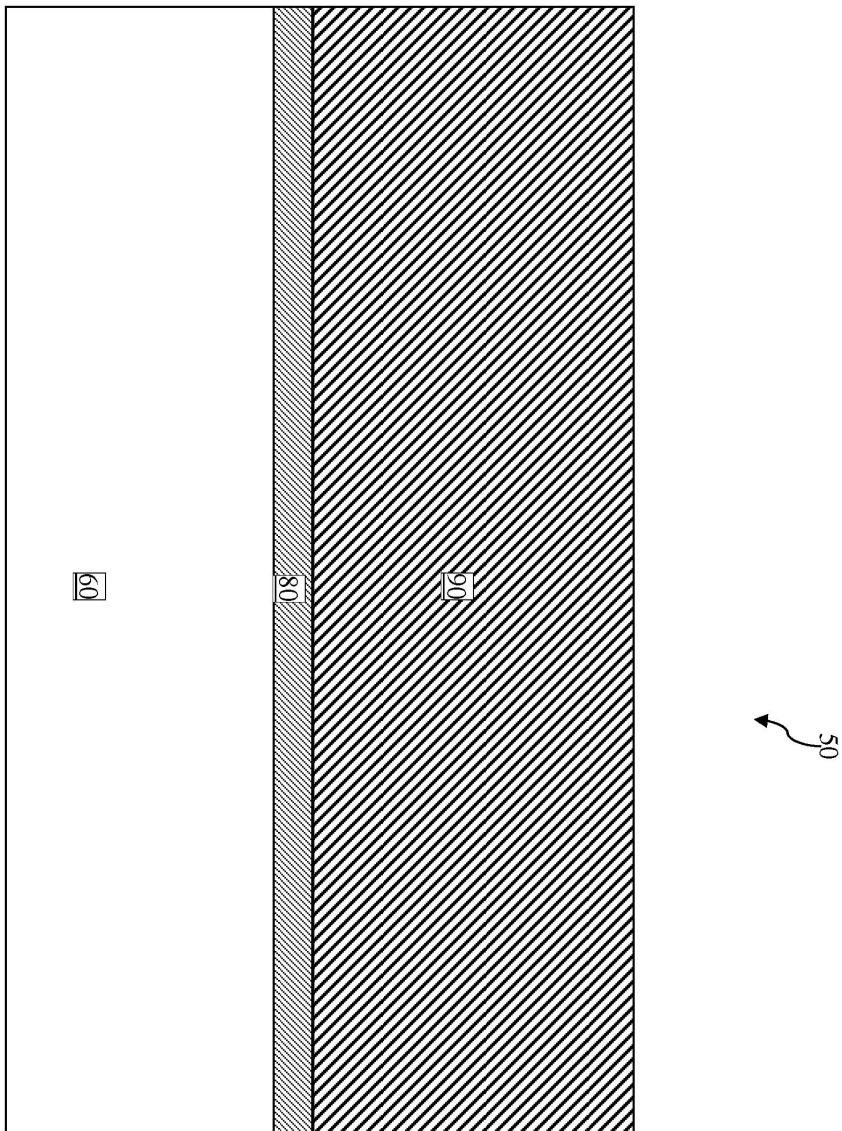
도 8a-8b는 본 발명의 일부 실시양태에 따라 도 7의 미셀을 형성할 수 있는 계면활성제형 포로젠의 화학식을 나타낸 것이다.

도 13은 본 발명의 일부 실시양태에 따른 저-k 유전체 물질 내부에서의 규소 함량 변화를 나타내는 그래프이다.

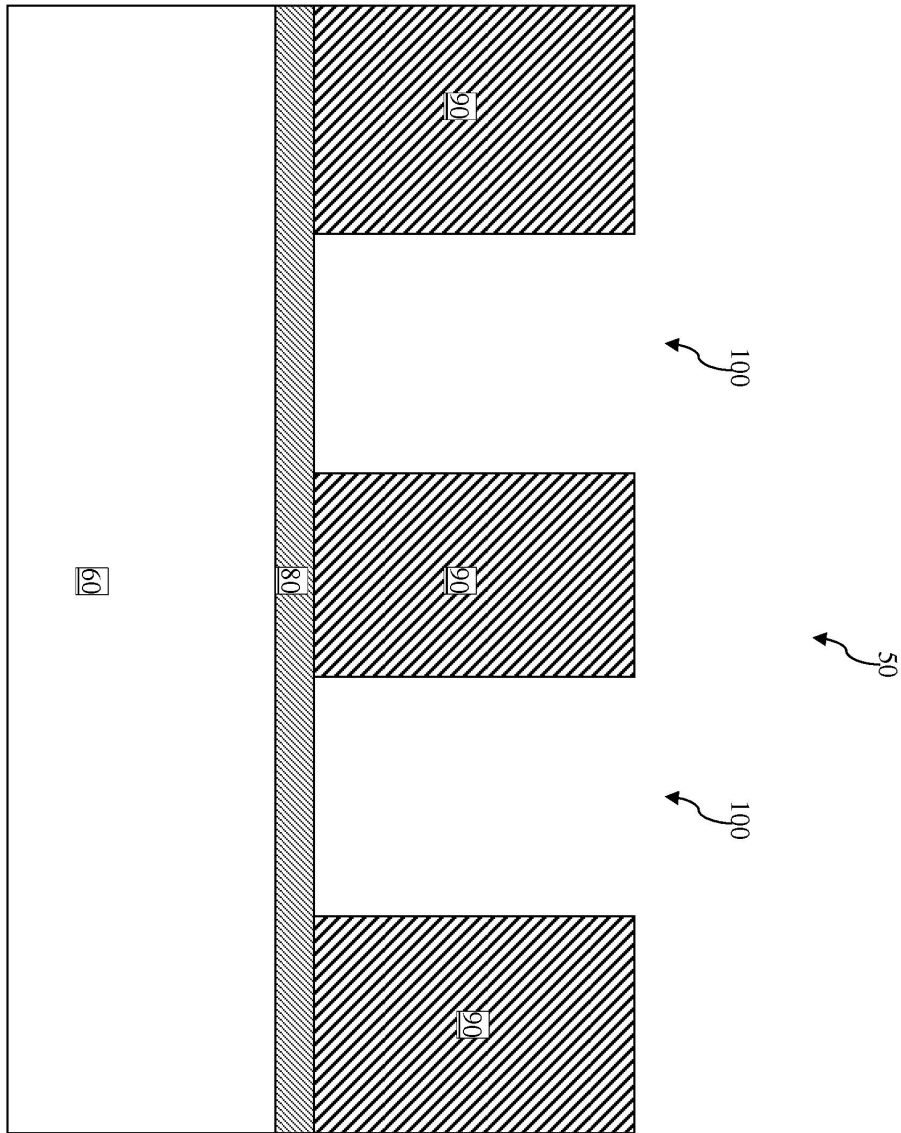
도 14는 본 발명의 일부 실시양태에 따른 반도체 디바이스의 제조 방법을 도시하는 흐름도이다.

도면

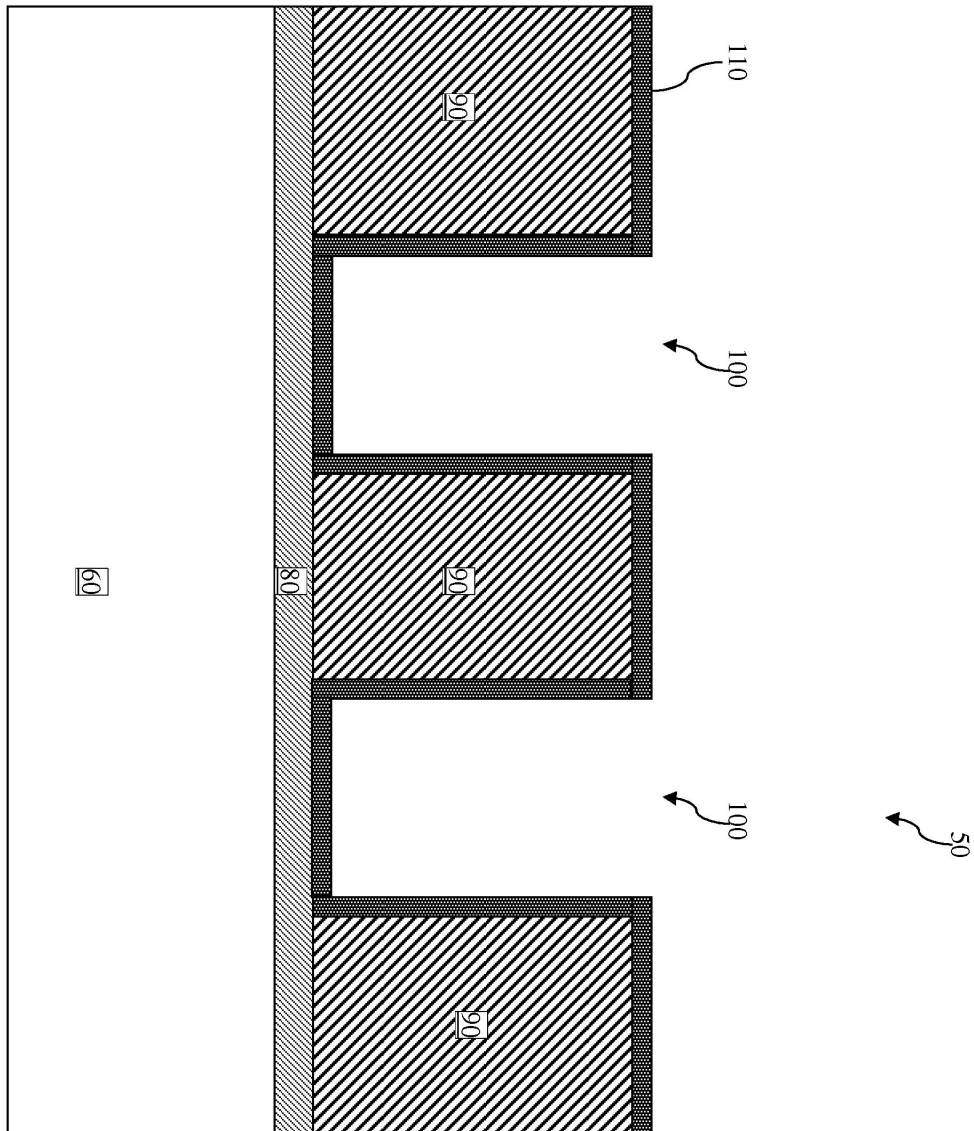
도면1



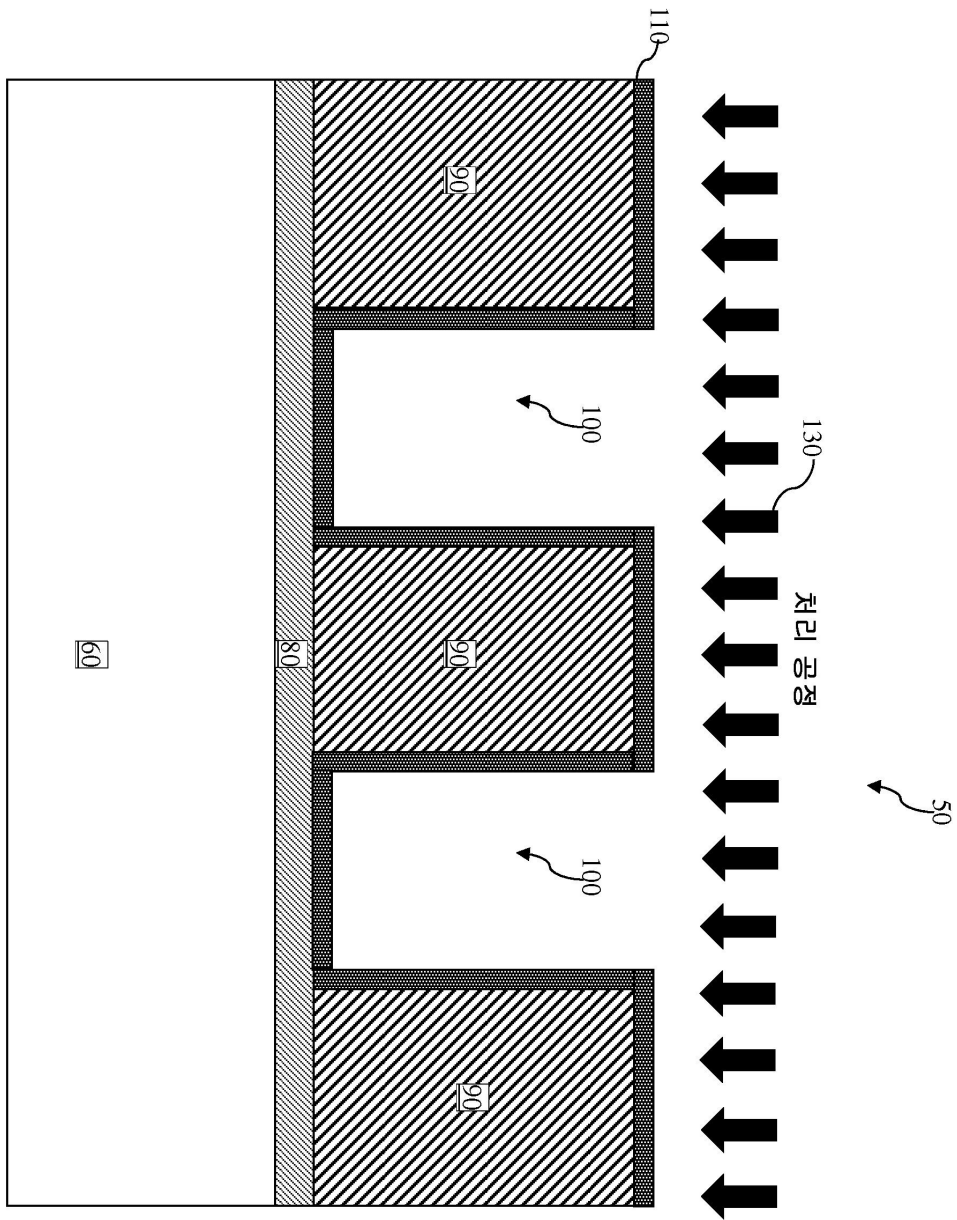
도면2



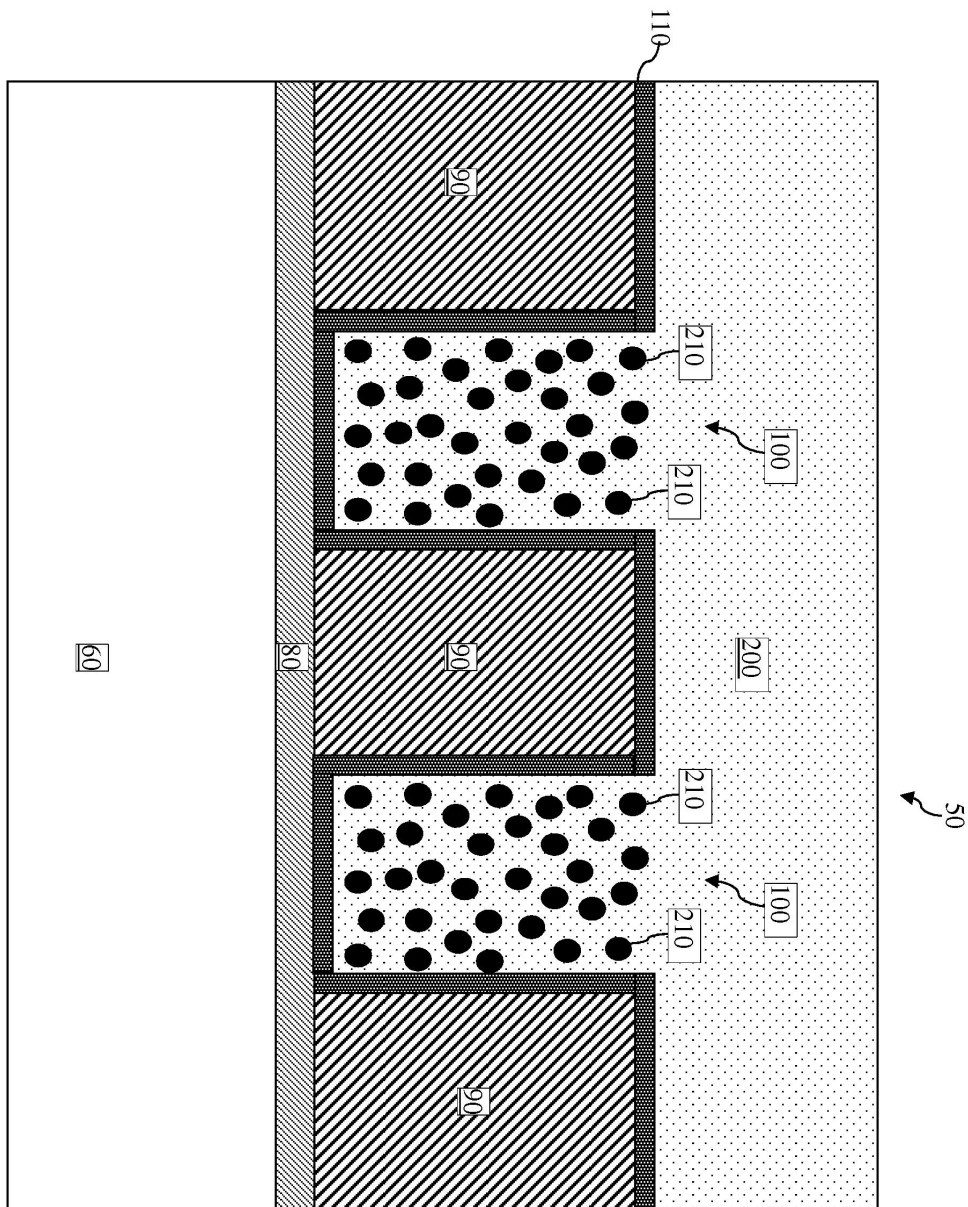
도면3



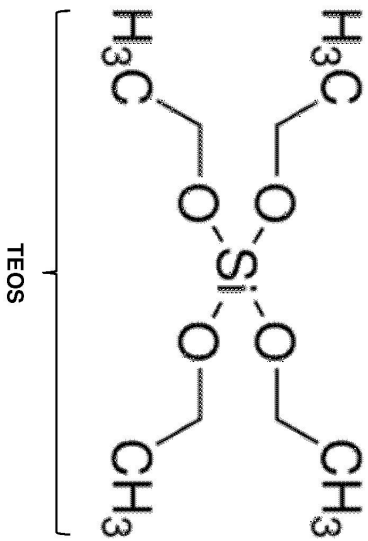
도면4



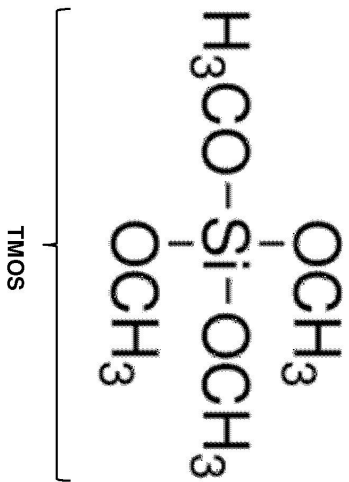
도면5



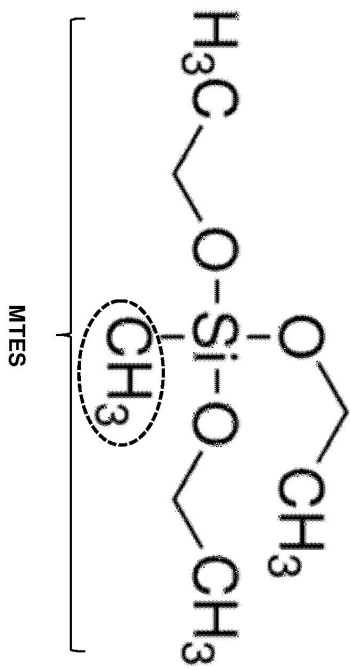
도면6a



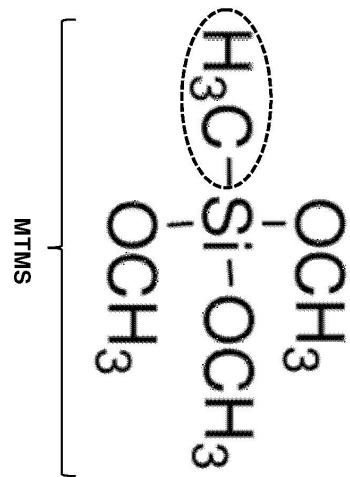
전구체의 제 1 성분: Si-Me 불포함



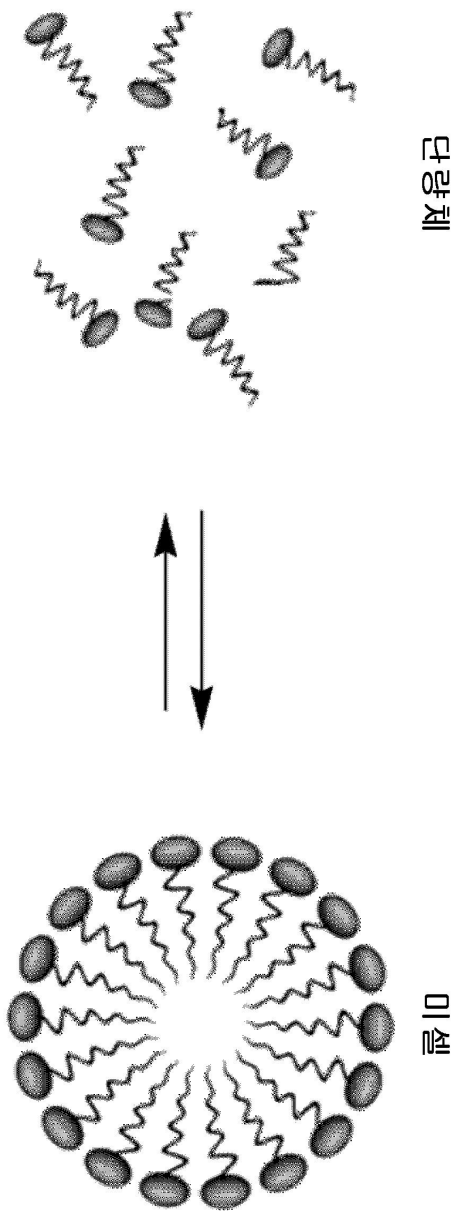
도면6b



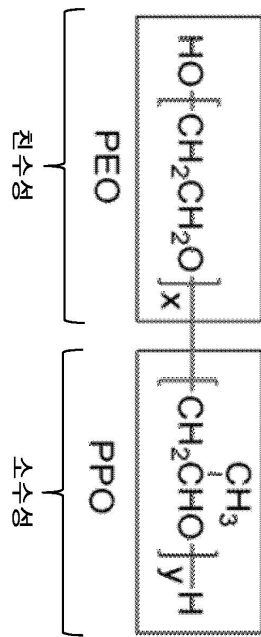
전구체의 제2 성분: Si-Me 포함



도면7

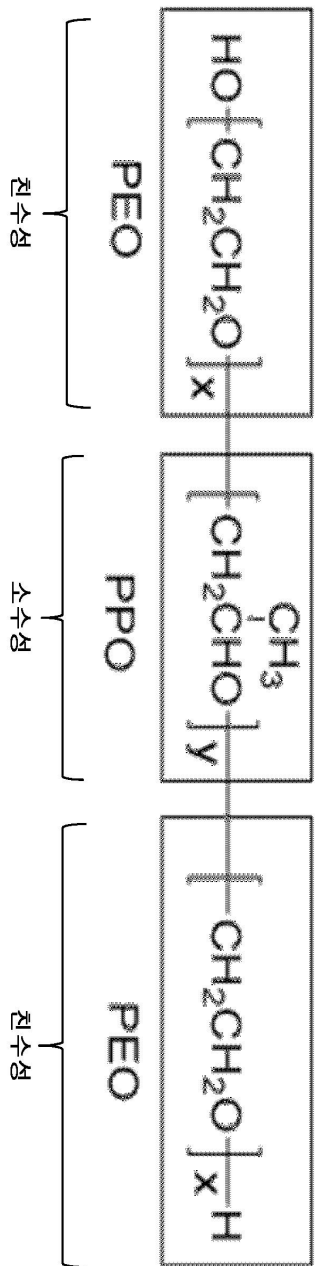


도면8a



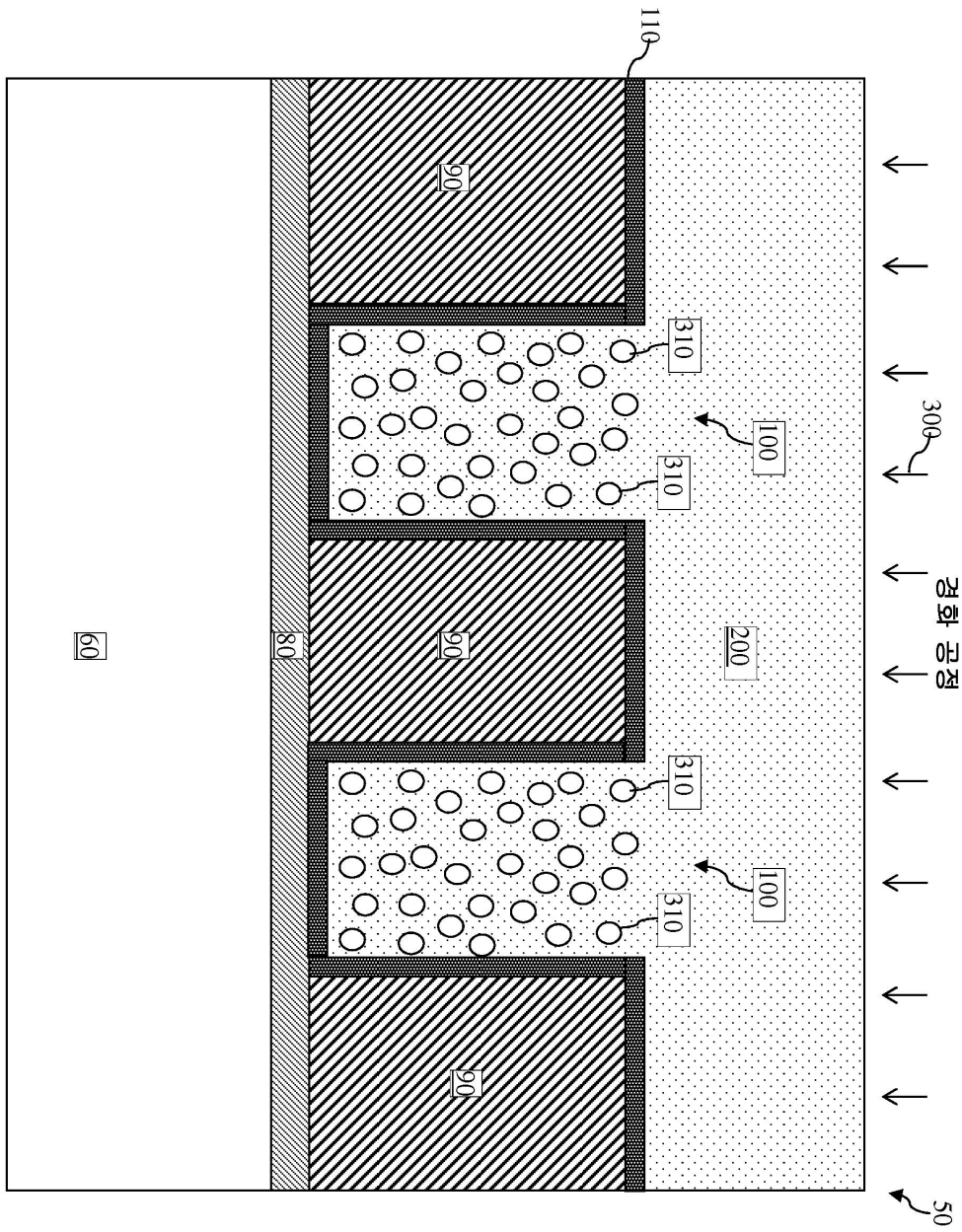
디블록 공중합체

도면8b

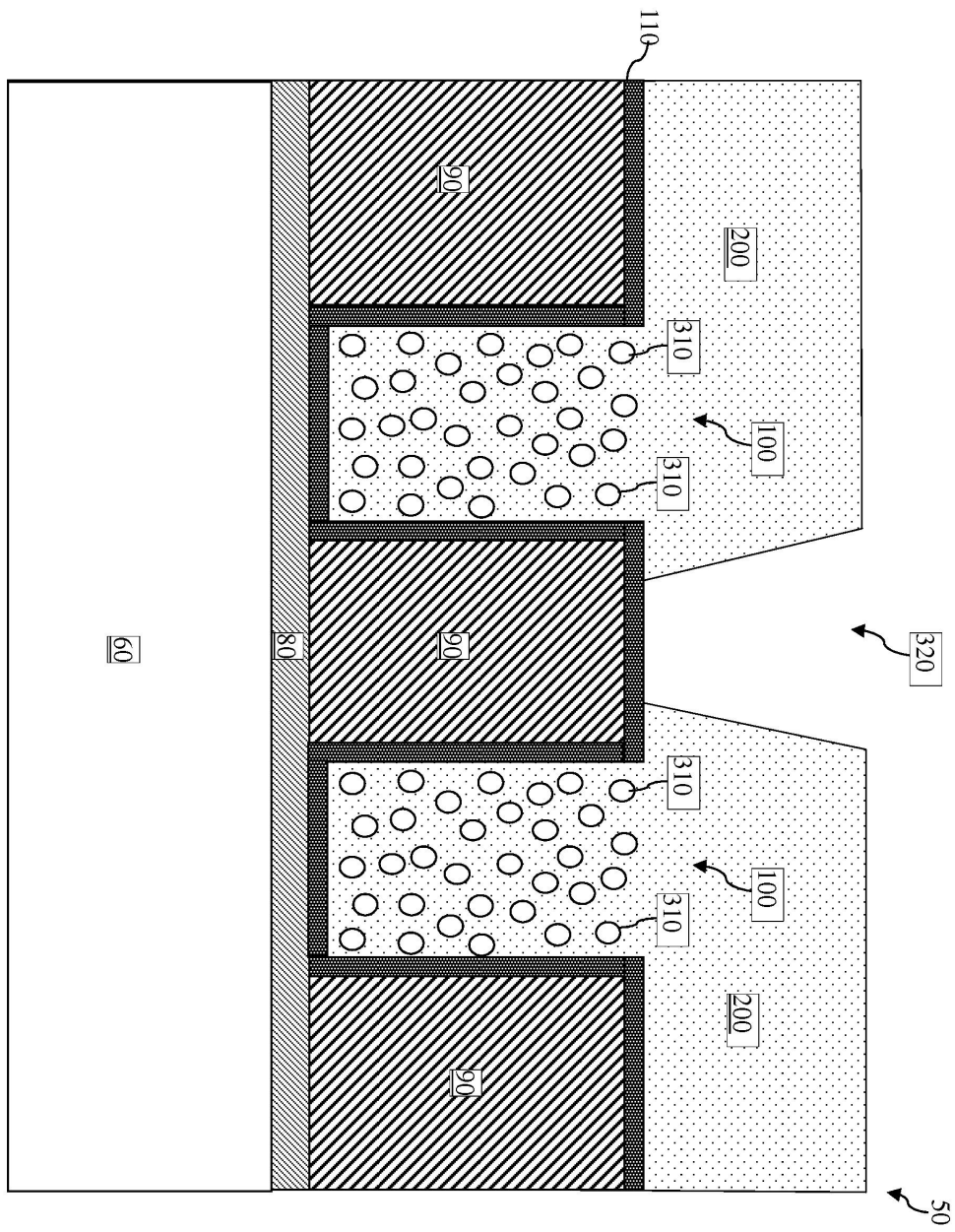


트리블록 공중합체

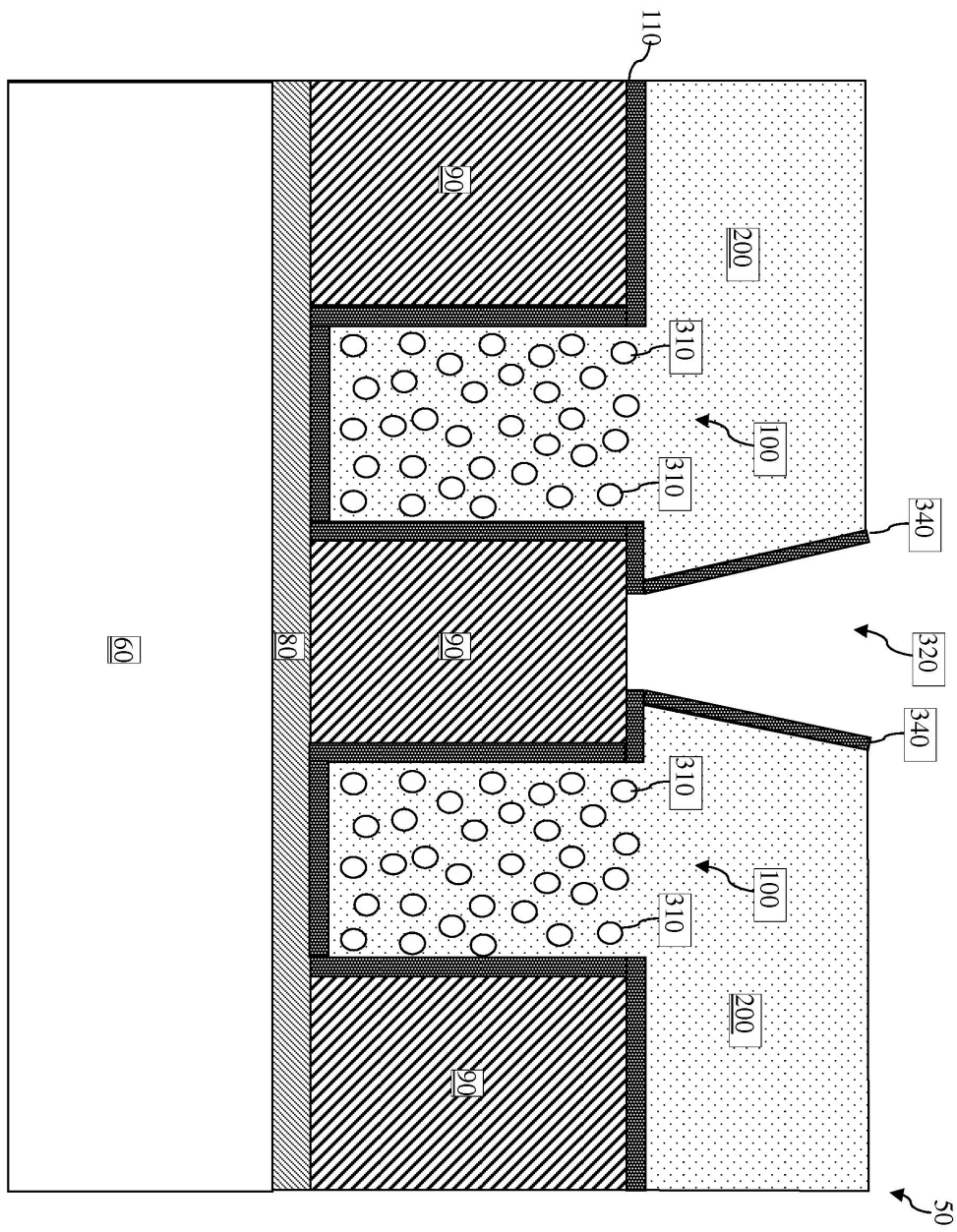
도면9



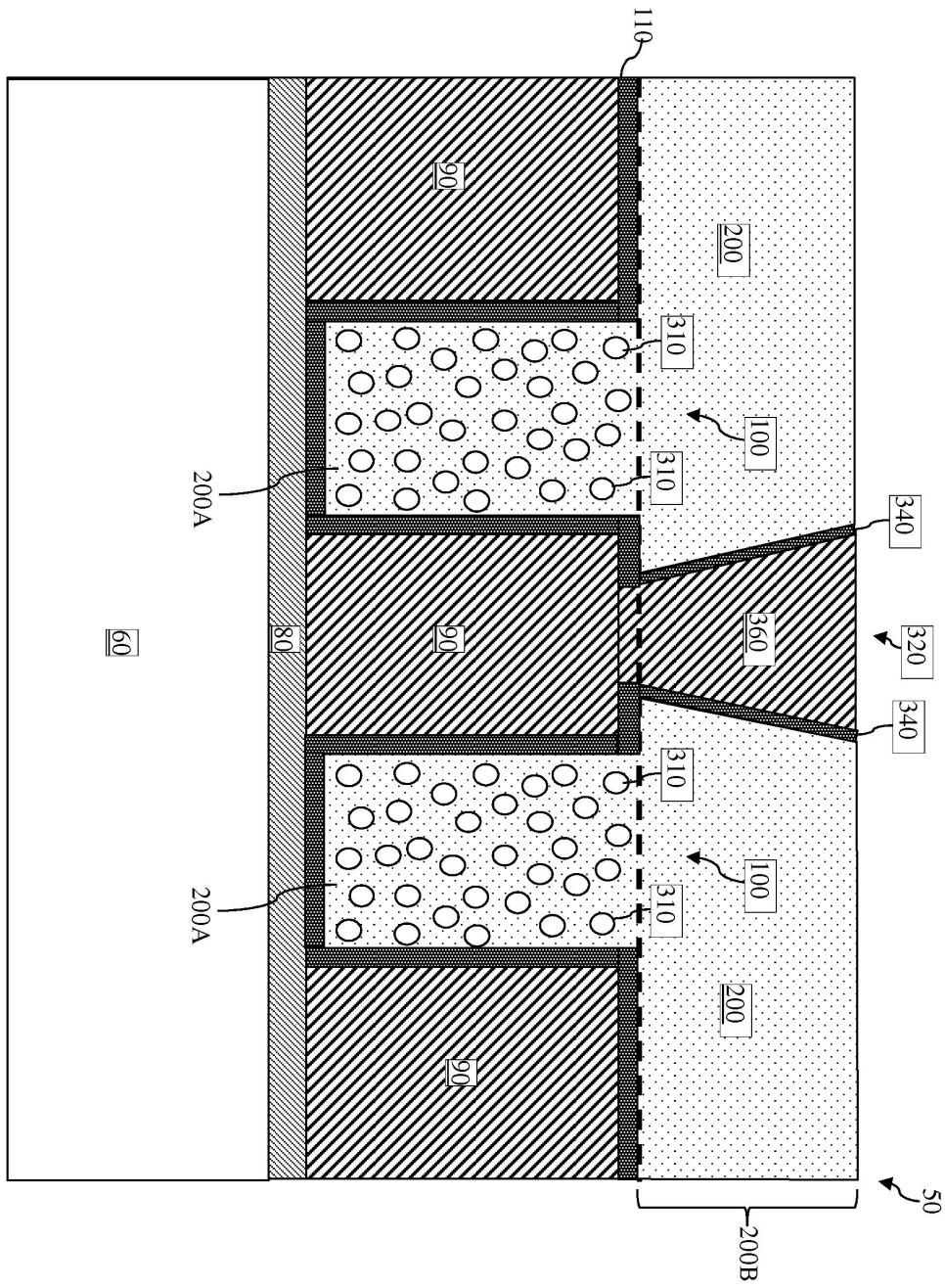
도면10



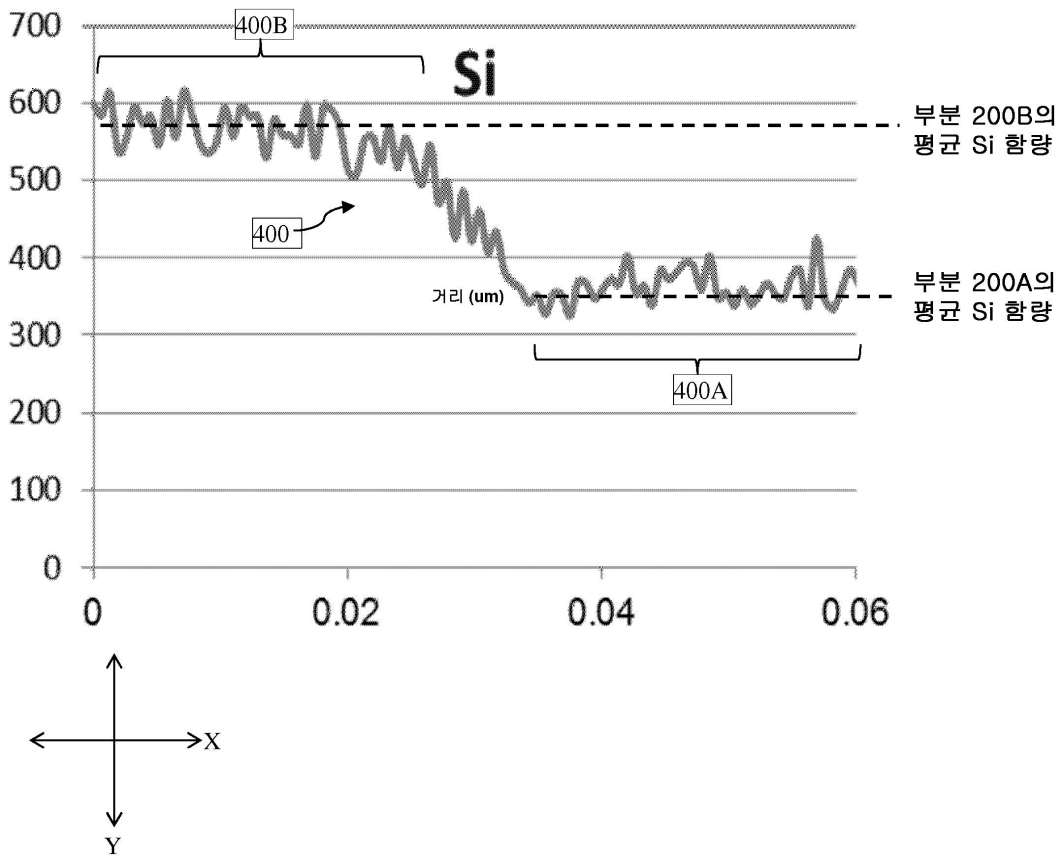
도면11



도면12



도면13



도면14

