

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5647792号
(P5647792)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月14日(2014.11.14)

(51) Int.Cl.

F I

HO 1 L 21/8242 (2006.01)

HO 1 L 27/10 6 5 1

HO 1 L 27/108 (2006.01)

HO 1 L 27/10 6 2 1 C

請求項の数 16 (全 23 頁)

(21) 出願番号	特願2010-9000 (P2010-9000)	(73) 特許権者	513192281
(22) 出願日	平成22年1月19日 (2010.1.19)		ビーエスフォー ルクスコ エスエイアー
(65) 公開番号	特開2010-258413 (P2010-258413A)		ルエル
(43) 公開日	平成22年11月11日 (2010.11.11)		P S 4 L u x c o S . a . r . l .
審査請求日	平成24年11月2日 (2012.11.2)		ルクセンブルク大公国エルー 2 1 2 1、ル
(31) 優先権主張番号	特願2009-88951 (P2009-88951)		クセンブルク、ヴァル デ ボン マラデ
(32) 優先日	平成21年4月1日 (2009.4.1)		ス 2 0 8
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100123788
			弁理士 宮崎 昭夫
		(74) 代理人	100127454
			弁理士 緒方 雅昭
		(72) 発明者	谷奥 正巳
			東京都中央区八重洲 2 - 2 - 1 エルピー
			ダメモリ株式会社内
		最終頁に続く	

(54) 【発明の名称】 キャパシタ用容量絶縁膜の製造方法

(57) 【特許請求の範囲】

【請求項 1】

キャパシタ用容量絶縁膜の製造方法であって、
前記キャパシタの最小加工寸法に依存した膜厚を有する T i 膜を堆積する工程と、
該 T i 膜を酸化雰囲気中でアニールして、ルチル結晶構造を有する T i O₂ 膜とする工
程と
を備えるキャパシタ用容量絶縁膜の製造方法。

【請求項 2】

前記アニールは、4 0 0 ℃以下の温度で実施される請求項 1 に記載のキャパシタ用容量
絶縁膜の製造方法。

【請求項 3】

前記アニールは、3 5 0 ℃以上 4 0 0 ℃以下の範囲で実施される請求項 1 に記載のキャ
パシタ用容量絶縁膜の製造方法。

【請求項 4】

前記酸化雰囲気は、酸素ガスを含有したガス雰囲気であることを特徴とする請求項 1 乃
至 3 のいずれか 1 項に記載のキャパシタ用容量絶縁膜の製造方法。

【請求項 5】

堆積される T i 膜は結晶性を有する請求項 1 乃至 4 のいずれか 1 項に記載のキャパシタ
用容量絶縁膜の製造方法。

【請求項 6】

前記Ti膜はALD装置を用いて結晶性を有するように堆積され、
該ALD装置内で引き続き、前記アニールを行うことを特徴とする、請求項1乃至4のいずれか1項に記載のキャパシタ用容量絶縁膜の製造方法。

【請求項7】

前記Ti膜を堆積する工程は、
Ti原料ガスを供給する工程と、
還元ガスを供給する工程を、
交互に複数回繰り返して実施することを特徴とする、請求項6に記載のキャパシタ用容量絶縁膜の製造方法。

【請求項8】

キャパシタ素子を備える半導体装置の製造方法であって、
キャパシタ素子の下部電極を形成する工程と、
前記下部電極上に前記キャパシタの最小加工寸法に依存した膜厚を有するTi膜を堆積する工程と、

該Ti膜を酸化雰囲気中でアニールして、ルチル結晶構造を有するTiO₂膜とする工程と、

前記TiO₂膜上にキャパシタ素子の上部電極を形成する工程
とを備える半導体装置の製造方法。

【請求項9】

前記アニールは、350℃以上400℃以下の範囲で実施される請求項8に記載の半導体装置の製造方法。

【請求項10】

前記酸化雰囲気は、酸素ガスを含有したガス雰囲気であることを特徴とする請求項8又は9に記載の半導体装置の製造方法。

【請求項11】

前記Ti膜は、結晶性を有する状態で前記下部電極上に堆積される請求項8乃至10のいずれか1項に記載の半導体装置の製造方法。

【請求項12】

前記Ti膜は、ALD装置を用いて結晶性を有するように前記下部電極上に堆積され、
該ALD装置内で引き続き、前記アニールを行うことを特徴とする、請求項8乃至10のいずれか1項に記載の半導体装置の製造方法。

【請求項13】

半導体基板上にキャパシタ素子の下部電極を形成する工程と、
前記下部電極を備えた半導体基板をALD装置のチャンバー内に載置する工程と、
前記チャンバーにTi原料ガスを供給する原料ガス供給工程と、
前記チャンバーに還元ガスを供給する還元ガス供給工程を備え、
前記原料ガス供給工程と前記還元ガス供給工程を交互に複数回繰り返して実施し、前記下部電極上にTi膜を堆積した後に、

前記チャンバーに酸化性ガスを供給して前記Ti膜のアニールを行い、ルチル結晶構造を有するTiO₂膜を前記下部電極上に形成する工程と、

前記TiO₂膜が形成された半導体基板を前記チャンバーから取り出す工程と、

前記TiO₂膜を介して前記下部電極と対向する上部電極を形成する工程を、
備えたことを特徴とする半導体装置の製造方法。

【請求項14】

前記Ti原料ガスは、Ti原子と酸素原子が直接結合していない原料であることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】

前記下部電極は、耐酸化性を有する金属材料で構成される請求項8乃至14のいずれか1項に記載の半導体装置の製造方法。

【請求項16】

前記キャパシタ素子は、半導体基板上に形成される半導体素子にコンタクトプラグを介して接続されるものであって、前記キャパシタ素子の形成前に、他の層間絶縁膜よりも酸素透過性の小さい層間絶縁膜を前記キャパシタ素子と半導体素子との間に少なくとも一層形成する工程を有する請求項 8 乃至 15 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はキャパシタ用容量絶縁膜の製造方法に関し、特に 400℃以下の低温で、ルチル結晶構造を備えた TiO_2 膜を形成する方法に関する。

【背景技術】

10

【0002】

DRAM素子等の半導体装置の微細化に伴い、高い誘電率のキャパシタ用絶縁膜（容量絶縁膜）が求められている。

【0003】

高い誘電率を備えたキャパシタ用絶縁材料として、 TiO_2 （酸化チタン）を挙げることができる。 TiO_2 には、良く知られた結晶構造としてアナターゼ型とルチル型の2種類が存在している。アナターゼ結晶は低温で形成されやすい低温相で、比誘電率が40弱程度と低い。一方、ルチル結晶は通常高温で形成される高温相で、比誘電率が80以上と高く、特にキャパシタ用絶縁材料として使用した場合、高容量のキャパシタが製造可能である。

20

【0004】

TiO_2 膜はスパッタやCVD（Chemical Vapor Deposition；化学気相蒸着）、ALD（Atomic Layer Deposition；原子層堆積）法等、様々な方法で形成できる。半導体素子に用いる場合には、微細化の観点から現在ALD法が主流である。しかし、半導体素子に使用する TiO_2 膜を形成する場合には、ALD法も含めて、どの方法でも、400℃以下の低温で高誘電率のルチル結晶を形成することは困難であった。

【0005】

例えば、Gyeong Teak Limらの実験（非特許文献1）では、ALD法によりプリカーサTDMA-T（テトラキスジメチルアミノチタン）と酸化剤 H_2O を用いてシリコン上に TiO_2 膜を形成している。 TiO_2 膜は成膜直後にはアモルファス状態にあり、アニールをすることによって結晶化している。300℃以上のアニールでアナターゼ結晶が生じ、700℃以上になってようやくルチルとアナターゼ結晶が生じ、800℃以上でルチル結晶が主体の結晶構造となる。しかし、半導体プロセスでは微細化の進展に伴い、トランジスタ等の半導体素子への悪影響を回避するために、高温のアニールを行うことが困難となっている。したがって、ルチル結晶を得るためとは言え、上記のような高い温度のアニールは実施できない。

30

【0006】

また、特許文献1には、光触媒用にルチル型の TiO_2 膜とアナターゼ型の TiO_2 膜の積層構造を形成するために、Arイオンビームを照射することでアナターゼ型からルチル型への構造転移温度を低くする技術が開示されている。しかしながら、このような手段によっても、ルチル結晶構造の TiO_2 膜を得るためには500℃以上のアニールが必要であった。また、DRAM素子のキャパシタ等の3次元構造を有する場所に TiO_2 膜を形成する場合には、イオン照射で均一にArイオンを導入することも困難であった。

40

【0007】

また、特許文献2には、Ru（ルテニウム）で形成したキャパシタ用下部電極の表面に RuO_2 膜を形成することで、400℃以下の低温でルチル型の TiO_2 膜を得る技術が開示されている。しかしながら、下部電極の材料がRuに限定されてしまうため、電極の材料を変更して、より高性能なキャパシタを形成することが困難であった。

【先行技術文献】

【特許文献】

50

【0008】

【特許文献1】特開2000-254519号公報

【特許文献2】特開2007-110111号公報

【非特許文献】

【0009】

【非特許文献1】Thin Solid Films 498 (2006) p254-258

【発明の概要】

【発明が解決しようとする課題】

【0010】

そこで本発明者は、できるだけ低温でルチル結晶構造の TiO_2 膜が形成でき、3次元構造のキャパシタ等に用いる場合においても、下地の電極形状および電極材料に影響されずに均一な TiO_2 膜を容易に形成する方法を鋭意検討した。

10

【0011】

ALD法を用いて TiO_2 膜の成膜実験を行った結果、 TiO_2 膜を直接に成膜する方法では、アナターゼ結晶が生成しやすく、アニール方法を工夫してもルチル結晶のみを有する TiO_2 膜を得ることは困難であった。

【0012】

具体的には、200℃で成膜した TiO_2 膜はアモルファス状態であった。このアモルファス膜を高温アニールして結晶化させた場合には、アナターゼ結晶とルチル結晶の両方が混在した状態となった。また、250℃以上の温度で TiO_2 膜を成膜した場合には、最初からアナターゼ結晶が生じてしまった。一度生じたアナターゼ結晶は安定であり、その後、ルチル結晶が生じるような高温のアニール処理をしても消滅することはなかった。アナターゼ結晶が含まれていると、誘電率が低下してしまうため、好ましくない。

20

【0013】

このような状況に鑑み、本発明は、比較的低温で容易に、ルチル結晶構造の TiO_2 膜を形成する方法を提供する。

【課題を解決するための手段】

【0014】

本発明による解決手段は、

Ti 膜を堆積し、酸化雰囲気中でアニール処置を行うことにより、 Ti 膜を酸化し、ルチル結晶構造を備えた TiO_2 膜に変化させるものである。

30

【0015】

すなわち、本発明の一実施形態によれば、

キャパシタ用容量絶縁膜の製造方法であって、

Ti 膜を堆積する工程と、

該 Ti 膜を酸化雰囲気中でアニールして、ルチル結晶構造を有する TiO_2 膜とする工程と

を備えるキャパシタ用容量絶縁膜の製造方法、が提供される。

【0016】

また、本発明の別の実施形態においては、

キャパシタ素子を備える半導体装置の製造方法であって、

キャパシタ素子の下部電極を形成する工程と、

前記下部電極上に Ti 膜を堆積する工程と、

該 Ti 膜を酸化雰囲気中でアニールして、ルチル結晶構造を有する TiO_2 膜とする工程と、

40

前記 TiO_2 膜上にキャパシタ素子の上部電極を形成する工程

とを備える半導体装置の製造方法、が提供される。

【発明の効果】

【0017】

キャパシタ用容量絶縁膜として、誘電率の高いルチル結晶構造を備えた TiO_2 膜を、

50

350～400℃程度の低温で形成できる。この結果、キャパシタの静電容量を増加させることができ、トランジスタ等の半導体素子に対する高温の熱処理の悪影響も回避できるので、微細化した高性能の半導体装置が提供できる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施形態になるTiO₂膜の製造フローを示すフローシートである。

【図2】評価用試料の製造方法を説明する工程断面図である。

【図3】XRD（X線回折）法を用いて、作製した各試料の結晶構造解析を行った結果を示す図であり、（A）は試料表面に対するX線の入射角度θを10～90°まで変化させたときの回折強度波形（縦軸）を2θを横軸として示したもの、（B）は横軸（2θ）の35～45°の範囲を拡大した結果を示す。

10

【図4】XRF（蛍光X線元素分析）法を用いて、作製した各試料の酸素の強度値を測定した結果を、アニール温度を横軸、酸素元素の固有X線強度を縦軸として示す図である。

【図5】アニール温度に対するアニール時間の影響を示すXRD法での測定結果を示す図であり、（A）は400℃、（B）は350℃での結果を示す。

【図6】本発明の一実施形態になる半導体装置であるDRAM素子のメモリセル部の平面レイアウトを示す概念図である。

【図7】図6のA-A'線に対応する断面模式図である。

【図8】図7に示すキャパシタ素子の製造工程を説明する模式的断面図である。

【図9】図7に示すキャパシタ素子の製造工程を説明する模式的断面図である。

20

【図10】図7に示すキャパシタ素子の製造工程を説明する模式的断面図である。

【図11】本発明を用いたキャパシタ素子の製造工程を説明するフローチャートである。

【図12】図11に示したキャパシタ素子の製造工程での複数のガスの供給方法を示すタイミングチャートである。

【発明を実施するための形態】

【0019】

〔発明の実施例〕

本発明の一実施形態になるTiO₂膜の製造方法について説明する。

本実施例では、ルチル結晶構造のTiO₂膜を、図1に示したように2段階の工程に分けて形成する。

30

【0020】

キャパシタ用の下部電極を形成した後に、まず、Ti（チタン）膜を堆積する（工程S1）。Ti膜の堆積手段は、ALD法を含めたCVD法、又はスパッタ法等、特に限定されない。

【0021】

CVD法（もしくはALD法）にてTi膜を形成する場合には、例えば、TiCl₄を原料ガスと、H₂、NH₃もしくは両者の混合ガス等の還元ガスとを反応ガスとして形成できる。なお、原料ガスの低温での反応は難しく、反応ガスのプラズマ化等によって、反応性を高める必要がある。原料ガスは、前駆体（プリカーサ）としてTiと酸素が直接結合しないものであれば特に限定されずに使用することができる。この場合も、還元ガスとは低温で反応しにくいことが多いので、上記と同様に反応性を高める必要がある。

40

【0022】

次に、350～400℃程度の温度で酸化雰囲気中でアニールを行うことにより、堆積したTi膜を酸化し、TiO₂膜に変化させる（工程S2）。温度範囲は一例であり、後述のように必ずしもこの温度範囲内には限定されない。

【0023】

従来のようにTiO₂膜を最初から堆積させるのではなく、このように、Ti膜を酸化してTiO₂膜を形成することにより、低温の熱処理のみでルチル結晶構造のTiO₂膜を形成することができる。

【0024】

50

本実施例の製造方法によって形成した TiO_2 膜の結晶状態を調べた結果を、次に示す。

【0025】

評価用の試料は次のようにして作製した。

まず、図2(a)に示したように、半導体基板1上に酸化シリコン膜2を形成し、その上に Ti 膜を20nmの厚さで形成した。具体的には、スパッタ法を用い、基板温度を300℃、チャンバー内を Ar (アルゴン)雰囲気で圧力0.5Paに保持した状態で Ti ターゲットのスパッタリングを行って、 Ti 膜3を酸化シリコン膜2上に堆積させた。

【0026】

次に、図2(b)に示したように、酸素ガスを供給する熱処理炉を用いたファーネスアニールによって、アニール酸化(以下、酸素ガス雰囲気中でのアニールを酸素アニールという)を行い、 Ti 膜3を酸化して、 TiO_2 膜4を形成した。酸素アニールの際の温度は、評価のために300℃～550℃の範囲で複数の条件を設定し、各温度条件にて、それぞれ10分間の酸素アニールを行った。

【0027】

なお、酸化シリコン上に TiO_2 膜を形成した理由は、従来例(非特許文献1)では、シリコン上に TiO_2 膜を形成しており、シリコンと TiO_2 膜の間には酸化シリコン膜が必ず形成されてしまうので、同条件で膜の特性を比較検討したためである。本発明においては、下地が酸化シリコンである必要は無く、一般的な半導体装置で使用するキャパシタ素子に適用する場合には、金属電極上に Ti 膜を堆積して酸化雰囲気中でアニールを行えばよい。また、電極の材料についても耐酸化性を備えていればよく、特に限定は無い。

【0028】

図3に、XRD(X線回折)法を用いて、作製した各試料の結晶構造解析を行った結果を示す。図3(A)は、試料表面に対するX線の入射角度 θ を10～90°まで変化させたときの回折強度波形(縦軸)を 2θ を横軸として示したものである。(a)は酸素アニールを行っていない状態の試料の測定結果で、(b)～(g)の波形はそれぞれ、酸素アニール温度条件を300℃～550℃まで、50℃ステップで上昇させた場合の試料の測定結果である。(a)～(g)の各測定波形は、強度ピークの位置が分かるように、共通の横軸を用い、縦軸方向にシフトさせて記載してある。また強度ピークの位置に矢印を記載した。図3(A)より、各波形(a)～(g)には、アナターゼ結晶構造の TiO_2 に特有の強度ピークは見られない。すなわち、本実施例の方法(図1)で形成した TiO_2 膜には、酸素アニール温度を450℃以上とした場合も含めて、アナターゼ結晶が含まれていないことが分かる。

【0029】

図3(B)には、横軸(2θ)の35～45°の範囲を拡大した結果を示す。

酸素アニールなしの状態(a)では、 $2\theta=38^\circ$ 近傍に Ti の結晶ピークが見えている。酸素アニール温度が上がるに従い、この Ti ピーク強度は減少し、左にシフトして行く。これは Ti 結晶が一部酸化して結晶構造が崩壊し、かつ、 Ti 結晶中に酸素が入り込んだために、 Ti 結晶の格子間隔が広げられたことを示している。 Ti 結晶は400℃での酸素アニール(d)までは存在し、450℃の酸素アニール(e)では完全に消えた。

【0030】

代わって、400℃以上の酸素アニールで $2\theta=39^\circ$ 近傍に新しいピークが出現する。この強度ピークは TiO_2 のルチル結晶のa軸(200)ピークを示している。このピークはアニール温度が上がっていくと徐々に強くなり、かつ、右にシフトしてルチル構造の TiO_2 バルク結晶の位置($2\theta=39.2^\circ$)に近づく。

【0031】

次に、図4に、XRF(蛍光X線元素分析)法を用いて、作製した各試料の酸素の強度値を測定した結果を、酸素アニール温度を横軸、酸素元素の固有X線強度を縦軸として示す。

【0032】

XRF法では、着目元素の原子数に比例したピーク強度を得ることができる。図4の一番左にプロットしたポイントが、酸素アニールなしの試料での測定結果である。アニールなしでも、下地の酸化シリコン膜2に含有されている酸素が測定結果に含まれるため、強度値は0にはなっていない。すなわち、この酸素アニールなしの状態での強度値が起点強度となる。

【0033】

酸素アニールを行うと、アニール温度の上昇に伴い酸素原子数が増加し、XRD法でのTiピークが消える450℃あたりで、強度はほぼ飽和している。これはTiの酸化の進み具合と一致している。

【0034】

本実施例では、酸素アニールの時間を延長することにより、400℃以下の低温でもルチル構造のTiO₂膜を形成することが可能となる。

【0035】

先に説明した方法でTi膜を堆積した試料を準備し、酸素アニールの温度を一定にして、酸素アニールの時間を変更した場合の結果について示す。

【0036】

図5(A)は、酸素アニール温度を400℃に設定し、酸素アニール時間を10～40分の範囲で10分ステップで増加させた場合のXRD法での測定結果である。(h)～(k)の各波形が、10分ステップで酸素アニールの時間を増加させた場合に、それぞれ対応している。

【0037】

図5(B)は、酸素アニール温度を350℃に設定し、酸素アニール時間を10～40分の範囲で10分ステップで増加させた場合のXRD法での測定結果である。図5(A)と同様に(h)～(k)の各波形が、10分ステップで酸素アニールの時間を増加させた場合に、それぞれ対応している。

【0038】

図5(A)の結果より、400℃の酸素アニールを行った場合には、酸素アニールの時間を増やすにしたがって徐々にTiのピークが消え、ルチル結晶のピークが増大していくのが分かる。酸素アニールを40分行くと、Tiピークはほぼ消え、ルチルピークは十分な強度になっている(波形(k))。

【0039】

また、図5(B)の結果より、350℃の酸素アニールでは、40分間の酸素アニール後にも、Tiピークがかなり残っている。しかし、わずかではあるがルチルピークが見えてくる(波形(k))。これは、準備した試料のTi膜厚が20nmと厚いため、すべてのTiが酸化されるまでは、Tiピークが残ってしまうためである。Ti膜表面から特に酸化が進むので下部電極に近いあたりは、まだ酸化されていない。

【0040】

さらに検討を進めた結果、もっと薄いTi膜厚であれば、350℃の酸素アニールでもルチル結晶構造のTiO₂膜が形成できた。すなわち、本実施例では、Ti膜が酸化されて完全にTiO₂膜に変化するまで酸化を続ければよく、Tiの膜厚、酸素アニールの温度に応じて、酸化の時間を設定すればよい。

【0041】

例えば、最小加工寸法60nm以下のような微細なメモリセルへの適用を考慮した場合には、容量絶縁膜の膜厚は10nm以下とする必要があることから、本実施例の製造方法は極めて有用である。

【0042】

このように、本実施例の製造方法を用いることによって、アナターゼ結晶を含まないルチル結晶だけのTiO₂膜を、350℃～400℃という低温で形成することが可能となる。

【0043】

本実施例の方法によって、ルチル結晶構造の TiO_2 膜が形成できる理由は、次のように考察される。

【0044】

従来の TiO_2 膜のように、最初から Ti 原子と酸素原子が結合した状態で堆積した場合には、結晶化に際して、 $250 \sim 300^\circ\text{C}$ の温度領域を通過する際に、アナターゼ結晶化が進行し始めるため、アナターゼ結晶になってしまう。またいったんアナターゼ結晶化してしまうと、ルチル結晶への転換は難しい。

【0045】

これに対して、最初に Ti 膜を堆積した場合には、 Ti 膜は $250 \sim 300^\circ\text{C}$ の温度領域では、まだ金属状態を維持しており、 300°C 以上の温度でようやく酸化が進行し始める（図4）。このため、アナターゼ結晶化の進行し始める温度領域を Ti 金属膜のまま通過することができるので、アナターゼ結晶化を回避して、ルチル結晶とすることができる。

10

【0046】

なお、最初に形成する Ti 膜は、堆積した状態で結晶化していることが好ましい。これは、アモルファス状態よりも結晶状態の方が酸素を拡散させやすく、全体を酸化させやすいためである。したがって、 Ti 膜を堆積する際には、できるだけ温度を高めの設定（ $200 \sim 400^\circ\text{C}$ 程度）として成膜することが好ましい。

【0047】

また、半導体素子用のキャパシタを形成する場合には、できるだけ低温化した方がよい。ため、酸化雰囲気中でのアニールの温度は、 400°C 以下とすることが好ましい。熱の影響を余り気にしなくても良い状況で TiO_2 膜を形成する際には、 400°C よりも高い温度のアニールを行うことも可能である。従って、製造する半導体装置に必要な特性に応じてアニール温度は設定すればよい。

20

【0048】

なお、酸素ガス雰囲気中で酸素アニールを行う場合には、上述したように 350°C 以上の温度とすることが好ましいが、他の酸化方法を用いる場合には、必ずしも 350°C 以上の温度には限定されない。すなわち、堆積した Ti 膜が酸化されて、ルチル型の TiO_2 膜に変化する範囲であれば、 350°C 以下の雰囲気中で酸化処理を行っても良い。

【0049】

また、アニール時の雰囲気としては、酸素ガス（ O_2 ガス）のみに限定はされず、酸素原子を含有した、酸化性のガス雰囲気であれば使用可能である。より具体的には、オゾン（ O_3 ）ガス、水蒸気（ H_2O ）ガス、亜酸化窒素（ N_2O ）ガス等も使用可能である。特に、酸化温度を低温化する際には、オゾンや水蒸気等の酸化力の強いガスを用いることで、酸化時間を短縮できるので好ましい。

30

【0050】

次に、本発明を適用した具体例として、DRAM素子のメモリセルを構成するキャパシタ素子（容量素子）の容量絶縁膜に用いた場合について説明する。

【0051】

図6は、本発明を適用した半導体装置であるDRAM素子について、メモリセル部の平面レイアウトを示す概念図である。図6の右手側は、後述する、ワード配線 W となるゲート電極5とサイドウォール5bとを切断する面を基準とした透過断面図として示している。また、簡略化のために、キャパシタ素子の記載は図6においては省略し、断面図にのみ記載した。

40

【0052】

図7は、メモリセル部（図6）のA-A'線に対応する断面模式図である。なお、これらの図は半導体装置の構成を説明するためのものであり、図示される各部の大きさや寸法等は、実際の半導体装置の寸法関係とは異なっている。

【0053】

メモリセル部は、図7に示すように、メモリセル用のMOSトランジスタ Tr1 と、M

50

ＯＳトランジスタＴｒ１に複数のコンタクトプラグを介して接続されたキャパシタ素子Ｃａｐとから概略構成されている。

【００５４】

図６、図７において、半導体基板１０１は、所定濃度のＰ型不純物を含有するシリコン（Ｓｉ）によって形成されている。この半導体基板１０１には、素子分離領域１０３が形成されている。素子分離領域１０３は、半導体基板１０１の表面にＳＴＩ（Shallow Trench Isolation）法によりシリコン酸化膜（ＳｉＯ₂）等の絶縁膜を埋設することで、活性領域Ｋ以外の部分に形成され、隣接する活性領域Ｋとの間を絶縁分離している。本実施形態では、１つの活性領域Ｋに２ビットのメモリセルが配置されるセル構造に本発明を適用した場合の例を示している。

10

【００５５】

本実施形態では図６に示す平面構造の如く、細長い短冊状の活性領域Ｋが複数、個々に所定間隔をあけて右斜め下向きに整列して配置されており、一般に６Ｆ²型メモリセルと呼ばれるレイアウトに沿って配列されている。

【００５６】

各活性領域Ｋの両端部と中央部には個々に不純物拡散層が形成され、ＭＯＳトランジスタＴｒ１のソース・ドレイン領域として機能する。ソース・ドレイン領域（不純物拡散層）の真上に配置されるように基板コンタクト部２０５ａ、２０５ｂ、２０５ｃの位置が規定されている。

【００５７】

20

図６の横（Ｘ）方向には、折れ線形状（湾曲形状）にビット配線１０６が延設され、このビット配線１０６が図１の縦（Ｙ）方向に所定の間隔で複数配置されている。また、図６の縦（Ｙ）方向に延在する直線形状のワード配線Ｗが配置されている。個々のワード配線Ｗは図６の横（Ｘ）方向に所定の間隔で複数配置され、ワード配線Ｗは各活性領域Ｋと交差する部分において、図７に示されるゲート電極１０５を含むように構成されている。本実施形態では、ＭＯＳトランジスタＴｒ１は、溝型のゲート電極を備えている。

【００５８】

図７の断面構造に示すように、半導体基板１０１において素子分離領域１０３に区画された活性領域Ｋにソース・ドレイン領域として機能する不純物拡散層１０８が離間して形成され、個々の不純物拡散層１０８の間に、溝型のゲート電極１０５が形成されている。

30

【００５９】

ゲート電極１０５は、多結晶シリコン膜と金属膜との多層膜により半導体基板１０１の上部に突出するように形成されており、多結晶シリコン膜はＣＶＤ法での成膜時にリン等の不純物を含有させて形成することができる。ゲート電極用の金属膜には、タングステン（Ｗ）や窒化タングステン（ＷＮ）、タングステンシリサイド（ＷＳｉ）等の高融点金属を用いることができる。

【００６０】

また、図７に示すように、ゲート電極１０５と半導体基板１０１との間にはゲート絶縁膜１０５ａが形成されている。また、ゲート電極１０５の側壁には窒化シリコン（Ｓｉ₃Ｎ₄）などの絶縁膜によるサイドウォール１０５ｂが形成されている。ゲート電極１０５上にも窒化シリコンなどの絶縁膜１０５ｃが形成されており、ゲート電極１０５の上面を保護している。

40

【００６１】

不純物拡散層１０８は、半導体基板１０１にＮ型不純物として、例えばリンを導入することで形成されている。不純物拡散層１０８と接触するように基板コンタクトプラグ１０９が形成されている。この基板コンタクトプラグ１０９は、図６に示した基板コンタクト部２０５ｃ、２０５ａ、２０５ｂの位置にそれぞれ配置され、例えば、リンを含有した多結晶シリコンから形成される。基板コンタクトプラグ１０９の横（Ｘ）方向の幅は、隣接するゲート配線Ｗに設けられたサイドウォール１０５ｂによって規定される、セルフアライン構造となっている。

50

【0062】

図7に示すように、ゲート電極上の絶縁膜105c及び基板コンタクトプラグ109を覆うように第1の層間絶縁膜104が形成され、第1の層間絶縁膜104を貫通するようにビット線コンタクトプラグ104Aが形成されている。ビット線コンタクトプラグ104Aは、基板コンタクト部205aの位置に配置され、基板コンタクトプラグ109と導通している。ビット線コンタクトプラグ104Aは、チタン(Ti)及び窒化チタン(TiN)の積層膜からなるバリア膜(TiN/Ti)上にタングステン(W)等を積層して形成されている。ビット線コンタクトプラグ104Aに接続するようにビット配線106が形成されている。ビット配線106は窒化タングステン(WN)及びタングステン(W)からなる積層膜で構成されている。

10

【0063】

ビット配線106を覆うように、第2の層間絶縁膜107が形成されている。第1の層間絶縁膜104及び第2の層間絶縁膜107を貫通して、基板コンタクトプラグ109に接続するように容量コンタクトプラグ107Aが形成されている。容量コンタクトプラグ107Aは、基板コンタクト部205b、205cの位置に配置される。

【0064】

第2の層間絶縁膜107上には、窒化シリコンを用いた第3の層間絶縁膜111及びシリコン酸化膜を用いた第4の層間絶縁膜112が形成されている。

【0065】

第3の層間絶縁膜111及び第4の層間絶縁膜112を貫通して、容量コンタクトプラグ107Aと接続するようにキャパシタ素子Capが形成されている。

20

【0066】

キャパシタ素子Capは下部電極113と上部電極115の間に、先に説明した本発明のTiO₂膜を容量絶縁膜として挟んだ構造となっており、下部電極113が容量コンタクトプラグ107Aと導通している。

【0067】

上部電極115上には、酸化シリコン等で形成した第5の層間絶縁膜120、アルミニウム(Al)、銅(Cu)等で形成した上層の配線層121、表面保護膜122が形成されている。

【0068】

キャパシタ素子の上部電極115には、所定の電位が与えられており、キャパシタ素子に保持された電荷の有無を判定することによって、情報の記憶動作を行うDRAM素子として機能する。

30

【0069】

次に、キャパシタ素子Capの具体的な形成方法について説明する。

図8～11に、第3の層間絶縁膜111から上の部分のみを断面図として記載した。

【0070】

まず、図8に示したように、第3の層間絶縁膜111及び第4の層間絶縁膜112を、所定の膜厚で堆積した後に、フォトリソグラフィ技術を用いて、キャパシタ素子を形成するための開孔112Aを形成する。

40

【0071】

下部電極材料を成膜した後、ドライエッチング技術又はCMP(Chemical Mechanical Polishing)技術を用いて、下部電極113を開孔112Aの内壁部分にのみ残すように形成する。

【0072】

下部電極の材料としては、耐酸化性の強い金属膜を用いることが好ましい。具体的には、ルテニウム(Ru)、イリジウム(Ir)、白金(Pt)等を挙げることができる。

【0073】

次に、図9に示したようにTi膜114aを10nm以下、例えば6～8nm程度の厚さに堆積する。本発明においては、Ti膜の堆積手段は特に限定されないが、DRAM素

50

子のキャパシタのように、深孔内に均一な膜厚でTi膜を堆積する場合には、ALD法を用いることが好ましい。

【0074】

次に400℃の酸素雰囲気中で30分間酸素アニールを行うことにより、Ti膜114aを、TiO₂膜114に変化させる。この際に、第3の層間絶縁膜111を通常の層間絶縁膜として形成される酸化シリコンよりも酸素透過性の小さい窒化シリコンで形成しておくことにより、キャパシタよりも下層に位置するビット線やトランジスタ素子が酸化によりダメージを受けるのを回避することができる。

【0075】

また、形成したいTiO₂膜の膜厚に合わせて、Ti膜が完全に酸化されるように酸素アニールの温度と時間は調整すればよい。酸素雰囲気は100%酸素でなくてもよく、不活性ガスと酸素の混合雰囲気、例えば、大気中でもよい。好ましくは、酸素リッチな雰囲気であることが望ましい。

【0076】

次に、図10に示したように、TiO₂膜114の表面を覆い、開孔(112A)内を充填するように、金属膜を堆積して、上部電極115を形成する。上部電極115の材料は下部電極113と異なってもよい。また、耐酸化性の劣るタングステン(W)や窒化チタン(W)等を用いてもよい。これにより、キャパシタ素子Capが完成する。

【0077】

本発明を適用することにより、誘電率の高いルチル結晶構造のTiO₂膜を、400℃以下の低温で形成することが可能となる。

【0078】

したがって、キャパシタ素子の形成よりも前の段階で形成されているトランジスタ素子等の半導体素子に加えられる熱の影響を抑制することが可能となり、微細化を進めた高性能のトランジスタ素子等を形成することができる。

【0079】

また、下部電極の形状や材料に影響されることなく、均一な膜厚のTiO₂膜を容易に形成することができ、キャパシタ素子の静電容量も大きくすることが可能なため、高性能なDRAM素子を容易に形成することができる。

【0080】

本発明を用いて、TiO₂膜を有するキャパシタ素子を製造する別の方法として、Ti膜の堆積工程と酸化雰囲気中のアニール工程を1つのALD成膜装置内で連続して実施する方法について説明する。

図11は、キャパシタ素子の形成工程を示すフローチャートである。

【0081】

まず、工程S3として、半導体基板上にキャパシタ素子の下部電極を形成する。下部電極の材料としては、ルテニウム(Ru)、イリジウム(Ir)、白金(Pt)等を例示できるが、その他の耐酸化性の強い金属膜も利用できる。

【0082】

次に、下部電極を形成した半導体基板をALD装置のチャンバー内に載置する。ALD装置としては、枚様式、バッチ式のいずれも使用可能である。

【0083】

ALD装置内でのTiO₂膜の形成は、Ti膜を堆積する工程S4と、堆積したTi膜を酸化してルチル結晶構造のTiO₂膜に変換する工程S5を有している。

【0084】

Ti膜を堆積する工程S4はさらに、Ti原料ガス(前駆体)を供給する工程S4aと、還元ガスを供給する工程S4bを有している。

【0085】

図12にALD装置に供給する複数のガスのタイミングチャートを示す。

本実施例では、Ti原料ガス、還元ガス、パージガス、酸化ガスの4種類のガスを、図

10

20

30

40

50

1 2 に示したタイミングでチャンバー内に供給する。

【0086】

工程 S 4 および S 5 について、図 1 2 を参照して説明する。

チャンバー内の半導体基板は、温度が 400℃となるように設定する。

Ti 原料ガスとしては、TiCl₄ を例示できる。また Ti 原料ガスとして、Ti と酸素が直接結合しないものであれば特に限定されずに使用することができる。

【0087】

まず、工程 S 4 a として、時間 T 1 にて Ti 原料ガスをチャンバー内に 1～5 秒間供給し、下部電極の表面に吸着させる。次に、時間 T 2 にて Ti 原料ガスの供給を停止し、パージガスをチャンバー内に 5～30 秒間供給する。パージガスとしては、窒素 (N₂) を例示できる。パージガスを供給することで、下部電極の表面に吸着せず残存している Ti 原料ガスをチャンバーの外に排出する。

【0088】

次に、時間 T 3 にてパージガスの供給を停止し、工程 S 4 b として還元ガスをチャンバー内に 2～5 秒間供給する。還元ガスとしては水素 (H₂) ガスを例示できる。還元ガスは ALD 装置内に設けたプラズマ発生器を通して活性化しておくことで、吸着している Ti 原料との反応を促進することができる。

【0089】

次に、時間 T 4 にて還元ガスの供給を停止し、パージガスをチャンバー内に 5～30 秒間供給する。ここまでの工程によって、下部電極表面に原子層レベルの Ti 膜が形成される。半導体基板は 200℃以上で高めの温度（本実施例では 400℃）に設定しておくことにより、結晶化した状態で Ti 膜を形成することができる。この一連の工程（サイクル）を N 回（N は正の整数）繰り返すことによって、必要な膜厚の Ti 膜を形成することができる。本実施例では、このサイクルを 30 回繰り返すことによって、約 2.4 nm の膜厚の Ti 膜を得た。なお、図 1 2 には、工程 S 4 として、2 回目のサイクル（時間 T 5～T 9）までを記載した。

【0090】

所定の膜厚の Ti 膜を形成した後に、工程 S 5 として、酸化ガスをチャンバー内に 1～2 分間供給する。酸化ガスとしてはオゾン (O₃) を例示できる。酸化ガスの供給によって Ti 膜は完全に酸化され、ルチル型の TiO₂ 膜に変換される。本実施例では、酸化によって、約 3.4 nm の膜厚の TiO₂ 膜が得られた。先の工程 S 4 と、この工程 S 5 を 1 サイクルとして M 回（M は正の整数）繰り返すことにより、ルチル型の TiO₂ 膜を所望の膜厚で形成することができる。本実施例では、3 回（N=30、M=3 に設定）繰り返すことにより、約 10 nm の膜厚の TiO₂ 膜を得た。

【0091】

従来技術（非特許文献 1）では、ALD 装置を用いて TiO₂ 膜を形成する際に、210℃以下の低い温度に設定した状態で、Ti 原料ガスとして TDMA T ガスを供給した直後に酸化ガス (H₂O) を供給して、アモルファス状態の TiO₂ 膜を原子層レベルで形成している。そして原子層レベルの TiO₂ 膜の堆積の繰り返しで、アモルファス状態の TiO₂ 膜が所定の膜厚となるようにしている。先に説明したように、アモルファス状態の TiO₂ 膜をアニールによって結晶化しても、ルチル型とすることは困難である。

【0092】

これに対して本発明では、従来技術の温度設定よりも高めの温度に基板を保持した状態で、Ti 原料ガスを供給した直後に還元ガスを供給することで、結晶状態の Ti 膜を原子層レベルで形成している。そして原子層レベルの Ti 膜の形成の繰り返しで、結晶状態の Ti 膜を所定の膜厚とした後に、酸化ガスを供給して Ti 膜を酸化することで、ルチル型結晶構造の TiO₂ 膜を得ることができる。

【0093】

次に、工程 S 6 として、TiO₂ 膜上に上部電極を形成すれば、キャパシタ素子が完成する。上部電極の材料は下部電極と異なってもよい。

【0094】

このように、Ti膜の堆積工程と酸化雰囲気中のアニール工程を1つのALD成膜装置で連続して実施することにより、容易にルチル型のTiO₂膜を形成することができる。

【0095】

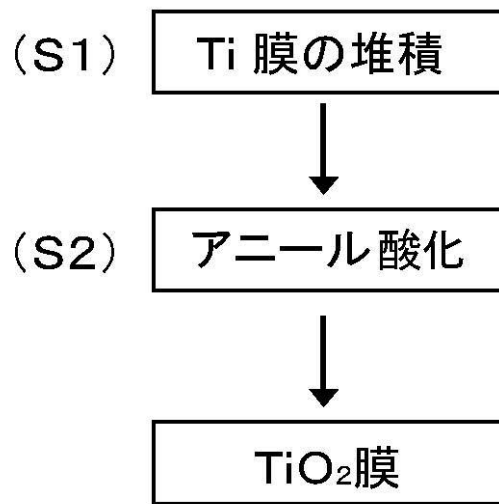
この方法で、先に説明したDRAM素子用のキャパシタ素子を形成することにより、高性能なDRAM素子をさらに容易に形成することができる。

【符号の説明】

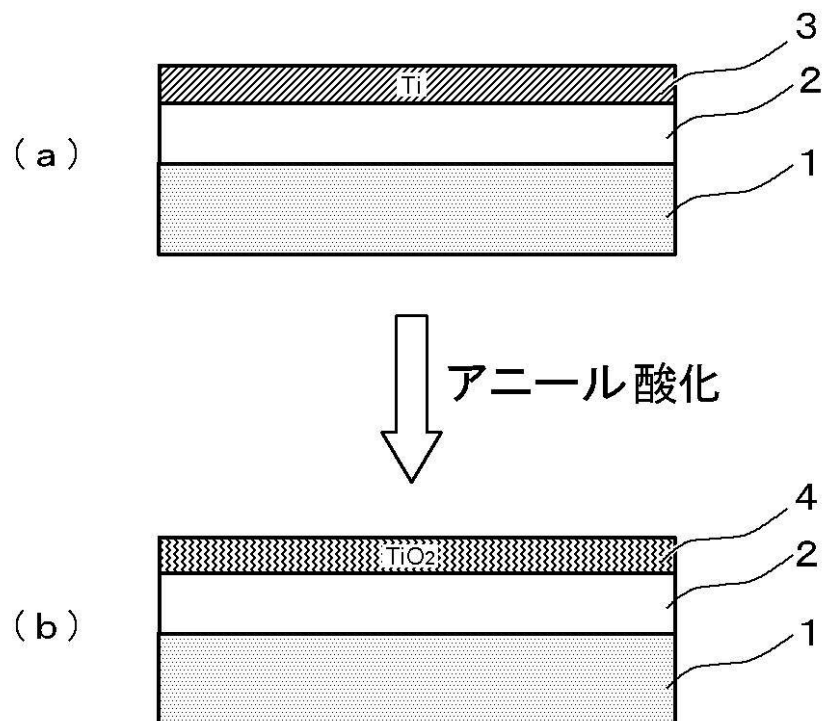
【0096】

1	半導体基板	
2	酸化シリコン膜	10
3	Ti膜	
4	TiO ₂ 膜	
101	半導体基板	
103	素子分離領域	
104	第1の層間絶縁膜	
104A	ビット線コンタクト部落	
105	ゲート電極	
106	ビット配線	
107	第2の層間絶縁膜	
107A	容量コンタクトプラグ	20
108	不純物拡散層	
109	基板コンタクトプラグ	
111	第3の層間絶縁膜	
112	第4の層間絶縁膜	
112A	開孔	
113	下部電極	
114	容量絶縁膜(TiO ₂ 膜)	
114a	Ti膜	
115	上部電極	
120	第5の層間絶縁膜	30
121	上層配線層	
122	表面保護膜	
205c、205a、205b	基板コンタクト部	
K	活性領域	
W	ワード配線	
Tr1	MOSトランジスタ	
Cap	キャパシタ素子	

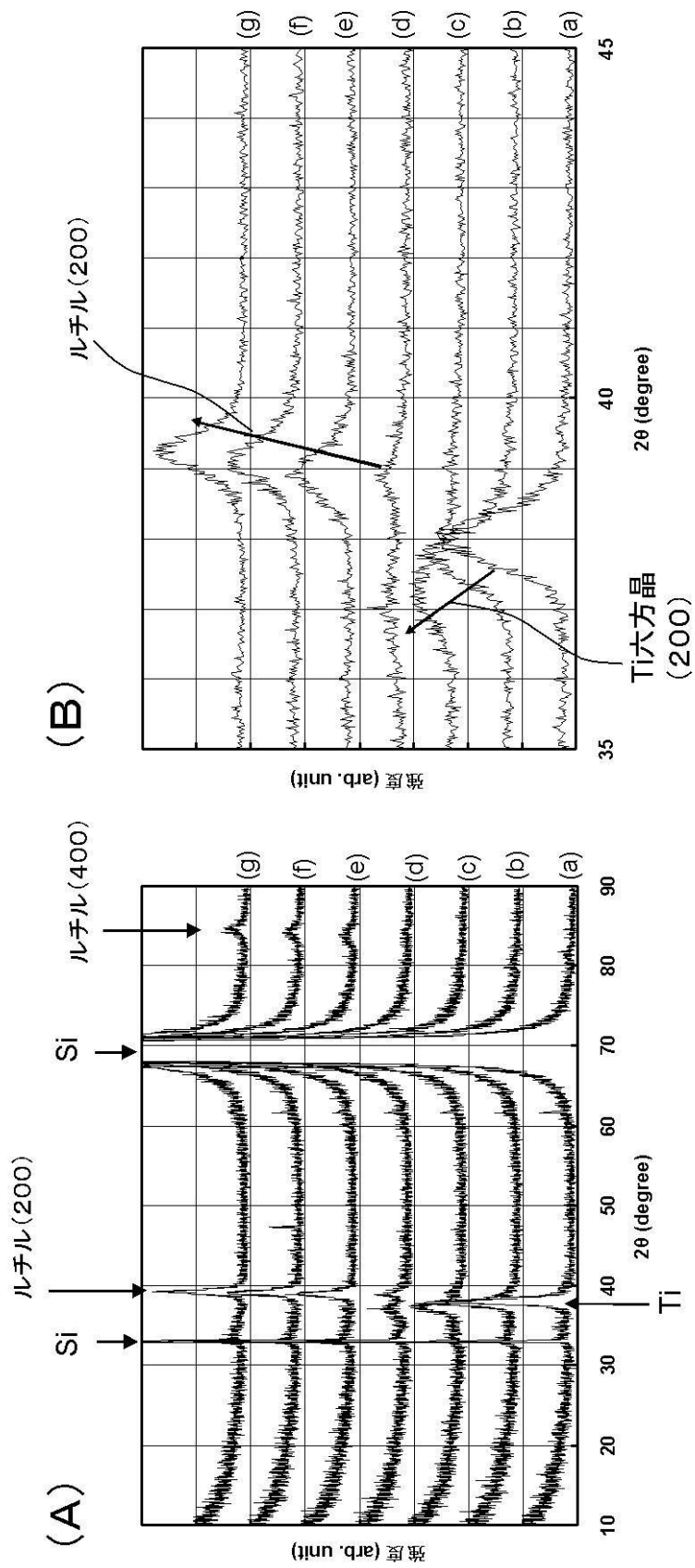
【図 1】



【図 2】



【図 3】



(g) 550°C 酸素アニール (10分)

(f) 500°C "

(e) 450°C "

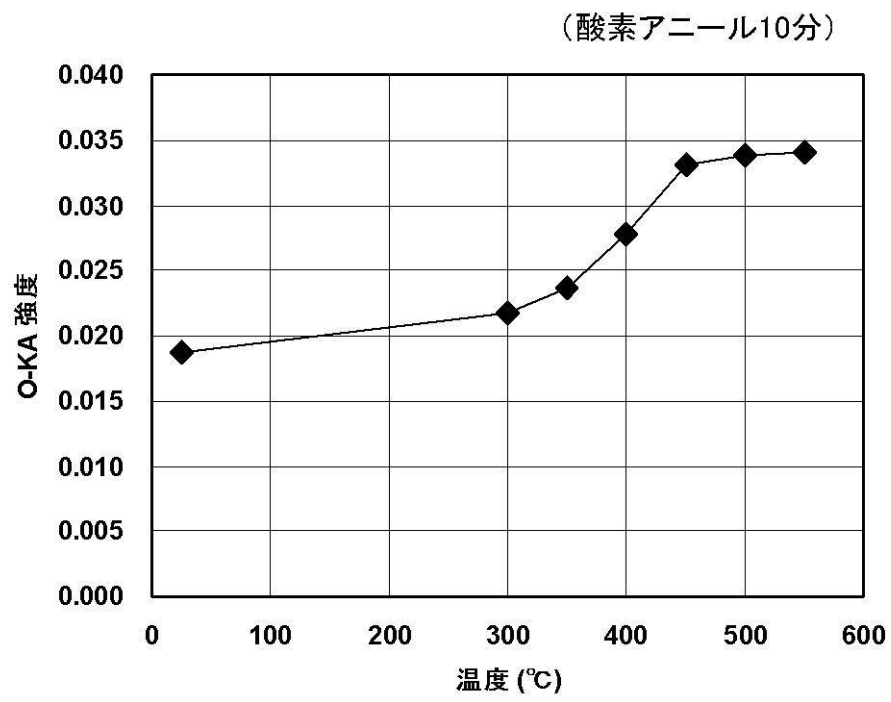
(d) 400°C "

(c) 350°C "

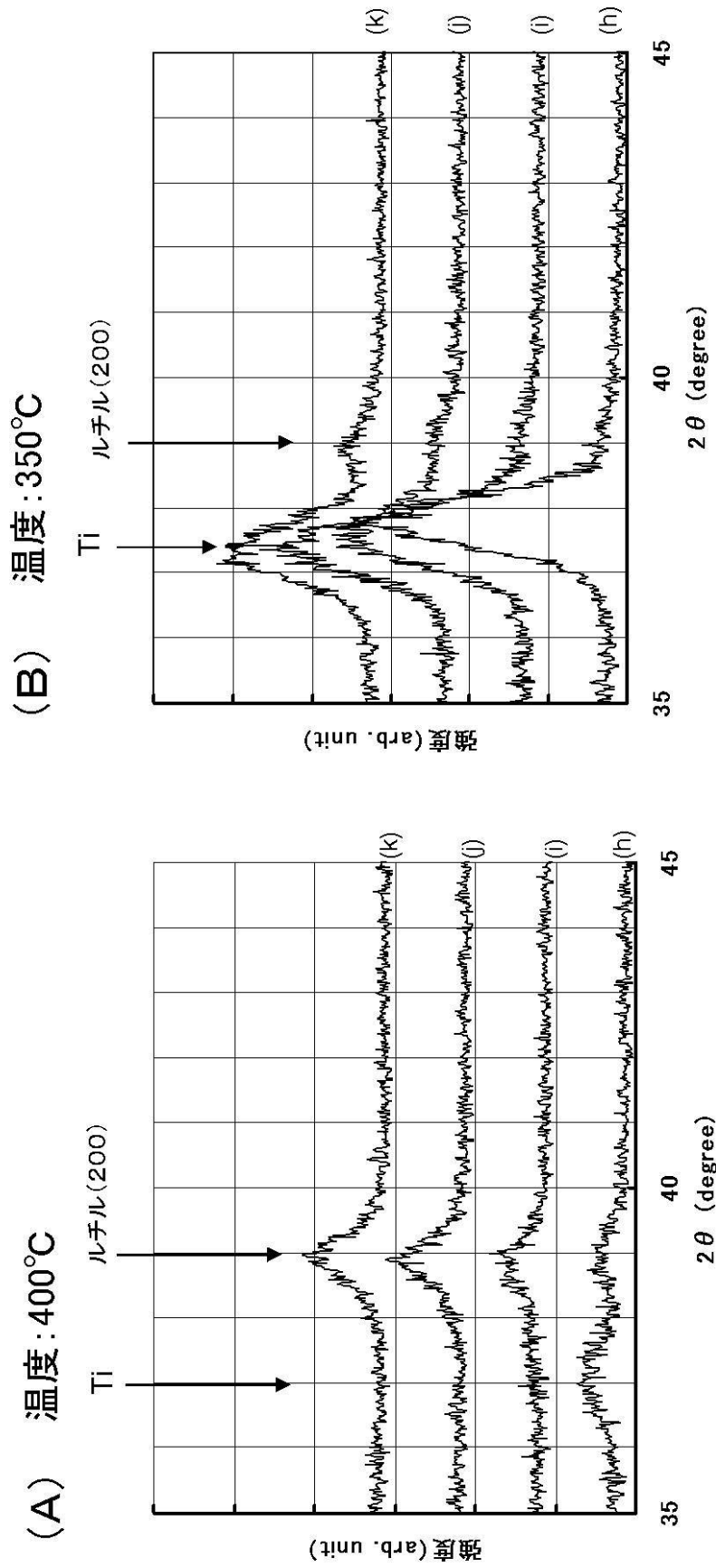
(b) 300°C "

(a) 酸素アニールなし

【図 4】

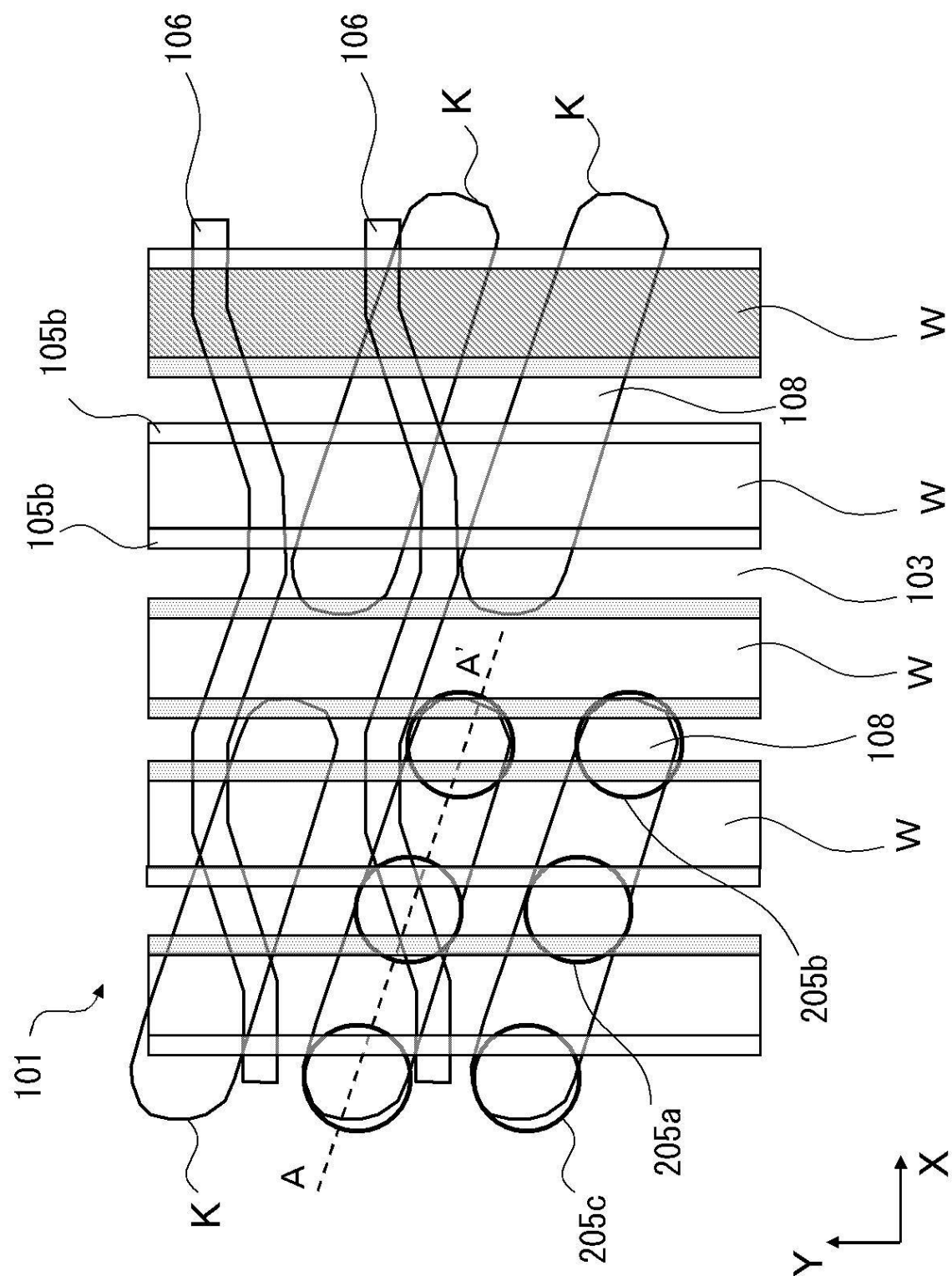


【図 5】



(k) 40分酸素アニール
 (j) 30分 "
 (i) 20分 "
 (h) 10分 "

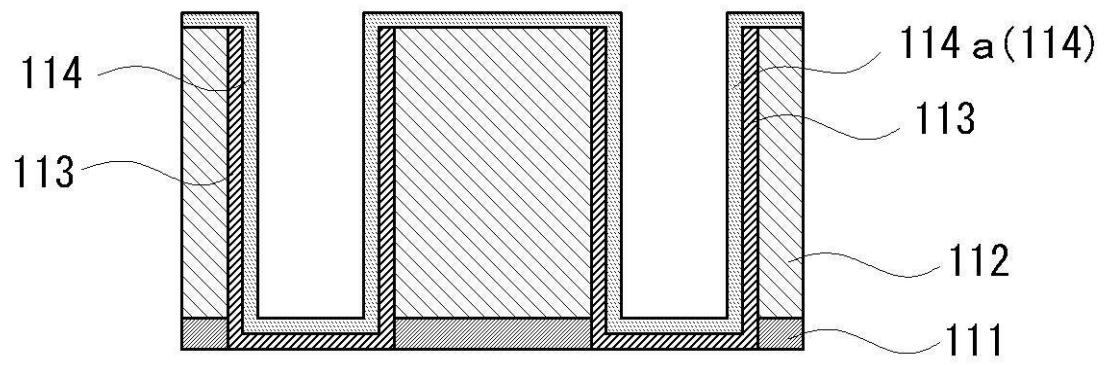
【図 6】



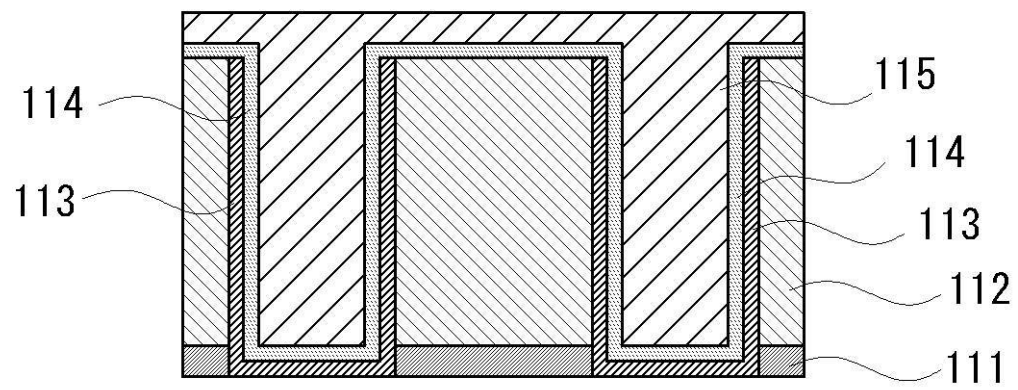
[illegible]

A cross-sectional view of a substrate 111 with a patterned layer 112 and a conductive layer 113. The conductive layer 113 is formed on the patterned layer 112, which is formed on the substrate 111. The conductive layer 113 is formed in a patterned manner, with the patterned layer 112 being exposed in the recessed portions of the conductive layer 113.

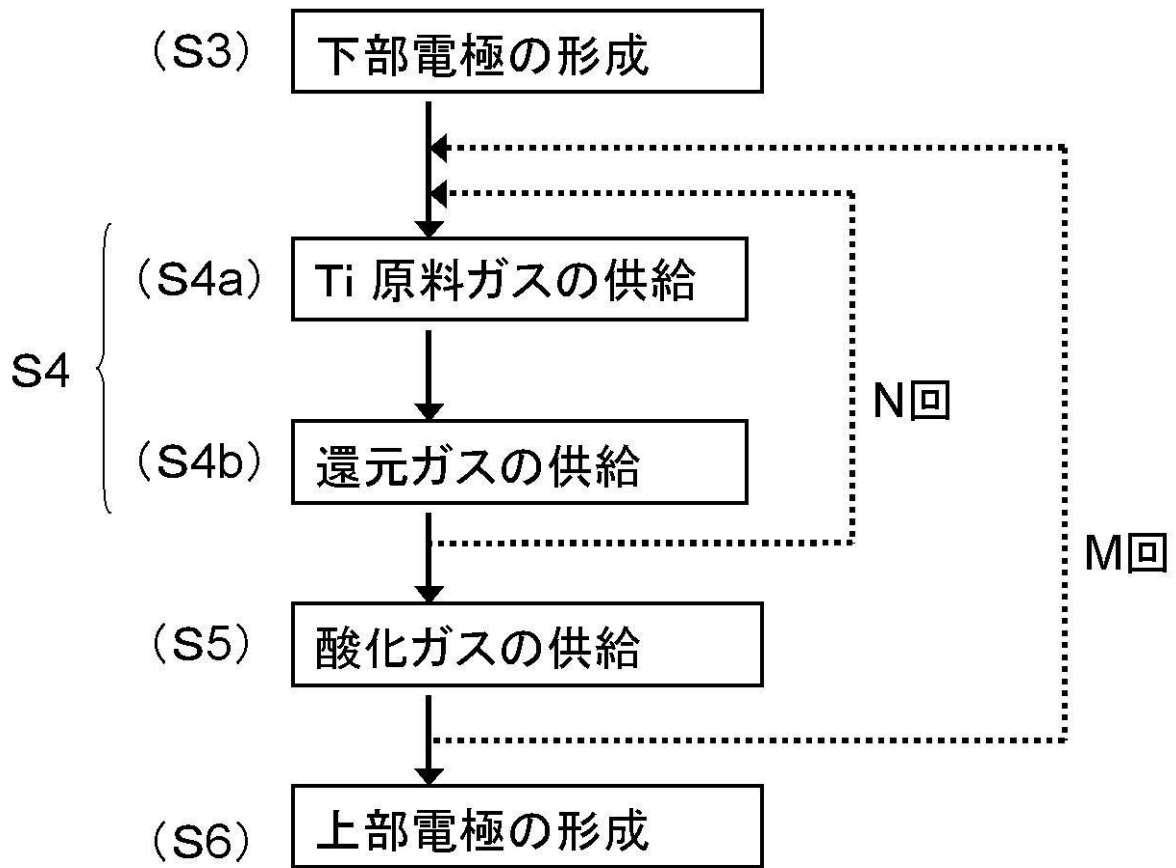
【図 9】



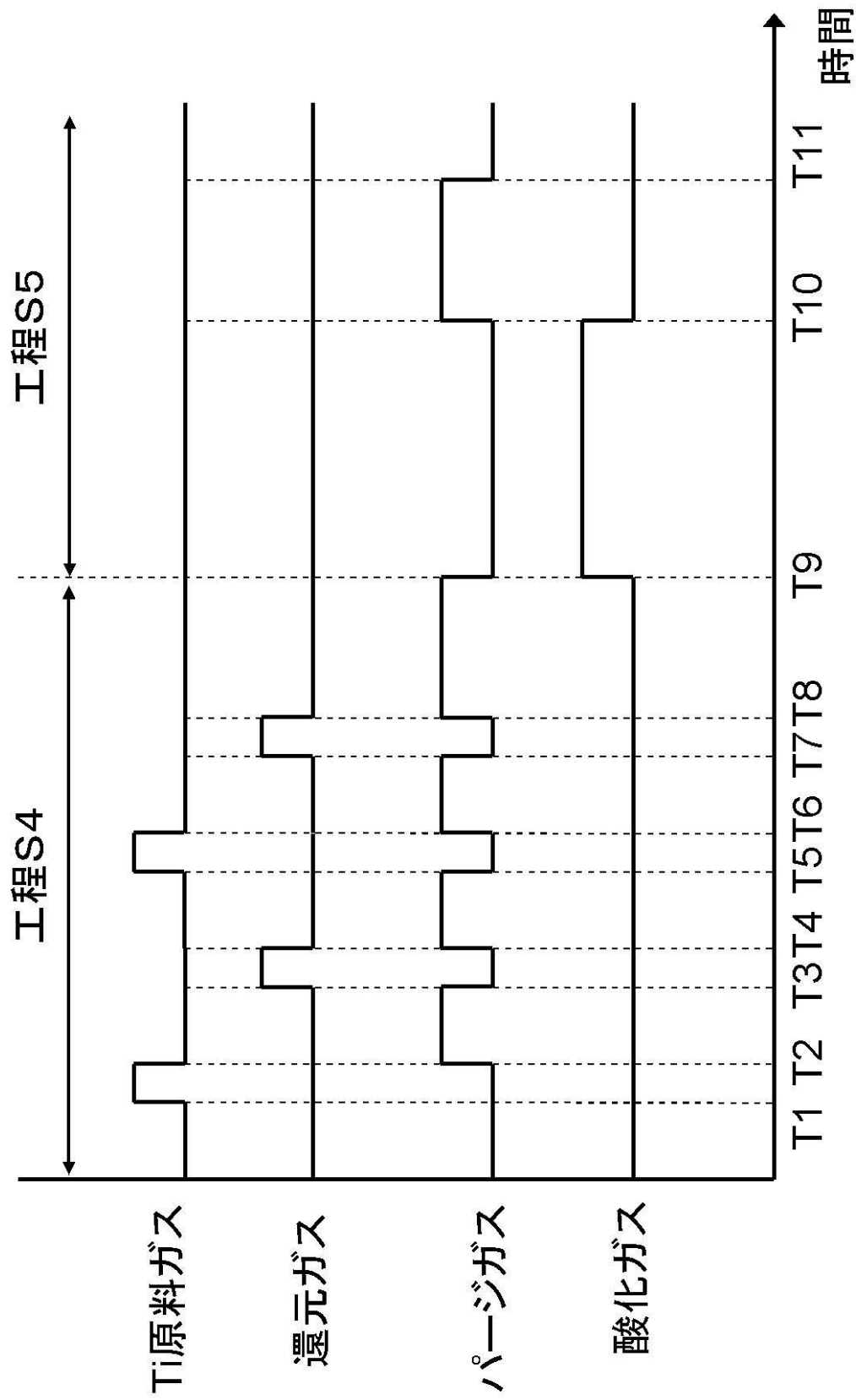
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

審査官 上田 智志

(56)参考文献 米国特許出願公開第2009/0065896 (US, A1)

特開2007-110111 (JP, A)

SEONG Keun Kim, et. al, High dielectric constant TiO₂ thin films on a Ru electrode grown at 250 °C by atomiclayer deposition, Applied Physics Letters, 2004年11月 1日, Vol. 85, No. 18, pp.4112-4114

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242, 21/316,
27/108