(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年2月13日(13.02.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/033086 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/861* (2006.01)
H01L 27/06 (2006.01) *H01L 29/868* (2006.01)

(21) 国際出願番号： PCT/JP2024/024954

(22) 国際出願日： 2024年7月10日(10.07.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

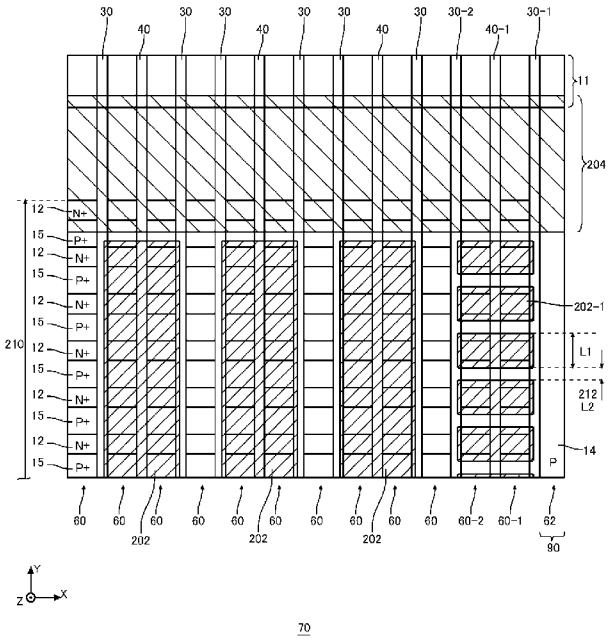
(30) 優先権データ：
特願 2023-128871 2023年8月7日(07.08.2023) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 松井 俊之 (**MATSUI Toshiyuki**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 内藤 達也 (**NAITO Tatsuya**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 野口 晴司 (**NOGUCHI Seiji**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 山田 拓弥 (**YAMADA Takuya**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 古川 暢昭 (**FURUKAWA Masaaki**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 浜崎 竜太郎 (**HAMASAKI Ryutaro**); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



70

(57) **Abstract:** A semiconductor device according to the present invention includes a transistor part and a diode part. The transistor part includes a first gate trench part provided closest to the diode part, and a first mesa part that is in contact with the first gate trench part and is provided between the first gate trench part and the diode part. A first floating region is provided below the first gate trench part, and the first mesa part has a non-covering region that does not overlap the first floating region.

WO 2025/033086 A1

[続葉有]

Kanagawa (JP). 伊倉 巧裕(**IKURA Yoshihiro**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP). 立道 秀平(**TATEMICHI Shuhei**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人ＲＹＵＫＡ国際特許事務所(**RYUKA & PARTNERS**); 〒1631522 東京都新宿区西新宿１－６－１ 新宿エルタワー２２階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

— 補正された請求の範囲（条約第19条(1)）

(57) 要約：トランジスタ部とダイオード部とを備え、トランジスタ部は、前記ダイオード部の最も近くに設けられた第１のゲートトレンチ部と、前記第１のゲートトレンチ部に接し、且つ、前記第１のゲートトレンチ部と前記ダイオード部との間に設けられた第１のメサ部とを有し、前記第１のゲートトレンチ部の下方には、第１のフローティング領域が設けられ、前記第１のメサ部は、前記第１のフローティング領域と重ならない非覆領域を有する半導体装置を提供する。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　本発明は、半導体装置に関する。

背景技術

[0002]　従来、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）等のトランジスタが設けられた半導体装置が知られている（例えば、特許文献１から４参照）。

［先行技術文献］

［特許文献］

［特許文献１］　特許第６４７２７１４号公報

［特許文献２］　特許第４４５６０１３号公報

［特許文献３］　特開２０２０－２１９４１号公報

［特許文献４］　特開２０１０－２３２６２７号公報

一般的開示

[0003]（解決しようとする課題）

半導体装置においては、スナップバック現象を抑制することが好ましい。

（課題を解決するための手段）

[0004]　上記課題を解決するために、本発明の一つの態様においては、半導体装置を提供する。上記半導体装置は、上面および下面を有し、第１導電型のドリフト領域を有する半導体基板を備えてよい。上記いずれかの半導体装置は、前記半導体基板の下面に第２導電型のコレクタ領域が設けられた１つ以上のトランジスタ部を備えてよい。上記いずれかの半導体装置は、前記半導体基板の下面に第１導電型のカソード領域が設けられ、第１の方向において前記トランジスタ部と交互に配置された１つ以上のダイオード部を備えてよい。上記いずれかの半導体装置において、それぞれの前記トランジスタ部は、前記第１の方向に並んで設けられ、１つ以上のゲートトレンチ部を含む複数

のトレンチ部を有してよい。上記いずれかの半導体装置において、それぞれの前記トランジスタ部は、前記第１の方向において前記トレンチ部に挟まれた領域である複数のメサ部を有してよい。上記いずれかの半導体装置において、それぞれの前記トランジスタ部は、少なくとも１つの前記ゲートトレンチ部に対して設けられ、前記ゲートトレンチ部の下端の下方に設けられた、第２導電型のフローティング領域を有してよい。上記いずれかの半導体装置において、１つ以上の前記ゲートトレンチ部は、前記ダイオード部の最も近くに設けられた第１のゲートトレンチ部を含んでよい。上記いずれかの半導体装置において、前記複数のメサ部は、前記第１のゲートトレンチ部に接し、且つ、前記第１のゲートトレンチ部と前記ダイオード部との間に設けられた第１のメサ部を含んでよい。上記いずれかの半導体装置において、前記第１のゲートトレンチ部の下方には、第１のフローティング領域が設けられてよい。上記いずれかの半導体装置において、前記第１のメサ部は、前記第１のフローティング領域と重ならない非覆領域を有してよい。

[0005] 上記いずれかの半導体装置において、前記複数のトレンチ部は、１つ以上のダミートレンチ部を含んでよい。上記いずれかの半導体装置において、前記第１のメサ部は、前記第１のゲートトレンチ部と、第１のダミートレンチ部に挟まれていてよい。上記いずれかの半導体装置において、前記第１のゲートトレンチ部の前記下端の下方に設けられた第１のフローティング領域は、前記第１のダミートレンチ部の下端の下方までは延伸していなくてよい。

[0006] 上記いずれかの半導体装置において、前記第１のフローティング領域は、上面視において、前記第１のダミートレンチ部と接していなくてよい。

[0007] 上記いずれかの半導体装置において、前記複数のトレンチ部は、前記第１のゲートトレンチ部に対して、前記第１のダミートレンチ部とは逆側に配置された第２のダミートレンチ部を含んでよい。上記いずれかの半導体装置において、前記第１の方向において、前記第１のフローティング領域と前記第

２のダミートレンチ部との距離は、前記第１のフローティング領域と前記第１のダミートレンチ部との距離よりも小さくてよい。

[0008] 上記いずれかの半導体装置において、前記第１のフローティング領域は、上面視において、前記第２のダミートレンチ部と接していてよい。

[0009] 上記いずれかの半導体装置において、前記第１のメサ部は、前記半導体基板の前記上面に接して設けられた、第１導電型のエミッタ領域を有してよい。上記いずれかの半導体装置において、前記第１のメサ部は、前記エミッタ領域と前記ドリフト領域との間に設けられた、第２導電型のベース領域を有してよい。上記いずれかの半導体装置において、前記第１のメサ部は、第２の方向において長手を有してよい。上記いずれかの半導体装置において、前記第１のメサ部は、前記エミッタ領域の前記第２の方向における両端の間の中間領域において、前記非覆領域を有してよい。

[0010] 上記いずれかの半導体装置の前記中間領域において、複数の前記非覆領域が前記第２の方向に離散して配置されていてよい。

[0011] 上記いずれかの半導体装置の前記中間領域において、複数の前記非覆領域の前記第２の方向における長さの総和は、前記第１のフローティング領域と重なっている領域の前記第２の方向における長さの総和よりも小さくてよい。

[0012] 上記いずれかの半導体装置において、前記第１のメサ部は、前記半導体基板の前記上面に接して設けられ、前記第２の方向において前記エミッタ領域と交互に配置された第２導電型のコンタクト領域を有してよい。上記いずれかの半導体装置において、少なくとも１つ前記エミッタ領域の下方に前記第１のフローティング領域が配置され、前記コンタクト領域の少なくとも一部が前記非覆領域であってよい。

[0013] 上記いずれかの半導体装置において、前記第１のフローティング領域は、少なくとも１つの前記エミッタ領域の全体と重なっていてよい。上記いずれかの半導体装置において、それぞれの前記コンタクト領域に前記非覆領域が設けられてよい。

[0014] 上記いずれかの半導体装置は、前記第２の方向において前記第１のメサ部の外側に配置され、前記ベース領域よりも高濃度の第２導電型のウェル領域を備えてよい。上記いずれかの半導体装置は、前記ウェル領域から前記エミッタ領域と重なる位置まで前記第２の方向に延伸する、第２導電型の第１の延伸領域を備えてよい。

[0015] 上記いずれかの半導体装置において、前記ウェル領域は、前記第１の方向において前記エミッタ領域の外側にも配置されてよい。上記いずれかの半導体装置は、前記ウェル領域から前記エミッタ領域と重なる位置まで前記第１の方向に延伸する、第２導電型の第２の延伸領域を備えてよい。

[0016] 上記いずれかの半導体装置において、前記ダイオード部は、前記第１の方向に並んで設けられた複数のダミートレンチ部と、前記第１の方向において前記ダミートレンチ部に挟まれたメサ部とを有してよい。上記いずれかの半導体装置において、前記ダイオード部の少なくとも１つの前記ダミートレンチ部の下端の下方にも、前記フローティング領域が設けられていてよい。

[0017] 上記いずれかの半導体装置の前記ダイオード部において、前記第１の方向に前記フローティング領域が設けられている周期は、前記トランジスタ部において、前記第１の方向に前記フローティング領域が設けられている周期と同一であってよい。

[0018] 上記いずれかの半導体装置の前記トランジスタ部は、前記第１のゲートトレンチ部と前記ダイオード部との間に、１つ以上の前記トレンチ部および１つ以上の前記メサ部を有する境界領域を有してよい。上記いずれかの半導体装置において、前記境界領域の少なくとも１つの前記トレンチ部の下端の下方にも、前記フローティング領域が設けられていてよい。

[0019] 上記いずれかの半導体装置の前記境界領域において、前記第１の方向に前記フローティング領域が設けられている周期は、前記境界領域以外の前記トランジスタ部において、前記第１の方向に前記フローティング領域が設けられている周期と同一であってよい。

[0020] 上記いずれかの半導体装置において、前記第１のメサ部における前記非覆領域の面積は、前記第１のゲートトレンチ部以外の前記ゲートトレンチ部に接する前記メサ部において前記フローティング領域と重ならない領域の面積よりも大きくてよい。

[0021] 上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0022] [図1]本発明の一つの実施形態に係る半導体装置１００の一例を示す上面図である。

[図2]図１における領域Ｄの拡大図である。

[図3]図２におけるｅ－ｅ断面の一例を示す図である。

[図4]上面視におけるフローティング領域２０２の配置例を示す図である。

[図5]上面視におけるフローティング領域２０２の他の配置例を示す図である。

[図6]ｅ－ｅ断面の他の例を示す図である。

[図7]ｅ－ｅ断面の他の例を示す図である。

[図8]遷移領域９２の一例を示す上面図である。

[図9]図８におけるｆ－ｆ断面の一例を示す図である。

[図10]境界領域９０およびダイオード部８０の他の構造例を示すＸＺ断面である。

[図11]実施例および参考例における、コレクタ電圧－コレクタ電流の特性を示す図である。

[図12]参考例および実施例における、ターンオン損失および逆回復ｄＶ／ｄｔのトレードオフ特性を示す図である。

発明を実施するための形態

[0023] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説

明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0024] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の２つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0025] 本明細書では、Ｘ軸、Ｙ軸およびＺ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Ｚ軸は地面に対する高さ方向を限定して示すものではない。なお、＋Ｚ軸方向と－Ｚ軸方向とは互いに逆向きの方向である。正負を記載せず、Ｚ軸方向と記載した場合、＋Ｚ軸および－Ｚ軸に平行な方向を意味する。

[0026] 本明細書では、半導体基板の上面および下面に平行な直交軸をＸ軸およびＹ軸とする。また、半導体基板の上面および下面と垂直な軸をＺ軸とする。本明細書では、Ｚ軸の方向を深さ方向と称する場合がある。また、本明細書では、Ｘ軸およびＹ軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0027] 半導体基板の深さ方向における中心から、半導体基板の上面までの領域を、上面側と称する場合がある。同様に、半導体基板の深さ方向における中心から、半導体基板の下面までの領域を、下面側と称する場合がある。

[0028] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば１０％以内である。

[0029] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をＰ型またはＮ型として説明している。本明細書においては、不純物とは、特にＮ型のドナーまたはＰ型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングと

は、半導体基板にドナーまたはアクセプタを導入し、Ｎ型の導電型を示す半導体またはＰ型の導電型を示す半導体とすることを意味する。

[0030] 本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度をN_D、アクセプタ濃度をN_Aとすると、任意の位置における正味のネット・ドーピング濃度はN_D-N_Aとなる。本明細書では、ネット・ドーピング濃度を単にドーピング濃度と記載する場合がある。

[0031] 本明細書においてＰ＋型またはＮ＋型と記載した場合、Ｐ型またはＮ型よりもドーピング濃度が高いことを意味し、Ｐ－型またはＮ－型と記載した場合、Ｐ型またはＮ型よりもドーピング濃度が低いことを意味する。また、本明細書においてＰ＋＋型またはＮ＋＋型と記載した場合には、Ｐ＋型またはＮ＋型よりもドーピング濃度が高いことを意味する。本明細書の単位系は、特に断りがなければＳＩ単位系である。長さの単位をｃｍで表示することがあるが、諸計算はメートル（ｍ）に換算してから行ってよい。

[0032] 本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の原子密度を指す。化学濃度は、例えば二次イオン質量分析法（ＳＩＭＳ）により計測できる。上述したネット・ドーピング濃度は、電圧－容量測定法（ＣＶ法）により測定できる。また、拡がり抵抗測定法（ＳＲ法）により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。ＣＶ法またはＳＲ法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、Ｎ型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、Ｐ型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。本明細書では、Ｎ型領域のドーピング濃度をドナー濃度と称する場合があり、Ｐ型領域のドーピング濃度をアクセプタ濃度と称する場合がある。

[0033] ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。本明細書において、単位体積当りの濃度表示にａｔｏｍｓ／ｃｍ^3、または、／ｃｍ^{3}を用いる。この単位は、半導体基板内のドナーまたはアクセプタ濃度、または、化学濃度に用いられる。ａｔｏｍｓ表記は省略してもよい。

[0034] ＳＲ法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ（ディスオーダー）により、キャリアが散乱されることで生じる。

[0035] ＣＶ法またはＳＲ法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてよい。一例として、シリコンの半導体においてドナーとなるリンまたはヒ素のドナー濃度、あるいはアクセプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の９９％程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の０．１％から１０％程度である。

[0036] 図１は、本発明の一つの実施形態に係る半導体装置１００の一例を示す上面図である。図１においては、各部材を半導体基板１０の上面に投影した位置を示している。図１においては、半導体装置１００の一部の部材だけを示しており、一部の部材は省略している。

[0037] 半導体装置１００は、半導体基板１０を備えている。半導体基板１０は、半導体材料で形成された基板である。一例として半導体基板１０はシリコン基板である。半導体基板１０は、上面視において端辺１６２を有する。本

明細書で単に上面視と称した場合、半導体基板１０の上面側から見ることを意味している。本例の半導体基板１０は、上面視において互いに向かい合う２組の端辺１６２を有する。図１においては、Ｘ軸およびＹ軸は、いずれかの端辺１６２と平行である。またＺ軸は、半導体基板１０の上面と垂直である。

[0038] 半導体基板１０には活性部１６０が設けられている。活性部１６０は、半導体装置１００が動作した場合に半導体基板１０の上面と下面との間で、深さ方向に主電流が流れる領域である。活性部１６０の上方には、エミッタ電極が設けられているが図１では省略している。活性部１６０は、上面視においてエミッタ電極と重なる領域を指してよい。また、上面視において活性部１６０で挟まれる領域も、活性部１６０に含めてよい。

[0039] 活性部１６０には、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）等のトランジスタ素子を含むトランジスタ部７０が設けられている。活性部１６０には、還流ダイオード（ＦＷＤ）等のダイオード素子を含むダイオード部８０が更に設けられていてもよい。図１の例では、半導体基板１０の上面における所定の配列方向（本例ではＸ軸方向）に沿って、トランジスタ部７０およびダイオード部８０が交互に配置されている。本例の半導体装置１００は逆導通型ＩＧＢＴ（ＲＣ－ＩＧＢＴ）である。

[0040] 図１においては、トランジスタ部７０が配置される領域には記号「Ｉ」を付し、ダイオード部８０が配置される領域には記号「Ｆ」を付している。本明細書では、上面視において配列方向と垂直な方向を延伸方向（図１ではＹ軸方向）と称する場合がある。トランジスタ部７０およびダイオード部８０は、それぞれ延伸方向に長手を有してよい。つまり、トランジスタ部７０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。同様に、ダイオード部８０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。トランジスタ部７０およびダイオード部８０の延伸方向と、後述する各トレンチ部の長手方向とは同一であってよい。

[0041] ダイオード部８０は、半導体基板１０の下面と接する領域に、Ｎ＋型のカソード領域を有する。本明細書では、カソード領域が設けられた領域を、ダイオード部８０と称する。つまりダイオード部８０は、上面視においてカソード領域と重なる領域である。半導体基板１０の下面には、カソード領域以外の領域には、Ｐ＋型のコレクタ領域が設けられてよい。本明細書では、ダイオード部８０を、後述するゲート配線までＹ軸方向に延長した延長領域８１も、ダイオード部８０に含める場合がある。延長領域８１の下面には、コレクタ領域が設けられている。

[0042] トランジスタ部７０は、半導体基板１０の下面と接する領域に、Ｐ＋型のコレクタ領域を有する。また、トランジスタ部７０は、半導体基板１０の上面側に、Ｎ型のエミッタ領域、Ｐ型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

[0043] 半導体装置１００は、半導体基板１０の上方に１つ以上のパッドを有してよい。本例の半導体装置１００は、ゲートパッド１６４を有している。半導体装置１００は、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、端辺１６２の近傍に配置されている。端辺１６２の近傍とは、上面視における端辺１６２と、エミッタ電極との間の領域を指す。半導体装置１００の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

[0044] ゲートパッド１６４には、ゲート電位が印加される。ゲートパッド１６４は、活性部１６０のゲートトレンチ部の導電部に電気的に接続される。半導体装置１００は、ゲートパッド１６４とゲートトレンチ部とを接続するゲート配線を備える。図１においては、ゲート配線に斜線のハッチングを付している。

[0045] 本例のゲート配線は、外周ゲート配線１３０と、活性側ゲート配線１３１とを有している。外周ゲート配線１３０は、上面視において活性部１６０と半導体基板１０の端辺１６２との間に配置されている。本例の外周ゲート配線１３０は、上面視において活性部１６０を囲んでいる。上面視において外

周ゲート配線１３０に囲まれた領域を活性部１６０としてもよい。また、ゲート配線の下方には、ウェル領域が形成されている。ウェル領域とは、後述するベース領域よりも高濃度のＰ型領域であり、半導体基板１０の上面からベース領域よりも深い位置まで形成されている。上面視においてウェル領域で囲まれる領域を活性部１６０としてもよい。

[0046] 外周ゲート配線１３０は、ゲートパッド１６４と接続されている。外周ゲート配線１３０は、半導体基板１０の上方に配置されている。外周ゲート配線１３０は、アルミニウム等を含む金属配線であってよい。

[0047] 活性側ゲート配線１３１は、活性部１６０に設けられている。活性部１６０に活性側ゲート配線１３１を設けることで、半導体基板１０の各領域について、ゲートパッド１６４からの配線長のバラツキを低減できる。

[0048] 外周ゲート配線１３０および活性側ゲート配線１３１は、活性部１６０のゲートトレンチ部と接続される。外周ゲート配線１３０および活性側ゲート配線１３１は、半導体基板１０の上方に配置されている。外周ゲート配線１３０および活性側ゲート配線１３１は、不純物がドープされたポリシリコン等の半導体で形成された配線であってよい。

[0049] 活性側ゲート配線１３１は、外周ゲート配線１３０と接続されてよい。本例の活性側ゲート配線１３１は、活性部１６０を挟む一方の外周ゲート配線１３０から他方の外周ゲート配線１３０まで、活性部１６０をＹ軸方向の略中央で横切るように、Ｘ軸方向に延伸して設けられている。活性側ゲート配線１３１により活性部１６０が分割されている場合、それぞれの分割領域において、トランジスタ部７０およびダイオード部８０がＸ軸方向に交互に配置されてよい。

[0050] 半導体装置１００は、ポリシリコン等で形成されたＰＮ接合ダイオードである不図示の温度センス部や、活性部１６０に設けられたトランジスタ部の動作を模擬する不図示の電流検出部を備えてもよい。

[0051] 本例の半導体装置１００は、上面視において、活性部１６０と端辺１６２との間に、エッジ終端構造部１９０を備える。本例のエッジ終端構造部１９

０は、外周ゲート配線１３０と端辺１６２との間に配置されている。エッジ終端構造部１９０は、半導体基板１０の上面側の電界集中を緩和する。エッジ終端構造部１９０は、活性部１６０を囲んで環状に設けられたガードリング、フィールドプレートおよびリサーフのうちの少なくとも一つを備えていてよい。

[0052] 図２は、図１における領域Ｄの拡大図である。領域Ｄは、トランジスタ部７０、ダイオード部８０、および、活性側ゲート配線１３１を含む領域である。本例の半導体装置１００は、半導体基板１０の上面側の内部に設けられたゲートトレンチ部４０、ダミートレンチ部３０、ウェル領域１１、エミッタ領域１２、ベース領域１４およびコンタクト領域１５を備える。ゲートトレンチ部４０およびダミートレンチ部３０は、それぞれがトレンチ部の一例である。また、本例の半導体装置１００は、半導体基板１０の上面の上方に設けられたエミッタ電極５２および活性側ゲート配線１３１を備える。エミッタ電極５２および活性側ゲート配線１３１は互いに分離して設けられる。

[0053] エミッタ電極５２および活性側ゲート配線１３１と、半導体基板１０の上面との間には層間絶縁膜が設けられるが、図２では省略している。本例の層間絶縁膜には、コンタクト部５４が、当該層間絶縁膜を貫通して設けられる。コンタクト部５４は、層間絶縁膜に設けられたコンタクトホールと、コンタクトホールの内部に充填された導電部材とを有してよい。図２においては、それぞれのコンタクト部５４に斜線のハッチングを付している。

[0054] エミッタ電極５２は、ゲートトレンチ部４０、ダミートレンチ部３０、ウェル領域１１、エミッタ領域１２、ベース領域１４およびコンタクト領域１５の上方に設けられる。エミッタ電極５２は、コンタクト部５４を介して、半導体基板１０の上面におけるエミッタ領域１２、コンタクト領域１５およびベース領域１４と接続する。また、エミッタ電極５２は、層間絶縁膜に設けられたコンタクトホールを通って、ダミートレンチ部３０内のダミー導電部と接続される。エミッタ電極５２は、Ｙ軸方向におけるダミートレンチ部

３０の先端において、ダミートレンチ部３０のダミー導電部と接続されてよい。

[0055] 活性側ゲート配線１３１は、層間絶縁膜に設けられたコンタクトホールを通って、ゲートトレンチ部４０と接続する。活性側ゲート配線１３１は、Ｙ軸方向におけるゲートトレンチ部４０の先端部４１において、ゲートトレンチ部４０のゲート導電部と接続されてよい。活性側ゲート配線１３１は、ダミートレンチ部３０内のダミー導電部とは接続されない。

[0056] エミッタ電極５２は、金属を含む材料で形成される。図２においては、エミッタ電極５２が設けられる範囲を示している。例えば、エミッタ電極５２の少なくとも一部の領域はアルミニウムまたはアルミニウム‐シリコン合金、例えばＡｌＳｉ、ＡｌＳｉＣｕ等の金属合金で形成される。エミッタ電極５２は、アルミニウム等で形成された領域の下層に、チタンやチタン化合物等で形成されたバリアメタルを有してよい。さらにコンタクトホール内において、バリアメタルとアルミニウム等に接するようにタングステン等を埋め込んで形成されたプラグを有してもよい。

[0057] ウェル領域１１は、活性側ゲート配線１３１と重なって設けられている。ウェル領域１１は、活性側ゲート配線１３１と重ならない範囲にも、所定の幅で延伸して設けられている。本例のウェル領域１１は、コンタクト部５４のＹ軸方向の端から、活性側ゲート配線１３１側に離れて設けられている。ウェル領域１１は、ベース領域１４よりもドーピング濃度の高い第２導電型の領域である。本例のベース領域１４はＰ－型であり、ウェル領域１１はＰ＋型である。

[0058] トランジスタ部７０およびダイオード部８０のそれぞれは、配列方向に複数配列されたトレンチ部を有する。本例のトランジスタ部７０には、配列方向に沿って１以上のゲートトレンチ部４０と、１以上のダミートレンチ部３０とが交互に設けられている。本例のダイオード部８０には、複数のダミートレンチ部３０が、配列方向に沿って設けられている。本例のダイオード部８０には、ゲートトレンチ部４０が設けられていない。

[0059] 本例のゲートトレンチ部４０は、配列方向と垂直な延伸方向に沿って延伸する２つの直線部分３９（延伸方向に沿って直線状であるトレンチの部分）と、２つの直線部分３９を接続する先端部４１を有してよい。図２における延伸方向はＹ軸方向である。

[0060] 先端部４１の少なくとも一部は、上面視において曲線状に設けられることが好ましい。２つの直線部分３９のＹ軸方向における端部どうしを先端部４１が接続することで、直線部分３９の端部における電界集中を緩和できる。

[0061] トランジスタ部７０において、ダミートレンチ部３０はゲートトレンチ部４０のそれぞれの直線部分３９の間に設けられる。それぞれの直線部分３９の間には、１本のダミートレンチ部３０が設けられてよく、複数本のダミートレンチ部３０が設けられていてもよい。ダミートレンチ部３０は、延伸方向に延伸する直線形状を有してよく、ゲートトレンチ部４０と同様に、直線部分２９と先端部３１とを有していてもよい。

[0062] ウェル領域１１の拡散深さは、ゲートトレンチ部４０およびダミートレンチ部３０の深さよりも深くてよい。ゲートトレンチ部４０およびダミートレンチ部３０のＹ軸方向の端部は、上面視においてウェル領域１１に設けられる。つまり、各トレンチ部のＹ軸方向の端部において、各トレンチ部の深さ方向の底部は、ウェル領域１１に覆われている。これにより、各トレンチ部の当該底部における電界集中を緩和できる。

[0063] 配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板１０の内部において、トレンチ部に挟まれた領域を指す。一例としてメサ部の上端は半導体基板１０の上面である。メサ部の下端の深さ位置は、トレンチ部の下端の深さ位置と同一である。本例のメサ部は、半導体基板１０の上面において、トレンチに沿って延伸方向（Ｙ軸方向）に延伸して設けられている。

[0064] 本例では、トランジスタ部７０にはメサ部６０が設けられ、ダイオード部８０にはメサ部６１が設けられている。本例のトランジスタ部７０は、境界領域９０を有する。境界領域９０は、Ｘ軸方向におけるトランジスタ部７０

の端部であり、ダイオード部８０に接している。境界領域９０は、半導体基板１０の下面２３にコレクタ領域２２が設けられている。境界領域９０は、１つまたは複数のトレンチ部を含んでよい。境界領域９０には、ゲートトレンチ部４０が設けられてよく、ダミートレンチ部３０が設けられてよく、両方のトレンチ部が設けられていてもよい。境界領域９０にはメサ部６２が設けられている。本明細書において単にメサ部と称した場合、メサ部６０、メサ部６１およびメサ部６２のそれぞれを指している。メサ部６２は、メサ部６１と同一の構造を有してよい。境界領域９０は、上面２１側の構造がダイオード部８０と同様であり、下面２３側の構造がトランジスタ部７０と同様の領域であってよい。トランジスタ部７０は、境界領域９０を有さなくともよい。この場合、トランジスタ部７０のメサ部６０と、ダイオード部８０のメサ部６１とが、トランジスタ部７０およびダイオード部８０の境界において隣り合って配置される。

[0065] それぞれのメサ部には、ベース領域１４が設けられる。メサ部において半導体基板１０の上面に露出したベース領域１４のうち、活性側ゲート配線１３１に最も近く配置された領域をベース領域１４－ｅとする。図２においては、それぞれのメサ部の延伸方向における一方の端部に配置されたベース領域１４－ｅを示しているが、それぞれのメサ部の他方の端部にもベース領域１４－ｅが配置されている。それぞれのメサ部には、上面視においてベース領域１４－ｅに挟まれた領域に、第１導電型のエミッタ領域１２および第２導電型のコンタクト領域１５の少なくとも一方が設けられてよい。本例のエミッタ領域１２はＮ＋型であり、コンタクト領域１５はベース領域１４よりも高濃度のＰ＋型である。エミッタ領域１２およびコンタクト領域１５は、深さ方向において、ベース領域１４と半導体基板１０の上面との間に設けられてよい。

[0066] トランジスタ部７０のメサ部６０は、半導体基板１０の上面に露出したエミッタ領域１２を有する。エミッタ領域１２は、ゲートトレンチ部４０に接

して設けられている。ゲートトレンチ部４０に接するメサ部６０には、半導体基板１０の上面に露出したコンタクト領域１５が設けられていてよい。

[0067] メサ部６０におけるエミッタ領域１２は、ゲートトレンチ部４０と接して設けられている。エミッタ領域１２は、ダミートレンチ部３０と接していてよく、接していなくてもよい。エミッタ領域１２は、コンタクト部５４と重なる領域にも設けられている。

[0068] メサ部６０におけるコンタクト領域１５は、コンタクト部５４と重なる領域に設けられている。コンタクト領域１５は、ゲートトレンチ部４０と接していてよく、接していなくてもよい。コンタクト領域１５は、ダミートレンチ部３０と接していてよく、接していなくてもよい。

[0069] 図２の例では、メサ部６０におけるエミッタ領域１２は、Ｘ軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられている。メサ部６０におけるコンタクト領域１５も、Ｘ軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられてよい。コンタクト領域１５は、メサ部６０を挟む２つのトレンチ部のいずれとも接していなくてもよい。この場合、コンタクト領域１５とトレンチ部との間には、ベース領域１４が設けられてよい。

[0070] 図２の例では、メサ部６０のコンタクト領域１５およびエミッタ領域１２は、トレンチ部の延伸方向（Ｙ軸方向）に沿って交互に配置されている。他の例においては、メサ部６０のコンタクト領域１５およびエミッタ領域１２は、トレンチ部の延伸方向（Ｙ軸方向）に沿ってストライプ状に設けられていてもよい。例えばトレンチ部に接する領域にエミッタ領域１２が設けられ、エミッタ領域１２に挟まれた領域にコンタクト領域１５が設けられる。また、メサ部６０には、コンタクト領域１５に代えてエミッタ領域１２が設けられてもよい。例えばＹ軸方向においてベース領域１４－ｅに挟まれる領域の全体にエミッタ領域１２が設けられてもよい。

[0071] ダイオード部８０のメサ部６１には、エミッタ領域１２が設けられていない。メサ部６１の上面には、ベース領域１４およびコンタクト領域１５が設

けられてよい。メサ部６１の上面においてベース領域１４－ｅに挟まれた領域には、それぞれのベース領域１４－ｅに接してコンタクト領域１５が設けられてよい。メサ部６１の上面においてコンタクト領域１５に挟まれた領域には、ベース領域１４が設けられてよい。ベース領域１４は、コンタクト領域１５に挟まれた領域全体に配置されてよい。本例の境界領域９０のメサ部６２は、メサ部６１と同様の構造を有する。

[0072] それぞれのメサ部の上方には、コンタクト部５４が設けられている。コンタクト部５４は、ベース領域１４－ｅに挟まれた領域に配置されている。本例のコンタクト部５４は、コンタクト領域１５、ベース領域１４およびエミッタ領域１２の各領域の上方に設けられる。コンタクト部５４は、ベース領域１４－ｅおよびウェル領域１１に対応する領域には設けられない。コンタクト部５４は、メサ部６０の配列方向（Ｘ軸方向）における中央に配置されてよい。

[0073] ダイオード部８０において、半導体基板１０の下面と隣接する領域には、Ｎ＋型のカソード領域８２が設けられる。半導体基板１０の下面において、カソード領域８２が設けられていない領域には、Ｐ＋型のコレクタ領域２２が設けられてよい。カソード領域８２およびコレクタ領域２２は、半導体基板１０の下面２３と、バッファ領域２０との間に設けられている。図２においては、カソード領域８２およびコレクタ領域２２の境界を点線で示している。

[0074] カソード領域８２は、Ｙ軸方向においてウェル領域１１から離れて配置されている。これにより、比較的にドーピング濃度が高く、且つ、深い位置まで形成されているＰ型の領域（ウェル領域１１）と、カソード領域８２との距離を確保して、耐圧を向上できる。本例のカソード領域８２のＹ軸方向における端部は、コンタクト部５４のＹ軸方向における端部よりも、ウェル領域１１から離れて配置されている。他の例では、カソード領域８２のＹ軸方向における端部は、ウェル領域１１とコンタクト部５４との間に配置されていてもよい。

[0075] 図３は、図２におけるｅ－ｅ断面の一例を示す図である。ｅ－ｅ断面は、エミッタ領域１２およびカソード領域８２を通過するＸＺ面である。本例の半導体装置１００は、当該断面において、半導体基板１０、層間絶縁膜３８、エミッタ電極５２およびコレクタ電極２４を有する。

[0076] 層間絶縁膜３８は、半導体基板１０の上面に設けられている。層間絶縁膜３８は、ホウ素またはリン等の不純物が添加されたシリケートガラス等の絶縁膜、熱酸化膜、および、その他の絶縁膜の少なくとも一層を含む膜である。層間絶縁膜３８には、図２において説明したコンタクト部５４が設けられている。

[0077] コンタクト部５４は、層間絶縁膜３８を貫通して設けられている。コンタクト部５４は、エミッタ電極５２とは異なる金属で形成されてよい。コンタクト部５４はタングステンを含んでよい。コンタクト部５４の底部には、チタン膜および窒化チタン膜の少なくとも一方を含むバリアメタル層が設けられていてもよい。コンタクト部５４は、半導体基板１０の上面２１まで設けられてよく、半導体基板１０の内部まで設けられていてもよい。図３の例では、コンタクト部５４は、半導体基板１０の上面２１から各メサ部の内部まで設けられたコンタクトトレンチである。これにより、コンタクト部５４と半導体基板１０との接触面積を大きくできる。当該断面において、トランジスタ部７０のコンタクト部５４の下端は、エミッタ領域１２と接している。当該断面において、ダイオード部８０のコンタクト部５４の下端は、ベース領域１４と接している。

[0078] エミッタ電極５２は、層間絶縁膜３８の上方に設けられる。エミッタ電極５２は、コンタクト部５４を介して、半導体基板１０と接続している。コレクタ電極２４は、半導体基板１０の下面２３に設けられる。エミッタ電極５２およびコレクタ電極２４は、アルミニウム等の金属材料で形成されている。本明細書において、エミッタ電極５２とコレクタ電極２４とを結ぶ方向（Ｚ軸方向）を深さ方向と称する。

[0079] 半導体基板１０は、Ｎ型またはＮ－型のドリフト領域１８を有する。ドリフト領域１８は、トランジスタ部７０およびダイオード部８０のそれぞれに設けられている。

[0080] トランジスタ部７０のメサ部６０には、Ｎ＋型のエミッタ領域１２およびＰ－型のベース領域１４が、半導体基板１０の上面２１側から順番に設けられている。ベース領域１４の下方にはドリフト領域１８が設けられている。メサ部６０には、Ｎ＋型の蓄積領域１６が設けられてもよい。蓄積領域１６は、ベース領域１４とドリフト領域１８との間に配置される。

[0081] エミッタ領域１２は半導体基板１０の上面２１に露出しており、且つ、ゲートトレンチ部４０と接して設けられている。エミッタ領域１２は、メサ部６０の両側のトレンチ部と接していてよい。エミッタ領域１２は、ドリフト領域１８よりもドーピング濃度が高い。

[0082] ベース領域１４は、エミッタ領域１２の下方に設けられている。本例のベース領域１４は、エミッタ領域１２と接して設けられている。ベース領域１４は、メサ部６０の両側のトレンチ部と接していてよい。

[0083] 蓄積領域１６は、ベース領域１４の下方に設けられている。蓄積領域１６は、ドリフト領域１８よりもドーピング濃度が高いＮ＋型の領域である。すなわち蓄積領域１６は、ドナー濃度がドリフト領域１８よりも高い。ドリフト領域１８とベース領域１４との間に高濃度の蓄積領域１６を設けることで、キャリア注入促進効果（ＩＥ効果）を高めて、オン電圧を低減できる。蓄積領域１６は、各メサ部６０におけるベース領域１４の下面全体を覆うように設けられてよい。

[0084] ダイオード部８０のメサ部６１には、半導体基板１０の上面２１に接して、Ｐ－型のベース領域１４が設けられている。ベース領域１４の下方には、ドリフト領域１８が設けられている。メサ部６１において、ベース領域１４の下方に蓄積領域１６が設けられていてもよい。

[0085] 境界領域９０のメサ部６２には、半導体基板１０の上面２１に接して、Ｐ－型のベース領域１４が設けられている。ベース領域１４の下方には、ドリ

フト領域１８が設けられている。メサ部６２において、ベース領域１４の下方に蓄積領域１６が設けられていてもよい。本例のメサ部６２は、メサ部６１と同様の構造を有している。本明細書の各例において、トレンチ部のＸ軸方向の中央を、境界領域９０のＸ軸方向における端部としてよい。

[0086] トランジスタ部７０およびダイオード部８０のそれぞれにおいて、ドリフト領域１８の下にはＮ＋型のバッファ領域２０が設けられてよい。バッファ領域２０のドーピング濃度は、ドリフト領域１８のドーピング濃度よりも高い。バッファ領域２０は、ドリフト領域１８よりもドーピング濃度の高い濃度ピークを有してよい。濃度ピークのドーピング濃度とは、濃度ピークの頂点におけるドーピング濃度を指す。また、ドリフト領域１８のドーピング濃度は、ドーピング濃度分布がほぼ平坦な領域におけるドーピング濃度の平均値を用いてよい。

[0087] バッファ領域２０は、半導体基板１０の深さ方向（Ｚ軸方向）において、２つ以上の濃度ピークを有してよい。バッファ領域２０の濃度ピークは、例えば水素（プロトン）またはリンの化学濃度ピークと同一の深さ位置に設けられていてよい。バッファ領域２０は、ベース領域１４の下端から広がる空乏層が、Ｐ＋型のコレクタ領域２２およびＮ＋型のカソード領域８２に到達することを防ぐフィールドストップ層として機能してよい。

[0088] トランジスタ部７０において、バッファ領域２０の下には、Ｐ＋型のコレクタ領域２２が設けられる。コレクタ領域２２のアクセプタ濃度は、ベース領域１４のアクセプタ濃度より高い。コレクタ領域２２は、ベース領域１４と同一のアクセプタを含んでよく、異なるアクセプタを含んでもよい。コレクタ領域２２のアクセプタは、例えばボロンである。

[0089] ダイオード部８０において、バッファ領域２０の下には、Ｎ＋型のカソード領域８２が設けられる。カソード領域８２のドナー濃度は、ドリフト領域１８のドナー濃度より高い。カソード領域８２のドナーは、例えば水素またはリンである。なお、各領域のドナーおよびアクセプタとなる元素は、上述した例に限定されない。コレクタ領域２２およびカソード領域８２は、半導

体基板１０の下面２３に露出しており、コレクタ電極２４と接続している。コレクタ電極２４は、半導体基板１０の下面２３全体と接触してよい。エミッタ電極５２およびコレクタ電極２４は、アルミニウム等の金属材料で形成される。

[0090] 半導体基板１０の上面２１側には、１以上のゲートトレンチ部４０、および、１以上のダミートレンチ部３０が設けられる。各トレンチ部は、半導体基板１０の上面２１から、ベース領域１４を貫通して、ベース領域１４の下方まで設けられている。エミッタ領域１２、コンタクト領域１５および蓄積領域１６の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらのドーピング領域も貫通している。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

[0091] 上述したように、トランジスタ部７０には、ゲートトレンチ部４０およびダミートレンチ部３０が設けられている。ダイオード部８０には、ダミートレンチ部３０が設けられ、ゲートトレンチ部４０が設けられていない。本例においてダイオード部８０とトランジスタ部７０のＸ軸方向における境界は、カソード領域８２とコレクタ領域２２の境界である。

[0092] 本例の境界領域９０には、ダミートレンチ部３０が設けられ、ゲートトレンチ部４０が設けられていない。境界領域９０のトランジスタ部７０側の端部のトレンチ部は、ゲートトレンチ部４０であってもよい。

[0093] ゲートトレンチ部４０は、半導体基板１０の上面２１に設けられたゲートトレンチ、ゲート絶縁膜４２およびゲート導電部４４を有する。ゲート絶縁膜４２は、ゲートトレンチの内壁を覆って設けられる。ゲート絶縁膜４２は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部４４は、ゲートトレンチの内部においてゲート絶縁膜４２よりも内側に設けられる。つまりゲート絶縁膜４２は、ゲート導電部４４と半導体

基板１０とを絶縁する。ゲート導電部４４は、ポリシリコン等の導電材料で形成される。

[0094] ゲート導電部４４は、深さ方向において、ベース領域１４よりも長く設けられてよい。当該断面におけるゲートトレンチ部４０は、半導体基板１０の上面２１において層間絶縁膜３８により覆われる。ゲート導電部４４は、ゲート配線に電気的に接続されている。ゲート導電部４４に所定のゲート電圧が印加されると、ベース領域１４のうちゲートトレンチ部４０に接する界面の表層に電子の反転層によるチャネルが形成される。

[0095] ダミートレンチ部３０は、当該断面において、ゲートトレンチ部４０と同一の構造を有してよい。ダミートレンチ部３０は、半導体基板１０の上面２１に設けられたダミートレンチ、ダミー絶縁膜３２およびダミー導電部３４を有する。ダミー導電部３４は、エミッタ電極５２に電気的に接続されている。ダミー絶縁膜３２は、ダミートレンチの内壁を覆って設けられる。ダミー導電部３４は、ダミートレンチの内部に設けられ、且つ、ダミー絶縁膜３２よりも内側に設けられる。ダミー絶縁膜３２は、ダミー導電部３４と半導体基板１０とを絶縁する。ダミー導電部３４は、ゲート導電部４４と同一の材料で形成されてよい。例えばダミー導電部３４は、ポリシリコン等の導電材料で形成される。ダミー導電部３４は、深さ方向においてゲート導電部４４と同一の長さを有してよい。

[0096] 本例のゲートトレンチ部４０およびダミートレンチ部３０は、半導体基板１０の上面２１において層間絶縁膜３８により覆われている。なお、ダミートレンチ部３０およびゲートトレンチ部４０の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。本明細書では、ゲートトレンチ部４０の下端４３の深さ位置をＺｔとする。

[0097] 本例の半導体装置１００は、ゲートトレンチ部４０の下端４３の下方に設けられたＰ型のフローティング領域２０２を備える。ゲートトレンチ部４０の下端４３は、ゲートトレンチ部４０のうち、半導体基板１０の下面２３に最も近い部分を指す。図３の例では、ゲートトレンチ部４０の下端４３は、

Ｘ軸方向におけるゲートトレンチ部４０の中央に配置されている。また、ダミートレンチ部３０の下端３３は、ダミートレンチ部３０のうち、半導体基板１０の下面２３に最も近い部分を指す。図３の例では、ダミートレンチ部３０の下端３３は、Ｘ軸方向におけるダミートレンチ部３０の中央に配置されている。

[0098] フローティング領域２０２の少なくとも一部分が、上面視において下端４３と重なる位置に設けられ、且つ、Ｚ軸方向において下端４３よりも下方に配置されている。フローティング領域２０２は、上面視において下端４３と重ならない部分を含んでいてよい。フローティング領域２０２は、下端４３よりも上方に設けられた部分を含んでいてもよい。フローティング領域２０２は、下端４３と接していてよく、下端４３と離れていてもよい。図３の例では、フローティング領域２０２は、ゲートトレンチ部４０において、下端４３を含む曲面部分の全体と接している。フローティング領域２０２は、ゲートトレンチ部４０の溝構造を形成した後、且つ、ゲート導電部４４を形成する前に、当該溝構造の下端近傍にＰ型のドーパントを注入することで形成してよい。

[0099] フローティング領域２０２は、金属またはポリシリコン等の電極に対して電気的にフローティングである。フローティング領域２０２と電極との間には、Ｎ型の領域および絶縁膜の少なくとも一方が配置されている。つまり、フローティング領域２０２と電極とは、Ｐ型の領域および導電材料で接続されていない。フローティング領域２０２のドーピング濃度は、ベース領域１４のドーピング濃度以下であってよく、ベース領域１４のドーピング濃度より高くてもよい。本例のフローティング領域２０２のドーピング濃度は、ベース領域１４のドーピング濃度よりも高い。ドーピング濃度は$１\times１０^{15}ｃｍ^{-3}$以上、$１\times１０^{17}ｃｍ^{-3}$以下であってよい。

[0100] フローティング領域２０２は、ベース領域１４とは離れて配置されている。フローティング領域２０２とベース領域１４との間には、Ｎ型の領域

（本例では蓄積領域１６およびドリフト領域１８の少なくとも一方）が設けられている。

[0101] それぞれのトランジスタ部７０は、１つ以上のフローティング領域２０２を有する。それぞれのトランジスタ部７０は、複数のフローティング領域２０２を有してよい。それぞれのトランジスタ部７０において、少なくとも１つのゲートトレンチ部４０にフローティング領域２０２が設けられてよく、５０％以上のゲートトレンチ部４０にフローティング領域２０２が設けられてよく、８０％以上のゲートトレンチ部４０にフローティング領域２０２が設けられてよく、全てのゲートトレンチ部４０にフローティング領域２０２が設けられてもよい。

[0102] 少なくとも１つのトランジスタ部７０において、ダイオード部８０に最も近いゲートトレンチ部４０にフローティング領域２０２が設けられる。複数のトランジスタ部７０において、ダイオード部８０に最も近いゲートトレンチ部４０にフローティング領域２０２が設けられてよい。全てのトランジスタ部７０において、ダイオード部８０に最も近いゲートトレンチ部４０にフローティング領域２０２が設けられてもよい。

[0103] 本明細書では、トランジスタ部７０の１つ以上のゲートトレンチ部４０のうち、第１方向においてダイオード部８０の最も近くに設けられたものを、第１のゲートトレンチ部４０－１とする。トランジスタ部７０の１つ以上のダミートレンチ部３０のうち、第１のゲートトレンチ部４０－１の隣りに配置されたものを第１のダミートレンチ部３０－１および第２のダミートレンチ部３０－２とする。第１のダミートレンチ部３０－１は、第１のゲートトレンチ部４０－１の外側に配置されている。つまり、第１のダミートレンチ部３０－１は、第１のゲートトレンチ部４０－１とダイオード部８０との間に配置されている。本例では、第１のダミートレンチ部３０－１は、境界領域９０の端部に配置されている。第２のダミートレンチ部３０－２は、第１のゲートトレンチ部４０－１の内側に配置されている。つまり、第２のダミ

ートレンチ部３０－２は、第１のゲートトレンチ部４０－１に対して、第１のダミートレンチ部３０－１とは逆側に配置されている。

[0104] 複数のメサ部６０のうち、第１のゲートトレンチ部４０－１に接し、且つ、第１のゲートトレンチ部４０－１とダイオード部８０との間に設けられたものを、第１のメサ部６０－１とする。第１のメサ部６０－１は、第１のゲートトレンチ部４０－１と第１のダミートレンチ部３０－１とに挟まれたメサ部６０である。

[0105] 第１のゲートトレンチ部４０－１に接し、且つ、第１のメサ部６０－１とは逆側に配置されたメサ部６０を、第２のメサ部６０－２とする。第２のメサ部６０－２は、第１のゲートトレンチ部４０－１と第２のダミートレンチ部３０－２とに挟まれたメサ部６０である。

[0106] １つ以上のフローティング領域２０２のうち、第１のゲートトレンチ部４０－１の下方に設けられたものを、第１のフローティング領域２０２とする。それぞれのフローティング領域２０２は、対応するゲートトレンチ部４０の隣りに配置されたトレンチ部（本例ではダミートレンチ部３０）の下端３３の下方まで延伸していてよく、延伸していなくてもよい。それぞれのフローティング領域２０２は、ゲートトレンチ部４０の隣りのトレンチ部と接していてよく、接していなくてもよい。本例では、それぞれのフローティング領域２０２は、ゲートトレンチ部４０の隣りのトレンチ部を越えた位置までは、Ｘ軸方向に延伸していない。それぞれのフローティング領域２０２は、ゲートトレンチ部４０と接していないメサ部６０の下方までは延伸していない。

[0107] 図３においてはトランジスタ部７０のＸ軸方向における一方の端部に設けられた第１のゲートトレンチ部４０－１、第１のフローティング領域２０２－１、第１のメサ部６０－１および第２のメサ部６０－２を示している。トランジスタ部７０が２つのダイオード部８０に挟まれている場合、トランジスタ部７０には、Ｘ軸方向における両側の端部のそれぞれに、第１のゲート

トレンチ部４０－１、第１のフローティング領域２０２－１、第１のメサ部６０－１および第２のメサ部６０－２が設けられている。

[0108] それぞれのダミートレンチ部３０の下端３３は、Ｎ型の領域（本例ではドリフト領域１８）に接していてよい。本例では、半導体基板１０の上面２１側において、下端３３の下方にはＰ型の領域が設けられておらず、Ｎ型の領域（本例ではドリフト領域１８）が設けられている。

[0109] フローティング領域２０２を設けることで、トランジスタ部７０がターンオンした時に、第１のゲートトレンチ部４０－１の下端４３に電子が流れるのを阻止し、下端４３近傍に空乏層を残存させることができる。このため、逆回復ｄＶ／ｄｔを小さくできる。逆回復ｄＶ／ｄｔは、ダイオード部８０の逆回復時のアノード・カソード電圧の時間波形の傾きである。また、半導体装置１００が３相インバータ等の回路に用いられている場合において、対向アームに設けられたＩＧＢＴの電圧波形のテールを小さくできる。このため、ターンオン損失－逆回復ｄＶ／ｄｔのトレードオフ特性を改善できる。

[0110] 一方で、トランジスタ部７０およびダイオード部８０が並んで設けられた半導体装置１００においては、トランジスタ部７０のエミッタ領域１２から注入された電子の一部が、ダイオード部８０のカソード領域８２に流れていく。このため、トランジスタ部７０のコレクタ領域２２の端部のＰＮ接合の電位が上がりにくくなり、トランジスタ部７０のターンオン時にスナップバックが生じる場合がある。フローティング領域２０２を設けると、エミッタ領域１２からの電子電流が阻害されるので、更にコレクタ領域２２の端部のＰＮ接合の電位が上がりにくくなり、スナップバックが生じやすくなる。

[0111] 本例では、ダイオード部８０の近傍に配置された第１のメサ部６０－１に対して、第１のフローティング領域と重ならない非覆領域を設ける。これにより、第１のメサ部６０－１からの電子を流れやすくして、スナップバックを抑制できる。つまり、上述したトレードオフ特性を改善しつつ、スナップバックを抑制できる。

[0112] 図４は、上面視におけるフローティング領域２０２の配置例を示す図である。図４では、境界領域９０の近傍におけるトランジスタ部７０を拡大して示している。また図４では、Ｙ軸方向においてエミッタ領域１２よりも外側に配置されたウェル領域１１を示している。ウェル領域１１の上方には、図１において説明した外周ゲート配線１３０がＸ軸方向に延伸している。

[0113] 少なくとも１つのトランジスタ部７０において、第１のメサ部６０－１は、第１のフローティング領域２０２－１と重ならない非覆領域２１２を有する。複数のトランジスタ部７０において、第１のメサ部６０－１に非覆領域２１２を設けてよく、全てのトランジスタ部７０において、第１のメサ部６０－１に非覆領域２１２を設けてもよい。本例の非覆領域２１２は、第１のメサ部６０－１のＸ軸方向の全体に渡って設けられている。

[0114] それぞれのメサ部６０は、Ｙ軸方向において長手を有している。上面視におけるメサ部６０の端辺のうち、最も長い直線の延伸方向を、メサ部６０の長手方向としてよい。それぞれのメサ部６０において、エミッタ領域１２のＹ軸方向における両端の間を中間領域２１０とする。本例のメサ部６０には、エミッタ領域１２がＹ軸方向に離散して配置されている。この場合、Ｙ軸方向の両端に配置された２つのエミッタ領域１２の外側の端部を、中間領域２１０の両端とする。メサ部６０には、エミッタ領域１２とコンタクト領域１５とがＹ軸方向において交互に配置されてよい。

[0115] 非覆領域２１２は、第１メサ部６０－１の中間領域２１０に設けられてよい。本例では、第１のフローティング領域２０２－１が、第１メサ部６０－１の中間領域２１０においてＹ軸に離散して複数配置されている。また、非覆領域２１２も、第１メサ部６０－１の中間領域２１０においてＹ軸に離散して複数配置されている。これにより、第１メサ部６０－１からの電子が流れやすくなり、スナップバックを抑制できる。

[0116] 第１のフローティング領域２０２－１は、上面視において第１のダミートレンチ部３０－１と重なっていてよく、離れていてもよい。第１のフロー

ティング領域２０２－１が第１のダミートレンチ部３０－１と離れている場合、スナップバックを更に抑制できる。

[0117] 第１のメサ部６０－１の中間領域２１０において、複数の非覆領域２１２のＹ軸方向における長さＬ２の総和は、第１のフローティング領域２０２－１と重なっている領域のＹ軸方向における長さＬ１の総和よりも小さくてよい。これにより、ターンオン損失－逆回復ｄＶ／ｄｔのトレードオフ特性を改善しやすくなる。長さＬ２の総和は、長さＬ１の総和の７０％以下であってよく、５０％以下であってもよい。長さＬ２の総和は、長さＬ１の総和の１０％以上であってよく、３０％以上であってよく、５０％以上であってもよい。

[0118] 長さＬ２の総和は、長さＬ１の総和より大きくてもよい。これにより、スナップバックを抑制しやすくなる。長さＬ２の総和は、長さＬ１の総和の１．３倍以上であってよく、１．５倍以上であってよく、２倍以上であってもよい。長さＬ２の総和は、長さＬ１の総和の１０倍以下であってよく、３倍以下であってよく、２倍以下であってもよい。

[0119] 非覆領域２１２は、第２メサ部６０－２の中間領域２１０にも設けられてよい。第２のメサ部６０－２の第１のフローティング領域２０２－１および非覆領域２１２のＹ軸方向における配置は、第１のメサ部６０－１と同様であってよい。第２のメサ部６０－２における第１のフローティング領域２０２－１は、上面視において第２のダミートレンチ部３０－２と重なっていてよく、離れていてもよい。一例として、第１のフローティング領域２０２－１は、第２のダミートレンチ部３０－２と重なっており、第１のダミートレンチ部３０－１とは離れていてもよい。

[0120] 本例では、第１のメサ部６０－１の少なくとも１つのエミッタ領域１２の下方に第１のフローティング２０２－１が配置されている。第１のフローティング領域２０２－１は、対応するエミッタ領域１２の全体と重なっていてよい。複数のエミッタ領域１２の下方に第１のフローティング領域２０２－１が配置されていてよい。Ｙ軸方向の両端に配置されたエミッタ領域１２を

除く、全てのエミッタ領域１２に対して第１のフローティング領域２０２－１が配置されていてもよい。また、Ｙ軸方向の両端に配置されたエミッタ領域１２を含む、全てのエミッタ領域１２に対して第１のフローティング領域２０２－１が配置されていてもよい。エミッタ領域１２と重なるように第１のフローティング領域２０２－１を設けることで、ターンオン損失－逆回復ｄＶ／ｄｔのトレードオフ特性を改善しやすくなる。

[0121] 本例では、コンタクト領域１５の少なくとも一部が非覆領域２１２である。それぞれのコンタクト領域１５に、非覆領域２１２が設けられていてよい。それぞれのコンタクト領域１５において、エミッタ領域１２と接する部分は、第１のフローティング領域２０２－１と重なっていてよい。それぞれのコンタクト領域１５は、第１のフローティング領域２０２－１と重なっていなくてもよい。

[0122] 他の例では、第１のメサ部６０－１の少なくとも１つのコンタクト領域１５の下方に第１のフローティング２０２－１が配置されていてもよい。複数のコンタクト領域１５の下方に第１のフローティング領域２０２－１が配置されていてよい。Ｙ軸方向の両端に配置されたコンタクト領域１５を除く、全てのコンタクト領域１５に対して第１のフローティング領域２０２－１が配置されていてもよい。また、Ｙ軸方向の両端に配置されたコンタクト領域１５を含む、全てのコンタクト領域１５に対して第１のフローティング領域２０２－１が配置されていてもよい。

[0123] この場合、エミッタ領域１２の少なくとも一部が非覆領域２１２である。それぞれのエミッタ領域１２に、非覆領域２１２が設けられていてよい。それぞれのエミッタ領域１２において、コンタクト領域１５と接する部分は、第１のフローティング領域２０２－１と重なっていてよい。それぞれのエミッタ領域１２は、第１のフローティング領域２０２－１と重なっていなくてもよい。コンタクト領域１５と重なるように第１のフローティング領域２０２－１を設けることで、電子が更に流れやすくなり、スナップバックを抑制しやすくなる。

[0124] 第１のメサ部６０－１および第２のメサ部６０－２以外のメサ部６０には、メサ部６０ごとに１つのフローティング領域２０２が設けられてよい。メサ部６０のフローティング領域２０２のＹ軸方向の長さは、１つの第１のフローティング領域２０２－１のＹ軸方向の長さＬ１よりも大きい。本例のフローティング領域２０２の長さは、長さＬ１の総和と、長さＬ２の総和との和と同一である。本例のフローティング領域２０２のＹ軸方向の両端位置は、Ｙ軸方向の両端に配置された第１のフローティング領域２０２－１の外側の端部位置と同一である。フローティング領域２０２のＹ軸方向の長さは、ゲートトレンチ部４０の直線部分３９のＹ軸方向の長さの５０％以上であってよく、７０％以上であってよく、９０％以上であってもよい。

[0125] 第１のメサ部６０－１における非覆領域２１２の上面視における面積（第１の面積とする）は、第１のゲートトレンチ部４０－１以外のゲートトレンチ部４０に接するメサ部６０においてフローティング領域２０２と重ならない領域の面積（第２の面積とする）よりも大きくてよい。第１の面積は、第１のメサ部６０－１のＸ軸方向の幅に、長さＬ２の総和を乗じた値である。第２の面積は、メサ部６０のＸ軸方向の幅に、フローティング領域２０２と重ならない領域のＹ軸方向の長さの総和を乗じた値である。第２の面積は０であってもよい。

[0126] 図４に示すように、ウェル領域１１からエミッタ領域１２と重なる位置まで延伸する、第１の延伸領域２０４が設けられてよい。第１の延伸領域２０４は、Ｐ型の領域である。第１の延伸領域２０４は、ウェル領域１１と接続されている。ウェル領域１１は、エミッタ電極５２と接続されている。第１の延伸領域２０４は、フローティング領域２０２と同一の深さ位置に設けられてよい。第１の延伸領域２０４は、フローティング領域２０２と同一のドーピング濃度であってよい。第１の延伸領域２０４は、フローティング領域２０２とは分離している。

[0127] 本例の第１の延伸領域２０４は、ウェル領域１１に最も近いエミッタ領域１２の全体と重なっている。第１の延伸領域２０４は、ウェル領域１１に２

番目に近いエミッタ領域１２とは重なっていなくてよい。第１の延伸領域２０４を設けることで、ウェル領域１１から、最も外側のエミッタ領域１２の下方までの領域を、エミッタ電位にできる。これにより、第１の延伸領域２０４を設けた領域の電界分布を一様にして、耐圧低下を抑制できる。第１の延伸領域２０４は、トランジスタ部７０のＸ軸方向の全体に渡って設けられてよい。第１の延伸領域２０４は、ダイオード部８０のＸ軸方向の全体に渡って設けられてよい。

[0128] 図５は、上面視におけるフローティング領域２０２の他の配置例を示す図である。第１のフローティング領域２０２－１の配置は、図４の例と同様である。本例では、第１のフローティング領域２０２－１以外のフローティング領域２０２も、第１のフローティング領域２０２－１と同様に、Ｙ軸方向に離散して配置されている。本例では、第１のフローティング領域２０２－１以外のフローティング領域２０２のＹ軸方向の長さは、第１のフローティング領域２０２－１の長さＬ１と同一であってよい。第１のフローティング領域２０２－１以外のフローティング領域２０２のＹ軸方向の間隔は、第１のフローティング領域２０２－１の間隔Ｌ２と同一であってよい。

[0129] 第１のフローティング領域２０２－１以外のフローティング領域２０２のうち、少なくとも１つが、Ｙ軸方向に離散して配置されていてよい。例えば、第１のフローティング領域２０２－１の隣りのフローティング領域２０２が、Ｙ軸方向に離散して配置されていてよい。他のフローティング領域２０２は、図４の例と同様に、Ｙ軸方向に連続して配置されていてよい。図５に示すように、全てのフローティング領域２０２がＹ軸方向に離散して配置されていてもよい。

[0130] 図６は、ｅ－ｅ断面の他の例を示す図である。本例は、第１のフローティング領域２０２－１の配置が、図３において説明した例と相違する。他の構造は、図３から図５において説明したいずれかの例と同様であってよい。

[0131] 本例の第１のフローティング領域２０２－１は、第１のダミートレンチ部３０－１の下端３３の下方まではＸ軸方向に延伸していない。第１のフロー

ティング領域２０２－１は、上面視において第１のダミートレンチ部３０－１と接していない。第１のフローティング領域２０２－１と第１のダミートレンチ部３０－１との間には、非覆領域２１２が設けられている。第１のフローティング領域２０２－１は、第１のメサ部６０－１のコンタクト部５４の下方まで延伸していてよく、延伸していなくてもよい。第１のフローティング領域２０２－１は、第１のメサ部６０－１のＸ軸方向の中央まで延伸していてよく、延伸していなくてもよい。

[0132] 第１のフローティング２０２－１は、Ｙ軸方向において、図４および図５の例と同様に、離散して配置されていてよい。他の例では、第１のフローティング領域２０２－１は、図４および図５のフローティング領域２０２と同様に、Ｙ軸方向に連続して１つだけ設けられていてもよい。この場合でも、第１のダミートレンチ部３０－１と第１のフローティング領域２０２との間に非覆領域２１２が設けられているので、スナップバックを抑制できる。

[0133] 第１のメサ部６０－１のＸ軸方向の幅をＸ１とする。非覆領域２１２のＸ軸方向の幅は、幅Ｘ１の１０％以上であってよく、２０％以上であってよく、３０％以上であってもよい。非覆領域２１２のＸ軸方向の幅は、幅Ｘ１の９０％以下であってよく、８０％以下であってよく、７０％以下であってもよい。図６に示すように、非覆領域２１２のＸ軸方向の幅は、幅Ｘ１の５０％以下であってもよい。

[0134] 第１のフローティング領域２０２－１は、上面視において、第２のダミートレンチ部３０－２と接していてよい。本例の第１のフローティング領域２０２－１は、ＸＺ断面において第２のダミートレンチ部３０－２と接している。

[0135] 第２のメサ部６０－２のＸ軸方向の幅をＸ２とする。幅Ｘ２は、幅Ｘ１よりも小さくてよい。つまり、第１のゲートトレンチ部４０－１は、第１のダミートレンチ部３０－１と第２のダミートレンチ部３０－２との間において、第２のダミートレンチ部３０－２の方向に片寄って配置されている。このような構成により、第１のゲートトレンチ部４０－１のトレンチ構造を介

してＰ型のドーパントを注入および拡散して第１のフローティング領域２０２－１を形成する場合に、第１のフローティング領域２０２－１を第１のダミートレンチ部３０－１から離し、且つ、第２のダミートレンチ部３０－２に接触させることが容易になる。

[0136] 図７は、ｅ－ｅ断面の他の例を示す図である。本例は、第１のフローティング領域２０２－１の配置が、図６において説明した例と相違する。他の構造は、図６において説明したいずれかの例と同様であってよい。

[0137] 本例の第１のフローティング領域２０２－１は、第２のダミートレンチ部３０－２とも、上面視において離れて配置されている。Ｘ軸方向における、第１のフローティング領域２０２－１と第１のダミートレンチ部３０－１との距離をＸ３とし、第１のフローティング領域２０２－１と第２のダミートレンチ部３０－２との距離をＸ４とする。距離Ｘ４は、距離Ｘ３より小さくてよい。距離Ｘ４は、距離Ｘ３の５０％以下であってよく、３０％以下であってもよい。距離Ｘ４は、図６の例のように０であってもよい。本例によっても、スナップバックを抑制できる。

[0138] 第１のフローティング領域２０２－１以外のフローティング領域２０２は、図６の例と同様であってよい。他の例では、全てのフローティング領域２０２が、図７の第１のフローティング領域２０２－１と同様の構造を有していてもよい。

[0139] 図８は、遷移領域９２の一例を示す上面図である。図８において説明する遷移領域９２の構造は、本明細書で説明するいずれの例と組み合わせてもよい。図８において説明する遷移領域９２の構造は、本明細書で説明するいずれの例のフローティング領域２０２の構造と組み合わせてもよい。他の例では、図８において説明する半導体装置１００におけるフローティング領域２０２は、図１から図７の例とは異なる構造を有していてもよい。または、図８において説明する半導体装置１００は、フローティング領域２０２を有していなくてもよい。図８において説明する半導体装置１００は、ダイオード部８０を備えていなくてもよい。

[0140] 本例では、ウェル領域１１が、Ｘ軸方向においてエミッタ領域１２の外側にも配置されている。本例のウェル領域１１の上方には、Ｙ軸方向に延伸する外周ゲート配線１３０が配置されている。

[0141] 遷移領域９２は、Ｘ軸方向において、エミッタ領域１２（またはトランジスタ部７０）とウェル領域１１との間に配置されている。遷移領域９２は、１つ以上のトレンチ部がＸ軸方向に並んで配置されている。遷移領域９２は、１つ以上のダミートレンチ部３０を有してよく、１つ以上のゲートトレンチ部４０を有してよく、ダミートレンチ部３０およびゲートトレンチ部４０の両方を有してもよい。本例の遷移領域９２は、トランジスタ部７０と同様の配列パターンのトレンチ部を有する。本例のトランジスタ部７０は、１つのゲートトレンチ部４０と、２つのダミートレンチ部３０とが交互に配置されている。遷移領域９２も、１つのゲートトレンチ部４０と、２つのダミートレンチ部３０とが交互に配置されていてよい。

[0142] ウェル領域１１の内部にも、１つ以上のトレンチ部が配置されてよい。本例では、２つのダミートレンチ部３０が、ウェル領域１１の内部に配置されている。

[0143] 遷移領域９２は、下面２３と接する位置にコレクタ領域２２を有してよい。遷移領域９２は、下面２３と接する位置にカソード領域８２を有していてもよい。遷移領域９２は、１つ以上のメサ部６３を有する。メサ部６３の上面２１には、ドリフト領域１８が露出していてよい。他の例では、メサ部６３の上面２１には、ベース領域１４が設けられていてもよい。

[0144] 本例の半導体装置１００は、遷移領域９２に設けられた第２の延伸領域２２０を備える。第２の延伸領域２２０は、ウェル領域１１からエミッタ領域１２と重なる位置までＸ軸方向に延伸するＰ型の領域である。第２の延伸領域２２０は、ウェル領域１１と接続されている。第２の延伸領域２２０は、フローティング領域２０２と同一の深さ位置に設けられてよい。第２の延伸領域２２０は、フローティング領域２０２と同一のドーピング濃度であってよい。

[0145] 本例の第２の延伸領域２０４は、Ｘ軸方向においてウェル領域１１に最も近いメサ部６０のエミッタ領域１２の全体と重なっている。第２の延伸領域２０４は、ウェル領域１１に最も近い２つ以上のメサ部６０のエミッタ領域１２の全体と重なっていてもよい。メサ部６０にコンタクト領域１５が設けられている場合、第２の延伸領域２０４は、コンタクト領域１５とも重なっている。第２の延伸領域２０４は、フローティング領域２０２とは接続していない。

[0146] 第２の延伸領域２２０を設けることで、遷移領域９２をエミッタ電位にできる。これにより、遷移領域９２の電界分布を一様にして、耐圧低下を抑制できる。第２の延伸領域２２０は、Ｙ軸方向において、フローティング領域２０２よりも広い範囲に設けられてよい。第２の延伸領域２２０は、Ｙ軸方向の端部において、図４等で説明した第１の延伸領域２０４と接続されていてよい。

[0147] 図９は、図８におけるｆ－ｆ断面の一例を示す図である。ｆ－ｆ断面は、ウェル領域１１、遷移領域９２およびトランジスタ部７０を含むＸＺ面である。上述したようにウェル領域１１の上方には、外周ゲート配線１３０が配置されている。外周ゲート配線１３０とウェル領域１１とは、酸化膜等の絶縁膜２２１で絶縁されている。図９では、エミッタ電極５２および層間絶縁膜３８等の上面側の構造と、コレクタ電極２４等の下面側の構造を省略している。

[0148] 第２の延伸領域２２０は、遷移領域９２に設けられた１つ以上のトレンチ部の下端の下方に設けられている。第２の延伸領域２２０は、各トレンチ部の下端と接していてよい。第２の延伸領域２２０は、遷移領域９２を越えて、トランジスタ部７０までＸ軸方向に延伸している。

[0149] 第２の延伸領域２２０は、エミッタ領域１２の下方まで延伸している。第２の延伸領域２２０は、トランジスタ部７０の少なくとも１つのゲートトレンチ部４０の下端の下方まで延伸していてよい。当該ゲートトレンチ部４０の下方には、フローティング領域２０２が設けられていない。第２の延伸領

域２２０を設けることで、遷移領域９２の電界分布を一様にして、耐圧低下を抑制できる。

[0150] 図１０は、境界領域９０およびダイオード部８０の他の構造例を示すＸＺ断面である。図１０では、エミッタ電極５２および層間絶縁膜３８等の上面側の構造と、コレクタ電極２４等の下面側の構造を省略している。

[0151] 図１から図９において説明した例では、境界領域９０およびダイオード部８０には、フローティング領域２０２が設けられていない。本例では、境界領域９０およびダイオード部８０の少なくとも一方にフローティング領域２０２が設けられている。図１０において説明する構造は、図１から図９において説明したいずれの例にも適用できる。境界領域９０にフローティング領域２０２を設けることで、境界領域９０以外のトランジスタ部７０と、境界領域９０とにおける電界分布を均一化できる。ダイオード部８０にフローティング領域２０２を設けることで、トランジスタ部７０とダイオード部８０とにおける電界分布を均一化できる。

[0152] 図１０の例では、トランジスタ部７０におけるトレンチ部の配列パターンが、図３等の例と異なっている。図１０の例では、１つのゲートトレンチ部４０と、１つのダミートレンチ部３０とが、Ｘ軸方向に交互に配置されている。トランジスタ部７０におけるトレンチ部の配列パターンは、図３および図１０のいずれのパターンであってよく、他のパターンであってもよい。本例のトランジスタ部７０には、それぞれのゲートトレンチ部４０にフローティング領域２０２が設けられている。

[0153] 図１０の例のフローティング領域２０２は、対応するゲートトレンチ部４０の隣りに配置されたトレンチ部（本例ではダミートレンチ部３０）と重なる位置まで延伸していない。フローティング領域２０２は、図３から図９において説明したように、ゲートトレンチ部４０の隣りに配置された少なくとも一方のトレンチ部と重なる位置まで延伸していてもよい。

[0154] 図１０の例では、境界領域９０が複数のダミートレンチ部３０、複数のメサ部６２および１つ以上のフローティング領域２０２を有している。フロー

ティング領域２０２は、境界領域９０の少なくとも１つのトレンチ部の下端の下方に設けられる。境界領域９０において、Ｘ軸方向にフローティング領域２０２が設けられている周期Ｆ２は、境界領域９０以外のトランジスタ部７０において、Ｘ軸方向にフローティング領域２０２が設けられている周期Ｆ１と同一であってよい。フローティング領域２０２が設けられる周期を同一にすることで、電界分布を更に均一化できる。フローティング領域２０２が設けられる周期は、それぞれのフローティング領域２０２のＸ軸方向における中央位置どうしの距離である。

[0155] 図１０の例では、ダイオード部８０の少なくとも１つのトレンチ部の下端の下方にも、フローティング領域２０２が設けられている。ダイオード部８０において、Ｘ軸方向にフローティング領域２０２が設けられている周期Ｆ３は、トランジスタ部７０における周期Ｆ１と同一であってよい。フローティング領域２０２が設けられる周期を同一にすることで、電界分布を更に均一化できる。

[0156] 境界領域９０におけるフローティング領域２０２は、Ｙ軸方向において、離散して複数配置されてよく、連続して１つだけ設けられていてもよい。ダイオード部８０におけるフローティング領域２０２は、Ｙ軸方向において、離散して複数配置されてよく、連続して１つだけ設けられていてもよい。

[0157] フローティング領域２０２の周期Ｆ１、Ｆ２およびＦ３は、同一でなくてもよい。周期Ｆ１は、周期Ｆ２より大きくてよく、小さくてもよい。周期Ｆ１は、周期Ｆ３より大きくてよく、小さくてもよい。周期Ｆ３は、周期Ｆ２より大きくてよく、小さくてもよい。周期Ｆ１～Ｆ３を調節することにより、トランジスタ部７０、境界領域９０、ダイオード部８０の耐圧分布を調整できる。例えば、周期Ｆ１を大きくする場合、トランジスタ部７０の耐圧を下げ、相対的にダイオード部８０の耐圧を上げることができる。逆に、周期Ｆ３を大きくすることで、ダイオード部８０の耐圧を下げ、相対的にトランジスタ部７０の耐圧を上げることができる。また、トランジスタ部７０、

境界領域９０、ダイオード部８０の耐圧が同じになるように、周期Ｆ１～Ｆ３を調整してもよい。

[0158] 半導体装置１００における全てのトレンチ部のＸ軸方向の間隔は同一であってよい。他の例では、トレンチ部のＸ軸方向の間隔は均一でなくてもよい。

[0159] 図１１は、実施例および参考例における、コレクタ電圧－コレクタ電流の特性を示す図である。参考例は、第１のメサ部６０－１に非覆領域２１２を設けていない例である。実施例は、第１のメサ部６０－１に非覆領域２１２を設けた例である。

[0160] 参考例では、フローティング領域２０２により、第１のメサ部６０－１の電子電流がコレクタ領域２２に流れにくくなる。このため参考例では、図１１に示すように、コレクタ電圧が所定の電圧より大きくなるまでほとんどコレクタ電流が流れないスナップバックが生じる。これに対して実施例に係る半導体装置１００では、第１のメサ部６０－１の電子電流が、コレクタ領域２２に流れやすい。このため、スナップバックが発生していない。

[0161] 図１２は、参考例および実施例における、ターンオン損失および逆回復ｄＶ／ｄｔのトレードオフ特性を示す図である。図１２は、逆回復ｄＶ／ｄｔを小さくすると、ターンオン損失が増大するトレードオフの関係を示している。

[0162] 図１２における参考例は、フローティング領域２０２を有さない半導体装置である。実施例の半導体装置は、図１から図１０において説明した半導体装置１００である。実施例の半導体装置１００は、フローティング領域２０２を有することで、トレードオフ特性が改善している。例えば、同一の逆回復ｄＶ／ｄｔとしたときのターンオン損失は、実施例の方が参考例よりも小さい。

[0163] 図１２において説明したように、半導体装置１００によれば、ターンオン損失および逆回復ｄＶ／ｄｔのトレードオフ特性を改善できる。図１１にお

いて説明したように、半導体装置１００によれば、スナップバックを抑制できる。

[0164] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0165] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0166] １０・・・半導体基板、１１・・・ウェル領域、１２・・・エミッタ領域、１４・・・ベース領域、１５・・・コンタクト領域、１６・・・蓄積領域、１８・・・ドリフト領域、２０・・・バッファ領域、２１・・・上面、２２・・・コレクタ領域、２３・・・下面、２４・・・コレクタ電極、２９・・・直線部分、３０・・・ダミートレンチ部、３０－１・・・第１のダミートレンチ部、３０－２・・・第２のダミートレンチ部、３１・・・先端部、３２・・・ダミー絶縁膜、３３・・・下端、３４・・・ダミー導電部、３８・・・層間絶縁膜、３９・・・直線部分、４０・・・ゲートトレンチ部、４０－１・・・第１のゲートトレンチ部、４１・・・先端部、４２・・・ゲート絶縁膜、４３・・・下端、４４・・・ゲート導電部、４５・・・トレンチ、５２・・・エミッタ電極、５４・・・コンタクト部、６０、６１、６２、６３・・・メサ部、６０－１・・・第１のメサ部、６０－２・・・第２のメサ部、７０・・・トランジスタ部、８０・・・ダイオード部、８１・・・延

長領域、８２・・・カソード領域、９０・・・境界領域、９２・・・遷移領域、１００・・・半導体装置、１３０・・・外周ゲート配線、１３１・・・活性側ゲート配線、１６０・・・活性部、１６２・・・端辺、１６４・・・ゲートパッド、１９０・・・エッジ終端構造部、２０２・・・フローティング領域、２０２－１・・・第１のフローティング領域、２０４・・・第１の延伸領域、２１２・・・非覆領域、２２０・・・第２の延伸領域、２２１・・・絶縁膜

請求の範囲

[請求項1] 上面および下面を有し、第１導電型のドリフト領域を有する半導体基板と、

前記半導体基板の下面に第２導電型のコレクタ領域が設けられた１つ以上のトランジスタ部と、

前記半導体基板の下面に第１導電型のカソード領域が設けられ、第１の方向において前記トランジスタ部と交互に配置された１つ以上のダイオード部と

を備え、

それぞれの前記トランジスタ部は、

前記第１の方向に並んで設けられ、１つ以上のゲートトレンチ部を含む複数のトレンチ部と、

前記第１の方向において前記トレンチ部に挟まれた領域である複数のメサ部と、

少なくとも１つの前記ゲートトレンチ部に対して設けられ、前記ゲートトレンチ部の下端の下方に設けられた、第２導電型のフローティング領域と

を有し、

１つ以上の前記ゲートトレンチ部は、前記ダイオード部の最も近くに設けられた第１のゲートトレンチ部を含み、

前記複数のメサ部は、前記第１のゲートトレンチ部に接し、且つ、前記第１のゲートトレンチ部と前記ダイオード部との間に設けられた第１のメサ部を含み、

前記第１のゲートトレンチ部の下方には、第１のフローティング領域が設けられ、

前記第１のメサ部は、前記第１のフローティング領域と重ならない非覆領域を有する半導体装置。

[請求項2] 前記複数のトレンチ部は、１つ以上のダミートレンチ部を含み、

前記第１のメサ部は、前記第１のゲートトレンチ部と、第１のダミートレンチ部に挟まれており、

前記第１のゲートトレンチ部の前記下端の下方に設けられた第１のフローティング領域は、前記第１のダミートレンチ部の下端の下方までは延伸していない

請求項１に記載の半導体装置。

[請求項3] 前記第１のフローティング領域は、上面視において、前記第１のダミートレンチ部と接していない

請求項２に記載の半導体装置。

[請求項4] 前記複数のトレンチ部は、前記第１のゲートトレンチ部に対して、前記第１のダミートレンチ部とは逆側に配置された第２のダミートレンチ部を含み、

前記第１の方向において、前記第１のフローティング領域と前記第２のダミートレンチ部との距離は、前記第１のフローティング領域と前記第１のダミートレンチ部との距離よりも小さい

請求項３に記載の半導体装置。

[請求項5] 前記第１のフローティング領域は、上面視において、前記第２のダミートレンチ部と接している

請求項４に記載の半導体装置。

[請求項6] 前記第１のメサ部は、

前記半導体基板の前記上面に接して設けられた、第１導電型のエミッタ領域と、

前記エミッタ領域と前記ドリフト領域との間に設けられた、第２導電型のベース領域と

を有し、

前記第１のメサ部は、第２の方向において長手を有しており、

前記第１のメサ部は、前記エミッタ領域の前記第２の方向における両端の間の中間領域において、前記非覆領域を有する

請求項１に記載の半導体装置。

[請求項7] 前記中間領域において、複数の前記非覆領域が前記第２の方向に離散して配置されている

請求項６に記載の半導体装置。

[請求項8] 前記中間領域において、複数の前記非覆領域の前記第２の方向における長さの総和は、前記第１のフローティング領域と重なっている領域の前記第２の方向における長さの総和よりも小さい

請求項７に記載の半導体装置。

[請求項9] 前記第１のメサ部は、前記半導体基板の前記上面に接して設けられ、前記第２の方向において前記エミッタ領域と交互に配置された第２導電型のコンタクト領域を有し、

少なくとも１つ前記エミッタ領域の下方に前記第１のフローティング領域が配置され、前記コンタクト領域の少なくとも一部が前記非覆領域である

請求項７に記載の半導体装置。

[請求項10] 前記第１のフローティング領域は、少なくとも１つの前記エミッタ領域の全体と重なっており、

それぞれの前記コンタクト領域に前記非覆領域が設けられている

請求項９に記載の半導体装置。

[請求項11] 前記第２の方向において前記第１のメサ部の外側に配置され、前記ベース領域よりも高濃度の第２導電型のウェル領域と、

前記ウェル領域から前記エミッタ領域と重なる位置まで前記第２の方向に延伸する、第２導電型の第１の延伸領域と

を更に備える請求項６に記載の半導体装置。

[請求項12] 前記第１の方向において前記エミッタ領域の外側に配置され、前記ベース領域よりも高濃度の第２導電型のウェル領域と、

前記ウェル領域から前記エミッタ領域と重なる位置まで前記第１の方向に延伸する、第２導電型の第２の延伸領域と

を更に備える請求項６に記載の半導体装置。

[請求項13] 前記ダイオード部は、

前記第１の方向に並んで設けられた複数のダミートレンチ部と、

前記第１の方向において前記ダミートレンチ部に挟まれたメサ部と

を有し、

前記ダイオード部の少なくとも１つの前記ダミートレンチ部の下端の下方にも、前記フローティング領域が設けられている

請求項１に記載の半導体装置。

[請求項14] 前記ダイオード部において、前記第１の方向に前記フローティング領域が設けられている周期は、前記トランジスタ部において、前記第１の方向に前記フローティング領域が設けられている周期と同一である

請求項１３に記載の半導体装置。

[請求項15] 前記トランジスタ部は、前記第１のゲートトレンチ部と前記ダイオード部との間に、１つ以上の前記トレンチ部および１つ以上の前記メサ部を有する境界領域を有し、

前記境界領域の少なくとも１つの前記トレンチ部の下端の下方にも、前記フローティング領域が設けられている

請求項１に記載の半導体装置。

[請求項16] 前記境界領域において、前記第１の方向に前記フローティング領域が設けられている周期は、前記境界領域以外の前記トランジスタ部において、前記第１の方向に前記フローティング領域が設けられている周期と同一である

請求項１５に記載の半導体装置。

[請求項17] 前記第１のメサ部における前記非覆領域の面積は、前記第１のゲートトレンチ部以外の前記ゲートトレンチ部に接する前記メサ部において前記フローティング領域と重ならない領域の面積よりも大きい

請求項１から１６のいずれか一項に記載の半導体装置。

補正された請求の範囲（条約第19条）

2024年12月4日（ 04.12.2024 ） 国際事務局受理

[請求項1] 上面および下面を有し、第１導電型のドリフト領域を有する半導体基板と、

前記半導体基板の下面に第２導電型のコレクタ領域が設けられた１つ以上のトランジスタ部と、

前記半導体基板の下面に第１導電型のカソード領域が設けられ、第１の方向において前記トランジスタ部と交互に配置された１つ以上のダイオード部と

を備え、

それぞれの前記トランジスタ部は、

前記第１の方向に並んで設けられ、１つ以上のゲートトレンチ部を含む複数のトレンチ部と、

前記第１の方向において前記トレンチ部に挟まれた領域である複数のメサ部と、

少なくとも１つの前記ゲートトレンチ部に対して設けられ、前記ゲートトレンチ部の下端の下方に設けられた、第２導電型のフローティング領域と

を有し、

１つ以上の前記ゲートトレンチ部は、前記ダイオード部の最も近くに設けられた第１のゲートトレンチ部を含み、

前記複数のメサ部は、前記第１のゲートトレンチ部に接し、且つ、前記第１のゲートトレンチ部と前記ダイオード部との間に設けられた第１のメサ部を含み、

前記第１のゲートトレンチ部の下方には、第１のフローティング領域が設けられ、

前記第１のメサ部は、前記第１のフローティング領域と重ならない非覆領域を有する半導体装置。

[請求項2] [補正後]

前記複数のトレンチ部は、１つ以上のダミートレンチ部を含み、

前記第１のメサ部は、前記第１のゲートトレンチ部と、第１のダミートレンチ部に挟まれており、

前記第１のフローティング領域は、前記第１のダミートレンチ部の下端の下方までは延伸していない

請求項１に記載の半導体装置。

[請求項3] 前記第１のフローティング領域は、上面視において、前記第１のダミートレンチ部と接していない

請求項２に記載の半導体装置。

[請求項4] 前記複数のトレンチ部は、前記第１のゲートトレンチ部に対して、前記第１のダミートレンチ部とは逆側に配置された第２のダミートレンチ部を含み、

前記第１の方向において、前記第１のフローティング領域と前記第２のダミートレンチ部との距離は、前記第１のフローティング領域と前記第１のダミートレンチ部との距離よりも小さい

請求項３に記載の半導体装置。

[請求項5] 前記第１のフローティング領域は、上面視において、前記第２のダミートレンチ部と接している

請求項４に記載の半導体装置。

[請求項6] 前記第１のメサ部は、

前記半導体基板の前記上面に接して設けられた、第１導電型のエミッタ領域と、

前記エミッタ領域と前記ドリフト領域との間に設けられた、第２導電型のベース領域と

を有し、

前記第１のメサ部は、第２の方向において長手を有しており、

前記第１のメサ部は、前記エミッタ領域の前記第２の方向における両端の間の中間領域において、前記非覆領域を有する

請求項１に記載の半導体装置。

[請求項7] 前記中間領域において、複数の前記非覆領域が前記第２の方向に離散して配置されている

請求項６に記載の半導体装置。

[請求項8] 前記中間領域において、複数の前記非覆領域の前記第２の方向における長さの総和は、前記第１のフローティング領域と重なっている領域の前記第２の方向における長さの総和よりも小さい

請求項７に記載の半導体装置。

[請求項9] 前記第１のメサ部は、前記半導体基板の前記上面に接して設けられ、前記第２の方向において前記エミッタ領域と交互に配置された第２導電型のコンタクト領域を有し、

少なくとも１つ前記エミッタ領域の下方に前記第１のフローティング領域が配置され、前記コンタクト領域の少なくとも一部が前記非覆領域である

請求項７に記載の半導体装置。

[請求項10] 前記第１のフローティング領域は、少なくとも１つの前記エミッタ領域の全体と重なっており、

それぞれの前記コンタクト領域に前記非覆領域が設けられている

請求項９に記載の半導体装置。

[請求項11] 前記第２の方向において前記第１のメサ部の外側に配置され、前記ベース領域よりも高濃度の第２導電型のウェル領域と、

前記ウェル領域から前記エミッタ領域と重なる位置まで前記第２の方向に延伸する、第２導電型の第１の延伸領域と

を更に備える請求項６に記載の半導体装置。

[請求項12] 前記第１の方向において前記エミッタ領域の外側に配置され、前記ベース領域よりも高濃度の第２導電型のウェル領域と、

前記ウェル領域から前記エミッタ領域と重なる位置まで前記第１の方向に延伸する、第２導電型の第２の延伸領域と

を更に備える請求項６に記載の半導体装置。

[請求項13] 前記ダイオード部は、

前記第１の方向に並んで設けられた複数のダミートレンチ部と、

前記第１の方向において前記ダミートレンチ部に挟まれたメサ部と

を有し、

前記ダイオード部の少なくとも１つの前記ダミートレンチ部の下端の下方にも、前記フローティング領域が設けられている

請求項１に記載の半導体装置。

[請求項14] 前記ダイオード部において、前記第１の方向に前記フローティング領域が設けられている周期は、前記トランジスタ部において、前記第１の方向に前記フローティング領域が設けられている周期と同一である

請求項１３に記載の半導体装置。

[請求項15] 前記トランジスタ部は、前記第１のゲートトレンチ部と前記ダイオード部との間に、１つ以上の前記トレンチ部および１つ以上の前記メサ部を有する境界領域を有し、

前記境界領域の少なくとも１つの前記トレンチ部の下端の下方にも、前記フローティング領域が設けられている

請求項１に記載の半導体装置。

[請求項16] 前記境界領域において、前記第１の方向に前記フローティング領域が設けられている周期は、前記境界領域以外の前記トランジスタ

部において、前記第１の方向に前記フローティング領域が設けられている周期と同一である

請求項１５に記載の半導体装置。

[請求項17] 前記第１のメサ部における前記非覆領域の面積は、前記第１のゲートトレンチ部以外の前記ゲートトレンチ部に接する前記メサ部において前記フローティング領域と重ならない領域の面積よりも大きい

請求項１から１６のいずれか一項に記載の半導体装置。

[請求項18] [追加]

前記複数のメサ部は、前記半導体基板の上面と、前記ドリフト領域との間に設けられた、第２導電型のベース領域を有し、

前記フローティング領域のドーピング濃度は、前記ベース領域のドーピング濃度よりも高い

請求項１から５または１３から１６のいずれか一項に記載の半導体装置。

[請求項19] [追加]

前記複数のトレンチ部は、前記第１のゲートトレンチ部に対して、前記第１のダミートレンチ部とは逆側に配置された第２のダミートレンチ部を含み、

前記第１のフローティング領域は、前記第２のダミートレンチ部の下端の下方までは延伸していない

請求項２に記載の半導体装置。

[請求項20] [追加]

前記第１の延伸領域は、前記フローティング領域と同一の深さ位置に設けられている

請求項１１に記載の半導体装置。

[請求項21] [追加]

前記第２の延伸領域は、前記フローティング領域と同一の深さ位置に設けられている

請求項１２に記載の半導体装置。

[請求項22] [追加]

前記複数のトレンチ部は、

前記第１のゲートトレンチ部に対して、前記第１のダミートレンチ部とは逆側に配置された第２のダミートレンチ部と、

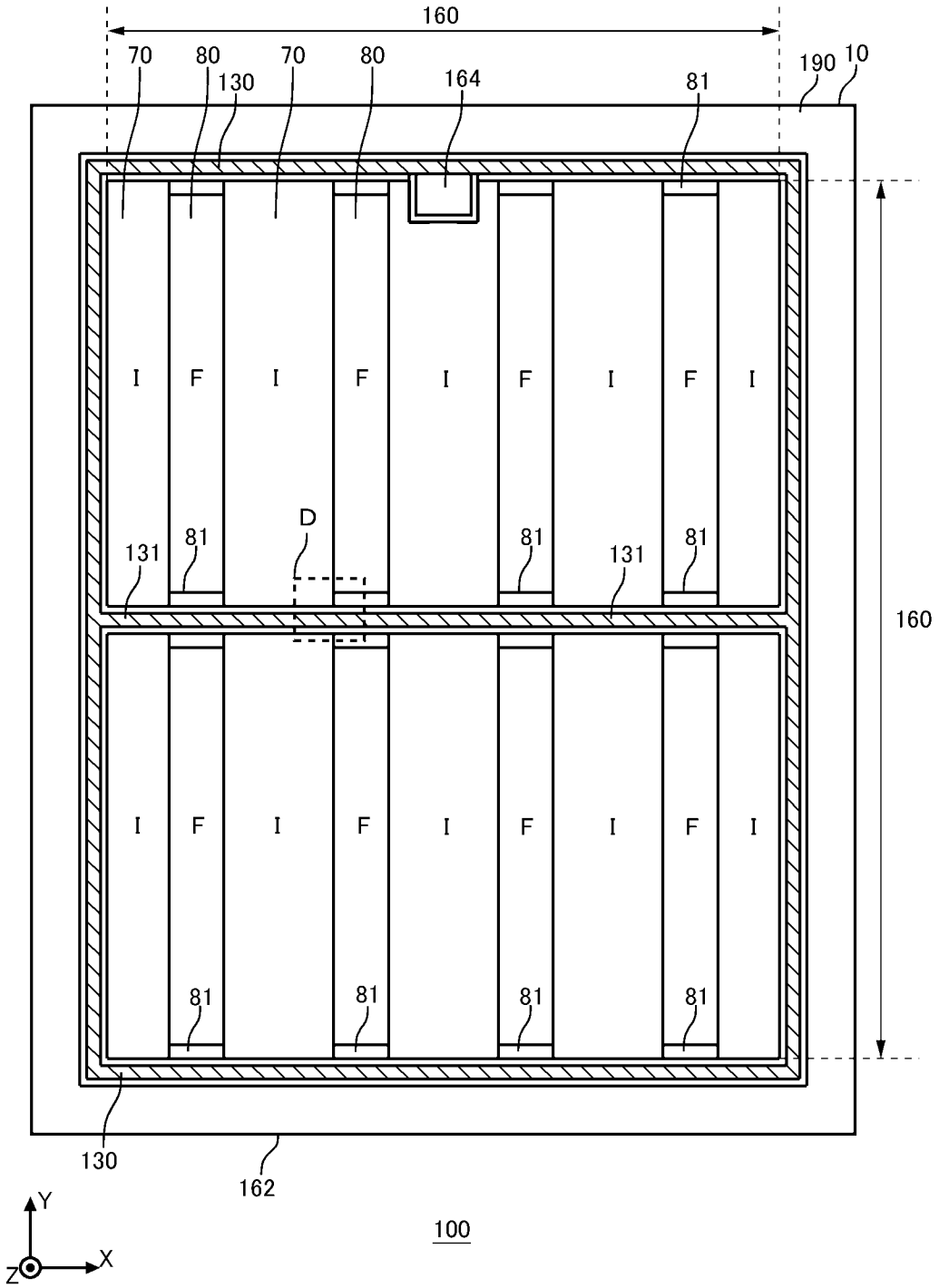
前記第２のダミートレンチ部に対して、前記第１のゲートトレンチ部とは逆側に配置された第３のダミートレンチ部と

を含み、

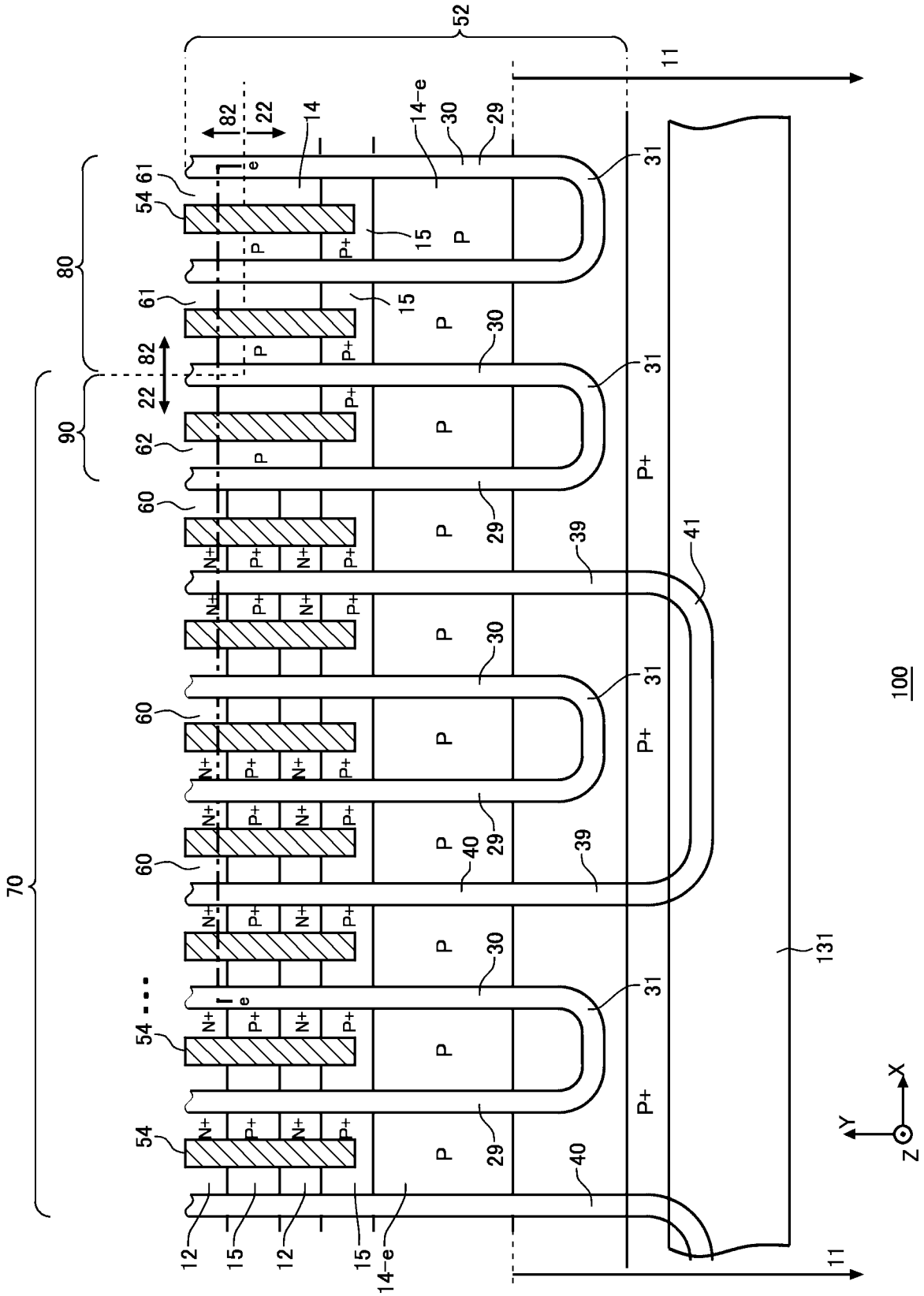
前記第１のフローティング領域は、上面視において、前記第２のダミートレンチ部と接しており、且つ、前記第３のダミートレンチ部とは接していない

請求項２に記載の半導体装置。

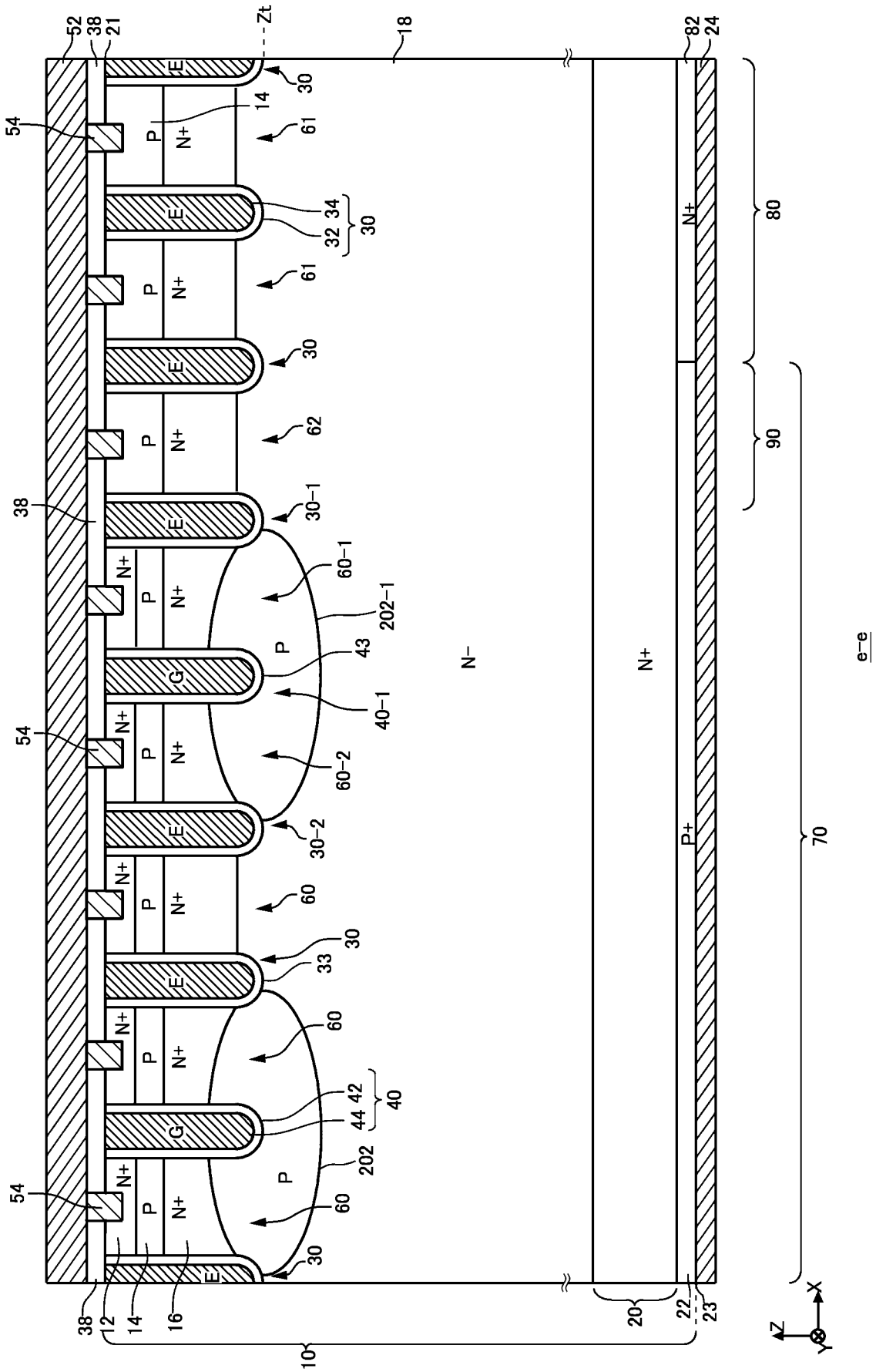
[図 1]


160
70
80
70
80
130
164
81
190
10
I
F
I
F
I
F
I
F
I
131
81
D
81
131
81
160
130
162
100
Y
X
Z

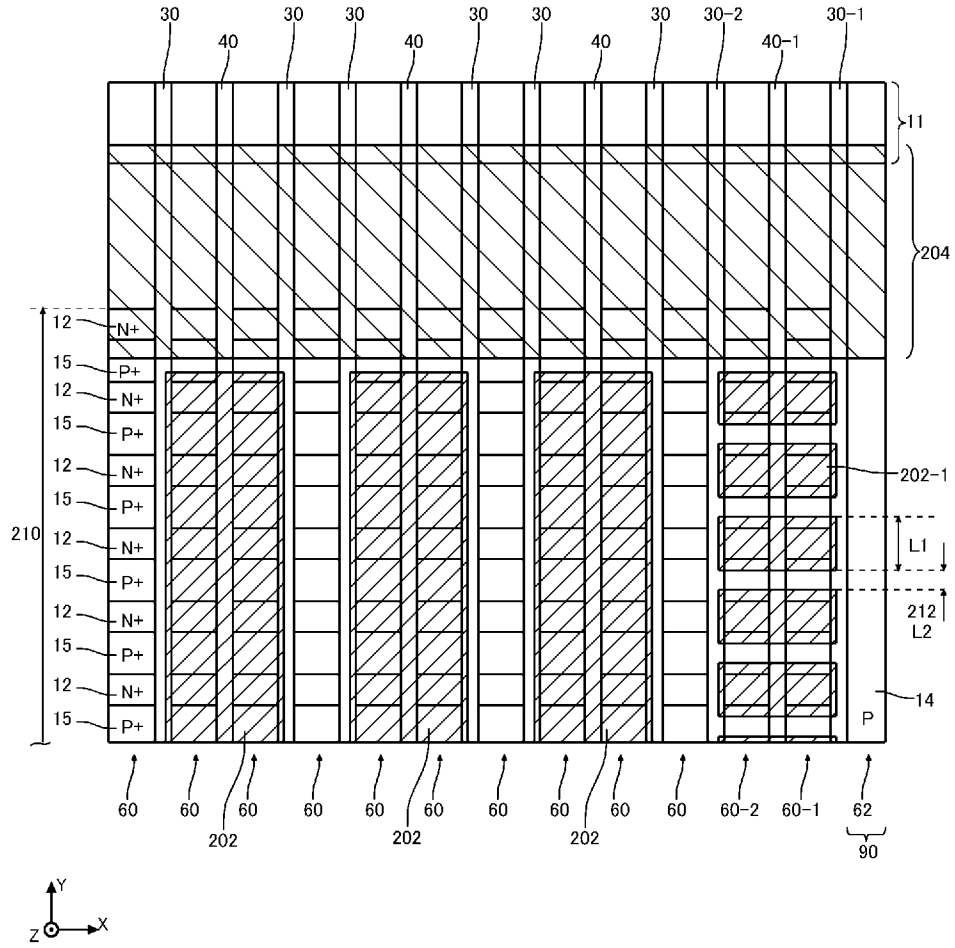
[図 2]


52
11
82
22
14
14-e
30
29
31
61
54
15
P
P+
80
90
62
60
N+
39
41
40
70
100
131
12
X
Y
Z

[図 3]

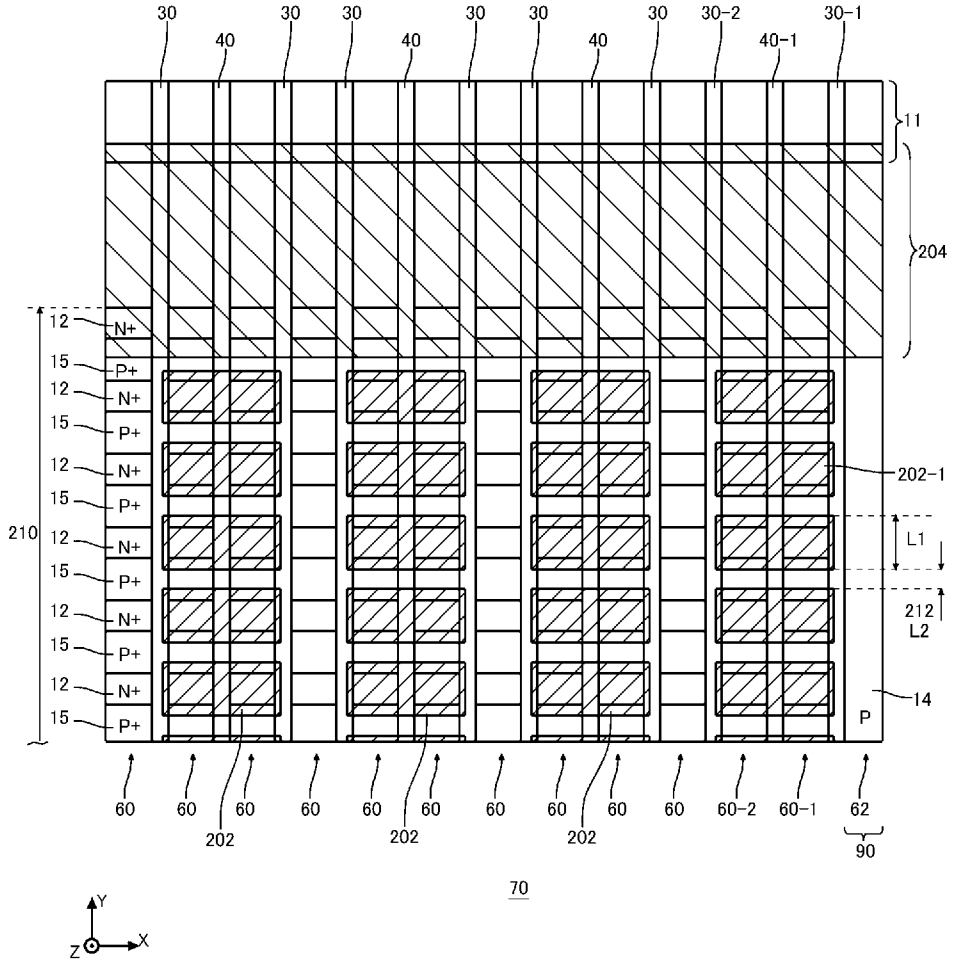

52
38
21
Zt
18
82
24
E
30
14
54
P
N+
61
34
32
80
62
30-1
60-1
202-1
43
G
40-1
60-2
30-2
60
33
42
40
44
202
N-
N+
P+
90
70
e-e
12
14
16
10
20
22
23
X
Z
Y

[図 4]

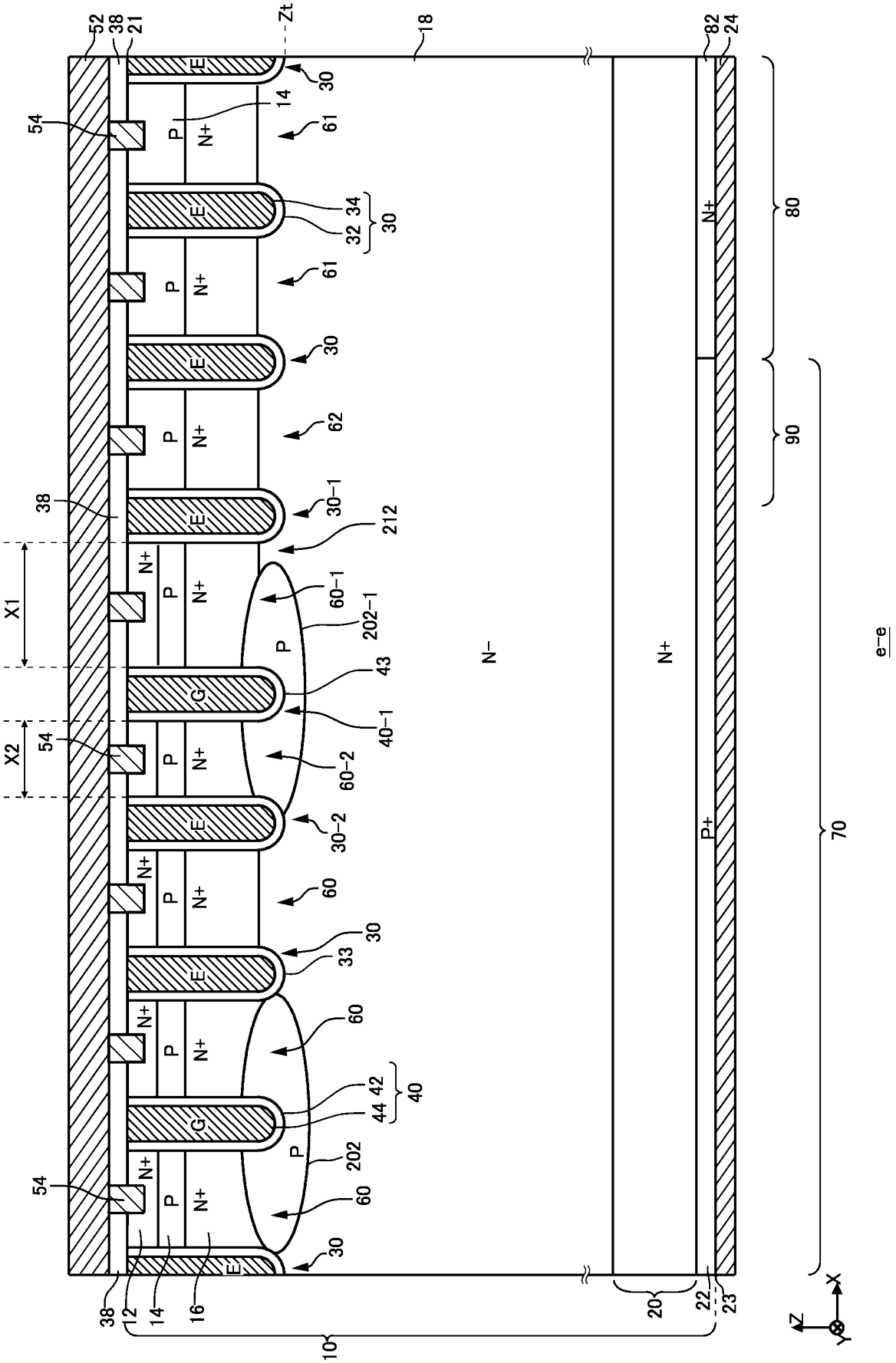

30
40
30
30
40
30
30
40
30
30-2
40-1
30-1
11
204
12
N+
15
P+
202-1
210
L1
212
L2
14
P
60
202
62
90
Y
Z
X

70

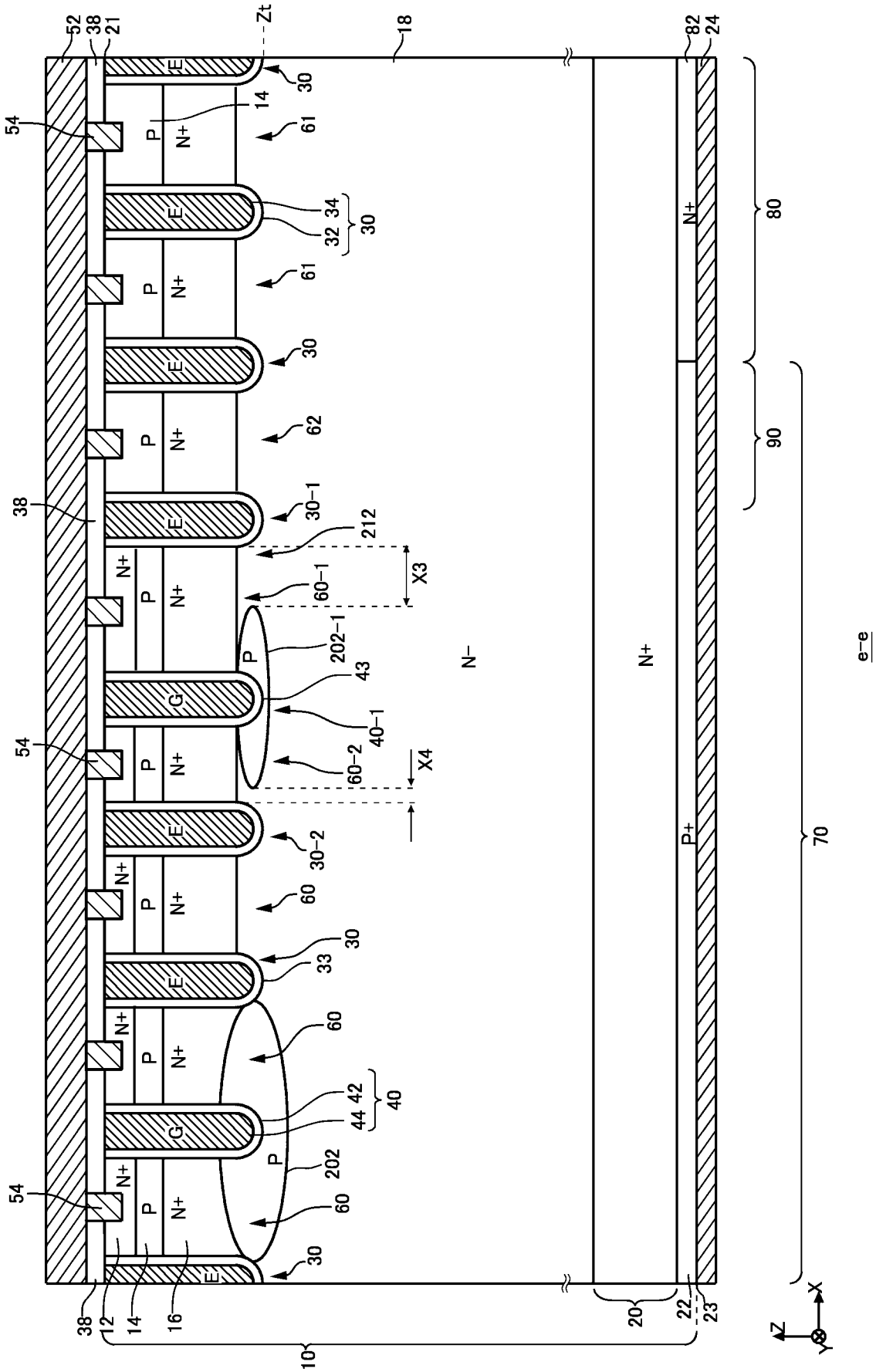
[図 5]


30
40
30-2
40-1
30-1
11
204
12
N+
15
P+
202-1
210
L1
212
L2
14
P
60
60-2
60-1
62
202
90
70
Y
X
Z

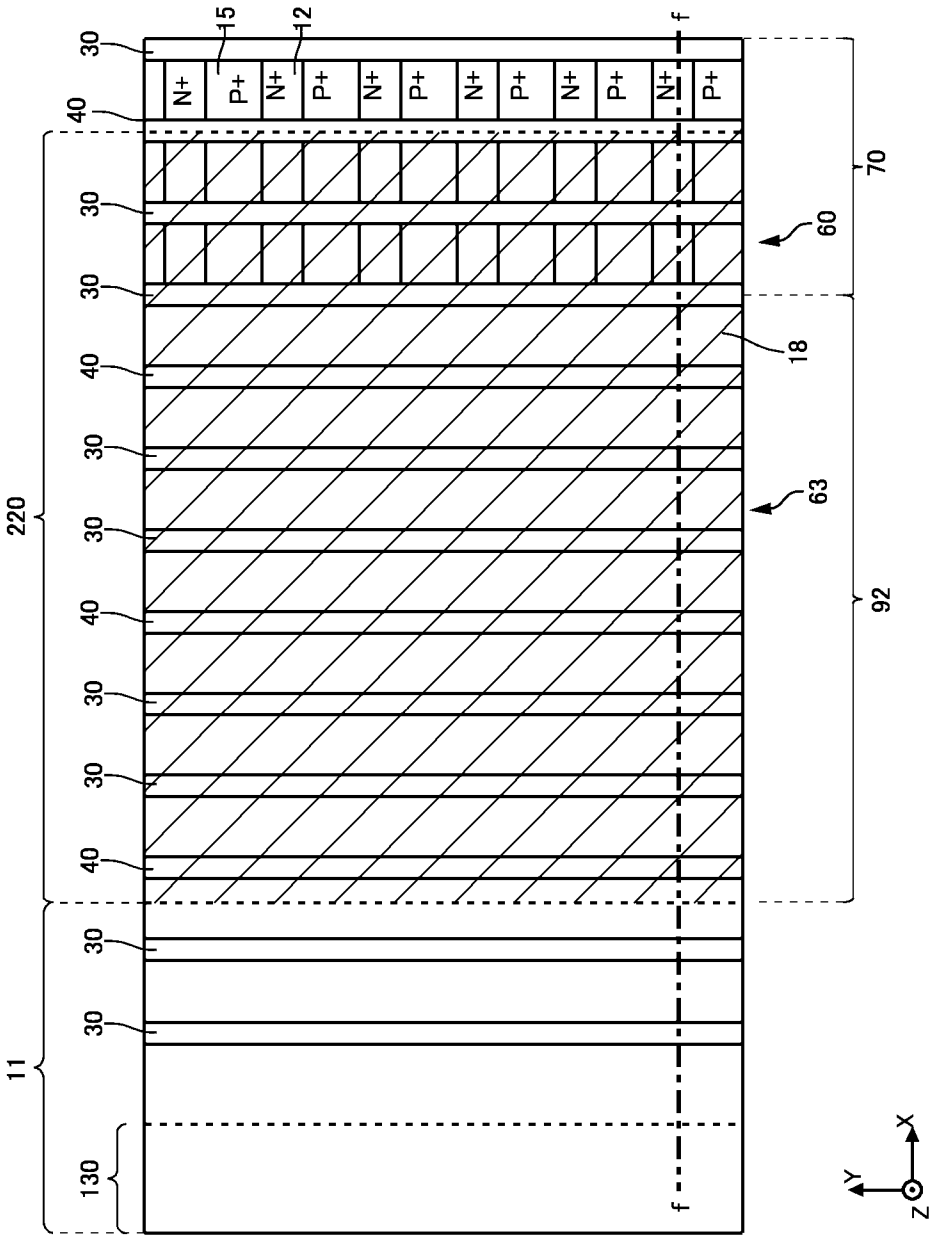
[図 6]


52
38
21
Zt
18
82
24
E
30
14
54
P
N+
61
34
32
80
90
70
62
30-1
212
60-1
202-1
43
40-1
60-2
30-2
60
33
42
40
44
202
X1
X2
N-
P+
e-e
12
16
10
20
22
23
X
Y
Z

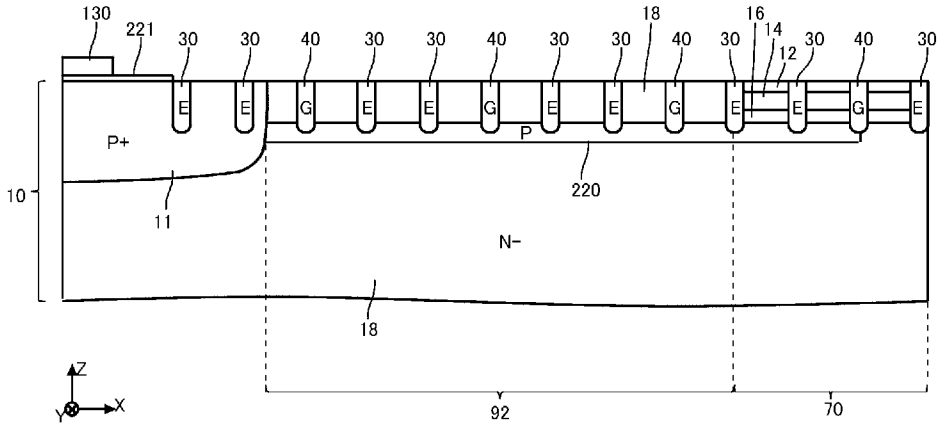
[図 7]


52
38
21
Zt
18
82
24
E
30
14
P
N+
61
54
34
32
30
80
90
62
30-1
212
X3
60-1
202-1
43
G
40-1
60-2
X4
30-2
60
33
42
44
40
202
N-
N+
P+
70
e-e
10
12
16
20
22
23
Z
X
Y

[図 8]

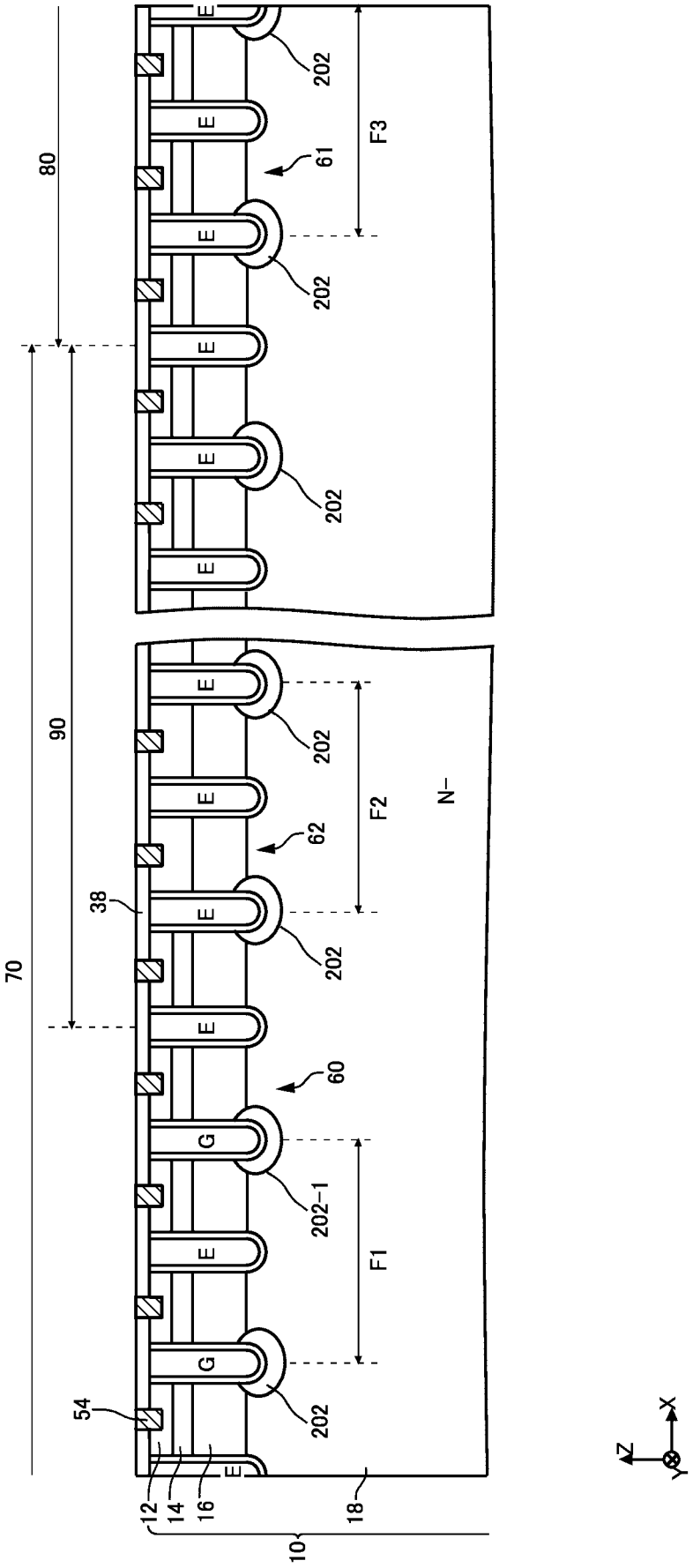


[図 9]

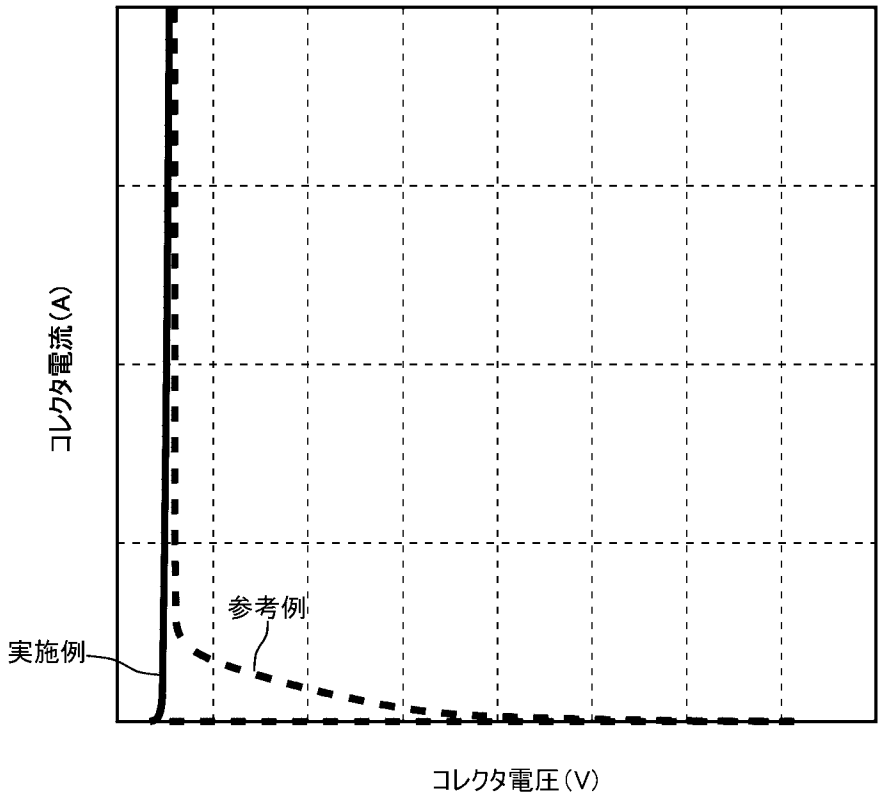

130
221
30
30
40
30
30
40
30
30
40
18
16
14
12
30
40
30
E
E
G
E
E
G
E
E
G
E
E
G
E
P+
P
10
11
220
N-
18
Z
Y
X
92
70

f–f

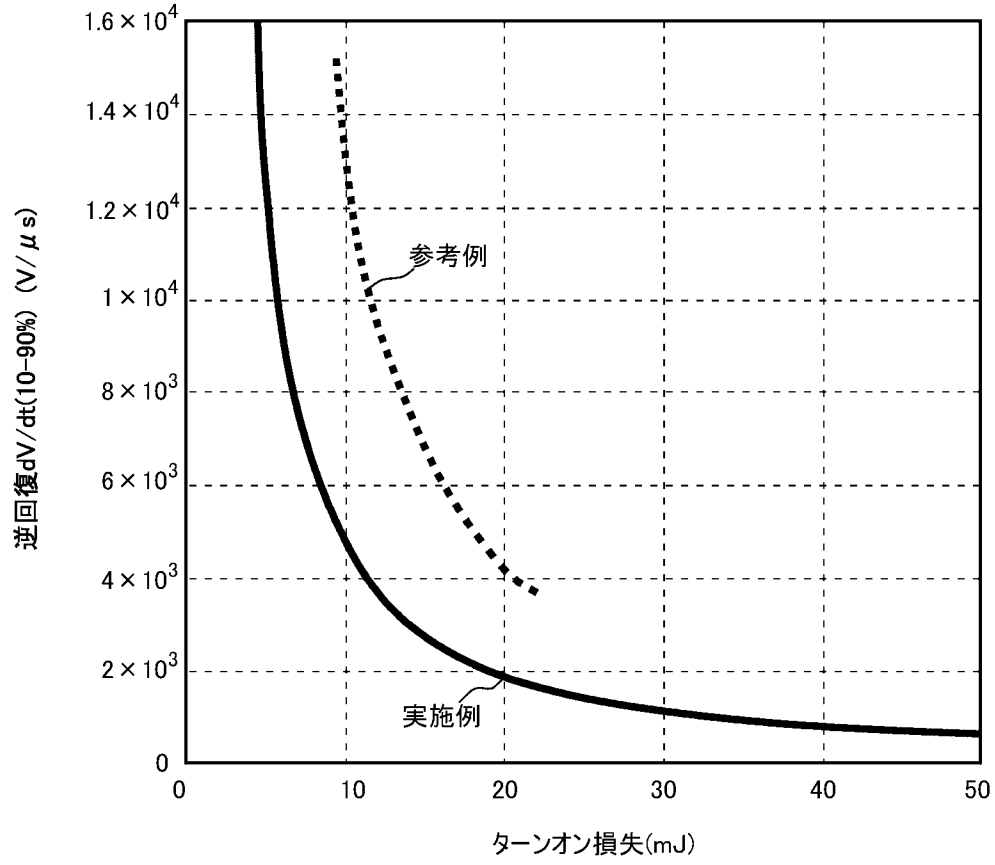
[図 10]



[図 11]


コレクタ電流(A)
参考例
実施例
コレクタ電圧(V)

[図 12]


1.6×10^4
1.4×10^4
1.2×10^4
1×10^4
8×10^3
6×10^3
4×10^3
2×10^3
0
逆回復dV/dt(10-90%) (V/μs)
参考例
実施例
0
10
20
30
40
50
ターンオン損失(mJ)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/024954

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 29/739***(2006.01)i; ***H01L 29/861***(2006.01)i; ***H01L 29/868***(2006.01)i

FI: H01L29/78 655G; H01L29/78 657D; H01L29/78 652Q; H01L29/78 652H; H01L29/78 652J; H01L29/78 652M; H01L29/78 655B; H01L29/78 655A; H01L29/78 653A; H01L29/78 657A; H01L29/78 657F; H01L29/91 C; H01L29/78 655F; H01L27/06 102A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/8234; H01L27/06; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2023/063411 A1 (FUJI ELECTRIC CO., LTD.) 20 April 2023 (2023-04-20) paragraphs [0044]-[0045], [0055], [0081], [0199]-[0201], [0203], [0210]-[0213], fig. 1-2, 35A, 39	1-5, 13-16
Y	paragraphs [0044]-[0045], [0055], [0081], [0199]-[0201], [0203], [0210]-[0213], fig. 1-2, 35A, 39	1-16
A	paragraphs [0044]-[0045], [0055], [0081], [0199]-[0201], [0203], [0210]-[0213], fig. 1-2, 35A, 39	17
X	WO 2022/239285 A1 (FUJI ELECTRIC CO., LTD.) 17 November 2022 (2022-11-17) paragraphs [0037]-[0038], [0048], [0081], [0094], [0096], [0112]-[0116], fig. 1, 2A, 2B, 3	1-12
Y	paragraphs [0037]-[0038], [0048], [0081], [0094], [0096], [0112]-[0116], fig. 1, 2A, 2B, 3	1-16
A	paragraphs [0037]-[0038], [0048], [0081], [0094], [0096], [0112]-[0116], fig. 1, 2A, 2B, 3	17

☑ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 September 2024	**17 September 2024**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/024954

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-021891 A (FUJI ELECTRIC CO., LTD.) 07 February 2019 (2019-02-07) fig. 1	1-17
A	JP 2014-170780 A (TOYOTA CENTRAL R&D LABS INC.) 18 September 2014 (2014-09-18) fig. 1-4	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/024954

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2023/063411 A1	20 April 2023	US 2024/0006520 A1 paragraphs [0072]-[0073], [0082], [0108], [0228]-[0230], [0232], [0239]-[0242], fig. 1-2, 35A, 39 CN 117099215 A	
WO 2022/239285 A1	17 November 2022	US 2023/0261095 A1 paragraphs [0039]-[0040], [0050], [0083], [0096], [0098], [0114]-[0118], fig. 1, 2A, 2B, 3 CN 116349006 A	
JP 2019-021891 A	07 February 2019	US 2019/0019861 A1 fig. 1 CN 109256417 A	
JP 2014-170780 A	18 September 2014	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2024/024954

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i
FI: H01L29/78 655G; H01L29/78 657D; H01L29/78 652Q; H01L29/78 652H; H01L29/78 652J; H01L29/78 652M; H01L29/78 655B; H01L29/78 655A; H01L29/78 653A; H01L29/78 657A; H01L29/78 657F; H01L29/91 C; H01L29/78 655F; H01L27/06 102A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L21/8234; H01L27/06; H01L29/739; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2023/063411 A1 (富士電機株式会社) 20.04.2023 (2023-04-20) 0044-0045,0055,0081,0199-0201,0203,0210-0213,図1-2,35A,39	1-5,13-16
Y	0044-0045,0055,0081,0199-0201,0203,0210-0213,図1-2,35A,39	1-16
A	0044-0045,0055,0081,0199-0201,0203,0210-0213,図1-2,35A,39	17
X	WO 2022/239285 A1 (富士電機株式会社) 17.11.2022 (2022-11-17) 段落0037-0038,0048,0081,0094,0096,0112-0116,図1,2A,2B,3	1-12
Y	段落0037-0038,0048,0081,0094,0096,0112-0116,図1,2A,2B,3	1-16
A	段落0037-0038,0048,0081,0094,0096,0112-0116,図1,2A,2B,3	17
A	JP 2019-021891 A (富士電機株式会社) 07.02.2019 (2019-02-07) 図1	1-17
A	JP 2014-170780 A (株式会社豊田中央研究所) 18.09.2014 (2014-09-18) 図1-4	1-17

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.09.2024	17.09.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

西村　治郎 5F 1164

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/024954

引用文献	公表日	パテントファミリー文献	公表日
WO 2023/063411 A1	20.04.2023	US 2024/0006520 A1 Paragraphs0072-0073,0082, 0108,0228-0230,0232, 0239-0242, Figs.1-2,35A, 39 CN 117099215 A	
WO 2022/239285 A1	17.11.2022	US 2023/0261095 A1 Paragraphs0039-0040,0050, 0083,0096,0098,0114-0118, Figs.1,2A,2B,3 CN 116349006 A	
JP 2019-021891 A	07.02.2019	US 2019/0019861 A1 Fig.1 CN 109256417 A	
JP 2014-170780 A	18.09.2014	（ファミリーなし）	