

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-523132  
(P2004-523132A)

(43) 公表日 平成16年7月29日(2004.7.29)

(51) Int. Cl. <sup>7</sup>	F I	テマコード (参考)
HO 1 L 21/768	HO 1 L 21/90	5 FO 3 3
HO 1 L 21/3205	HO 1 L 21/88	

審査請求 未請求 予備審査請求 有 (全 57 頁)

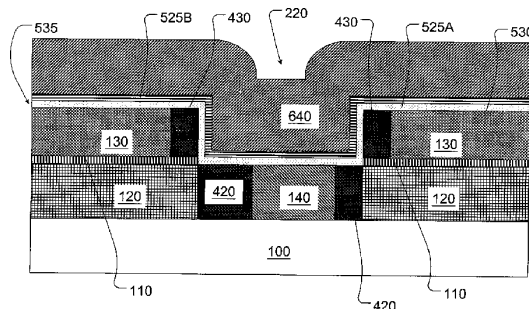
(21) 出願番号	特願2003-513034 (P2003-513034)	(71) 出願人	591016172 アドバンスト・マイクロ・デバイス・インコーポレイテッド ADVANCED MICRO DEVICES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サニペイル、ピー・オウ・ボックス・3453、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・68 (番地なし)
(86) (22) 出願日	平成14年6月12日 (2002.6.12)	(74) 代理人	100099324 弁理士 鈴木 正剛
(85) 翻訳文提出日	平成16年1月9日 (2004.1.9)	(74) 代理人	100111615 弁理士 佐野 良太
(86) 国際出願番号	PCT/US2002/018842		
(87) 国際公開番号	W02003/007367		
(87) 国際公開日	平成15年1月23日 (2003.1.23)		
(31) 優先権主張番号	09/902, 024		
(32) 優先日	平成13年7月10日 (2001.7.10)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 イオン打ち込みによってサイドウォールの密度を局所的に高くする方法

(57) 【要約】

第1導電構造体(140)を形成する処理と、前記第1導電構造体(140)の上に第1絶縁層(130)を形成する処理を含む方法を提供する。この方法は、さらに前記第1導電構造体の少なくとも一部の上の前記第1絶縁層に側壁部(440)を有する第1開口部(220)を形成する処理、およびこの側壁部の密度を高める処理を含む。



## 【特許請求の範囲】

## 【請求項 1】

以下の処理を含む方法。

第 1 導電構造体 ( 1 4 0 ) を形成する処理、

前記第 1 導電構造体 ( 1 4 0 ) の上に第 1 絶縁層 ( 1 3 0 ) を形成する処理、

前記第 1 絶縁層 ( 1 3 0 ) において、前記第 1 導電構造体 ( 1 4 0 ) の少なくとも一部の上  
に、側壁部 ( 4 4 0 ) を持つ第 1 開口部 ( 2 2 0 ) を形成する処理、

前記側壁部 ( 4 4 0 ) を高密度化する処理。

## 【請求項 2】

前記開口部 ( 2 2 0 ) に、前記第 1 導電構造体 ( 1 4 0 ) の少なくとも一部に接触する金  
属構造体を形成する処理、

前記第 1 導電構造体 ( 1 4 0 ) に対して前記金属構造体をアニーリングして、相互接続を  
形成する処理、をさらに含む請求項 1 記載の方法。

## 【請求項 3】

前記第 1 絶縁層を形成する処理は、誘電率が最大でおおよそ 4 である低誘電率 ( Low-K )  
の誘電体材料を用いて前記絶縁層を形成する処理、化学気相成長 ( C V D ) プロセス、低  
圧 C V D ( L P C V D ) プロセス、プラズマ・エンハンスド C V D ( P E C V D ) プロセ  
ス、スパッタリングプロセス、物理気相成長 ( P V D ) プロセスおよびスピン・オン・コ  
ーティングプロセスのうちのいずれか 1 つを用いて第 2 絶縁層を形成する処理、を含む請  
求項 2 記載の方法。

20

## 【請求項 4】

前記側壁部を高密度化する処理は、シリコン、二酸化シリコンおよびゲルマニウムのうち  
の少なくとも 1 つを前記側壁部に打ち込む処理を含む、請求項 1 記載の方法。

## 【請求項 5】

以下の処理を含む方法。

構造体層の上に第 1 絶縁層 ( 1 3 0 ) を形成する処理、

前記第 1 絶縁層 ( 1 3 0 ) に第 1 開口部 ( 2 2 0 ) を形成する処理、

前記第 1 絶縁層 ( 1 3 0 ) の上および前記第 1 開口部 ( 2 2 0 ) のなかに第 1 銅層 ( 6 4  
0 ) を形成する処理、

前記第 1 絶縁層 ( 1 3 0 ) 上の第 1 銅層 ( 6 4 0 ) の一部を除去し、前記第 1 開口部 ( 2  
2 0 ) のなかに銅の構造体を残すことによって、銅の構造体を形成する処理、

30

前記第 1 絶縁層 ( 1 3 0 ) の上、および前記銅の構造体の上に、第 2 絶縁層 ( 9 2 5 ) を  
形成する処理、

前記第 2 絶縁層 ( 9 2 5 ) において、前記銅の構造体の少なくとも一部の上に、側壁部を  
持つ第 2 開口部を形成する処理、

前記第 2 開口部の前記側壁部を高密度化する処理。

## 【請求項 6】

前記第 2 絶縁層 ( 9 2 5 ) の上および前記第 2 開口部のなかに、前記銅の構造体の少なく  
とも一部の上に配置される第 2 銅層を形成する処理、

前記第 2 絶縁層 ( 9 2 5 ) 上の第 2 銅層の一部を除去し、前記第 2 開口部のなかに銅の相  
互接続を残すことによって、銅の相互接続を形成する処理、

40

前記銅の相互接続をアニーリングする処理をさらに含む、請求項 5 記載の方法。

## 【請求項 7】

前記第 2 絶縁層 ( 9 2 5 ) を平坦化する処理をさらに含み、前記第 2 絶縁層 ( 9 2 5 ) を  
形成する処理は、誘電率が最大でおおよそ 4 である低誘電率 ( Low-K ) の誘電体材料を用  
いて前記第 2 絶縁層を形成する処理を含む、請求項 6 記載の方法。

## 【請求項 8】

前記第 1 絶縁層 ( 1 3 0 ) を形成する処理は、誘電率が最大でおおよそ 4 である低誘電率  
( Low-K ) の誘電体材料を用いて前記第 1 絶縁層 ( 1 3 0 ) を形成する処理、化学気相成  
長 ( C V D ) プロセス、低圧 C V D ( L P C V D ) プロセス、プラズマ・エンハンスド C

50

V D ( P E C V D ) プロセス、スパッタリングプロセス、物理気相成長 ( P V D ) プロセスおよびスピン・オン・コーティングプロセスのうちのいずれか 1 つを用いて前記第 1 絶縁層を形成する処理、を含む請求項 5 記載の方法。

【請求項 9】

前記第 2 開口部の前記側壁部を高密度化する処理は、シリコン、二酸化シリコンおよびゲルマニウムのうちの少なくとも 1 つを前記第 2 開口部の前記側壁部に打ち込む処理を含む、請求項 5 記載の方法。

【請求項 10】

以下の処理を含む方法。

構造体層の上に第 1 絶縁層 ( 1 3 0 ) を形成する処理、

10

前記第 1 絶縁層 ( 1 3 0 ) に第 1 開口部 ( 2 2 0 ) を形成する処理、

前記第 1 開口部のなかに銅のビアを形成する処理、

前記第 1 絶縁層 ( 1 3 0 ) 上、および前記銅のビアの上に、第 2 絶縁層 ( 9 2 5 ) を形成する処理、

前記第 2 絶縁層 ( 9 2 5 ) において、前記銅のビアの少なくとも一部の上に、側壁部を持つ第 2 開口部を形成する処理、

前記第 2 開口部の前記側壁部を高密度化する処理。

【請求項 11】

前記第 2 開口部のなかに、前記銅のビアの少なくとも一部の上に配置される銅のラインを形成する処理、

20

前記銅のラインを前記銅のビアに対してアニーリングして銅の相互接続を形成する処理をさらに含む、請求項 10 記載の方法。

【請求項 12】

前記第 1 絶縁層 ( 1 3 0 ) を形成する処理は、誘電率が最大でおおよそ 4 である低誘電率 ( Low-K ) の誘電体材料を用いて前記第 1 絶縁層 ( 1 3 0 ) を形成する処理、化学気相成長 ( C V D ) プロセス、低圧 C V D ( L P C V D ) プロセス、プラズマ・エンハンスド C V D ( P E C V D ) プロセス、スパッタリングプロセス、物理気相成長 ( P V D ) プロセスおよびスピン・オン・コーティングプロセスのうちのいずれか 1 つを用いて前記第 1 絶縁層を形成する処理、を含む請求項 10 記載の方法。

【請求項 13】

30

前記第 2 開口部の前記側壁部を高密度化する処理は、シリコン、二酸化シリコンおよびゲルマニウムのうちの少なくとも 1 つを前記第 2 開口部の前記側壁部に打ち込む処理を含む、請求項 10 記載の方法。

【請求項 14】

以下の処理を含む銅の相互接続を形成する方法。

構造体層の上に第 1 絶縁層 ( 1 3 0 ) を形成する処理、

前記第 1 絶縁層に第 1 開口部 ( 2 2 0 ) を形成する処理、

前記第 1 絶縁層 ( 1 3 0 ) の上および前記第 1 開口部 ( 2 2 0 ) のなかに第 1 銅層 ( 6 4 0 ) を形成する処理、

40

前記第 1 絶縁層 ( 1 3 0 ) 上の第 1 銅層 ( 6 4 0 ) の一部を除去し、前記第 1 開口部 ( 2 2 0 ) のなかに銅のビアを残すことによって、銅のビアを形成する処理、

前記第 1 絶縁層 ( 1 3 0 ) 上、および前記銅のビアの上に、第 2 絶縁層 ( 9 2 5 ) を形成する処理、

前記第 2 絶縁層 ( 9 2 5 ) において、前記銅のビアの少なくとも一部の上に、側壁部を持つ第 2 開口部を形成する処理、

前記第 2 開口部の前記側壁部を高密度化する処理。

【請求項 15】

前記第 2 絶縁層の上および前記第 2 開口部のなかに、前記銅のビアの少なくとも一部の上に配置される第 2 銅層を形成する処理、

前記第 2 絶縁層上の前記第 2 銅層の一部を除去し、前記第 2 開口部のなかに銅の相互接続

50

を残すことによって、銅の相互接続を形成する処理、  
前記銅の相互接続をアニーリングする処理をさらに含む、請求項 1 4 記載の方法。

【請求項 1 6】

前記第 2 絶縁層 ( 9 2 5 ) を平坦化する処理をさらに含み、前記第 2 絶縁層 ( 9 2 5 ) を形成する処理は、誘電率が最大でおおよそ 4 である低誘電率 ( Low-K ) の誘電体材料を用いて前記第 2 絶縁層を形成する処理を含む、請求項 1 5 記載の方法。

【請求項 1 7】

前記第 1 絶縁層 ( 1 3 0 ) を形成する処理は、誘電率が最大でおおよそ 4 である低誘電率 ( Low-K ) の誘電体材料を用いて前記第 1 絶縁層 ( 1 3 0 ) を形成する処理、化学気相成長 ( C V D ) プロセス、低圧 C V D ( L P C V D ) プロセス、プラズマ・エンハンスド C V D ( P E C V D ) プロセス、スパッタリングプロセス、物理気相成長 ( P V D ) プロセスおよびスピン・オン・コーティングプロセスのうちのいずれか 1 つを用いて前記第 1 絶縁層 ( 1 3 0 ) を形成する処理、を含む請求項 1 4 記載の方法。

10

【請求項 1 8】

前記第 2 開口部の前記側壁部を高密度化する処理は、シリコン、二酸化シリコンおよびゲルマニウムのうちの少なくとも 1 つを前記第 2 開口部の前記側壁部に打ち込む処理を含む、請求項 1 4 記載の方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は一般に半導体の製造技術に関し、さらに詳細にはコンタクト用開口部またはビア ( via ) を銅で充填し、銅の相互接続または配線を形成する技術に関する。

20

【背景技術】

【 0 0 0 2 】

半導体業界には、マイクロプロセッサ、メモリ装置、または同様の半導体集積回路の動作スピードを上昇させるようとする要求が常に存在する。この要求は、ますます高い速度で動作するコンピュータおよび電子機器を求める消費者の要求によって煽られている。もっと高い速度を求めるこの要求により、トランジスタなどの半導体デバイスの寸法は段々と小さくなってきている。つまり、典型的な電界効果トランジスタ ( FET ) などの構成要素、例えばチャンネル長、接合深さ、ゲート絶縁膜の厚みなどが縮小されている。例えば、その

30

他のすべての要素が同じであるとして、FETのチャンネル長を小さくすればするほど、トランジスタはより速く動作する。従って、典型的なトランジスタの構成要素である大きさまたは寸法を縮小してトランジスタの全体としての速度を上げ、それと同時にそのようなトランジスタを含む集積回路装置の速度をより速くしようとする要求が常に存在する。

さらに、典型的なトランジスタの構成要素である大きさまたは寸法を縮小することにより、与えられたウェハ面積上に製造できるトランジスタの密度を高くし、トランジスタの数を増やすことができ、トランジスタ当たりの全体コストを引き下げるとともに、そのようなトランジスタを含む集積回路装置のコストを引き下げることになる。

【 0 0 0 3 】

しかしながら、典型的なトランジスタの構成要素である大きさまたは寸法を縮小すると、  
N+ ( P+ ) ソース・ドレイン領域およびドーパされた多結晶シリコン ( ドープされたポリシリコンまたはドーパされたポリ ) のゲート電極などの能動領域に接続される電氣的相互接続の寸法および断面積をも縮小する必要がある。電氣的相互接続の寸法および断面積が小さくなるにつれ、抵抗値が大きくなり、エレクトロマイグレーションも増える。抵抗値およびエレクトロマイグレーションの増加は多くの理由から望ましいことではない。例えば、抵抗値が増えるとデバイスの駆動電流、およびデバイスを流れるソース・ドレイン電流を減少させる。また、トランジスタの動作および全体のスピードにも悪い影響を与える可能性がある。さらに、アルミニウム ( Al ) 相互接続におけるエレクトロマイグレーション効果、すなわち電流がアルミニウム原子をその流れといっしょに実際に運搬して電氣流動を生じさせる現象、によってアルミニウムの相互接続に劣化が生じ、さらに抵抗値を

40

50

増大させ、ついにはアルミニウムの相互接続を切断および/または剥離を生じさせる可能性がある。

#### 【0004】

半導体回路のための理想的な相互接続導体は、安価で、パターン化が容易であり、抵抗値が低く、腐食、エレクトロマイグレーションおよび応力（ストレス）マイグレーションに対して高い耐性を持つものである。アルミニウムは、現代の半導体製造プロセスにおいて相互接続として最もよく使われている。その理由は、第1にアルミニウムが安価であり、銅（Cu）などよりも容易にエッチングできるからである。しかしながら、アルミニウムはエレクトロマイグレーション耐性が悪く、応力マイグレーションに対してもとても敏感であるので、一般に他の金属とアルミニウムとを合金化して使用する。

10

上述のように、半導体装置の寸法が縮小し、クロック速度が上昇するにつれ、金属配線の抵抗値を小さくすることがますます望ましくなっている。アルミニウムを相互接続として使用することにおいてもっとも大きく妥協しなくてはならないところは、その伝導度である。それは、より低い抵抗値を有する三つの金属、すなわち銀（Ag、摂氏20度における抵抗値 $1.59 \times 10^{-6}$  ohm-cm）、銅（Cu、摂氏20度における抵抗値 $1.73 \times 10^{-6}$  ohm-cm）および金（Au、摂氏20度における抵抗値 $2.44 \times 10^{-6}$  ohm-cm）は、アルミニウム（摂氏20度における抵抗値 $2.824 \times 10^{-6}$  ohm-cm）と比べてその他の重要な基準を満たしていないからである。例えば、銀は、比較的高価であり、容易に腐食する。金は非常に高価で、かつエッチングが困難である。銅は、銀とおおよそ同等の抵抗値を持ち、エレクトロマイグレーションとは無縁であり、高い延性（半導体チップの中における非類似の材料間の膨張率の違いによって生じる機械応力に対する高い耐性をもたらす）を持ち、さらに高融点（銅は摂氏1083度なのに対し、アルミニウムは摂氏659度）である。これらの特性は、ほとんどの基準を見事に満たしている。ただし、銅（Cu）は半導体の環境においてはエッチングするのが困難であるという問題がある。銅をエッチングするのは困難であるので、ビアや金属配線を形成するためには異なる手法を用いる必要がある。配線およびビアのためのトレンチのような開口部を絶縁体中にエッチングして、埋め込み金属パターンを形成するダマシン技術（シングル、デュアル）が、0.25ミクロン以下（サブ0.25 $\mu$ ）の設計ルールの銅配線回路を製造するための技術としてはトップランナーである。

20

#### 【0005】

しかしながら、高い集積度のデバイスに低抵抗、高伝導度の銅配線をもちいた場合、銅配線同士の距離が小さくなって、銅配線間のキャパシタンスの増大につながる可能性がある。銅配線間のキャパシタンスが大きくなると、RC時間遅延が増え、半導体デバイス回路の過渡減衰時間が長くなって、半導体デバイス全体の動作速度を減少させることになる。銅配線間のキャパシタンスが大きくなるという問題点に対する従来の解決方法のひとつは、K（誘電率）がおおよそ4よりも小さい「低誘電率」または「Low-K」誘電体材料を層間絶縁膜（ILD）として用いることであり、層間絶縁膜中に銅配線がダマシン技術によって形成される。しかしながら、Low-K誘電体材料はダマシン技術との組み合わせで使用するのが困難な材料である。例えば、Low-K誘電体材料はダマシン技術において用いられるエッチングおよびそれに続く処理工程において、損傷を受け、脆くなりやすい。特に、Low-K誘電体材料に形成されるトレンチおよび/ビアまたは開口部の側壁部（サイドウォール）は特に弱く、これは少なくとも部分的にはLow-K誘電体材料の低い密度に起因するものである。

30

40

本発明は上述の問題点の一つ以上を解決する、またはそのような問題点の効果を低減することを目的とする。

#### 【発明の開示】

#### 【発明の概要】

#### 【0006】

本発明の一態様において、第1導電構造体を形成する処理と、前記第1導電構造体の上に第1絶縁層を形成する処理とを含む方法を提供する。この方法は、さらに前記第1導電構造体の少なくとも一部の上の前記第1絶縁層に側壁部（サイドウォール）を有する第1開口

50

部を形成する処理、この側壁部の密度を高める処理を含む。

本発明のその他の態様において、第1導電構造体と、前記第1導電構造体の上の第1絶縁層を有する装置が提供される。この装置は、さらに前記第1導電構造体の少なくとも一部の上の前記第1絶縁層に密度を高めた、つまり高密度化された側壁部(サイドウォール)を有する第1開口部を含む。

【発明を実施するための最良の形態】

【0007】

本発明は、添付の図面を参照して、以下の説明を参照することにより理解することができる。各参照符号の一番左の数字はその参照符号が最初に現れる図面の番号を示している。本発明は、様々な変更を加えたり、または代替の形態を取ることが容易なものであるが、特定の実施形態を一例として図面に示し、詳細に説明する。もっとも、この特定の実施形態についての説明は本発明はここに開示された特定の形態に限定しようとするものではなく、むしろその反対に本発明は、添付の特許請求の範囲に定義された発明の精神および範囲に入る、すべての変形例、均等物、代替物を含むものであることは理解されるべきである。

10

【0008】

本発明のいくつかの実施形態について以下説明する。説明を分かり易くするために、本明細書では、実施物の具体的な特徴のすべてを説明することはしない。そのような実施物の開発においては、開発における特定の目標(それはシステムに関連する制約やビジネスに関連する制約に従って、実施物に応じて異なる)を達成するために、実施過程において様々な決定が必要であるであることが容易にわかるであろう。さらに、そのような開発に関する努力は複雑で、時間がかかるものであるが、それにもかかわらず、そのような努力は本開示による利益を得た当業者にとっては決まりきった作業であることが理解されるであろう。

20

【0009】

本発明の半導体装置の製造方法の実施形態が図1乃至20に示される。図面において、半導体装置の様々な領域、構造が非常に緻密な、はっきりした輪郭および外形を持つものとして示されているが、当業者であれば、これらの領域および構造は実際には図面に示されているほどには正確でないことが理解されるだろう。それにもかかわらず、添付の図面は本発明の実施例を説明するものとして提供されている。

30

【0010】

一般的には、本発明は半導体装置を製造する技術に関するものである。本明細書を読破した当業者にとっては、本発明の方法はN MOS, P MOS, C MOSなどの様々な技術に適用可能であり、またロジックデバイス、メモリデバイスなど(もっともこれらに限定されるものではない)を含む様々な装置に容易に適用可能であることが理解できる。

【0011】

図1に示されているように、第1絶縁層120および第1導電構造体140(例えば、銅の金属間(層間)ビア接続)を、半導体基板のような構造体100の上に形成することができる。しかしながら、本発明は例えばシリコンウェハのような半導体基板の表面上に銅ベースの相互接続を形成することに限定されるものではない。むしろ、本明細書を読破した当業者であれば、例えばトランジスタや、他の同様の構造である、前もって形成された半導体装置および/またはプロセス層の上に本発明に従った銅ベースの相互接続が形成可能であることが明白に理解できるであろう。実際上、本発明は、すでに形成されたプロセス層の上部にプロセス層を形成するのに用いることができる。構造体100は例えばシリコン基板またはウェハのような半導体材料の下部層であってもよく、または半導体装置の下部層(例えば、図10を参照)、例えば酸化金属半導体電界効果トランジスタ(MOSFET)などの層、および/または1または2以上の金属相互接続層(例えば、図9参照)および/または1または2以上の層間絶縁膜(ILD)などであってもよい。

40

【0012】

シングル・ダマシンの銅プロセスフローにおいて、本発明の様々な実施形態に従い、図1

50

乃至 8 に示されるように、第 1 導電構造体 140 に近接して、構造体 100 の上に第 1 絶縁層 120 が形成される。エッチストップ層 110 (典型的には、窒化シリコン、 $\text{Si}_3\text{N}_4$  または  $\text{SiN}$ ) が、構造体 100 の上に形成された第 1 絶縁層 120 の上に、第 1 導電構造体 140 に近接して形成される。第 2 絶縁層 130 がエッチストップ層 110 の上に形成される。パターン化されたフォトマスク 150 が第 2 絶縁層 130 の上に形成される。必要に応じて、第 2 絶縁層 130 を化学機械平坦化 (CMP) プロセスを用いて平坦化することができる。第 2 絶縁層 130 は、その上に形成され、パターン化されるハードマスク層 160 (典型的には、 $\text{SiN}$ ) を、第 2 絶縁層 130 とパターン化されたフォトマスク 150 の間に有している。ハードマスク層 160 は、例えばパターン化されたフォトマスク 150 を用いてパターン化することができる。

10

## 【0013】

第 1 絶縁層 120 および第 2 絶縁層 130 は、様々な「低誘電率」または「Low-K」(K がおよそ 4 以下) 誘電体材料によって形成可能である。Low-K の第 1 絶縁膜 120 および第 2 絶縁層 130 は、そのような層を形成するための様々な既知の技術、例えば化学気相成長 (CVD) 法、低圧 CVD (LPCVD) 法、プラズマエンハンスド CVD (PECVD) 法、スパッタリング法、物理気相成長 (PVD) 法、スピン・オン・コーティング法 (例えば、スピン・オン・グラス法) などによって形成可能であり、それぞれ例えば、およそ 100 から 500 nm (1000 から 5000 オングストローム) の厚みを有する。

## 【0014】

Low-K の第 1 絶縁層 120 および第 2 絶縁層 130 は、K がおよそ 4 以下であるような、様々な Low-K 誘電体材料から形成可能である。そのような材料の例としては、Applied Materials 社の Black Diamond (商標)、Novellus 社の Coral (商標)、Allied Signal 社の Nanoglass (商標)、JSR 社の LKD5104 等が挙げられる。一実施形態としては、Low-K の第 1 絶縁層 120 および第 2 絶縁膜 130 は、それぞれ Applied Materials 社の Black Diamond (商標) を含み、それぞれおよそ 5000 オングストロームの厚みを有し、それぞれ PECVD 法によるブランケット蒸着によって形成される。

20

## 【0015】

図 2 に示されるように、続いてメタライゼーションのパターンがパターン化されたフォトマスク 150、エッチストップ層 110、ハードマスク層 160 (図 1、2) およびフォトリソグラフィ技術を用いて形成される。例えば、導電金属配線、コンタクト・ホール、ビア・ホールなどのための開口部 (例えば、第 1 導電構造体 140 の少なくとも一部の上に形成される開口部またはトレンチ 220) が第 2 絶縁層 130 内までエッチングされる (図 2)。開口部 220 は様々な既知の異方性エッチング技術を用いて形成される。異方性エッチング技術の例としては、臭化水素 (HBr) およびアルゴン (Ar) をエッチングガスとして用いる反応性イオンエッチング (RIE) プロセスがある。また、 $\text{CHF}_3$  と Ar をエッチングガスとした RIE プロセスを用いることも可能である。様々な実施形態において、プラズマエッチングを用いることも可能である。エッチングはエッチストップ層 110 で停止する。

30

## 【0016】

図 3 に示されるように、パターン化されたフォトマスク 150 は、例えば制御されたフォトリソトリミング技術を用いてトリミングされ、トリミングされたフォトマスク 350 を形成する。パターン化されたフォトマスク 150 は、例えば酸素分子 ( $\text{O}_2$ ) アッシング (灰化) 技術を用いてアッシングによりトリミング (刈り込まれる) される。アッシングによって、パターン化されたフォトマスク 150 のおよそ 10 乃至 50 nm (100 乃至 500 オングストローム) がトリミングされる。

40

## 【0017】

図 4 に示されるように、高密度化のためのインプラント 400 (矢印で示される) が Low-K の第 1 絶縁層 120 および Low-K の第 2 絶縁層 130 に打ち込まれて、Low-K の第 1 絶縁層 120 および Low-K の第 2 絶縁層 130 の中、開口部 220 の近傍に、それぞれ密度が高

50

くなった領域 420 と 430 を形成する。Low-K の第 1 絶縁層 120 中の密度が高くなった領域 420 は、もし第 1 導電構造体 140 が開口部 220 の真中に位置しているのであれば、もちろん対称となる。高密度化のためのインプラント 400 は開口部 220 の側壁部 440 および底部 450 の密度をおおよそ 5 乃至 50% 高くする。これによって、開口部 220 の側壁部 440 および底部 450 を補強する。様々な実施形態において、密度が高くなった領域 420 および 430 は、シリコン (Si)、二酸化シリコン ( $\text{SiO}_2$ )、ゲルマニウム (Ge) などの高密度化ドーズ (densification dose) を打ち込むことによって形成することができる。高密度化インプラント 400 の高密度化ドーズはおおよそ  $5.0 \times 10^{13}$  から  $2.0 \times 10^{15}$  イオン/cm<sup>2</sup> の範囲であって、打ち込みエネルギーはおおよそ 5 から 50 KeV の範囲である。高密度化領域 420 および 430 はラピッドサーマルアニール (RTA) プロセスの対象とすることができ、その処理条件はおおよそ摂氏 400 から 1000 度の温度範囲であって、処理時間はおおよそ 5 から 60 秒の範囲である。RTA プロセスは、高密度化インプラント 400 を活性化し、高密度化の処理を補強することができる。

10

20

30

40

50

#### 【0018】

図 5 に示されるように、続いてトリミングされたフォトマスク 350 およびハードマスク層 160 が取り除かれ、エッチストップ層 110 が第 1 導電構造体 140 の上で取り除かれ、薄いバリア金属層 525A および銅シード層 525B が表面全体に気相成長 (vapor phase deposition) 技術を用いて加えられる (図 5)。バリア金属層 525A および銅シード層 525B は、図 5 に示されるように、第 2 絶縁層 130 の上表面全体 530 と、開口部 220 の側壁部 440 および底部 450、および第 1 導電構造体 140 を一様に覆い (ブランケットデポジション)、導電表面 535 を形成する。

#### 【0019】

バリア金属層 525A は、例えばタンタル (Tantalum)、窒化タンタル (Tantalum Nitride) などのバリア金属材料の少なくとも一層から形成される。例えば、バリア金属層 525A はチタン窒化物 (Titanium nitride)、チタン・タングステン (Titanium-tungsten)、窒化チタン・タングステン (nitrided titanium-tungsten) またはその他の適切なバリア材料によっても形成することができる。銅シード層 525B は、1 以上のバリア金属層 525A の上に物理蒸着 (PVD) 法または化学蒸着 (CVD) 法によって形成することができる。

#### 【0020】

銅のトレンチ充填物のかたまりは、しばしば電解めっきによって形成される。この際、導電性表面 535 は機械的に電極 (図示せず) に繋がれて電気接点を形成し、そして構造体 100 が銅イオンを含む電解質溶液に漬けられる。電流がウェハ - 電解質システムを通じて流れ、導電表面 535 に銅 (Cu) を還元、析出させる。さらに、ウェハ - 電解質システムの電流バイアスを交互に切替えることによって、析出した銅の膜を自己平坦化する方法も考えられる。これは、高密度プラズマ (HDP) テトラエチル・オルトケイ酸塩 (TEOS) 絶縁膜デポジションにおいて用いられるデポジット・エッチングサイクルに類似した方法である。

#### 【0021】

図 6 に示されるように、このプロセスは典型的には、導電表面 535 の全体にわたって実質的に一定の厚みの共形 (conformal) の銅の被覆 640 を形成する。図 7 に示されるように、一度十分な厚さの銅の層 640 が析出すると、銅の層 640 は化学機械研磨 (CMP) 技術を用いて平坦化される。CMP を用いた平坦化は、第 2 絶縁層 130 の上表面の全体 530 からすべての銅およびバリア金属を取り除いて、銅の層 640 を銅充填のトレンチのような金属構造にのみ残して、図 7 に示されるように、1 以上のバリア金属層 525A および銅シード層 525B (図 5 および図 6) のそれぞれの残った部分 725A および 725B に隣接して、銅の相互接続 745 を形成する。

#### 【0022】

図 7 に示されるように、銅の相互接続 745 は、1 以上のバリア金属層 525A および銅

シード層 525B (図5および図6)のそれぞれの残った部分 725Aおよび725Bに隣接した、銅の層 640を第1導電構造体 140に対してアニーリングすることによって形成することができる。このアニーリング処理は、従来のチューブ型の炉で、おおよそ摂氏100から500度の温度範囲、おおよそ10から180分の時間、少なくとも $N_2$ ,  $H_2$ , Ar,  $NH_3$ などのうちの1つを含むことがある窒素含有雰囲気において実行することができる。または、アニーリング処理は、ラピッド・サーマル・アニール (RTA) プロセスであってもよく、このプロセスはおおよそ摂氏100から500度の温度範囲、おおよそ10から180秒の時間、少なくとも $N_2$ ,  $H_2$ , Arなどのうちの1つを含むことがある窒素含有雰囲気において実行することができる。

#### 【0023】

図8に示されるように、必要に応じて、化学機械研磨 (CMP) 技術を用いて、Low-Kの第2絶縁層 130は平坦化される。平坦化処理によって、銅の相互接続 745の近傍、エッチストップ層 110の上に平坦化されたLow-Kの第2絶縁層 130が残り、銅の相互接続層 800を形成する。この銅の相互接続層 800は、第2絶縁層 130の高密度化された領域 430に隣接した銅の相互接続 745を含むことができる。銅の相互接続層 800は、またエッチストップ層 110をも含むことができる。図8に示されるように、銅の相互接続層 800は、第2絶縁層 130の上、および銅の相互接続 745の少なくとも一部の上で形成され、パターン化されるエッチストップ層 820 (「ハードマスク」とも呼ばれ、典型的には窒化シリコン、 $Si_3N_4$ またはSiNから形成される)を含む。

#### 【0024】

図9に示されるように、銅の相互接続層 800は、銅の相互接続層 900の下地構造層 (構造体 100と同様に)となることができる。銅の相互接続層 900は、平坦化されたLow-Kの絶縁層 935および925のそれぞれの高密度化された領域 945および930にそれぞれ隣接した銅充填のトレンチ 940と金属間 (層間) ピア接続 910を含むことができる。金属間ピア接続 910は、第1銅構造体 140と同様の銅の構造体であって、金属間ピア接続 910は銅充填のトレンチ 940に対してアニーリングすることができる。このアニーリングは、銅の相互接続 745の形成 (図7) に関して上述したアニーリングと同様の方法で行うことができる。銅の相互接続層 900は、またエッチストップ層 820、および/またはエッチストップ層 915および/またはエッチストップ層 920 (「ハードマスク」とも呼ばれ、典型的には窒化シリコン、 $Si_3N_4$ またはSiNから形成される)を含むことができる。エッチストップ層 915およびエッチストップ層 920は、それぞれ平坦化されたLow-Kの絶縁層 925および935の上で形成され、パターン化される。エッチストップ層 920は、銅充填トレンチ 940の少なくとも一部の上にも形成することができる。

#### 【0025】

図10に示されるように、MOSTランジスタ 1010は、銅の相互接続層 1000のための下地構造層 (構造体 100と同様に) となりうる。銅の相互接続層 1000は、銅充填トレンチ 1020と、平坦化されたLow-Kの絶縁層 1040の高密度化された領域 1050に隣接する銅の金属間 (層間) ピア接続 1030とを含むことができる。銅の金属間ピア接続 1030は、第1銅構造体 140と同様の銅の構造体であって、銅の金属間ピア接続 1030は、銅の相互接続 745の形成 (図7) に関して上述したアニーリングと同様の方法で、第2銅構造体 1020に対してアニーリングすることができる。

#### 【0026】

図11に示されるように、第1絶縁層 1105および第1導電構造体 1125 (例えば、銅の金属間 (層間) ピア接続) を、半導体基板などの構造体 1100の上に形成することができる。しかしながら、本発明は例えばシリコンウエハのような半導体基板の表面上に銅ベースの相互接続を形成することに限定されるものではない。むしろ、本明細書を読破した当業者であれば、例えばランジスタや、他の同様の構造である、前もって形成された半導体装置および/またはプロセス層の上に本発明に従った銅ベースの相互接続が形成可能であることが明白に理解できるであろう。實際上、本発明は、すでに形成されたプロ

10

20

30

40

50

セス層の上部にプロセス層を形成するのに用いることができる。構造体 1 1 0 0 は例えばシリコン基板またはウェハのような半導体材料の下部層であってもよく、または半導体装置の下部層（例えば、図 2 0 を参照）、例えば酸化金属半導体電界効果トランジスタ（M O S F E T）などの層、および / または 1 または 2 以上の金属相互接続層（例えば、図 1 9 参照）および / または 1 または 2 以上の層間絶縁膜（I L D）などであってもよい。

#### 【0027】

デュアル・ダマシンの銅プロセスフローにおいて、本発明の様々な実施形態に従い、図 1 1 乃至 1 8 に示されるように、第 1 絶縁層 1 1 0 5 および第 1 導電構造体 1 1 2 5 の上に第 2 絶縁層 1 1 2 0 が形成される。第 3 絶縁層 1 1 3 0 が第 2 絶縁層 1 1 2 0 の上に形成される。パターン化されたフォトマスク 1 1 5 0 が第 3 絶縁層 1 1 3 0 の上に形成される。第 1 絶縁層 1 1 0 5 は、その上に形成され、パターン化されるエッチストップ層（E S L）1 1 1 0（「ハードマスク」とも呼ばれ、典型的には窒化シリコン、 $\text{Si}_3\text{N}_4$ またはSiNから形成される）を、第 1 絶縁層 1 1 0 5 と第 2 絶縁層 1 1 2 0 との間に有している。同様に、第 2 絶縁層 1 1 2 0 は、その上に形成され、パターン化されるエッチストップ層 1 1 1 5（同様に典型的にはSiNから形成される）を、第 2 絶縁層 1 1 2 0 と第 3 絶縁層 1 1 3 0 との間に有している。

10

#### 【0028】

以下で、図 1 2 との関係でさらに詳しく説明するように、第 1 エッチストップ層 1 1 1 0 と第 2 エッチストップ層 1 1 1 5 とは、デュアル・ダマシンプロセスフローにおいて形成される銅の相互接続の（ビアの）下部を定義するものである。必要に応じて、第 3 絶縁層 1 1 3 0 が化学機械平坦化（C M P）技術で平坦化される。第 3 絶縁層 1 1 3 0 はその上に形成され、パターン化されるハードマスク層 1 1 6 0（典型的にはSiN）を、第 3 絶縁層 1 1 3 0 とパターン化されたフォトマスク 1 1 5 0 との間に有している。

20

#### 【0029】

第 1 絶縁層 1 1 0 5、第 2 絶縁層 1 1 2 0 および第 3 絶縁層 1 1 3 0 は、様々な「低誘電率」または「Low-K」（K がおよそ 4 以下）誘電体材料によって形成可能である。Low-K の第 1 絶縁層 1 1 0 5、第 2 絶縁層 1 1 2 0 および第 3 絶縁層 1 1 3 0 は、そのような層を形成するための様々な既知の技術、例えば化学気相成長（C V D）法、低圧 C V D（L P C V D）法、プラズマエンハンスド C V D（P E C V D）法、スパッタリング法、物理気相成長（P V D）法、スピン・オン・コーティング法（例えば、スピン・オン・グラス法）などによって形成可能であり、それぞれ例えば、およそ 1 0 0 から 5 0 0 n m（1 0 0 0 から 5 0 0 0 オングストローム）の厚みを有する。

30

#### 【0030】

Low-K の第 1 絶縁層 1 1 0 5、第 2 絶縁層 1 1 2 0 および第 3 絶縁層 1 1 3 0 は、K がおよそ 4 以下であるような、様々なLow-K誘電体材料から形成可能である。そのような材料の例としては、Applied Materials社のBlack Diamond（商標）、Novellus社のCoral（商標）、Allied Signal社のNanograss（商標）、JSR社のLKD5104等が挙げられる。一実施形態としては、Low-K の第 1 絶縁層 1 1 0 5、第 2 絶縁層 1 1 2 0 および第 3 絶縁層 1 1 3 0 は、それぞれApplied Materials社のBlack Diamond（商標）を含み、それぞれおよそ 5 0 0 0 オングストロームの厚みを有し、それぞれ P E C V D 法によるブランケット蒸着によって形成される。

40

#### 【0031】

図 1 2 に示されるように、続いてメタライゼーションのパターンがパターン化されたフォトマスク 1 1 5 0、エッチストップ層 1 1 1 0、ハードマスク層 1 1 1 5 および 1 1 6 0（図 1 1、1 2）およびフォトリソグラフィ技術を用いて形成される。例えば、導電金属配線、コンタクト・ホール、ビア・ホールなどのための第 1、第 2 開口部（例えば、ビア 1 2 2 0 およびトレンチ 1 2 3 0）が、それぞれ第 2、第 3 絶縁層 1 1 2 0 および 1 1 3 0 内までエッチングされる（図 1 2）。第 1、第 2 開口部 1 2 2 0、1 2 3 0 は様々な既知の異方性エッチング技術を用いて形成される。異方性エッチング技術の例としては、臭化水素（HBr）およびアルゴン（Ar）をエッチングガス（etchant gas）として用いる反

50

応性イオンエッチング (RIE) プロセスがある。また、 $\text{CHF}_3$  と Ar をエッチングガスとした RIE プロセスを用いることも可能である。様々な実施形態において、プラズマエッチングを用いることも可能である。エッチングはエッチストップ層 1110 で停止させることができる。

#### 【0032】

図 13 に示されるように、パターン化されたフォトマスク 1150 は、例えば制御されたフォトレジストトリミング技術を用いてトリミングされ、トリミングされたフォトマスク 1350 を形成する。パターン化されたフォトマスク 1150 は、例えば酸素分子 ( $\text{O}_2$ ) アッシング (ashing) 技術を用いてアッシングによりトリミング (刈り込まれる) される。アッシングによって、パターン化されたフォトマスク 1150 のおおよそ 100 乃至 500 オングストロームがトリミングされる。

10

#### 【0033】

図 14 に示されるように、高密度化のためのインプラント 1400 (矢印で示される) が Low-K の第 2、第 3 絶縁層 1120、1130 に打ち込まれて、Low-K の第 2 絶縁層 1120 および低 K の第 3 絶縁層 1130 の中、開口部 1220 および 1230 のそれぞれ近傍に、それぞれ密度が高くなった領域 1420 と 1430 を形成する。Low-K の第 2 絶縁層 1120 中の密度が高くなった領域 1420 は、もし開口部 1220 が開口部 1230 の真中に位置しているのであれば、もちろん対称となる。高密度化のためのインプラント 1400 は開口部 1220 および 1230 の側壁部 1440 および底部 1450 の密度をおおよそ 5 乃至 50% 高くする。これによって、開口部 1220 および 1230 の側壁部 1440 および底部 1450 を補強する。様々な実施形態において、密度が高くなった領域 1420 および 1430 は、シリコン (Si)、二酸化シリコン ( $\text{SiO}_2$ )、ゲルマニウム (Ge) などの高密度化ドーズ (densification dose) を打ち込むことによって形成することができる。高密度化インプラント 1400 の高密度化ドーズはおおよそ  $5.0 \times 10^{13}$  から  $2.0 \times 10^{15}$  イオン /  $\text{cm}^2$  の範囲であって、打ち込みエネルギーはおおよそ 5 から 50 KeV の範囲である。高密度化領域 1420 および 1430 はラピッドサーマルアニール (RTA) プロセスの対象とすることができ、その処理条件はおおよそ摂氏 400 から 1000 度の温度範囲であって、処理時間はおおよそ 5 から 60 秒からの範囲である。RTA プロセスは、高密度化インプラント 1400 を活性化し、高密度化の処理を補強することができる。

20

30

#### 【0034】

図 15 に示されるように、続いてトリミングされたフォトマスク 1350 およびハードマスク層 1160 が取り除かれ、エッチストップ層 1110 が第 1 導電構造体 1125 の上で取り除かれ、薄いバリア金属層 1525 A および銅シード層 1525 B が表面全体に気相成長 (vapor phase deposition) 技術を用いて加えられる (図 15)。バリア金属層 1525 A および銅シード層 1525 B は、図 15 に示されるように、第 3 絶縁層 1130 の上表面全体 1530 と、第 1、第 2 開口部 1220 および 1230 の側壁部 1440 および底部 1450、および第 1 導電構造体 1125 を一様に覆い (プランケットデポジション)、導電表面 1535 を形成する。

#### 【0035】

バリア金属層 1525 A は、例えばタンタル、窒化タンタルなどのバリア金属材料の少なくとも一層から形成される。例えば、バリア金属層 1525 A はチタン窒化物、チタン・タングステン、窒化チタン・タングステンまたはその他の適切なバリア材料によっても形成することができる。銅シード層 1525 B は、1 以上のバリア金属層 1525 A の上に物理気相成長 (PVD) 法または化学気相成長 (CVD) 法によって形成することができる。

40

#### 【0036】

銅のトレンチ充填物のかたまりは、しばしば電解めっきによって形成される。この際、導電性表面 1535 は機械的に電極 (図示せず) に繋がれて電気接点を形成し、そして構造体 1100 が銅イオンを含む電解質溶液に漬けられる。電流がウェハ - 電解質システムを

50

通じて流れ、導電表面 1 5 3 5 に銅 (Cu) を還元、析出させる。さらに、ウェハ - 電解質システムの電流バイアスを交互に切替えることによって、析出した銅の膜を自己平坦化する方法も考えられる。これは、高密度プラズマ (HDP) テトラエチル・オルトケイ酸塩 (TEOS) 絶縁膜デポジションにおいて用いられるデポジット・エッチングサイクルに類似した方法である。

#### 【0037】

図 1 6 に示されるように、このプロセスは典型的には、導電表面 1 5 3 5 の全体にわたって実質的に一定の厚みの共形 (conformal) の銅の被覆 1 6 4 0 を形成する。図 1 7 に示されるように、一度十分な厚さの銅の層 1 6 4 0 が析出すると、銅の層 1 6 4 0 は化学機械研磨 (CMP) 技術を用いて平坦化される。CMP を用いた平坦化は、第 3 絶縁層 1 1 3 0 の上表面の全体 1 5 3 0 からすべての銅およびバリア金属を取り除いて、銅の層 1 6 4 0 を銅充填のトレンチおよびビアのような金属構造にのみ残して、図 1 7 に示されるように、1 以上のバリア金属層 1 5 2 5 A および銅シード層 1 5 2 5 B (図 1 5 および図 1 6) のそれぞれの残った部分 1 7 2 5 A および 1 7 2 5 B に隣接して、銅の相互接続 1 7 4 5 を形成する。

10

#### 【0038】

図 1 7 に示されるように、銅の相互接続 1 7 4 5 は、1 以上のバリア金属層 1 5 2 5 A および銅シード層 1 5 2 5 B (図 1 5 および図 1 6) のそれぞれの残った部分 1 7 2 5 A および 1 7 2 5 B に隣接した、銅の層 1 6 4 0 を第 1 導電構造体 1 1 2 5 に対してアニーリングすることによって形成することができる。このアニーリング処理は、従来のチューブ型の炉で、おおよそ摂氏 1 0 0 から 5 0 0 度の温度範囲、おおよそ 1 0 から 1 8 0 分の時間、少なくとも  $N_2$ ,  $H_2$ , Ar,  $NH_3$  などのうちの 1 つを含むことがある窒素含有雰囲気において実行することができる。または、アニーリング処理は、ラピッド・サーマル・アニール (RTA) プロセスであってもよく、このプロセスはおおよそ摂氏 1 0 0 から 5 0 0 度の温度範囲、おおよそ 1 0 から 1 8 0 秒の時間、少なくとも  $N_2$ ,  $H_2$ , Ar などのうちの 1 つを含むことがある窒素含有雰囲気において実行することができる。

20

#### 【0039】

図 1 8 に示されるように、必要に応じて、化学機械研磨 (CMP) 技術を用いて、Low-K の第 3 絶縁層 1 1 3 0 は平坦化される。平坦化処理によって、銅の相互接続 1 7 4 5 の近傍、エッチストップ層 1 1 1 5 の上に平坦化された Low-K の第 3 絶縁層 1 1 3 0 が残り、銅の相互接続層 1 8 0 0 の一部を形成する。この銅の相互接続層 1 8 0 0 は、第 2、第 3 絶縁層 1 1 2 0 および 1 1 3 0 のそれぞれ高密度化された領域 1 4 2 0 および 1 4 3 0 に隣接した銅の相互接続 1 7 4 5 を含むことができる。銅の相互接続層 1 8 0 0 は、また第 1 エッチストップ層 1 1 1 0 をも含むことができる。図 1 8 に示されるように、銅の相互接続層 1 8 0 0 は、第 3 絶縁層 1 1 3 0 の上、および銅の相互接続 1 7 4 5 の少なくとも一部の上で形成され、パターン化されるエッチストップ層 1 8 2 0 (「ハードマスク」とも呼ばれ、典型的には窒化シリコン、 $Si_3N_4$  または  $SiN$  から形成される) を含む。

30

#### 【0040】

図 1 9 に示されるように、銅の相互接続層 1 8 0 0 は、銅の相互接続層 1 9 0 0 の下地構造層 (構造体 1 1 0 0 と同様に) となることができる。様々な実施形態において、銅の相互接続層 1 9 0 0 は、平坦化された Low-K の絶縁層 1 9 3 5 の高密度化された領域 1 9 4 5 に隣接した銅充填のトレンチ 1 9 4 0 と、平坦化された Low-K の絶縁層 1 9 2 5 の高密度化された領域 1 9 3 0 に隣接した金属間 (層間) ビア接続 1 9 1 0 と、Low-K の絶縁層 1 9 3 5 と 1 9 2 5 の間のエッチストップ層 1 9 1 5 とを含むことができる。金属間ビア接続 1 9 1 0 は、第 1 銅構造体 1 1 2 5 と同様の銅の構造体であって、金属間ビア接続 1 9 1 0 は銅充填のトレンチ 1 9 4 0 に対してアニーリングすることができる。このアニーリングは、銅の相互接続 7 4 5 の形成 (図 7) に関して上述したアニーリングと同様の方法で行うことができる。銅の相互接続層 1 9 0 0 は、またエッチストップ層 1 8 2 0 および / またはエッチストップ層 1 9 2 0 を含むことができる。エッチストップ層 1 9 2 0 は、平坦化された Low-K の絶縁層 1 9 3 5 の上で形成され、パターン化される。エッチスト

40

50

ップ層 1920 は、銅充填トレんチ 1940 の少なくとも一部の上にも形成することができる。

#### 【0041】

代替の様々な実施形態において、銅の相互接続層 1900 は、例えば銅の相互接続 1745 (図 17、18) に類似した銅の相互接続をその中に持っているという点において、銅の相互接続層 1800 に類似している。銅の相互接続層 1900 に配置された銅の相互接続は、銅の相互接続層 1800 内の銅の相互接続 1745 に対してアニーリングをすることができる。このアニーリングは、銅の相互接続 1745 の形成 (図 17) に関して上述したアニーリングと同様の方法で行うことができる。

#### 【0042】

図 20 に示されるように、MOS トランジスタ 2010 は、銅の相互接続層 2000 のための下地構造層 (構造体 1100 と同様に) となりうる。銅の相互接続層 2000 は、平坦化された Low-K の絶縁層 2040 の高密度化された領域 2050 に隣接する銅充填トレんチおよびビア 2020 を含むことができる。銅充填トレんチおよびビア 2020 は、MOS トランジスタ 2010 のソース・ドレイン領域 2015 のような下部の導電構造に、銅の相互接続 1745 の形成 (図 17) に関して上述したアニーリングと同様の方法で、アニーリングすることができる。

#### 【0043】

図 11 乃至 18 に示されるように、本発明の様々な実施形態に従った、デュアル・ダマシンの銅プロセスフローは、バリア金属層および銅シード層の形成と、銅のトレんチへの充填の前に、より複雑なパターンをエッチングをすることにより、金属間 (層間) ビア接続の形成を銅充填のトレんチ形成と組み合わせて行う。トレんチのエッチングは、ビア・ホール (例えば、図 12 の第 1 開口部 1220) がエッチングにより除去されるまで続けられる。図 13 乃至 18 に示されるように、本発明の様々な実施形態に従った、残りのデュアル・ダマシンの銅プロセスフローは、図 3 乃至 8 に示される本発明の様々な実施形態に従った、対応するシングル・ダマシン銅プロセスフローに本質的に同等である。しかしながら、全体的には、本発明の様々な実施形態に従った、デュアル・ダマシン銅プロセスフローは、多くの処理工程を実質的に削減し、銅メタライゼーション (metallization) を実現するための好適な方法である。

#### 【0044】

銅による相互接続形成方法についての上述の実施形態のいずれもが、従来のダマシン技術を用いて、高密度化された Low-K 誘電体材料によって銅の相互接続の形成を可能にする。この高密度化された Low-K 誘電体材料は、従来のダマシン技術で一般に用いられる従来の Low-K 材料よりもずっと強い。この高密度化された Low-K 誘電体材料は、従来のダマシン技術のエッチングおよび後続の処理工程の際に、従来の Low-K 材料よりもずっとダメージを受けにくい。銅の相互接続に隣接する高密度化された Low-K 絶縁層を形成することによって、隣接する銅の相互接続間のキャパシタンスおよび RC 遅延を減少させる Low-K 絶縁層を用いるすべての特長が保たれる。従来のダマシン処理の際に、従来の高密度化されていない Low-K 誘電体を用いて銅の相互接続を形成する場合に起きた問題はもはや生じない。

#### 【0045】

上述の特定の実施形態は説明のためのものであり、この開示による利益を受ける当業者に明らかかなように、本発明を変形することができ、同一ではないが均等なやり方で実施することができる。さらに、添付の特許請求の範囲に記載されているものを除き、ここに示された構造または設計の詳細に本発明を限定しようとするものではない。従って、上述の特定の実施形態は変形可能であり、または修正可能である。そのようなすべての変形例は、本発明の精神および範囲に入るものであると考えられる。特に、上述の、すべての値の範囲 (「おおよそ a からおおよそ b」という表現形式、またはそれと等価に、「おおよそ a から b」、またはそれと等価に、「おおよそ a-b から」) は、対応する値の範囲のベキ集合 (与えられた集合の部分集合全体からなる集合) を指しているものと考えられる。これは、つまりゲオルグ・カントール (Georg Cantor) 的な意味合いであることが理解される

10

20

30

40

50

。従って、本発明の保護範囲は添付の特許請求の範囲によって定められる。

【図面の簡単な説明】

【0046】

【図1】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。

【図2】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。

【図3】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。

【図4】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。 10

【図5】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。

【図6】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。

【図7】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。

【図8】本発明の様々な実施形態に従った、シングル・ダマシ銅相互接続プロセスフローを説明する図。

【図9】本発明の様々な実施形態に従った、銅相互接続の複数の層を示す図。 20

【図10】本発明の様々な実施形態に従った、半導体装置のソース・ドレイン領域を接続する銅相互接続を示す図。

【図11】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。

【図12】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。

【図13】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。

【図14】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。 30

【図15】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。

【図16】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。

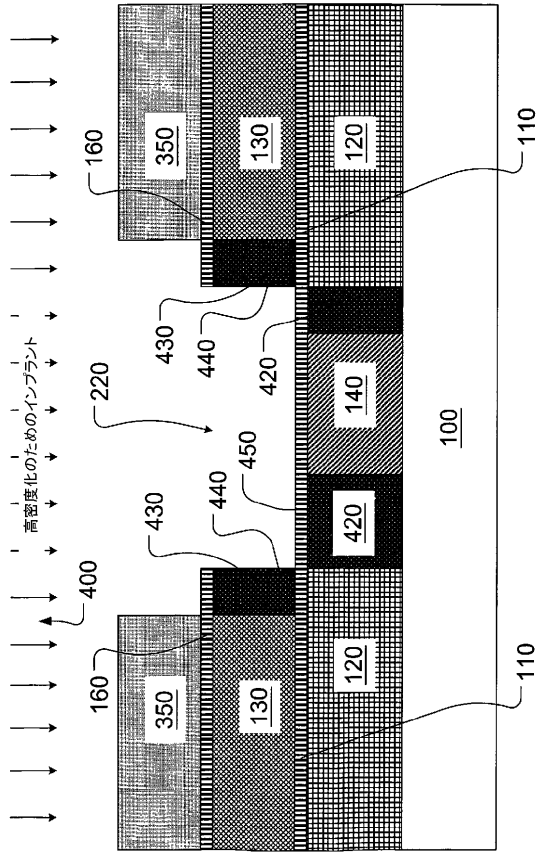
【図17】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。

【図18】本発明の様々な実施形態に従った、デュアル・ダマシ銅相互接続プロセスフローを説明する図。

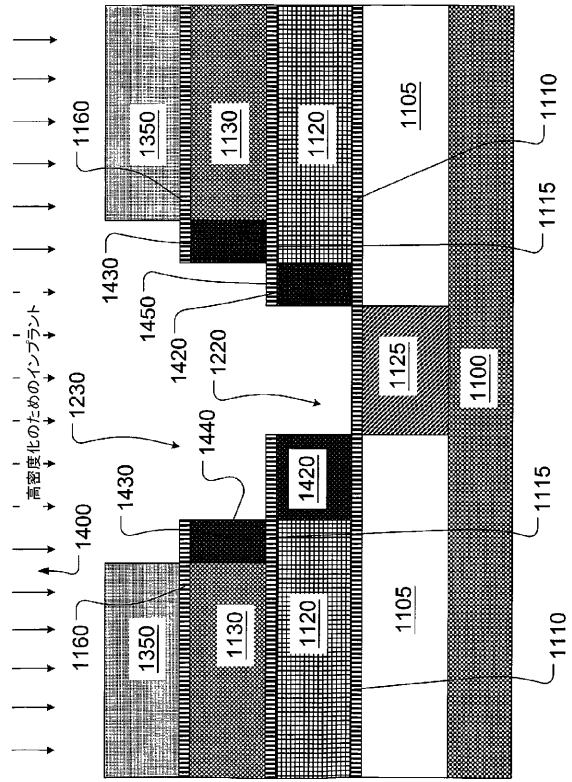
【図19】本発明の様々な実施形態に従った、銅相互接続の複数の層を示す図。

【図20】本発明の様々な実施形態に従った、半導体装置のソース・ドレイン領域を接続する銅相互接続を示す図。 40

【図 4】



【図 14】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
23 January 2003 (23.01.2003)

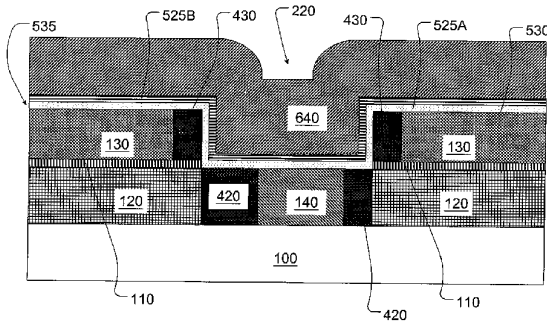
PCT

(10) International Publication Number  
WO 03/007367 A1

- (51) International Patent Classification: **H01L 21/768** [US/US], 1508 Jullist Street, Austin, TX 78704 (US); **BESSER, Paul, R.** [US/US], 1087 Yorktown Drive, Sunnyvale, CA 94087 (US); **CHEUNG, Fred** [US/US], 536 King George Avenue, San Jose, CA 95136 (US).
- (21) International Application Number: PCT/US02/18842
- (22) International Filing Date: 12 June 2002 (12.06.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/902,024 10 July 2001 (10.07.2001) US
- (71) Applicant (for all designated States except US): **ADVANCED MICRO DEVICES, INC.** [US/US], One AMD Place, Mail Stop 68, P.O. BOX 3453, Sunnyvale, CA 94088-3453 (US).
- (72) Inventors: and
- (75) Inventors/Applicants (for US only): **APELGREN, Eric, M.** [US/US], 8920 La Siesta Bend, Austin, TX 78749 (US); **ZISLI, Christian** [US/US], 3800 Brodie Lane, #233, Austin, TX 78745 (US); **MARTIN, Jeremy, I.**
- (74) Agent: **DRAKE, Paul, S.**, Advanced Micro Devices, Inc., 5204 East Ben White Boulevard, M/S 562, Austin, TX 78741 (US).
- (81) Designated States (national): AU, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GM, GR, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PL, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).

[Continued on next page]

(54) Title: LOCALLY INCREASING SIDEWALL DENSITY BY ION IMPLANTATION



(57) Abstract: A method is provided, the method comprising forming a first conductive structure (140), and forming a first dielectric layer (130) above the first conductive structure (140). The method also comprises forming a first opening (220) in the first dielectric layer (130) above at least a portion of the first conductive structure, the first opening (220) having sidewalls (440), and densifying the sidewalls.



WO 03/007367 A1

---

**WO 03/007367 A1** **Published:**

- with international search report
- before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

WO 03/007367

PCT/US02/18842

**LOCALLY INCREASING SIDEWALL DENSITY BY ION IMPLANTATION****TECHNICAL FIELD**

This invention relates generally to semiconductor fabrication technology, and, more particularly, to techniques for filling contact openings and vias with copper and creating copper interconnections and lines.

**BACKGROUND ART**

There is a constant drive within the semiconductor industry to increase the operating speed of integrated circuit devices, *e.g.*, microprocessors, memory devices, and the like. This drive is fueled by consumer demands for computers and electronic devices that operate at increasingly greater speeds. This demand for increased speed has resulted in a continual reduction in the size of semiconductor devices, *e.g.*, transistors. That is, many components of a typical field effect transistor (FET), *e.g.*, channel length, junction depths, gate dielectric thickness, and the like, are reduced. For example, all other things being equal, the smaller the channel length of the FET, the faster the transistor will operate. Thus, there is a constant drive to reduce the size, or scale, of the components of a typical transistor to increase the overall speed of the transistor, as well as integrated circuit devices incorporating such transistors. Additionally, reducing the size, or scale, of the components of a typical transistor also increases the density, and number, of the transistors that can be produced on a given amount of wafer real estate, lowering the overall cost per transistor as well as the cost of integrated circuit devices incorporating such transistors.

However, reducing the size, or scale, of the components of a typical transistor also requires reducing the size and cross-sectional dimensions of electrical interconnects to contacts to active areas, such as N<sup>+</sup> (P<sup>+</sup>) source/drain regions and a doped-polycrystalline silicon (doped-polysilicon or doped-poly) gate conductor, and the like. As the size and cross-sectional dimensions of electrical interconnects get smaller, resistance increases and electromigration increases. Increased resistance and electromigration are undesirable for a number of reasons. For example, increased resistance may reduce device drive current, and source/drain current through the device, and may also adversely affect the overall speed and operation of the transistor. Additionally, electromigration effects in aluminum (Al) interconnects, where electrical currents actually carry aluminum (Al) atoms along with the current, causing them to electromigrate, may lead to degradation of the aluminum (Al) interconnects, further increased resistance, and even disconnection and/or delamination of the aluminum (Al) interconnects.

The ideal interconnect conductor for semiconductor circuitry will be inexpensive, easily patterned, have low resistivity, and high resistance to corrosion, electromigration, and stress migration. Aluminum (Al) is most often used for interconnects in contemporary semiconductor fabrication processes primarily because aluminum (Al) is inexpensive and easier to etch than, for example, copper (Cu). However, because aluminum (Al) has poor electromigration characteristics and high susceptibility to stress migration, it is typical to alloy aluminum (Al) with other metals.

As discussed above, as semiconductor device geometries shrink and clock speeds increase, it becomes increasingly desirable to reduce the resistance of the circuit metallization. The one criterion that is most seriously compromised by the use of aluminum (Al) for interconnects is that of conductivity. This is because the three metals with lower resistivities (Al has a resistivity of  $2.824 \times 10^{-6}$  ohms-cm at 20° C), namely, silver (Ag) with a resistivity of  $1.59 \times 10^{-6}$  ohms-cm (at 20° C), copper (Cu) with a resistivity of  $1.73 \times 10^{-6}$  ohms-cm (at

WO 03/007367

PCT/US02/18842

20° C), and gold (Au) with a resistivity of  $2.44 \times 10^{-6}$  ohms-cm (at 20° C), fall short in other significant criteria. Silver, for example, is relatively expensive and corrodes easily, and gold is very costly and difficult to etch. Copper, with a resistivity nearly on par with silver, immunity from electromigration, high ductility (which provides high immunity to mechanical stresses generated by differential expansion rates of dissimilar materials in a semiconductor chip) and high melting point (1083° C. for copper (Cu) vs. 659° C. for Al), fills most criteria admirably. However, copper (Cu) is difficult to etch in a semiconductor environment. As a result of the difficulty in etching Cu, an alternative approach to forming vias and metal lines must be used. The damascene approach (single and dual), consisting of etching openings such as trenches in the dielectric for lines and vias and creating in-laid metal patterns, is the leading contender for fabrication of sub-0.25 micron (sub-0.25  $\mu$ ) design rule copper-metallized circuits.

However, the lower resistance and higher conductivity of the copper (Cu) interconnects, coupled with higher device density and, hence, decreased distance between the copper (Cu) interconnects, may lead to increased capacitance between the copper (Cu) interconnects. Increased capacitance between the copper (Cu) interconnects, in turn, results in increased RC time delays and longer transient decay times in the semiconductor device circuitry, causing decreased overall operating speeds of the semiconductor devices.

One conventional solution to the problem of increased capacitance between the copper (Cu) interconnects is to use "low dielectric constant" or "low K" dielectric materials, where K is less than about 4, for the interlayer dielectric layers (ILDs) in which the copper (Cu) interconnects are formed using the damascene techniques. However, low K dielectric materials are difficult materials to use in conjunction with the damascene techniques. For example, low K dielectric materials are susceptible to being damaged and weakened during the etching and subsequent processing steps used in the damascene techniques. In particular, the sidewalls of openings such as trenches and/or vias formed in low K dielectric materials are especially vulnerable, due at least in part to the low density of low K dielectric materials.

The present invention is directed to overcoming, or at least reducing the effects of, one or more of the problems set forth above.

#### DISCLOSURE OF INVENTION

In one aspect of the present invention, a method is provided, the method comprising forming a first conductive structure, and forming a first dielectric layer above the first conductive structure. The method also comprises forming a first opening in the first dielectric layer above at least a portion of the first conductive structure, the first opening having sidewalls, and densifying the sidewalls.

In another aspect of the present invention, a device is provided, the device comprising a first conductive structure, and a first dielectric layer above the first conductive structure. The device also comprises a first opening in the first dielectric layer above at least a portion of the first conductive structure, the first opening having densified sidewalls.

WO 03/007367

PCT/US02/18842

**BRIEF DESCRIPTION OF THE DRAWINGS**

The invention may be understood by reference to the following description taken in conjunction with the accompanying drawings, in which the leftmost significant digit(s) in the reference numerals denote(s) the first figure in which the respective reference numerals appear, and in which:

5        Figures 1-8 schematically illustrate a single-damascene copper interconnect process flow according to various embodiments of the present invention;

      Figure 9 schematically illustrates multiple layers of copper interconnects according to various embodiments of the present invention;

10        Figure 10 schematically illustrates copper interconnects according to various embodiments of the present invention connecting source/drain regions of an illustrative semiconductor device;

      Figures 11-18 schematically illustrate a dual-damascene copper interconnect process flow according to various embodiments of the present invention;

      Figure 19 schematically illustrates multiple layers of copper interconnects according to various embodiments of the present invention; and

15        Figure 20 schematically illustrates copper interconnects according to various embodiments of the present invention connecting source/drain regions of an illustrative semiconductor device.

      While the invention is susceptible to various modifications and alternative forms, specific embodiments thereof have been shown by way of example in the drawings and are herein described in detail. It should be understood, however, that the description herein of specific embodiments is not intended to limit the invention to the particular forms disclosed, but, on the contrary, the intention is to cover all modifications, equivalents, and alternatives falling within the spirit and scope of the invention as defined by the appended claims.

**MODE(S) FOR CARRYING OUT THE INVENTION**

25        Illustrative embodiments of the invention are described below. In the interest of clarity, not all features of an actual implementation are described in this specification. It will of course be appreciated that in the development of any such actual embodiment, numerous implementation-specific decisions must be made to achieve the developers' specific goals, such as compliance with system-related and business-related constraints, which will vary from one implementation to another. Moreover, it will be appreciated that such a development effort might be complex and time-consuming, but would nevertheless be a routine undertaking for those of ordinary skill in the art having the benefit of this disclosure.

30        Illustrative embodiments of a method for semiconductor device fabrication according to the present invention are shown in Figures 1-20. Although the various regions and structures of a semiconductor device are depicted in the drawings as having very precise, sharp configurations and profiles, those skilled in the art recognize that, in reality, these regions and structures are not as precise as indicated in the drawings. 35        Nevertheless, the attached drawings are included to provide illustrative examples of the present invention.

      In general, the present invention is directed towards the manufacture of a semiconductor device. As will be readily apparent to those skilled in the art upon a complete reading of the present application, the present method is applicable to a variety of technologies, for example, NMOS, PMOS, CMOS, and the like, and is readily applicable to a variety of devices, including, but not limited to, logic devices, memory devices, and the like. 40

WO 03/007367

PCT/US02/18842

As shown in Figure 1, a first dielectric layer 120 and a first conductive structure 140 (such as a copper intermetal via connection) may be formed above a structure 100 such as a semiconducting substrate. However, the present invention is not limited to the formation of a copper-based interconnect above the surface of a semiconducting substrate such as a silicon wafer, for example. Rather, as will be apparent to one skilled in the art upon a complete reading of the present disclosure, a copper-based interconnect formed in accordance with the present invention may be formed above previously formed semiconductor devices and/or process layer, e.g., transistors, or other similar structure. In effect, the present invention may be used to form process layers on top of previously formed process layers. The structure 100 may be an underlayer of semiconducting material, such as a silicon substrate or wafer, or, alternatively, may be an underlayer of semiconductor devices (see Figure 10, for example), such as a layer of metal oxide semiconductor field effect transistors (MOSFETs), and the like, and/or a metal interconnection layer or layers (see Figure 9, for example) and/or an interlayer dielectric (ILD) layer or layers, and the like.

In a single-damascene copper process flow, according to various embodiments of the present invention, as shown in Figures 1-8, the first dielectric layer 120 is formed above the structure 100, adjacent the first conductive structure 140. An etch stop layer 110 (typically silicon nitride,  $\text{Si}_3\text{N}_4$ , or SiN, for short) is formed above the first dielectric layer 120 formed above the structure 100 and adjacent the first conductive structure 140. A second dielectric layer 130 is formed above the etch stop layer 110. A patterned photomask 150 is formed above the second dielectric layer 130. If necessary, the second dielectric layer 130 may have been planarized using a chemical-mechanical planarization (CMP) process. The second dielectric layer 130 has a hard mask layer 160 (typically also SiN) formed and patterned thereon, between the second dielectric layer 130 and the patterned photomask 150. The hard mask layer 160 may be patterned using the patterned photomask 150, for example.

The first and second dielectric layers 120 and 130 may be formed from a variety of "low dielectric constant" or "low K" (K is less than or equal to about 4) dielectric materials. The low K first and second dielectric layers 120 and 130 may be formed by a variety of known techniques for forming such layers, e.g., a chemical vapor deposition (CVD) process, a low-pressure CVD (LPCVD) process, a plasma-enhanced CVD (PECVD) process, a sputtering process, a physical vapor deposition (PVD) process, a spin-on coating process (such as a spin-on glass process), and the like, and each may have a thickness ranging from approximately 100-500 nm (1000 Å-5000 Å), for example.

The low K first and second dielectric layers 120 and 130 may be formed from a variety of low K dielectric materials, where K is less than or equal to about 4. Examples include Applied Material's Black Diamond<sup>®</sup>, Novellus' Coral<sup>®</sup>, Allied Signal's Nanoglass<sup>®</sup>, JSR's LKD5104, and the like. In one illustrative embodiment, the low K first and second dielectric layers 120 and 130 are each comprised of Applied Material's Black Diamond<sup>®</sup>, each having a thickness of approximately 5000 Å, each being formed by being blanket-deposited by a PECVD.

As shown in Figure 2, a metallization pattern is then formed by using the patterned photomask 150, the etch stop layer 110 and the hard mask layer 160 (Figures 1-2), and photolithography. For example, openings (such as an opening or trench 220 formed above at least a portion of the first conductive structure 140) for conductive metal lines, contact holes, via holes, and the like, are etched into the second dielectric layer 130 (Figure 2). The opening 220 may be formed by using a variety of known anisotropic etching techniques, such as

WO 03/007367

PCT/US02/18842

a reactive ion etching (RIE) process using hydrogen bromide (HBr) and argon (Ar) as the etchant gases, for example. Alternatively, an RIE process with  $\text{CHF}_3$  and Ar as the etchant gases may be used, for example. Plasma etching may also be used, in various illustrative embodiments. The etching may stop at the etch stop layer 110.

5 As shown in Figure 3, the patterned photomask 150 is trimmed, using a controlled photoresist trim, for example, forming a trimmed photomask 350. The patterned photomask 150 may be trimmed by ashing, using a molecular oxygen ( $\text{O}_2$ ) ashing, for example. Approximately 10-50 nm (100-500 Å) of the patterned photomask 150 may be trimmed by the ashing.

10 As shown in Figure 4, a densification implant 400 (indicated by the arrows) may be implanted into the low K first and second dielectric layers 120 and 130 to form respective densified regions 420 and 430 in the low K first and second dielectric layers 120 and 130 adjacent the opening 220. The densified regions 420 in the low K first dielectric layer 120 would, of course, be symmetrical if the first conductive structure 140 were centered in the opening 220. The densification implant 400 increases the density of sidewalls 440 and bottom areas 450 of the opening 220 by about 5-50%, and, hence, reinforces the sidewalls 440 and the bottom areas 450 of the opening 220. In various illustrative embodiments, the densified regions 420 and 430 may be formed by being  
15 implanted with a densification dose of silicon (Si), silicon dioxide ( $\text{SiO}_2$ ), germanium (Ge), and the like. The densification dose of the densification implant 400 may range from about  $5.0 \times 10^{13}$  -  $2.0 \times 10^{15}$  ions/cm<sup>2</sup> at an implant energy ranging from about 5-50 keV. The densified regions 420 and 430 may be subjected to a rapid thermal anneal (RTA) process performed at a temperature ranging from approximately 400-1000°C for a time  
20 ranging from approximately 5-60 seconds. The RTA process may activate the densification implant 400 and reinforce the densification process.

As shown in Figure 5, the trimmed photomask 350 and the hard mask layer 160 are then stripped, the etch stop layer 110 is removed above the first conductive structure 140, and a thin barrier metal layer 525A and a copper seed layer 525B are applied to the entire surface using vapor-phase deposition (Figure 5). The barrier  
25 metal layer 525A and the copper (Cu) seed layer 525B blanket-deposit an entire upper surface 530 of the second dielectric layer 130 as well as the sidewalls 440 and the bottom areas 450 of the opening 220, and first conductive structure 140, thereby forming a conductive surface 535, as shown in Figure 5.

The barrier metal layer 525A may be formed of at least one layer of a barrier metal material, such as tantalum or tantalum nitride, and the like. For example, the barrier metal layer 525A may also be formed of titanium nitride, titanium-tungsten, nitrided titanium-tungsten, or another suitable barrier material. The copper  
30 seed layer 525B may be formed on top of the one or more barrier metal layers 525A by physical vapor deposition (PVD) or chemical vapor deposition (CVD), for example.

The bulk of the copper trench-fill is frequently done using an electroplating technique, where the conductive surface 535 is mechanically clamped to an electrode (not shown) to establish an electrical contact, and the structure 100 is then immersed in an electrolyte solution containing copper (Cu) ions. An electrical  
35 current is then passed through the wafer-electrolyte system to cause reduction and deposition of copper (Cu) on the conductive surface 535. In addition, an alternating-current bias of the wafer-electrolyte system has been considered as a method of self-planarizing the deposited copper (Cu) film, similar to the deposit-etch cycling used in high-density plasma (HDP) tetraethyl orthosilicate (TEOS) dielectric depositions.

WO 03/007367

PCT/US02/18842

As shown in Figure 6, this process typically produces a conformal coating of copper (Cu) 640 of substantially constant thickness across the entire conductive surface 535. As shown in Figure 7, once a sufficiently thick layer of copper (Cu) 640 has been deposited, the layer of copper (Cu) 640 is planarized using chemical mechanical polishing (CMP) techniques. The planarization using CMP clears all copper (Cu) and barrier metal from the entire upper surface 530 of the second dielectric layer 130, leaving the copper (Cu) 640 only in a metal structure such as a copper-filled trench, forming a copper-interconnect 745, adjacent remaining portions 725A and 725B of the one or more barrier metal layers 525A and copper seed layer 525B (Figures 5 and 6), respectively, as shown in Figure 7.

As shown in Figure 7, the copper-interconnect 745 may be formed by annealing the copper (Cu) 640, adjacent the remaining portions 725A and 725B of the one or more barrier metal layers 525A and copper seed layer 525B (Figures 5 and 6), to the first conductive structure 140. The anneal process may be performed in a traditional tube furnace, at a temperature ranging from approximately 100-500°C, for a time period ranging from approximately 10-180 minutes, in a nitrogen-containing ambient that may comprise at least one of N<sub>2</sub>, H<sub>2</sub>, Ar, NH<sub>3</sub>, and the like. Alternatively, the anneal process may be a rapid thermal anneal (RTA) process performed at a temperature ranging from approximately 100-500°C for a time ranging from approximately 10-180 seconds in a nitrogen-containing ambient that may comprise at least one of N<sub>2</sub>, H<sub>2</sub>, Ar, and the like.

As shown in Figure 8, the low K second dielectric layer 130 may be planarized, as needed, using chemical mechanical polishing (CMP) techniques. Planarization would leave the planarized low K second dielectric layer 130 adjacent the copper-interconnect 745 and above the etch stop layer 110, forming a copper-interconnect layer 800. The copper-interconnect layer 800 may comprise the copper-interconnect 745 adjacent the densified regions 430 of the second dielectric layer 130. The copper-interconnect layer 800 may also comprise the etch stop layer 110. As shown in Figure 8, the copper-interconnect layer 800 may also comprise an etch stop layer 820 (also known as a "hard mask" and typically formed of silicon nitride, Si<sub>3</sub>N<sub>4</sub>, or SiN, for short) formed and patterned above the second dielectric layer 130 and above at least a portion of the copper-interconnect 745.

As shown in Figure 9, the copper-interconnect layer 800 may be an underlying structure layer (similar to the structure 100) to a copper-interconnect layer 900. The copper-interconnect layer 900 may comprise a copper-filled trench 940 and an intermetal via connection 910 adjacent respective densified regions 945 and 930 of planarized low K dielectric layers 935 and 925, respectively. The intermetal via connection 910 may be a copper (Cu) structure similar to the first copper (Cu) structure 140, and the intermetal via connection 910 may be annealed to the copper-filled trench 940 in a similar fashion to the anneal described above in relation to the formation of the copper-interconnect 745 (Figure 7). The copper-interconnect layer 900 may also comprise the etch stop layer 820 and/or etch stop layer 915 and/or etch stop layer 920 (also known as "hard masks" and typically formed of silicon nitride, Si<sub>3</sub>N<sub>4</sub>, or SiN, for short) formed and patterned above the planarized low K dielectric layers 925 and/or 935, respectively. The etch stop layer 920 may also be formed above at least a portion of the copper-filled trench 940.

As shown in Figure 10, an MOS transistor 1010 may be an underlying structure layer (similar to the structure 100) to a copper-interconnect layer 1000. The copper-interconnect layer 1000 may comprise copper-filled trenches 1020 and copper intermetal via connections 1030 adjacent densified regions 1050 of a planarized low K dielectric layer 1040. The copper intermetal via connections 1030 may be copper (Cu)

WO 03/007367

PCT/US02/18842

structures similar to the first copper (Cu) structure 140, and the copper intermetal via connections 1030 may be annealed to the second copper (Cu) structures 1020 in a similar fashion to the anneal described above in relation to the formation of the copper-interconnect 745 (Figure 7).

As shown in Figure 11, a first dielectric layer 1105 and a first conductive structure 1125 (such as a copper intermetal via connection) may be formed above a structure 1100 such as a semiconducting substrate. However, the present invention is not limited to the formation of a copper-based interconnect above the surface of a semiconducting substrate such as a silicon wafer, for example. Rather, as will be apparent to one skilled in the art upon a complete reading of the present disclosure, a copper-based interconnect formed in accordance with the present invention may be formed above previously formed semiconductor devices and/or process layer, e.g., transistors, or other similar structure. In effect, the present invention may be used to form process layers on top of previously formed process layers. The structure 1100 may be an underlayer of semiconducting material, such as a silicon substrate or wafer, or, alternatively, may be an underlayer of semiconductor devices (see Figure 20, for example), such as a layer of metal oxide semiconductor field effect transistors (MOSFETs), and the like, and/or a metal interconnection layer or layers (see Figure 19, for example) and/or an interlayer dielectric (ILD) layer or layers, and the like.

In a dual-damascene copper process flow, according to various embodiments of the present invention, as shown in Figures 11-18, a second dielectric layer 1120 is formed above the first dielectric layer 1105 and above the first conductive structure 1125. A third dielectric layer 1130 is formed above the second dielectric layer 1120. A patterned photomask 1150 is formed above the third dielectric layer 1130. The first dielectric layer 1105 has an etch stop layer (ESL) 1110 (also known as a "hard mask" and typically formed of silicon nitride,  $\text{Si}_3\text{N}_4$ , or SiN, for short) formed and patterned thereon, between the first dielectric layer 1105 and the second dielectric layer 1120. Similarly, the second dielectric layer 1120 has an etch stop layer 1115 (also typically formed of SiN) formed and patterned thereon, between the second dielectric layer 1120 and the third dielectric layer 1130.

As will be described in more detail below in conjunction with Figure 12, the first etch stop layer 1110 and a second etch stop layer 1115 define a lower (via) portion of the copper interconnect formed in the dual-damascene copper process flow. If necessary, the third dielectric layer 1130 may be planarized using chemical-mechanical planarization (CMP). The third dielectric layer 1130 has a hard mask layer 1160 (typically also SiN) formed and patterned thereon, between the third dielectric layer 1130 and the patterned photomask 1150.

The first, second and third dielectric layers 1105, 1120 and 1130 may be formed from a variety of "low dielectric constant" or "low K" (K is less than or equal to about 4) dielectric materials. The low K first, second and third dielectric layers 1105, 1120 and 1130 may be formed by a variety of known techniques for forming such layers, e.g., a chemical vapor deposition (CVD) process, a low-pressure CVD (LPCVD) process, a plasma-enhanced CVD (PECVD) process, a sputtering process, a physical vapor deposition (PVD) process, a spin-on coating process (such as a spin-on glass process), and the like, and may each have a thickness ranging from approximately 100-500 nm (1000 Å-5000 Å), for example.

The low K first, second and third dielectric layers 1105, 1120 and 1130 may be formed from a variety of low K dielectric materials, where K is less than or equal to about 4. Examples include Applied Material's Black Diamond<sup>®</sup>, Novellus' Coral<sup>®</sup>, Allied Signal's Nanoglass<sup>®</sup>, JSR's LKD5104, and the like. In one

WO 03/007367

PCT/US02/18842

illustrative embodiment, the low K first, second and third dielectric layers 1105, 1120 and 1130 are each comprised of Applied Material's Black Diamond<sup>®</sup>, each having a thickness of approximately 5000 Å, each being formed by being blanket-deposited by a PECVD.

As shown in Figure 12, a metallization pattern is then formed by using the patterned photomask 1150, the etch stop layer 1110, the hard mask layers 1115 and 1160 (Figures 11-12), and photolithography. For example, first and second openings, such as via 1220 and trench 1230, for conductive metal lines, contact holes, via holes, and the like, are etched into the second and third dielectric layers 1120 and 1130, respectively (Figure 12). The first and second openings 1220 and 1230 may be formed by using a variety of known anisotropic etching techniques, such as a reactive ion etching (RIE) process using hydrogen bromide (HBr) and argon (Ar) as the etchant gases, for example. Alternatively, an RIE process with CHF<sub>3</sub> and Ar as the etchant gases may be used, for example. Plasma etching may also be used, in various illustrative embodiments. The etching may stop at the etch stop layer 1110.

As shown in Figure 13, the patterned photomask 1150 is trimmed, using a controlled photoresist trim, for example, forming a trimmed photomask 1350. The patterned photomask 1150 may be trimmed by ashing, using a molecular oxygen (O<sub>2</sub>) ashing, for example. Approximately 100-500 Å of the patterned photomask 1150 may be trimmed by the ashing.

As shown in Figure 14, a densification implant 1400 (indicated by the arrows) may be implanted into the low K second and third dielectric layers 1120 and 1130 to form respective densified regions 1420 and 1430 in the low K second and third dielectric layers 1120 and 1130 adjacent the openings 1220 and 1230, respectively. The densified regions 1420 in the low K second dielectric layer 1120 would, of course, be symmetrical if the opening 1220 were centered in the opening 1230. The densification implant 1400 increases the density of sidewalls 1440 and bottom areas 1450 of the openings 1220 and 1230 by about 5-50%, and, hence, reinforces the sidewalls 1440 and the bottom areas 1450 of the openings 1220 and 1230. In various illustrative embodiments, the densified regions 1420 and 1430 may be formed by being implanted with a densification dose of silicon (Si), silicon dioxide (SiO<sub>2</sub>), germanium (Ge), and the like. The densification dose of the densification implant 1400 may range from about  $5.0 \times 10^{13}$  -  $2.0 \times 10^{15}$  ions/cm<sup>2</sup> at an implant energy ranging from about 5-50 keV. The densified regions 1420 and 1430 may be subjected to a rapid thermal anneal (RTA) process performed at a temperature ranging from approximately 400-1000°C for a time ranging from approximately 5-60 seconds. The RTA process may activate the densification implant 1400 and reinforce the densification process.

As shown in Figure 15, the trimmed photomask 1350 and the hard mask layer 1160 are then stripped, the etch stop layer 1110 is removed above the first conductive structure 1125, and a thin barrier metal layer 1525A and a copper seed layer 1525B are applied to the entire surface using vapor-phase deposition (Figure 15). The barrier metal layer 1525A and the copper (Cu) seed layer 1525B blanket-deposit the entire upper surface 1530 of the third dielectric layer 1130 as well as the sidewalls 1440 and bottom areas 1450 of the first and second openings 1220 and 1230, and the first conductive structure 1125, thereby forming a conductive surface 1535, as shown in Figure 15.

The barrier metal layer 1525A may be formed of at least one layer of a barrier metal material, such as tantalum or tantalum nitride, and the like. For example, the barrier metal layer 1525A may also be formed of titanium nitride, titanium-tungsten, nitrided titanium-tungsten, or another suitable barrier material. The copper

WO 03/007367

PCT/US02/18842

seed layer 1525B may be formed on top of the one or more barrier metal layers 1525A by physical vapor deposition (PVD) or chemical vapor deposition (CVD), for example.

The bulk of the copper trench-fill is frequently done using an electroplating technique, where the conductive surface 1535 is mechanically clamped to an electrode (not shown) to establish an electrical contact, and the structure 1100 is then immersed in an electrolyte solution containing copper (Cu) ions. An electrical current is then passed through the wafer-electrolyte system to cause reduction and deposition of copper (Cu) on the conductive surface 1535. In addition, an alternating-current bias of the wafer-electrolyte system has been considered as a method of self-planarizing the deposited copper (Cu) film, similar to the deposit-etch cycling used in high-density plasma (HDP) tetraethyl orthosilicate (TEOS) dielectric depositions.

As shown in Figure 16, this process typically produces a conformal coating of copper (Cu) 1640 of substantially constant thickness across the entire conductive surface 1535. As shown in Figure 17, once a sufficiently thick layer of copper (Cu) 1640 has been deposited, the layer of copper (Cu) 1640 is planarized using chemical mechanical polishing (CMP) techniques. The planarization using CMP clears all copper (Cu) and barrier metal from the entire upper surface 1530 of the third dielectric layer 1130, leaving the copper (Cu) 1640 only in a metal structure such as a copper-filled trench and via, forming a copper-interconnect 1745, adjacent remaining portions 1725A and 1725B of the one or more barrier metal layers 1525A and copper seed layer 1525B (Figures 15 and 16), respectively, as shown in Figure 17.

As shown in Figure 17, the copper-interconnect 1745 may be formed by annealing the copper (Cu) 1640, adjacent the remaining portions 1725A and 1725B of the one or more barrier metal layers 1525A and copper seed layer 1525B (Figures 15 and 16), to the first conductive structure 1125. The anneal process may be performed in a traditional tube furnace, at a temperature ranging from approximately 100-500°C, for a time period ranging from approximately 10-180 minutes, in a nitrogen-containing ambient that may comprise at least one of N<sub>2</sub>, H<sub>2</sub>, Ar, NH<sub>3</sub>, and the like. Alternatively, the anneal process may be a rapid thermal anneal (RTA) process performed at a temperature ranging from approximately 100-500°C for a time ranging from approximately 10-180 seconds in a nitrogen-containing ambient that may comprise at least one of N<sub>2</sub>, H<sub>2</sub>, Ar, and the like.

As shown in Figure 18, the low K third dielectric layer 1130 may be planarized, as needed, using chemical mechanical polishing (CMP) techniques. Planarization would leave the planarized low K third dielectric layer 1130 adjacent the copper-interconnect 1745 and above the etch stop layer 1115, forming a portion of a copper-interconnect layer 1800. The copper-interconnect layer 1800 may comprise the copper-interconnect 1745 adjacent the respective densified regions 1420 and 1430 of the second and third dielectric layers 1120 and 1130, respectively. The copper-interconnect layer 1800 may also comprise the first etch stop layer 1110. As shown in Figure 18, the copper-interconnect layer 1800 may also comprise an etch stop layer 1820 (also known as a "hard mask" and typically formed of silicon nitride, Si<sub>3</sub>N<sub>4</sub>, or SiN, for short) formed and patterned above the third dielectric layer 1130 and above at least a portion of the copper-interconnect 1745.

As shown in Figure 19, the copper-interconnect layer 1800 may be an underlying structure layer (similar to the structure 1100) to a copper-interconnect layer 1900. In various illustrative embodiments, the copper-interconnect layer 1900 may comprise a copper-filled trench 1940 adjacent densified regions 1945 of a planarized low K dielectric layer 1935, an intermetal via connection 1910 adjacent densified regions 930 of a

WO 03/007367

PCT/US02/18842

planarized low K dielectric layer 1925, and an etch stop layer 1915 between the low K dielectric layers 1935 and 1925. The intermetal via connection 1910 may be a copper (Cu) structure similar to the first copper (Cu) structure 1125, and the intermetal via connection 1910 may be annealed to the copper-filled trench 1940 in a similar fashion to the anneal described above in relation to the formation of the copper-interconnect 745 (Figure 7). The copper-interconnect layer 1900 may also comprise the etch stop layer 1820 and/or an etch stop layer 1920 formed and patterned above the planarized low K dielectric layer 1935 and above at least a portion of the copper-filled trench 1940.

In various alternative illustrative embodiments, the copper-interconnect layer 1900 may be similar to the copper-interconnect layer 1800, the copper-interconnect layer 1900 having a copper-interconnect disposed therein (not shown) that is similar to the copper-interconnect 1745 (Figures 17-18), for example. The copper-interconnect disposed in the copper-interconnect layer 1900 may be annealed to the copper-interconnect 1745 disposed in the copper-interconnect layer 1800 in a similar fashion to the anneal described above in relation to the formation of the copper-interconnect 1745 (Figure 17).

As shown in Figure 20, an MOS transistor 2010 may be an underlying structure layer (similar to the structure 1100) to a copper-interconnect layer 2000. The copper-interconnect layer 2000 may comprise copper-filled trenches and vias 2020 adjacent densified regions 2050 a planarized low K dielectric layer 2040. The copper-filled trenches and vias 2020 may be annealed to an underlying conductive structure such as source/drain regions 2015 of the MOS transistor 2010 in a similar fashion to the anneal described above in relation to the formation of the copper-interconnect 1745 (Figure 17).

The dual-damascene copper process flow according to various embodiments of the present invention, as shown in Figures 11-18, combines the intermetal via connection formation with the copper (Cu) trench-fill formation by etching a more complex pattern before the formation of the barrier metal layer and copper (Cu) seed layer and before the copper (Cu) trench-fill. The trench etching continues until the via hole (such as the first opening 1220 in Figure 12) has been etched out. The rest of the dual-damascene copper process flow according to various embodiments of the present invention, as shown in Figures 13-18, is essentially identical with the corresponding single-damascene copper process flow according to various embodiments of the present invention, as shown in Figures 3-8. Overall, however, the dual-damascene copper process flow according to various embodiments of the present invention significantly reduces the number of processing steps and is a preferred method of achieving copper-metallization.

Any of the above-disclosed embodiments of a method of forming a copper interconnect enables a copper interconnect to be formed using conventional damascene techniques in conjunction with densified low K dielectric materials that are far more robust than the conventional low K materials typically used in conventional damascene techniques. The densified low K dielectric materials are far less susceptible to damage during the etching and subsequent processing steps of the conventional damascene techniques than are the conventional low K materials. By forming a densified low K dielectric layer adjacent the copper interconnect, all of the advantages of using a low K dielectric layer to reduce the capacitance and RC delays between adjacent copper interconnects are retained, without any of the difficulties of forming the copper interconnect using a conventional undensified low K dielectric during the conventional damascene processing.

The particular embodiments disclosed above are illustrative only, as the invention may be modified and practiced in different but equivalent manners apparent to those skilled in the art having the benefit of the

WO 03/007367

PCT/US02/18842

5 teachings herein. Furthermore, no limitations are intended to the details of construction or design herein shown, other than as described in the claims below. It is therefore evident that the particular embodiments disclosed above may be altered or modified and all such variations are considered within the scope and spirit of the invention. In particular, every range of values (of the form, "from about  $a$  to about  $b$ ," or, equivalently, "from approximately  $a$  to  $b$ ," or, equivalently, "from approximately  $a$ - $b$ ") disclosed herein is to be understood as referring to the power set (the set of all subsets) of the respective range of values, in the sense of Georg Cantor. Accordingly, the protection sought herein is as set forth in the claims below.

WO 03/007367

PCT/US02/18842

## CLAIMS

1. A method comprising:  
forming a first conductive structure 140;  
forming a first dielectric layer 130 above the first conductive structure 140;  
5 forming a first opening 220 in the first dielectric layer 130 above at least a portion of the first  
conductive structure 140, the first opening 220 having sidewalls 440; and  
densifying the sidewalls 440.
2. The method of claim 1, further comprising:  
10 forming a metal structure in the first opening 220, the metal structure contacting the at least  
the portion of the first conductive structure 140; and  
forming an interconnect by annealing the metal structure and the first conductive structure  
140.
3. The method of claim 2, wherein forming the first dielectric layer comprises forming the first  
15 dielectric layer using a low dielectric constant (low K) dielectric material, having a dielectric constant K of at  
most about four, and forming the second dielectric layer using one of a chemical vapor deposition (CVD)  
process, a low-pressure CVD (LPCVD) process, a plasma-enhanced CVD (PECVD) process, a sputtering  
process, a physical vapor deposition (PVD) process, and a spin-on coating process.
- 20 4. The method of claim 1, wherein densifying the sidewalls comprises implanting at least one of  
silicon, silicon dioxide and germanium into the sidewalls.
5. A method comprising:  
forming a first dielectric layer 130 above a structure layer;  
25 forming a first opening 220 in the first dielectric layer 130;  
forming a first copper layer 640 above the first dielectric layer 130 and in the first opening  
220;  
forming a copper structure by removing portions of the copper layer 640 above the first  
dielectric layer 130, leaving the copper structure in the first opening 220;  
30 forming a second dielectric layer 925 above the first dielectric layer 130 and above the copper  
structure;  
forming a second opening in the second dielectric layer 925 above at least a portion of the  
copper structure, the second opening having sidewalls; and  
densifying the sidewalls of the second opening.
- 35 6. The method of claim 5, further comprising:  
forming a second copper layer above the second dielectric layer 925 and in the second  
opening, the second copper layer 925 being disposed above the at least the portion of  
the copper structure;

WO 03/007367

PCT/US02/18842

forming the copper interconnect by removing portions of the second copper layer above the second dielectric layer 925, leaving the copper interconnect in the second opening; and  
annealing the copper interconnect.

5

7. The method of claim 6, further comprising:  
planarizing the second dielectric layer 925, wherein forming the second dielectric layer 925 comprises forming the second dielectric layer using a low dielectric constant (low K) dielectric material, having a dielectric constant K of at most about four.

10

8. The method of claim 5, wherein forming the first dielectric layer 130 comprises forming the first dielectric layer 130 using a low dielectric constant (low K) dielectric material, having a dielectric constant K of at most about four, and forming the first dielectric layer using one of a chemical vapor deposition (CVD) process, a low-pressure CVD (LPCVD) process, a plasma-enhanced CVD (PECVD) process, a sputtering process, a physical vapor deposition (PVD) process, and a spin-on coating process.

15

9. The method of claim 5, wherein densifying the sidewalls of the second opening comprises implanting at least one of silicon, silicon dioxide and germanium into the sidewalls of the second opening.

20

10. A method of forming a copper interconnect, the method comprising:  
forming a first dielectric layer 130 above a structure layer;  
forming a first opening 220 in the first dielectric layer 130;  
forming a copper via in the first opening;  
forming a second dielectric layer 925 above the first dielectric layer 130 and above the copper via;  
forming a second opening in the second dielectric layer 925 above at least a portion of the copper via, the second opening having sidewalls; and  
densifying the sidewalls of the second opening.

25

30

11. The method of claim 10, further comprising:  
forming a copper line in the second opening, the copper line being disposed above the at least the portion of the copper via; and  
forming the copper interconnect by annealing the copper line and the copper via.

35

12. The method of claim 10, wherein forming the first dielectric layer 130 comprises forming the first dielectric layer 130 using a low dielectric constant (low K) dielectric material, having a dielectric constant K of at most about four, and forming the first dielectric layer using one of a chemical vapor deposition (CVD) process, a low-pressure CVD (LPCVD) process, a plasma-enhanced CVD (PECVD) process, a sputtering process, a physical vapor deposition (PVD) process, and a spin-on coating process.

40

WO 03/007367

PCT/US02/18842

13. The method of claim 10, wherein densifying the sidewalls of the second opening comprises implanting at least one of silicon, silicon dioxide and germanium into the sidewalls of the second opening.
14. A method of forming a copper interconnect, the method comprising:  
5 forming a first dielectric layer 130 above a structure layer;  
forming a first opening 220 in the first dielectric layer;  
forming a first copper layer 640 above the first dielectric layer 130 and in the first opening  
220;  
10 forming a copper via by removing portions of the first copper layer 640 above the first  
dielectric layer 130, leaving the copper via in the first opening 220;  
forming a second dielectric layer 925 above the first dielectric layer 130 and above the copper  
via;  
forming a second opening in the second dielectric layer 925 above at least a portion of the  
15 copper via, the second opening having sidewalls; and  
densifying the sidewalls of the second opening.
15. The method of claim 14, further comprising:  
forming a second copper layer above the second dielectric layer and in the second opening,  
20 the second copper layer being disposed above the at least the portion of the copper  
via;  
forming the copper interconnect by removing portions of the second copper layer above the  
second dielectric layer, leaving the copper interconnect in the second opening; and  
annealing the copper interconnect.
- 25 16. The method of claim 15, further comprising:  
planarizing the second dielectric layer 925, wherein forming the second dielectric layer 925  
comprises forming the second dielectric layer using a low dielectric constant (low K)  
dielectric material, having a dielectric constant K of at most about four.
- 30 17. The method of claim 14, wherein forming the first dielectric layer 130 comprises forming the  
first dielectric layer 130 using a low dielectric constant (low K) dielectric material, having a dielectric constant  
K of at most about four, and forming the first dielectric layer 130 using one of a chemical vapor deposition  
(CVD) process, a low-pressure CVD (LPCVD) process, a plasma-enhanced CVD (PECVD) process, a  
sputtering process, a physical vapor deposition (PVD) process, and a spin-on coating process.
- 35 18. The method of claim 14, wherein densifying the sidewalls of the second opening comprises  
implanting at least one of silicon, silicon dioxide and germanium into the sidewalls of the second opening.

1 / 20

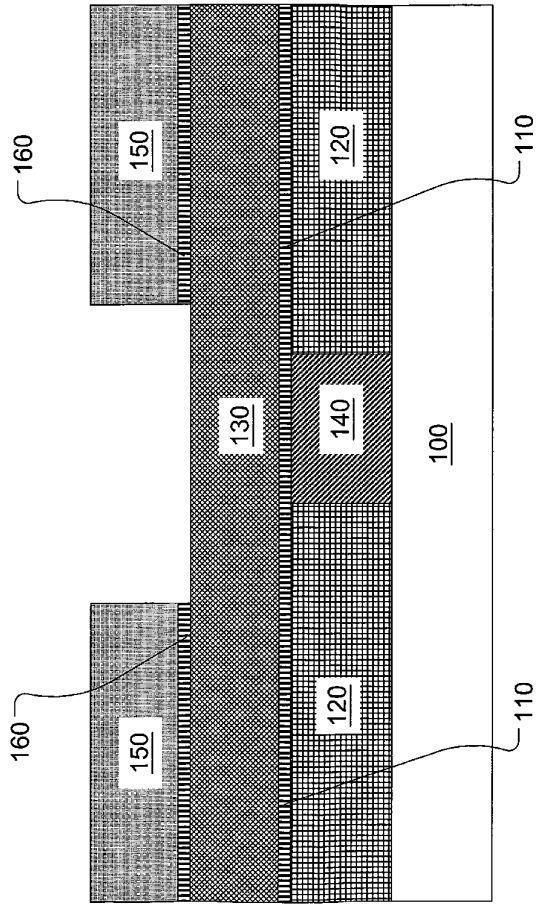


Figure 1

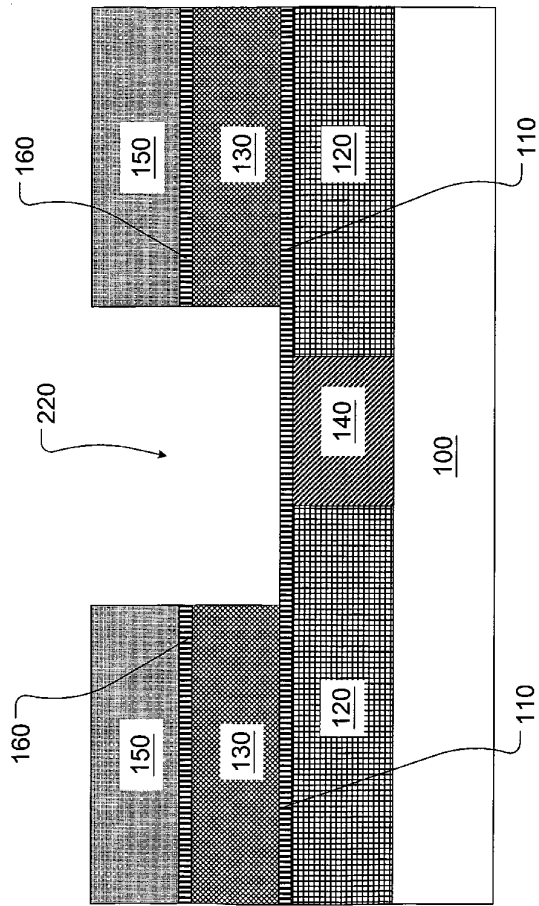


Figure 2

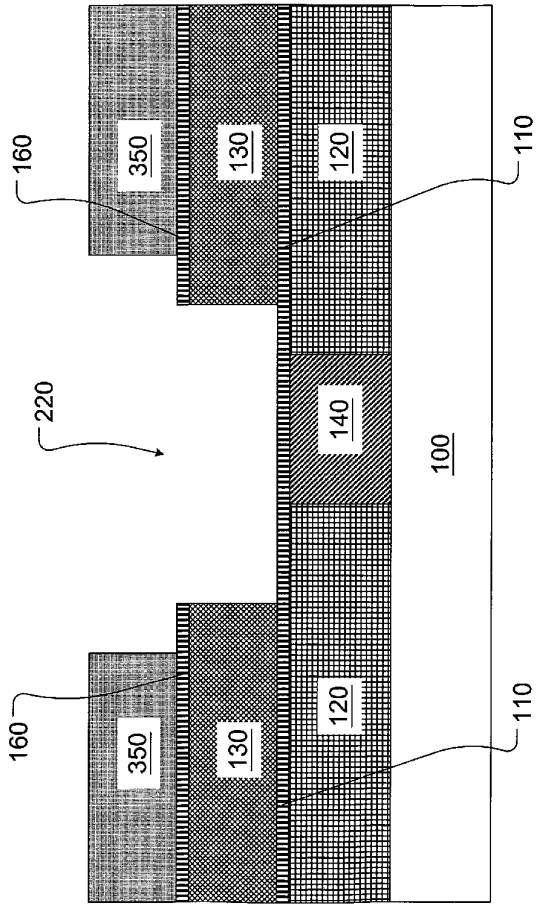


Figure 3

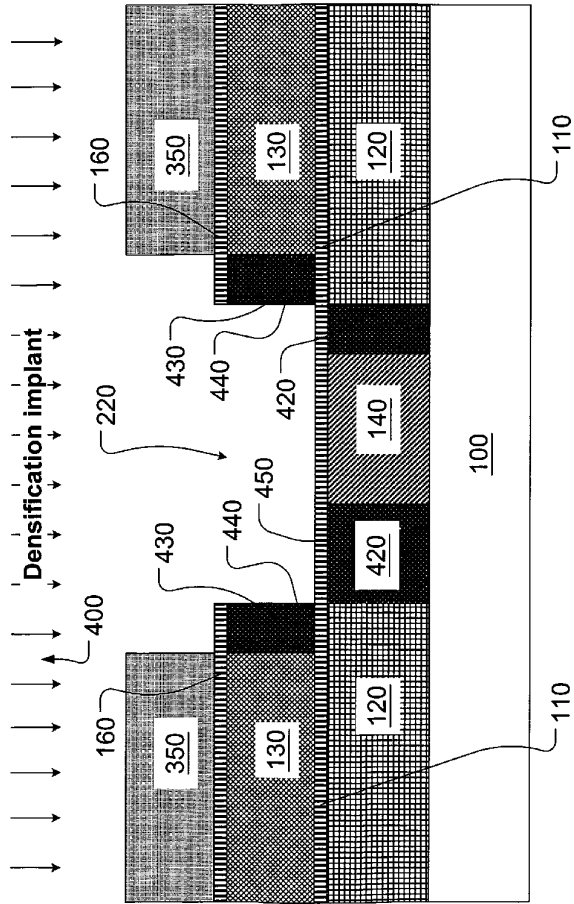


Figure 4

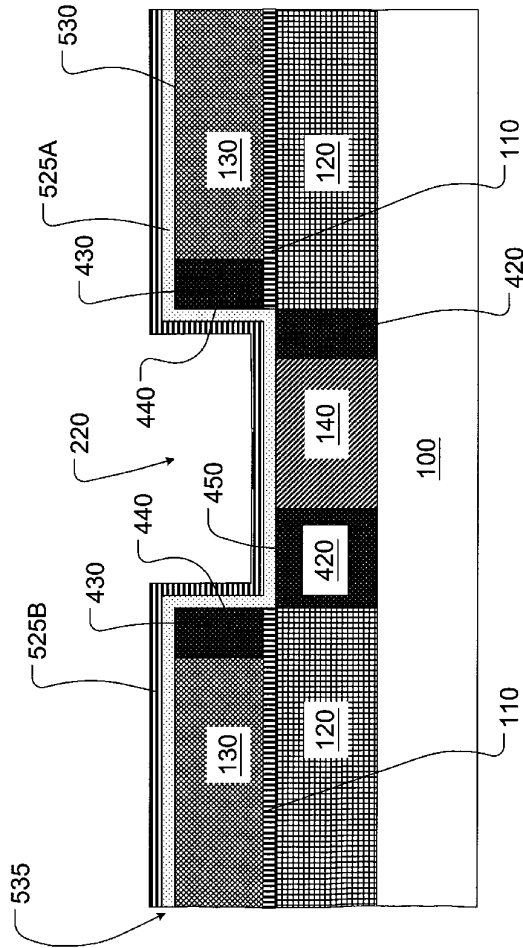


Figure 5

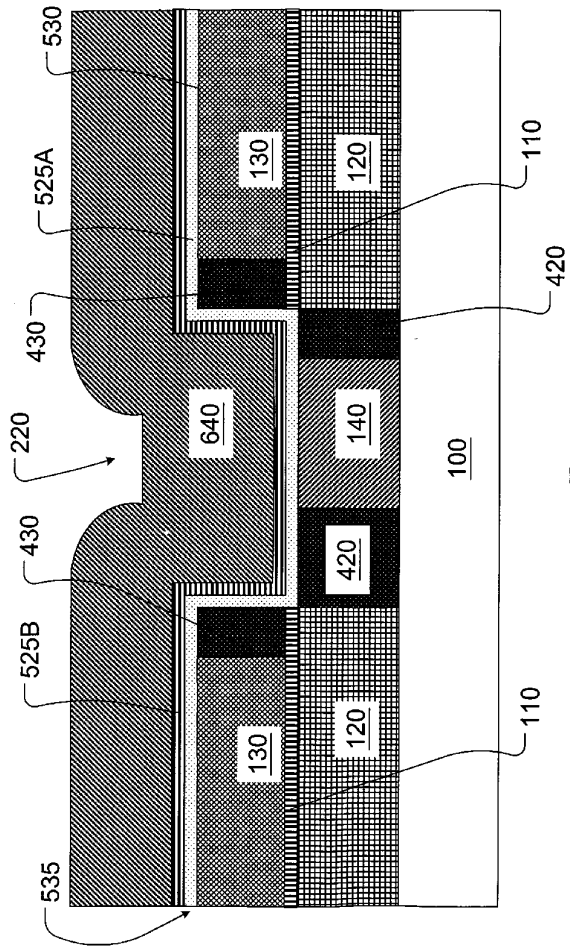


Figure 6

7 / 20

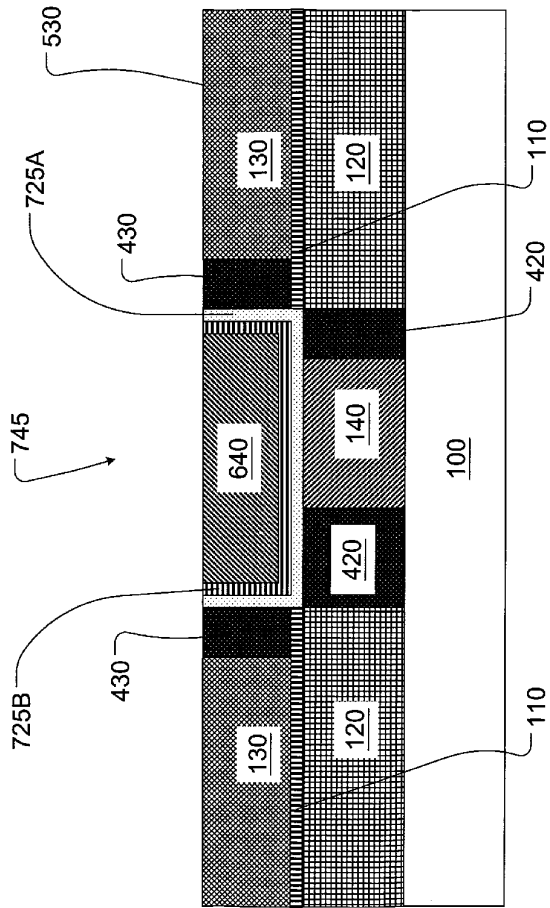


Figure 7

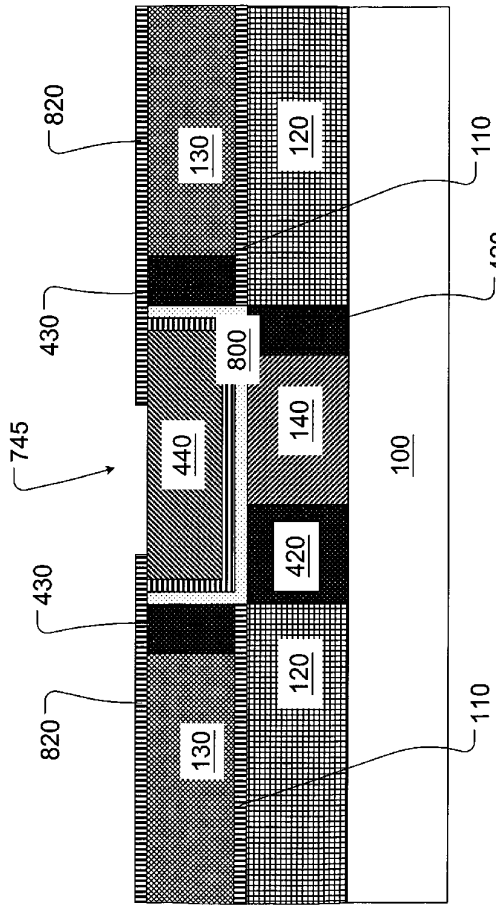


Figure 8



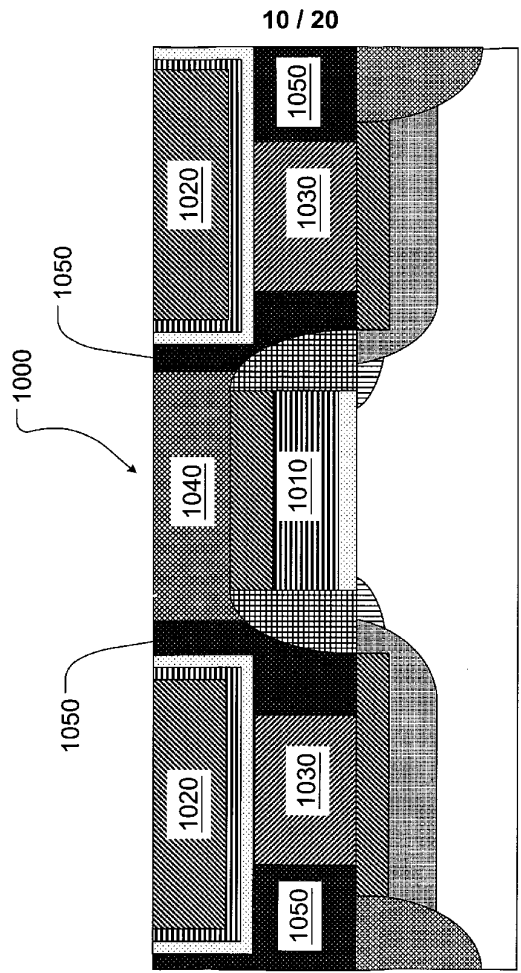


Figure 10

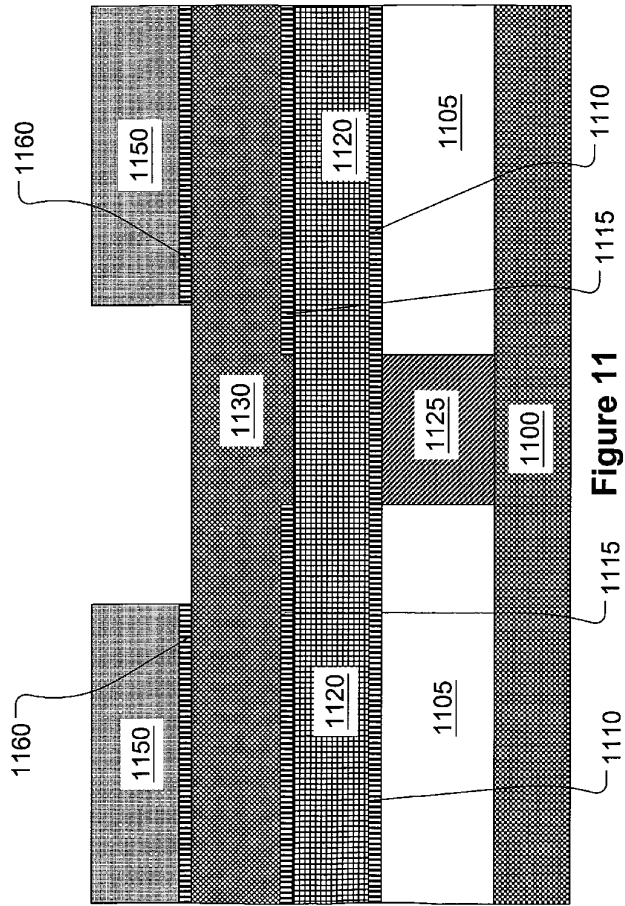


Figure 11

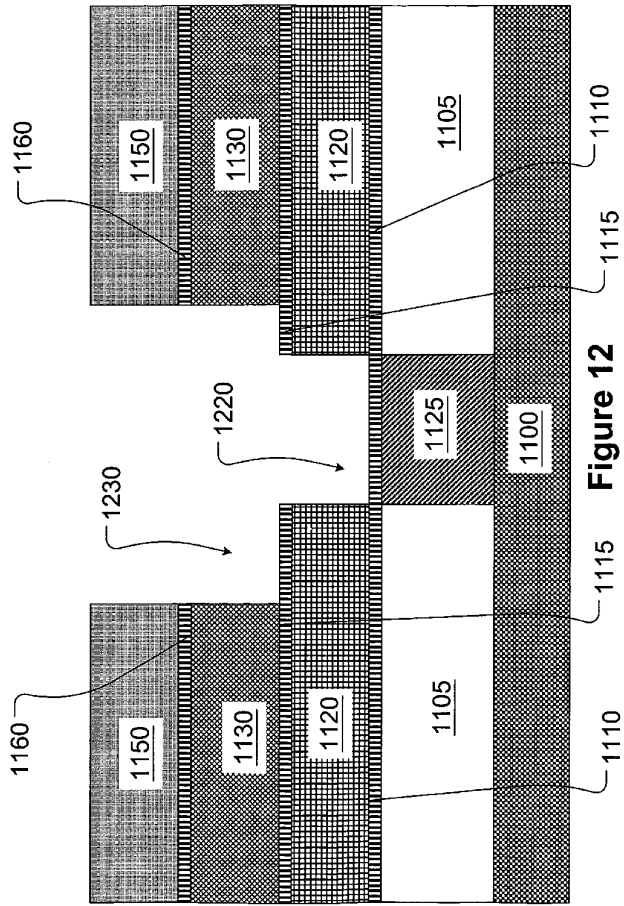
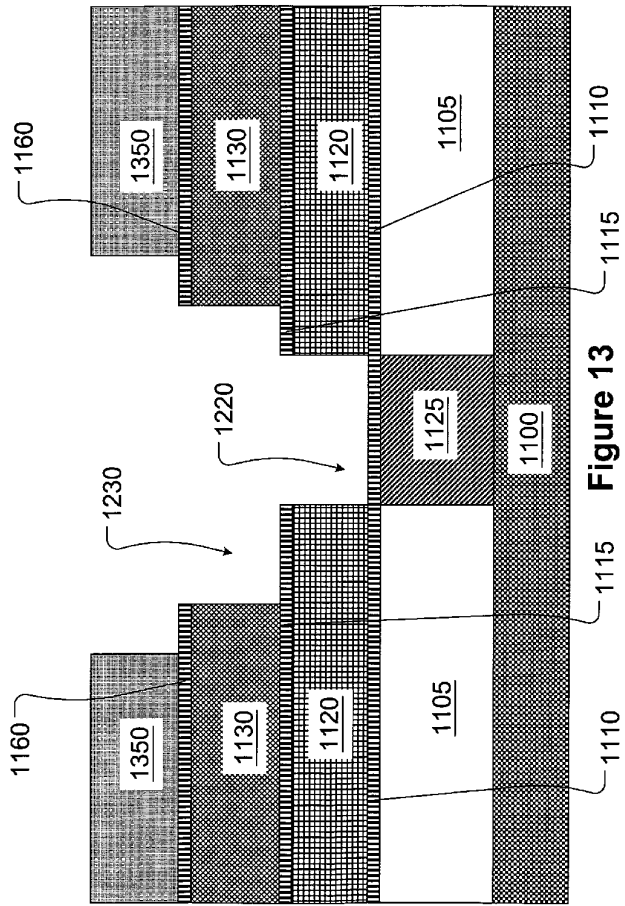


Figure 12





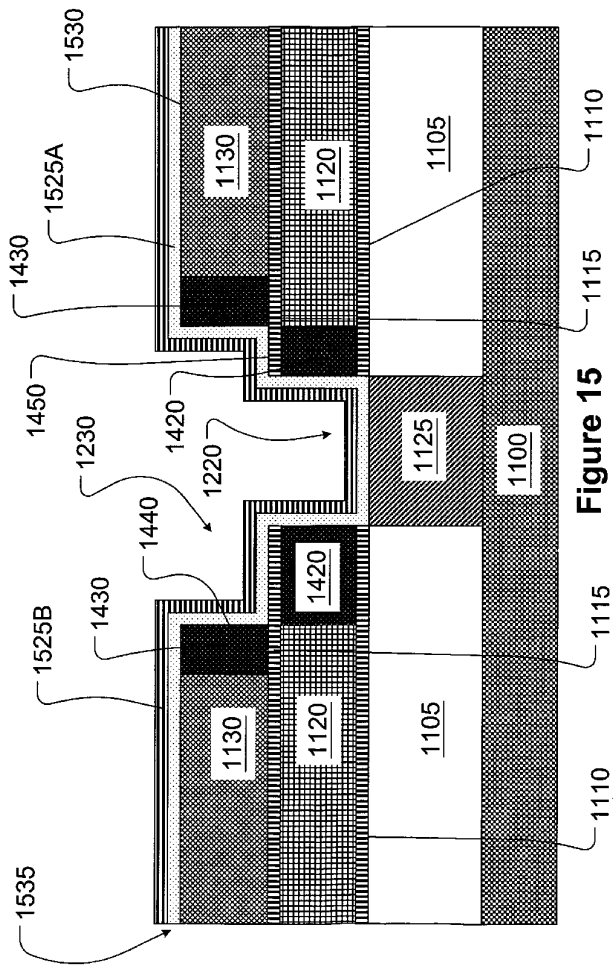


Figure 15



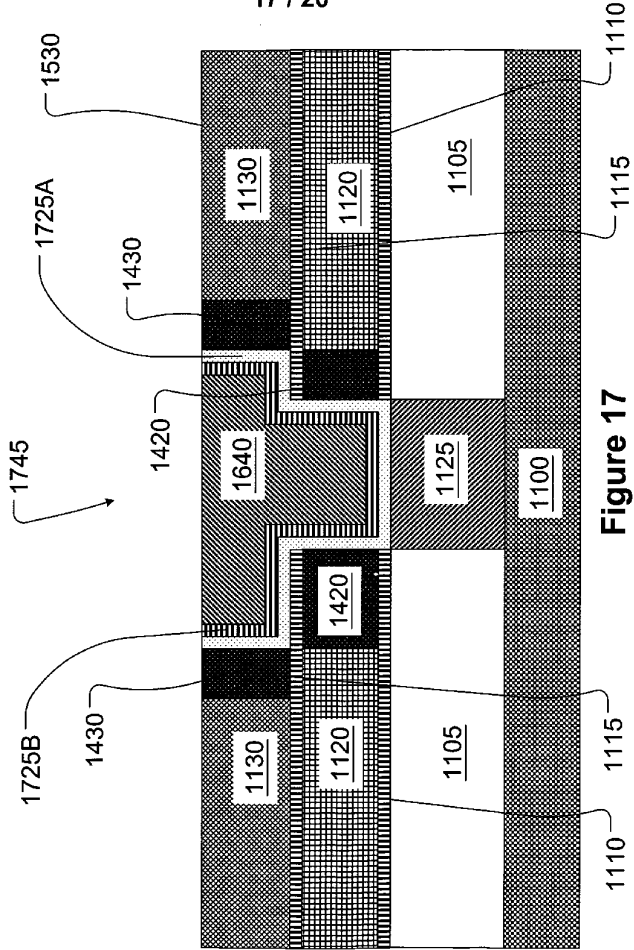


Figure 17

18 / 20

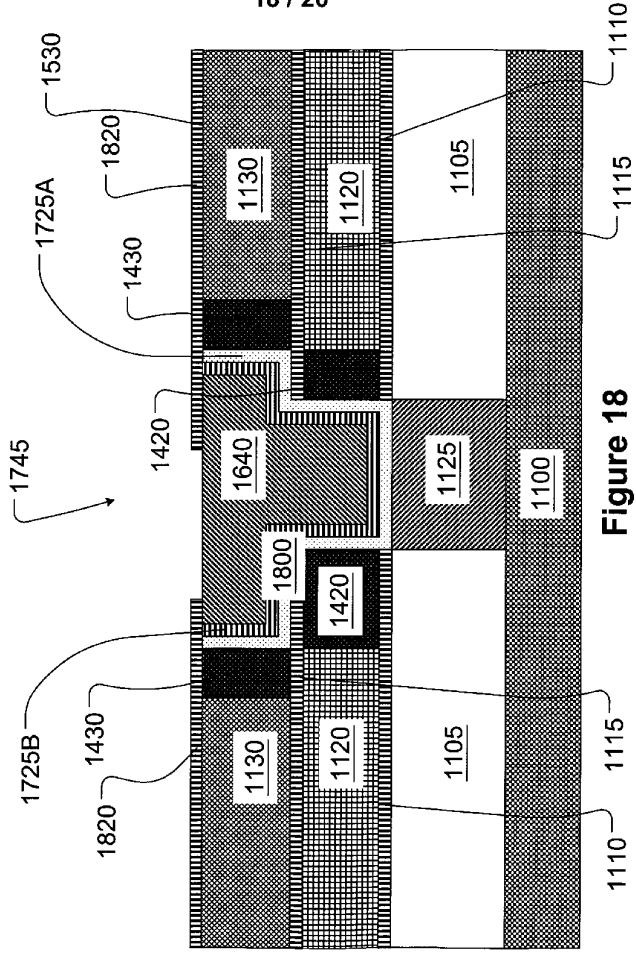


Figure 18



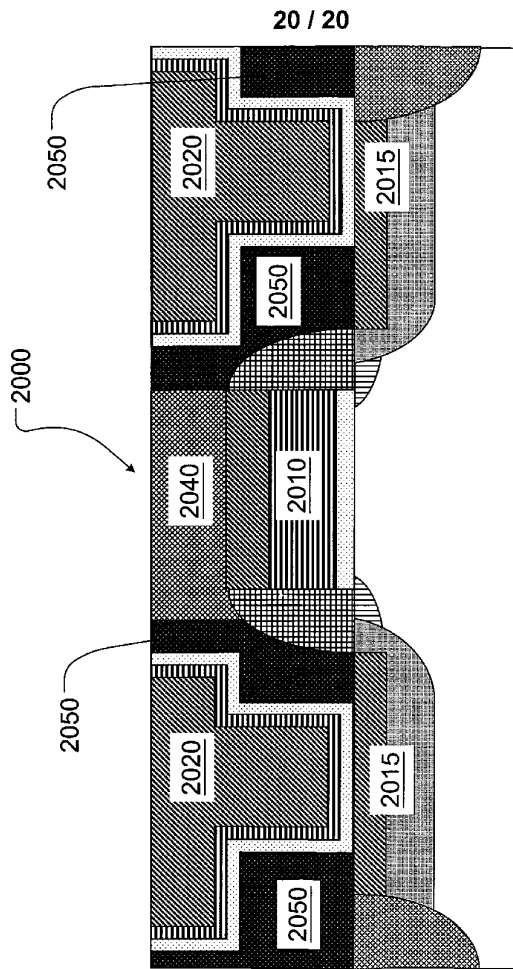


Figure 20

## 【手続補正書】

【提出日】平成16年3月9日(2004.3.9)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

## 【特許請求の範囲】

## 【請求項1】

第1導電構造体(140)を形成する処理と、  
前記第1導電構造体(140)の上に第1絶縁層(130)を形成する処理と、  
前記第1絶縁層(130)において、前記第1導電構造体(140)の少なくとも一部の上  
に、側壁部(440)を持つ第1開口部(220)を形成する処理と、  
前記側壁部(440)を高密度化する処理とを含む方法であって、  
前記側壁部を高密度化する処理は、シリコン、二酸化シリコンおよびゲルマニウムの  
うち少なくとも1つを前記側壁部に打ち込む処理を含む方法。

## 【請求項2】

前記開口部(220)に、前記第1導電構造体(140)の少なくとも一部に接触する金  
属構造体を形成する処理と、  
前記第1導電構造体(140)および前記金属構造体をアニーリングして相互接続を形  
成する処理と、をさらに含む請求項1記載の方法。

## 【請求項3】

前記第1絶縁層を形成する処理は、誘電率が最大でおおよそ4である低誘電率(Low-K)  
の誘電体材料を用いて前記絶縁層を形成する処理と、化学気相成長(CVD)プロセス、  
低圧CVD(LPCVD)プロセス、プラズマ・エンハンスドCVD(PECVD)プロ  
セス、スパッタリングプロセス、物理気相成長(PVD)プロセスおよびスピン・オン・  
コーティングプロセスのうちいずれか1つを用いて第1絶縁層を形成する処理、を含む  
請求項2記載の方法。

## 【請求項4】

前記第1絶縁層(130)の上および前記第1開口部(220)のなかに第1銅層(64  
0)を形成する処理と、  
前記第1絶縁層(130)上の第1銅層(640)の一部を除去し、前記第1開口部(2  
20)のなかに銅の構造体を残すことによって、銅の構造体を形成する処理と、  
前記第1絶縁層(130)の上、および前記銅の構造体の上に、第2絶縁層(925)を  
形成する処理と、  
前記第2絶縁層(925)において、前記銅の構造体の少なくとも一部の上に、側壁部を  
持つ第2開口部を形成する処理と、  
前記第2開口部の前記側壁部を高密度化する処理とをさらに含む、請求項1記載の方法。

## 【請求項5】

前記第2絶縁層(925)の上および前記第2開口部のなかに、前記銅の構造体の少な  
くとも一部の上に配置される第2銅層を形成する処理と、  
前記第2絶縁層(925)上の第2銅層の一部を除去し、前記第2開口部のなかに銅の相  
互接続を残すことによって、銅の相互接続を形成する処理と、  
前記銅の相互接続をアニーリングする処理をさらに含む、請求項4記載の方法。

## 【請求項6】

前記第2絶縁層(925)を平坦化する処理をさらに含み、前記第2絶縁層(925)を  
形成する処理は、誘電率が最大でおおよそ4である低誘電率(Low-K)の誘電体材料を用  
いて前記第2絶縁層を形成する処理を含む、請求項5記載の方法。

## 【請求項7】

前記第2開口部の前記側壁部を高密度化する処理は、シリコン、二酸化シリコンおよびゲ

ルマニウムのうちの少なくとも1つを前記第2開口部の前記側壁部に打ち込む処理を含む、請求項4記載の方法。

【請求項8】

前記銅の構造体は銅のビアである、請求項7記載の方法。

【請求項9】

前記第2開口部のなかに、前記銅のビアの少なくとも一部の上に配置される銅のラインを形成する処理と、

前記銅のラインおよび前記銅のビアをアニーリングして銅の相互接続を形成する処理とをさらに含む、請求項8記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

本発明の一態様において、第1導電構造体を形成する処理と、前記第1導電構造体の上に第1絶縁層を形成する処理とを含む方法を提供する。この方法は、さらに前記第1導電構造体の少なくとも一部の上の前記第1絶縁層に側壁部（サイドウォール）を有する第1開口部を形成する処理、この側壁部の密度を高める処理を含む。側壁部の密度は、シリコン、二酸化シリコンまたはゲルマニウムのいずれかを側壁部に打ち込むことによって高められる。

本発明のその他の態様において、第1導電構造体と、前記第1導電構造体の上の第1絶縁層を有する装置が提供される。この装置は、さらに前記第1導電構造体の少なくとも一部の上の前記第1絶縁層に密度を高めた、つまり高密度化された側壁部（サイドウォール）を有する第1開口部を含む。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/18842
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L21/768  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, INSPEC, WPI Data		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 221 780 B1 (MCGAHAY VINCENT J ET AL) 24 April 2001 (2001-04-24)	1,5,8, 10,12, 14,17 2,3,6,7, 11,15,16
A	column 1, line 41 - line 53  column 6, line 5 -column 9, line 21; figures 3-11 ---	
X	US 6 114 259 A (HU JOHN RONGXIANG ET AL) 5 September 2000 (2000-09-05)	1
A	column 3, line 64 -column 6, line 50  column 7, line 17 - line 26 column 7, line 65 -column 8, line 11 column 9, line 57 - line 65 column 10, line 50 -column 11, line 5; figures 1-5  --- -/--	5,8,10, 12,14,17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed ** later document published after the international filing date or priority date and not in context with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *** document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *A* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 December 2002		30/12/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040. Tx. 31 651 epo nl. Fax: (+31-70) 340-3016		Authorized officer  Micke, K

INTERNATIONAL SEARCH REPORT		Int. Patent Application No. P.1/JS 02/18842
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 26, 1 July 2002 (2002-07-01) -& JP 2001 267418 A (SANYO ELECTRIC CO LTD), 28 September 2001 (2001-09-28) abstract paragraph '0020' - paragraph '0036'; figures 1,2 -----	1

INTERNATIONAL SEARCH REPORT				International Application No.	
Information on patent family members				P.1/JS 02/18842	
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 6221780	B1	24-04-2001	US 2001000115 A1		05-04-2001
US 6114259	A	05-09-2000	NONE		
JP 2001267418	A	28-09-2001	NONE		

## フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZM,ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 エリック エム . アペルグレン

アメリカ合衆国、テキサス州 78749、オースティン、ラ シエスタ ベンド 8920

(72)発明者 クリスチャン ジルト

アメリカ合衆国、テキサス州 78745、オースティン、ナンバー 233、プロウディ レイン 5800

(72)発明者 ジェレミー アイ . マーティン

アメリカ合衆国、テキサス州 78704、オースティン、ジュリエット ストリート 1508

(72)発明者 ポール アール . ベセル

アメリカ合衆国、カリフォルニア州 94087、サニーベイル、ヨークタウン ドライブ 1087

(72)発明者 フレッド チューン

アメリカ合衆国、カリフォルニア州 95136、サン ノゼ、キング ジョージ アベニュー 536

Fターム(参考) 5F033 HH21 HH23 HH32 HH33 JJ11 JJ21 JJ23 JJ32 JJ33 KK11  
 KK21 KK32 KK33 MM01 MM02 MM12 MM13 NN06 NN07 PP06  
 PP14 PP27 QQ09 QQ13 QQ16 QQ25 QQ28 QQ37 QQ48 QQ60  
 QQ61 QQ73 RR01 RR06 SS07 SS08 SS11 SS13 SS15 SS21  
 TT02 TT06 WW09