

年 月 日修正本
100. 7. 29

公告本

發明專利說明書

中文說明書替換本(100年7月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：096143985

※ 申請日期：96.11.20.

※IPC 分類：G11C 13/00(2006.01)

一、發明名稱：(中文/英文)

H01L 27/10(2006.01)

非揮發性半導體記憶裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商夏普股份有限公司

SHARP KABUSHIKI KAISHA

代表人：(中文/英文)

片山 幹雄

KATAYAMA, MIKIO

住居所或營業所地址：(中文/英文)

日本國大阪府大阪市阿倍野區長池町22番22號

22-22, NAGAIKE-CHO, ABENO-KU, OSAKA-SHI, OSAKA 545-8522,

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 山崎 信夫
YAMAZAKI, SHINOBU
2. 細井 康成
HOSOI, YASUNARI
3. 粟屋 信義
AWAYA, NOBUYOSHI
4. 里 真一
SATO, SHINICHI
5. 田中 研一
TANAKA, KENICHI

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN
5. 日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年12月08日；特願2006-331689

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種非揮發性半導體記憶裝置，特別是關於具備藉由施加電壓而電阻特性變化之可變電阻元件的非揮發性半導體記憶裝置。

【先前技術】

快閃記憶體所代表之非揮發性半導體記憶裝置，作為大容量且小型之資訊記錄媒體，用於電腦、通信、計測機器、自動控制裝置及用於個人周邊之生活機器等廣泛領域，對此種更廉價且大容量之非揮發性半導體記憶裝置的需要非常大。此理由是，從可電性重寫，且即使斷開電源資料不致消失的觀點，可發揮作為可輕易攜帶之記憶卡、行動電話等及裝置運轉之初始設定，而非揮發地記憶之資料儲存、程式儲存等的功能。

另外，鑑於最近應用程式及資料本身趨於龐大之狀況，今後須實現儲存於快閃記憶體之軟體可重寫、錯誤修正及功能升級等的系統。但是，先前非揮發性半導體記憶裝置之代表的快閃記憶體，為了重寫需要非常長的時間，且因一次重寫之資料量受到限制，所以需要確保緩衝檔案用之多餘的記憶區域，結果產生重寫時處理步驟非常繁雜化的問題。

此外，預測到快閃記憶體在原理上與微細化限度抵觸，最近廣泛研究取代快閃記憶體之新型的非揮發性半導體記憶裝置。其中利用藉由在金屬氧化膜上施加電壓產生電阻

變化之現象的電阻變化型之非揮發性半導體記憶裝置，在微細化限度方面比快閃記憶體優異，此外，可進行高速之資料重寫，因此近年來積極進行研究開發。

就形成此等背景之在鎳、鐵、銅、鈦等金屬氧化物上施加電壓，而電阻變化之現象本身，雖從1960年代開始研究(參照非專利文獻1)，不過，當時並無實用化成實際的裝置。在1990年代後期，提出利用藉由在具有鈣鈦礦構造之錳及銅氧化物中，短時間賦予電壓脈衝，將材料之惡化抑制在最小限度，不可逆地可增減電阻，而應用於非揮發性半導體記憶裝置，繼續，證實將此等金屬氧化物之可變電阻元件與電晶體或二極體組合，作為記憶體單位元件(記憶胞)之記憶胞陣列實際可形成於半導體晶片上，而在2002年之IEDM(國際電子裝置會議)中報告(參照非專利文獻2)，成為半導體業界廣泛進行研究的契機。其後，提出即使於1960年代進行研究之鎳及銅氧化物，亦以同樣之考慮，而與電晶體及二極體組合的報告(參照非專利文獻3、非專利文獻4)。

此等技術全部係利用藉由施加電壓脈衝而激勵之金屬氧化物的電阻變化，利用不同之電阻狀態作為構成非揮發性半導體記憶裝置(之記憶元件)的記憶資訊者，基本上應係同一技術。

上述之藉由施加電壓而激勵電阻變化的可變電阻元件(金屬氧化物之電阻元件)，依使用之金屬氧化物(以下，將藉由施加電壓而使電阻值變化之金屬氧化物稱為「可變電

阻體」)的材料、電極材料、元件形狀、大小及動作條件，而顯示各種電阻特性及電阻變化特性。但是，該特性之多樣性的原因不明。亦即，研究者係以偶然製作之範圍，就構成非揮發性半導體記憶裝置之記憶元件(以下，記載成「非揮發性半導體記憶元件」)，將顯示最佳特性之動作條件作為其元件的動作條件者，並未充分掌握此等特性的全貌，目前係尚無統一之設計方針的狀況。

該尚無統一之設計方針的狀況，表示尚未達到有意義地可在工業上利用上述可變電阻元件的技術。換言之，上述經驗性最佳化之技術，即使上述可變電阻元件可作為非揮發性半導體記憶元件單體，或是將該記憶元件小規模地積體化之零件來利用，仍無法應用於如快閃記憶體需要100萬~1億個以上大規模積體度之高品質保證的目前之半導體記憶裝置。

就上述尚未掌握全貌之具體事例，如上述可變電阻元件之雙極性(bipolar)切換特性與單極性(monopolar)切換特性。此等已經在IEDM中報告了兩者切換特性與其應用例(參照非專利文獻2)。

所謂雙極性切換，係利用正負不同之2個極性的電壓脈衝，藉由以任何一方極性之電壓脈衝，使可變電阻元件之電阻從低電阻狀態轉移至高電阻狀態，以另一方極性之電壓脈衝從高電阻狀態轉移至低電阻狀態，而實現2個電阻狀態間的切換者。

另外，單極性切換係利用同極性，而長短不同之2個施

加時間(脈寬)的電壓脈衝，藉由以一方施加時間之電壓脈衝使可變電阻元件之電阻從低電阻狀態轉移至高電阻狀態，以另一方施加時間之電壓脈衝從高電阻狀態轉移至低電阻狀態，而實現2個電阻狀態間之切換者。

先前，就上述兩者之切換特性雖有各種報告，不過，此等還停留在說明製作出之特定非揮發性半導體記憶元件的動作條件中之特性。

上述2個切換特性之切換動作有各種優點與問題。

雙極性切換的情況，因為伴隨電阻增大及減少之轉移時間，均可以數10 ns程度或比其短之時間來實現，所以藉由利用其之記憶裝置，可非常高速地執行存儲資料之重寫。但是，為了利用正負兩者之電壓脈衝的施加，為了避免蔓延電流，且僅使選擇記憶胞動作，各記憶胞需要一個選擇電晶體(參照圖61)。

圖61係以可變電阻元件與選擇電晶體構成記憶胞之1T1R型的記憶胞陣列CA90的一部分結構例。圖61上之一個記憶胞MC11具備可變電阻元件R11與選擇電晶體Tr11而構成，且係藉由接通、斷開控制選擇電晶體Tr11，而在可變電阻元件R11之兩端施加特定電壓的結構。將源極線SL作為接地線時，施加於可變電阻元件R11兩端的電壓大小，由施加於位元線BL1之電壓來決定。如圖61所示，以1T1R型之記憶胞構成時，與由1T型之記憶胞構成的快閃記憶體比較，每個單位記憶胞之佔用面積增大，可以說實現超過快閃記憶體之低位元成本的記憶裝置困難。

另外，雖亦嘗試藉由與2個端子之非線性元件組合，而縮小由雙極性切換之可變電阻元件構成的記憶胞之每一個記憶胞的佔用面積，不過，此時之非線性元件無法使用單純之整流元件，而要求非常特殊之特性。亦即，如圖62(a)所示，改變對兩端之施加電壓時，不論正或負之極性，均具有絕對值在一定電壓以上之範圍中，電阻值急遽降低的可變特性時，原理上有可能，不過，實際之非線性元件如圖62(b)所示，因為顯示伴隨施加電壓之絕對值增加，而電阻值連續性減少的特性，所以無法顯示圖62(a)之理想之特性。亦即，在目前無法利用具有圖62(a)所示之特性的非線性元件來實現記憶胞。

另外，單極性切換的情況，因為可以單一極性之電壓脈衝實現切換動作，所以可使電路結構簡單化。再者，因為記憶胞中可利用二極體與可變電阻元件之組合(1D1R型)(參照圖63)，所以可大幅減低交叉點型之記憶胞陣列結構時產生問題的來自鄰接記憶胞之蔓延電流之影響，可期待大幅提高讀取動作時之電性特性。圖63係以可變電阻元件與2個端子整流元件之二極體構成1D1R型之記憶胞的記憶胞陣列CA91之結構例。與圖61之1T1R型之記憶胞的情況比較時，可減低蔓延電流之影響，且使記憶胞之結構簡易化。藉此，與圖61之結構，亦即與雙極性切換之情況比較，可謀求晶片尺寸之縮小化，而實現製造成本之低廉化。

但是，藉由單極性切換使可變電阻元件之電阻狀態轉移

時，需要長短2種電壓脈衝，特別是長時間之電壓脈衝者需要數 μs 之脈寬，所以與雙極性切換之情況比較，需要100倍以上的重寫時間。再者，因為重寫時之記憶胞電流與雙極性切換時同樣地為數 $100\ \mu\text{A}\sim$ 數 mA ，所以每個記憶胞之重寫耗電亦需要雙極性切換的100倍程度，重寫時之性能面遠劣於雙極性切換。此外，如快閃記憶體因為使用時脈全體消除及複數位元程式的手段，從晶片耗電之觀點有困難，所以觀察單體元件之動作速度，雖超過快閃記憶體，但是比較記憶體系統之性能時，快閃記憶體中無法獲得有意義之重寫速度的性能差，很難說具有取代快閃記憶體之競爭力。

另外，在切換動作之穩定性方面，任何切換特性中均存在問題。為了穩定地產生切換動作，需要選擇最佳之電壓振幅的電壓脈衝，不過，該電壓振幅須配合可變電阻元件具有之特性，於嘗試錯誤後作決定。因此，即使雙極性切換，多為施加之電壓脈衝使用不僅極性不同，電壓振幅亦不同的電壓脈衝，而成為更穩定之切換動作的情況。

[非專利文獻1] H. Pagnia et al., "Bistable Switching in Electroformed Metal-Insulator-Metal Devices", *Physica Status Solidi(a)*, 108, pp. 11-65, 1988

[非專利文獻2] W. W. Zhuang et al., "Novell Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory(RRAM)", *IEDM Technical Digest*, pp. 193-196, 2002. 12

[非專利文獻3] I. G. Beak et al., "Highly Scalable Non-Volatile Resistive Memory Using Simple Binary Oxide Driven By Asymmetric unipolar Voltage Pulses", IEDM, 2004

[非專利文獻4] A. Chen et al., "Non-Volatile Resistive Switching For Advanced Memory Applications", IEDM, 2005

【發明內容】

首先，就本發明欲解決之問題及其解決手段作說明時，係說明依據上述雙極性切換特性及單極性切換特性可穩定地實現切換動作用的條件，作為本發明之基礎的技術構想。

圖64係顯示在上部電極與下部電極之間夾著可變電阻體之構造的可變電阻元件中，對兩電極間施加電壓時基本之電阻變化特性的電流電壓特性。圖64所示之電流電壓特性的測定，係使用可設定電流之上限值(compliance)的市售之測定器(如HURETPACARD公司之參數分析器，型號4156B)。具體之電壓值及電流值依測定對象之各個試劑的材料、元件構造、製造步驟、元件尺寸而不同，不過就定性之特性，不論可變電阻體之種類為何，如可變電阻體之材料係鐵、鎳、銅、鈦等之氧化膜時，顯示圖64所示之特性。

亦即，在顯示高電阻狀態之電阻特性(圖中A)的可變電阻元件中，施加臨限電壓 $V_a(V_a^+$ 或 $V_a^-)$ 以上之電壓時，轉

移至低電阻狀態之電阻特性(圖中B)。流入可變電阻元件之電流以施加電壓 V_a 以上，而增加至電流上限值 I_{cl} 。此時，藉由將電流上限值 I_{cl} 設定為不超過在顯示從低電阻狀態(特性B)轉移至高電阻狀態(特性A)前之電阻狀態的點 T_b (以下將顯示可變電阻元件之電阻狀態之點者，稱為「特性點」)的電流值之值，不流入上限值 I_{cl} 以上之電流，在維持電流值 I_{cl} 狀態下降低施加電壓時，從高電阻狀態(特性A)轉移至低電阻狀態(特性B)。此時，因為轉移至低電阻狀態後之施加電壓比在特性點 T_b 之臨限電壓 $V_b(V_b^+$ 或 $V_b^-)$ 低，所以電阻特性不返回高電阻狀態(特性A)而穩定地轉移至低電阻狀態(特性B)。其次，將電流上限值設定為在特性點 T_b 之電流值以上，或是解除最初之設定，而在顯示低電阻狀態之電阻特性(圖中B)的可變電阻元件中施加臨限電壓 V_b 以上之電壓時，流入可變電阻元件之電流減少，而轉移至高電阻狀態之電阻特性(圖中A)。

在高電阻狀態(圖中A)時，不設定電流上限值，而持續施加臨限電壓 V_a 以上之電壓時，因為該施加電壓比臨限電壓 V_b 大，所以產生從高電阻狀態(特性A)至低電阻狀態(特性B)之轉移時，立即產生從低電阻狀態(特性B)至高電阻狀態(特性A)的轉移。結果，產生可變電阻元件之電阻特性在高電阻狀態(特性A)與低電阻狀態(特性B)之間持續變化的不穩定之振盪現象。從此種振盪狀態降低施加電壓時，形成未達大的一方之臨限電壓 V_a 的電壓時振盪停止，此時因為施加電壓比臨限電壓 V_b 大，所以可變電阻元件之

電阻特性係高電阻狀態(特性A)，不產生向低電阻狀態(特性B)之轉移。換言之，即使對可變電阻元件單體不設定電流上限值而施加電壓，仍無法實現希望之切換動作。

此外，圖64所示之電阻特性，係顯示從低電阻狀態轉移至高電阻狀態之臨限電壓 V_b ，比從高電阻狀態轉移至低電阻狀態之臨限電壓 V_a 低的情況，不過，該臨限電壓 V_a 、 V_b 之大小關係亦可為相反的情況。此時，以臨限電壓 V_a 而穩定地產生從高電阻狀態至低電阻狀態的轉移，不過臨限電壓 V_b 以上，係產生與上述同樣之振盪現象，所以並非穩定地轉移至高電阻狀態。

因此，作為可變電阻元件，為了進行穩定之切換動作，在從高電阻狀態轉移至低電阻狀態之動作，及從低電阻狀態轉移至高電阻狀態之動作，各個均需要滿足以下之2個條件。

第一，使可變電阻元件之電阻特性從高電阻狀態轉移至低電阻狀態時，臨限電壓 V_a 需要施加比臨限電壓 V_b 低之電壓，且比臨限電壓 V_a 高之電壓。第二，使可變電阻元件之電阻特性從低電阻狀態轉移至高電阻狀態時，臨限電壓 V_b 需要施加比臨限電壓 V_a 低之電壓，且比臨限電壓 V_b 高之電壓。

先前報告之對稱構造的可變電阻元件，以可變電阻元件單體進行切換動作時，亦即，在負載電阻為零或固定於一定之負載電阻特性的條件下，接通、斷開對可變電阻元件之施加電壓時，使2個電阻狀態間轉移之各個施加電壓係

同一極性者，無法同時滿足上述2個條件。因而，為了滿足上述2個條件，需要使用對下述之非對稱構造的可變電阻元件之雙極性切換特性的非對稱性，或是使用藉由溫度上昇而電阻特性變化之單極性切換動作。

圖65顯示滿足了上述2個條件，而可進行雙極性切換動作之可變電阻元件的電阻特性(電流電壓特性)。另外，圖65係合併顯示可變電阻元件之2個電阻特性A及B與負載電路之負載電阻特性C。負載電路對可變電阻元件電性串聯連接而形成串聯電路，藉由對該串聯電路之兩端施加電壓，藉由可變電阻元件與負載電路之電阻分壓，以決定施加於可變電阻元件之電壓。圖65中，負載電阻特性C與電阻特性A及B之交點的電壓為實際施加於可變電阻元件之電壓，負載電阻特性C與電壓軸之交點顯示對該串聯電路之兩端施加的電壓。藉由增減對該串聯電路之兩端的施加電壓，顯示負載電阻特性C之特性曲線或特性直線平行移動於橫方向(電壓軸方向)。圖65所示之例，係假設負載電路係顯示線性之負載電阻特性的負載電阻作說明。

圖65所示之電流電壓特性，係藉由對一方極性(正極性)側之串聯電路施加電壓，而從高電阻狀態(特性A)轉移至低電阻狀態(特性B)之臨限電壓 V_{A^+} 的絕對值，比在相同極性(正極性)側從低電阻狀態轉移至高電阻狀態之臨限電壓 V_{B^+} 小，藉由將絕對值為臨限電壓 V_{A^+} 以上之電壓施加於串聯電路的兩端，在可變電阻元件之兩端子間施加臨限電壓 V_{a^+} 以上之電壓，產生從高電阻狀態至低電阻狀態的轉

移。此時，圖 65 所示之例，係取代設定電流上限值，而使用負載電路實現與圖 64 中說明者同樣之效果。換言之，藉由負載電路之存在，藉由因從高電阻狀態至低電阻狀態之轉移而流入可變電阻元件的電流增加，產生經由負載電路之電壓下降，而自動地減低對可變電阻元件之施加電壓。藉由適當地設定負載電路之負載電阻特性，對轉移至低電阻狀態後之可變電阻元件的施加電壓之絕對值，為比使電阻特性從低電阻狀態轉移至高電阻狀態之臨限電壓 V_b^+ 低的電壓，而實現穩定地從高電阻狀態至低電阻狀態的轉移。但是，轉移至低電阻狀態後，即使對串聯電路施加同一極性(正極性)之臨限電壓 V_b^+ 以上的電壓，因為在可變電阻元件之兩端子間施加比臨限電壓 V_a^+ 高電壓之臨限電壓 V_b^+ 以上的電壓，所以導致振盪現象，並非穩定地轉移至高電阻狀態。

反之，藉由對另一方極性(負極性)側之串聯電路施加電壓，而從低電阻狀態(特性 B)轉移至高電阻狀態(特性 A)的臨限電壓 V_b^- 之絕對值，比在相同極性(負極性)側從高電阻狀態轉移至低電阻狀態的臨限電壓 V_a^- 小，藉由將絕對值為臨限電壓 V_b^- 以上之電壓施加於串聯電路的兩端，在可變電阻元件之兩端子間施加絕對值為臨限電壓 V_b^- 以上之電壓，產生從低電阻狀態至高電阻狀態的轉移。藉由將負載電路之負載電阻特性在負極性側亦與正極性側共同地設定，對轉移至高電阻狀態後之可變電阻元件的施加電壓之絕對值，為比使電阻特性從高電阻狀態轉移至低電阻狀

態之臨限電壓 V_{a^-} 低的電壓，而實現穩定地從低電阻狀態至高電阻狀態的轉移。但是，轉移至高電阻狀態後，即使對串聯電路施加同一極性(負極性)之絕對值為臨限電壓 V_{A^-} 以上的電壓，因為在可變電阻元件之兩端子間施加比臨限電壓 V_{b^-} 高電壓之臨限電壓 V_{a^-} 以上的電壓，所以導致振盪現象，不產生從高電阻狀態至低電阻狀態之轉移。

此時須注意之點，可變電阻元件單體不論施加電壓之極性，儘管從低電阻狀態轉移至高電阻狀態之臨限電壓 V_{b^+} 及 V_{b^-} 係分別比從高電阻狀態轉移至低電阻狀態之臨限電壓 V_{a^+} 及 V_{a^-} 低電壓(參照圖 65)，臨限電壓 V_{a^+} 及 V_{b^+} 之相對關係(如電壓差及電壓比)與臨限電壓 V_{a^-} 及 V_{b^-} 之相對關係為非對稱，藉由適當地設定負載電路之負載電阻特性，作為對串聯電路之施加電壓的臨限電壓，係在正極性側，可使臨限電壓 V_{A^+} 之絕對值比臨限電壓 V_{B^+} 小，在負極性側，可使臨限電壓 V_{B^-} 之絕對值比臨限電壓 V_{A^-} 小之點。結果可使臨限電壓 V_{A^+} 及 V_{B^+} 之大小關係與臨限電壓 V_{B^-} 及 V_{A^-} 之大小關係反轉，藉由正負兩極性之電壓施加，可進行穩定之雙極性切換動作。

此時，圖 65 所示之可變電阻元件的臨限電壓之相對關係中的正負兩極性間之非對稱性，可藉由上下非對稱地構成可變電阻元件之下部電極及上部電極的材料、可變電阻體之組合、元件形狀或元件尺寸等而實現。特別是為了實現穩定之雙極性切換，有時需要使下部電極與上部電極為不同材料，或是下部電極與可變電阻體間之界面構造或是上

部電極與可變電阻體間之界面構造為不同構造等的極端非對稱性。如在下部電極與可變電阻體間之界面以及上部電極與可變電阻體間之界面的任何一方側，顯示肖特基接合之整流特性時，容易發現良好之非對稱性。

但是，先前之雙極性切換動作，如上述，為了利用正負兩極性之電壓脈衝的施加，而有實現半導體記憶裝置用之電路結構複雜，晶片尺寸變大，而導致製造成本增加的問題。

另外，除了對上述非對稱構造之可變電阻元件的雙極性切換動作之外，對可變電阻元件之電壓施加時間為2個不同之值時，即使施加同一極性之電壓，有時仍可滿足進行上述穩定之切換動作用的2個條件。

圖66(A)及(B)中顯示滿足上述2個條件，可進行單極性切換動作之可變電阻元件的電阻特性(電流電壓特性)。圖66(A)顯示施加脈寬(電壓施加時間)短之電壓脈衝時的可變電阻元件之電阻特性(電流電壓特性)，圖66(B)顯示施加脈寬(電壓施加時間)長之電壓脈衝時的可變電阻元件之電阻特性(電流電壓特性)。另外，圖66係以與圖65同樣之要領，合併顯示可變電阻元件之2個電阻特性A, B與負載電路之負載電阻特性C。

圖66(A)所示之電流電壓特性，係藉由對串聯電路施加短脈寬之電壓脈衝，而從高電阻狀態(特性A)轉移至低電阻狀態(特性B)之臨限電壓 V_A s的絕對值，比相同脈寬時從低電阻狀態轉移至高電阻狀態的臨限電壓 V_B s小，藉由將

絕對值為臨限電壓 V_{As} 以上之電壓脈衝施加於串聯電路之兩端，而在可變電阻元件之兩端子間施加臨限電壓 V_{As} 以上的電壓，產生從高電阻狀態至低電阻狀態的轉移。此時，圖 66(A) 所示之例，係取代設定圖 64 所示之電流上限值，而使用負載電路，實現與圖 64 中說明者同樣的效果。換言之，藉由負載電路之存在，藉由因從高電阻狀態至低電阻狀態之轉移而流入可變電阻元件的電流增加，產生經由負載電路之電壓下降，而自動地減低對可變電阻元件之施加電壓。藉由適當地設定負載電路之負載電阻特性，對轉移至低電阻狀態後之可變電阻元件的施加電壓之絕對值，成為比使電阻特性從低電阻狀態轉移至高電阻狀態之臨限電壓 V_{Bs} 低的電壓，而實現穩定地從高電阻狀態至低電阻狀態的轉移。但是，轉移至低電阻狀態後，即使藉由施加相同脈寬之電壓脈衝，而對串聯電路施加臨限電壓 V_{Bs} 以上的電壓，因為在可變電阻元件之兩端子間施加比臨限電壓 V_{As} 高電壓之臨限電壓 V_{Bs} 以上的電壓，所以不產生從低電阻狀態至高電阻狀態的轉移(產生振盪現象)。

反之，圖 66(B) 所示之電流電壓特性，係藉由對串聯電路施加長脈寬之電壓脈衝，而從低電阻狀態(特性 B) 轉移至高電阻狀態(特性 A) 之臨限電壓 V_{B1} 的絕對值，比相同長之脈寬時從高電阻狀態轉移至低電阻狀態的臨限電壓 V_{A1} 小，藉由將絕對值為臨限電壓 V_{B1} 以上之電壓施加於串聯電路之兩端，而在可變電阻元件之兩端子間施加絕對值為臨限電壓 V_{B1} 以上的電壓，產生從低電阻狀態至高電阻狀

態的轉移。藉由將負載電路之負載電阻特性在長脈寬中亦與短脈寬共同地設定，轉移至高電阻狀態後對可變電阻元件之施加電壓的絕對值，成為比使電阻特性從高電阻狀態轉移至低電阻狀態之臨限電壓 V_{a1} 低的電壓，而實現穩定地從低電阻狀態至高電阻狀態的轉移。但是，轉移至高電阻狀態後，即使藉由施加相同長脈寬之電壓脈衝，而對串聯電路施加臨限電壓 V_{A1} 以上的電壓，因為在可變電阻元件之兩端子間施加比臨限電壓 V_{b1} 高電壓之臨限電壓 V_{a1} 以上的電壓，所以不產生從高電阻狀態至低電阻狀態的轉移(產生振盪現象)。

因此，相同脈寬時，因為可變電阻元件之電阻特性僅自高電阻狀態(特性A)與低電阻狀態(特性B)之一方向另一方轉移，而無法相反轉移，所以無法進行穩定之切換動作，先前之單極性切換動作，藉由使用長短2種脈寬之同一極性的電壓脈衝施加，可以2個不同脈寬之電壓脈衝施加的一方，穩定地實現從高電阻狀態至低電阻狀態的轉移，並以另一方穩定地實現從低電阻狀態至高電阻狀態的轉移。

此時須注意之點，可變電阻元件單體不論脈寬之長短，儘管從低電阻狀態轉移至高電阻狀態之臨限電壓 V_{bs} 及 V_{b1} 係分別比從高電阻狀態轉移至低電阻狀態之臨限電壓 V_{as} 及 V_{a1} 低電壓，臨限電壓 V_{as} 及 V_{bs} 之相對關係(如電壓差及電壓比)與臨限電壓 V_{a1} 及 V_{b1} 之相對關係依脈寬之長短而不同，藉由適當地設定負載電路之負載電阻特性，作為對串聯電路之施加電壓的臨限電壓，係在短脈寬中可使

臨限電壓 V_{As} 之絕對值比臨限電壓 V_{Bs} 小，在長脈寬中可使臨限電壓 V_{B1} 之絕對值比臨限電壓 V_{A1} 小之點。結果可使臨限電壓 V_{As} 及 V_{Bs} 之大小關係與臨限電壓 V_{B1} 及 V_{A1} 之大小關係反轉，藉由脈寬不同之電壓脈衝施加，可進行穩定之單極性切換動作。

此時，圖 66 所示之可變電阻元件的臨限電壓 V_{a1} 及 V_{b1} 之相對關係中因脈寬長短之差異，係因施加長脈寬之電壓脈衝時，藉由可變電阻元件產生之焦耳熱，可變電阻元件或其附近之電阻成分的電阻值變化，可變電阻元件之高電阻狀態(特性 A)及低電阻狀態(特性 B)的電阻特性變化而發現。特別是，固定施加於串聯電路之電壓脈衝的電壓振幅時，於低電阻狀態(特性 B)之可變電阻元件中施加長脈寬之電壓脈衝時，焦耳熱之產生顯著，低電阻狀態(特性 B)之電阻特性中，因脈寬不同而特性變化顯著出現。換言之，比較圖 66(A)及(B)時瞭解，因焦耳熱之影響，施加長脈寬之電壓脈衝時者，低電阻狀態(特性 B)之電阻特性更加低電阻化，臨限電壓 V_{B1} 比脈寬短時之臨限電壓 V_{Bs} 低電壓化。

但是，先前之單極性切換動作，由於需要使用長短 2 種脈寬之電壓脈衝，因此如上述，在重寫時間及重寫耗電方面不利。

本發明係鑑於具備因施加電壓而電阻特性變化之可變電阻元件的非揮發性半導體記憶裝置中進行先前之雙極性切換動作及單極性切換動作時的上述問題者，其目的為提供

一種依據對雙極性切換動作及單極性切換動作統一的現象掌握，藉由施加時間之長短不設差異，而施加正或負極性之電壓，可對可變電阻元件穩定且高速進行切換動作的非揮發性半導體記憶裝置。

為了達成上述目的，本發明之非揮發性半導體記憶裝置的第一特徵為包含：記憶胞，其係包含2個端子構造之可變電阻元件，該可變電阻元件為藉由在兩端施加滿足特定條件之電壓，以該兩端之電流電壓特性規定的電阻特性可在可穩定地取得低電阻狀態與高電阻狀態之2個電阻特性間轉移；負載電路，其係構成為串聯連接於前述可變電阻元件之一方端子，可在第一負載電阻特性與比該第一負載電阻特性高電阻之第二負載電阻特性之間切換以電流電壓特性規定之負載電阻特性；及電壓產生電路，其係用於在前述可變電阻元件與前述負載電路之串聯電路的兩端施加電壓；且係前述可變電阻元件之記憶狀態依前述電阻特性為低電阻狀態與高電阻狀態之何者而決定，藉由對前述可變電阻元件之兩端施加電壓，前述電阻特性在低電阻狀態與高電阻狀態間轉移而可重寫的結構，前述可變電阻元件以一個端子為基準時，對另一個端子之施加電壓之正負極性係第一極性之情況下，從低電阻狀態轉移至高電阻狀態時需要之施加電壓的絕對值之下限值的第二臨限電壓，比前述電阻特性從高電阻狀態轉移至低電阻狀態時需要之施加電壓的絕對值之下限值的第二臨限電壓小，前述施加電壓之正負極性係與前述第一極性不同之第二極性之情況

下，顯示前述第一臨限電壓比前述第二臨限電壓大之非對稱電阻特性，將前述負載電路切換成：使前述可變電阻元件之前述電阻特性從低電阻狀態轉移至高電阻狀態的第一重寫動作時，前述負載電阻特性顯示前述第一負載電阻特性，使前述可變電阻元件之前述電阻特性從高電阻狀態轉移至低電阻狀態的第二重寫動作時，前述負載電阻特性顯示前述第二負載電阻特性負載，前述電壓產生電路於前述第一重寫動作時，以在重寫對象之前述記憶胞具有的前述可變電阻元件之兩端施加絕對值為前述第一臨限電壓以上之前述第一極性的電壓之方式，在前述可變電阻元件及前述負載電路之串聯電路的兩端施加第一重寫電壓，於前述第二重寫動作時，以在重寫對象之前述記憶胞具有的前述可變電阻元件之兩端施加絕對值為前述第二臨限電壓以上之前述第一極性的電壓之方式，在前述可變電阻元件及前述負載電路之串聯電路的兩端施加第二重寫電壓。

採用本發明之非揮發性半導體記憶裝置的上述第一特徵結構時，即使是以單體顯示雙極性切換特性的可變電阻元件，藉由施加正或負極性之電壓，仍可實現切換動作(可進行單極性切換動作)。因此，無需每個記憶胞具備避免蔓延電路用之選擇電晶體，而可縮小每個單位記憶胞之佔用面積。

此外，本發明之非揮發性半導體記憶裝置的第二特徵為：除上述第一特徵結構之外，前述可變電阻元件形成在第一電極與第二電極之間夾著可變電阻體的3層構造體。

此外，本發明之非揮發性半導體記憶裝置的第三特徵為：除上述第二特徵結構之外，前述記憶胞包含與前述可變電阻元件串聯地連接之整流元件，前述整流元件在前述可變電阻元件之兩端施加有前述第一極性之電壓時構成順方向偏壓。

採用本發明之非揮發性半導體記憶裝置的上述第三特徵結構時，不影響單極性切換動作之實現，而可減低來自鄰接記憶胞之蔓延電流的影響。

此外，本發明之非揮發性半導體記憶裝置的第四特徵為：除上述第三特徵結構之外，前述第一極性係正極性之情況下，在接觸前述下部電極之下層而形成的N型多結晶半導體與前述下部電極之界面構成肖特基障壁二極體，前述第一極性係負極性之情況下，在接觸前述下部電極之下層而形成的P型多結晶半導體與前述下部電極之界面構成肖特基障壁二極體。

此外，本發明之非揮發性半導體記憶裝置的第五特徵為：除上述第四特徵結構之外，前述第一極性係正極性之情況下，對前述N型多結晶半導體，在與前述下部電極之接觸區域的一部分注入P型雜質，前述第一極性係負極性之情況下，對前述P型多結晶半導體，在與前述下部電極之接觸區域的一部分注入N型雜質。

採用本發明之非揮發性半導體記憶裝置的上述第五特徵結構時，於肖特基障壁二極體中施加反方向電壓時，因為藉由來自PN接合之耗盡層的擴大，可比通常之肖特基障壁

二極體時減少反方向之電流，所以可獲得蔓延電流更少之良好的裝置特性。

此外，本發明之非揮發性半導體記憶裝置的第六特徵為：除上述第三特徵結構之外，前述第一極性係正極性之情況下，對前述N型多結晶半導體，在與前述下部電極之接觸區域的一部分注入P型雜質，前述第一極性係負極性之情況下，對前述P型多結晶半導體，在與前述下部電極之接觸區域的一部分注入N型雜質。

採用本發明之結構時，因為不改變電壓施加時間而施加同一極性的電壓，可使可變電阻元件之電阻特性變化，所以藉由具備複數以該可變電阻元件構成之記憶胞，而構成非揮發性半導體記憶裝置，可提供可兼顧縮短重寫時間與縮小電路規模的非揮發性半導體記憶裝置。

【實施方式】

以下，就本發明之非揮發性半導體記憶裝置(以下，適宜稱為「本發明裝置」)的實施形態，參照圖式作說明。

[本發明裝置之結構]

就本發明裝置之結構，參照圖1~圖19作說明。圖1係顯示本發明之非揮發性半導體記憶裝置的概略結構之區塊圖的一例。如圖1所示，本發明裝置10具備：記憶胞陣列11、字元線解碼器(相當於字元線選擇電路)12、位元線解碼器(相當於位元線選擇電路)13、負載電阻特性可變電路14、讀取電路15、控制電路16及電壓開關電路17而構成。

記憶胞陣列11分別在列方向及行方向上排列複數非揮發

性之記憶胞而構成，可在藉由來自外部之位址輸入而指定之記憶胞中電性寫入資訊，再者，可讀取記憶於以位址輸入而指定之記憶胞中的資訊。更詳細而言，係在對應於自位址線18輸入之位址信號的記憶胞陣列11內之特定記憶胞中記憶資訊，其資訊通過資料線19而輸出至外部裝置。此時，各記憶胞為具備藉由在上部電極與下部電極之間夾著可變電阻體而構成3層構造體的可變電阻元件者。

字元線解碼器12連接於記憶胞陣列11之各字元線，作為選擇字元線，而選擇對應於輸入位址線18之列選擇用的位址信號之記憶胞陣列11的字元線，在選擇字元線與未選擇之非選擇字元線上，個別地施加因應寫入、刪除、讀取之各記憶動作的選擇字元線電壓與非選擇字元線電壓。

位元線解碼器13連接於記憶胞陣列11之各位元線，作為選擇位元線，而選擇對應於輸入位址線18之行選擇用的位址信號之記憶胞陣列11的位元線，在選擇位元線與未選擇之非選擇位元線上，個別地施加因應寫入、刪除、讀取之各記憶動作的選擇位元線電壓與非選擇位元線電壓。

負載電阻特性可變電路14係於寫入或刪除動作時，藉由來自控制電路16之控制，在不同之2個負載電阻特性(低電阻狀態與高電阻狀態)之間，切換電性串聯連接於從記憶胞陣列11中，藉由字元線解碼器12與位元線解碼器13作為重寫對象而選出之選擇記憶胞的負載電路內之以該負載電路之電流電壓特性規定的負載電阻特性之電路。圖1所示之本發明裝置10一個結構例，係將負載電阻特性可變電路

14設於字元線解碼器12與電壓開關電路17之間。

控制電路16進行記憶胞陣列11之寫入、刪除、讀取之各記憶動作的控制。控制電路16依據自位址線18輸入之位址信號、自資料線19輸入之資料輸入(寫入動作時)及自控制信號線20輸入之控制輸入信號，控制字元線解碼器12及位元線解碼器13，來控制記憶胞陣列11之讀取、寫入及刪除動作。具體而言，各記憶動作中，對電壓開關電路17、字元線解碼器12及位元線解碼器13等，執行分別對選擇字元線、非選擇字元線、選擇位元線及非選擇位元線施加因應各記憶動作之特定電壓用的控制。特別是，於寫入及刪除動作時，進行經由負載電路施加於重寫對象之記憶胞的各電壓脈衝之電壓振幅及脈寬的控制。再者，於寫入動作時與刪除動作時，係對負載電阻特性可變電路14進行切換負載電路之負載電阻特性用的控制。圖1所示之例，控制電路16具備作為一般之位址緩衝電路、資料輸入輸出緩衝電路及控制輸入緩衝電路的功能，不過無圖示。另外，寫入與刪除表示在構成後述之記憶胞的可變電阻元件之2個電阻特性(低電阻狀態與高電阻狀態)間的轉移(切換)，並將從一方之電阻特性至另一方電阻特性的轉移定義為寫入，將其相反方向之轉移定義為刪除。

電壓開關電路17將記憶胞陣列11之讀取、寫入、刪除動作時需要的選擇字元線電壓、非選擇字元線電壓、選擇位元線電壓、非選擇位元線電壓賦予字元線解碼器12及位元線解碼器13。Vcc係本發明裝置10之供給電壓(電源電

壓)， V_{ss} 係接地電壓， V_{pp} 係寫入用之電壓， V_{ee} 係刪除用之電壓， V_r 係讀取用之電壓。圖1之結構，係寫入及刪除動作時的選擇字元線電壓經由負載電阻特性可變電路14而供給至字元線解碼器12。

資料之讀取，自記憶胞陣列11通過位元線解碼器13及讀取電路15而進行。讀取電路15判定資料之狀態，將其結果傳送至控制電路16，並對資料線19輸出。

圖2模式顯示交叉點型之記憶胞陣列11的部分結構。圖2中，記憶胞陣列11在4條位元線 $BL_0\sim BL_3$ 與4條字元線 $WL_0\sim WL_3$ 之各交點夾著記憶胞M。如圖2所示，記憶胞陣列11具有分別在列方向及行方向上排列複數具有藉由電阻之變化而記憶資訊的可變電阻元件之2個端子構造的記憶胞M，且具備延伸於列方向之複數字元線與延伸於行方向之複數位元線，同一列之各個記憶胞，將記憶胞之一端側連接於共同的字元線，同一行之各個記憶胞將記憶胞之另一端連接於共同的位元線，而構成交叉點型之記憶胞陣列的構造。

構成本發明裝置10具備之記憶胞陣列11的各記憶胞，係假設在2個端子構造之可變電阻元件的2個端子間施加重寫用(寫入用及刪除用)之電壓脈衝，藉由以可變電阻元件之電流電壓特性規定的電阻特性變化，換言之，藉由在一定偏壓條件下之電阻變化，而可寫入資訊的結構者。

圖3係構成記憶胞之可變電阻元件的模式剖面構造圖。構成記憶胞M之可變電阻元件21如圖3所示，構成包含下

部電極22、可變電阻體23與上部電極24之3層構造體。另外，圖3係在下部電極22與上部電極24之2個電極中，從上下方向夾著可變電阻體23的結構，夾著方向不限於上下方向(亦即對基板面垂直之方向)，亦可為在形成於與基板面平行之方向的2個電極間夾著可變電阻體的結構。以下係說明可變電阻元件21如圖3所示，將可變電阻體23夾在形成於上下方向之2個電極間的結構者。

構成本發明裝置中之記憶胞的可變電阻元件21亦可上下非對稱地構成，如下部電極22與上部電極24以不同之金屬材料構成，或是電極面積不同之結構。或是藉由在可變電阻體23與下部電極22之界面的接觸狀態，以及可變電阻體23與上部電極24之界面的接觸狀態中設計差異，而非對稱地構成上下者。如可為下部電極22使用氮化鈦(TiN)，將藉由使該氮化鈦電極之上面氧化而形成之氧氮化鈦(TiO_xN_y)作為可變電阻體23，藉由在該上部堆積鉑、氮化鈦、鎢、鈷、鎳等，而構成上部電極24者。亦即，本發明裝置10具備之構成記憶胞陣列11的各記憶胞，係藉由上下非對稱之可變電阻元件21構成，可藉由施加正負兩極性之電壓而進行上述之雙極性切換的結構者。如藉由在可變電阻元件21之兩端，交互地特定時間施加將下部電極22作為基準時之上部電極24的極性為負極性之第一重寫電壓，與其相反極性之正極性的第二重寫電壓，可在低電阻狀態與高電阻狀態之間切換可變電阻元件21之電阻特性。圖4係顯示分別以30 ns之施加時間程度交互地施加-3 V之上述第

一重寫電壓與+3 V之第二重寫電壓時之可變電阻元件21的電阻特性變化圖。如此，本發明裝置10具備之可變電阻元件21為具有藉由相互施加正負兩極性之電壓，可切換電阻特性，亦即可進行雙極性切換的特性者。

上述之可變電阻元件21顯示雙極性切換特性的理由之一，係因具有肖特基接合的構造。亦即，如上述，可變電阻元件21中，構成有助於電阻變化之可變電阻體23的材料，藉由氧化下部電極22(氮化鈦)表面而形成。該可變電阻體23係氧氮化鈦，且形成表面之氧濃度最高，膜之內部氮濃度連續地提高的薄膜構造。亦即，下部電極22與可變電阻體23之邊界藉由連續性組合變化而形成歐姆接合。另外，因為上部電極24係藉由在可變電阻體23之上部堆積新的電極材料而形成的結構，所以在該上部電極24與可變電阻體23之間形成有非連續性組合變化的界面。可變電阻體23具有在形成過程中，藉由產生雜質導入及氧缺損，而顯示N型導電性的性質。將鉑、氮化鈦、鎢、鈷、鎳等功函數較高之金屬用於上部電極時，與上部電極之界面形成肖特基接合，而滿足上述雙極性切換的條件。

圖5係顯示非對稱構造之上述可變電阻元件21的一種電流電壓特性。另外，圖5係將可變電阻元件21之電阻成分分解成因應施加電壓而轉移低電阻狀態與高電阻狀態之可變電阻成分 R_v ，與其值不依施加電壓之大小而變化，但是依電壓之極性而變化的非對稱電阻成分 R_c 後，將該非對稱電阻成分 R_c 視為內部電阻，而將可變電阻成分 R_v 之狀態予

以圖形化者。亦即，圖5中，在低電阻狀態與高電阻狀態之間產生轉移現象時，產生該轉移現象時需要之施加電壓，相當於在圖5中之I-V特性曲線中，延長連結表示轉移前之狀態的點(特性點)與轉移後之特性點的線段時，相當於與電壓軸交叉之交點表示的電壓值。舉例說明，為了從特性點T11對特性點T12使可變電阻元件21(之可變電阻成分 R_v 的狀態)轉移，需要以線段連接特性點T12與特性點T11，將其線段延長至特性點T11側，將與電壓軸交叉之交點表示之電壓 V_a^+ 施加於可變電阻元件21之兩端。另外，圖5中，將施加了正電壓時之內部電阻 R_c 註記為 R ，將施加了負電壓時之內部電阻 R_c 註記為 r 。

具有非對稱特性之可變電阻元件如圖5所示，藉由施加電壓之極性，臨限電壓之絕對值的大小關係產生逆轉。亦即，正極性中，從高電阻狀態轉移至低電阻狀態用的臨限電壓 V_a^+ 比從低電阻狀態轉移至高電阻狀態用的臨限電壓 V_b^+ 小，而負極性中，從高電阻狀態轉移至低電阻狀態用之臨限電壓的絕對值 V_a^- 比從低電阻狀態轉移至高電阻狀態用之臨限電壓的絕對值 V_b^- 大。亦即，藉由將 V_a^+ 以上，而未達 V_b^+ 的正極性電壓施加於可變電阻元件21之兩端，而穩定地從高電阻狀態(A)轉移至低電阻狀態(B)，藉由將絕對值為 V_b^- 以上，而未達 V_a^- 的負極性電壓施加於可變電阻元件21之兩端，穩定地從低電阻狀態(B)轉移至高電阻狀態(A)。

另外，在可變電阻元件21中施加同一極性之電壓時，電

阻特性照樣維持一定之狀態而不改變。圖6作為一個例子而顯示重複進行與前述切換動作時同時間施加正極性電壓之動作時的電阻狀態之變化圖，不過，電阻狀態不因應電壓之施加動作而變化。亦即，考慮圖4及圖6時，瞭解在具有非對稱構造之可變電阻元件的兩端，交互地以同一時間程度施加正負兩極性之電壓情況下，顯示交互地轉移低電阻狀態與高電阻狀態的切換特性，另外，即使同一時間依序施加同一極性(僅正極性或僅負極性)之電壓，仍不顯示切換特性。

圖5中，從高電阻狀態轉移至低電阻狀態時，或是從低電阻狀態轉移至高電阻狀態時，藉由連結轉移前之I-V特性點與轉移後之I-V特性點而獲得之線段的斜度，依存於可變電阻元件21內之電阻成分而決定。亦即，可變電阻元件21之電阻主要可分解成可變電阻體23寄予之可變電阻 R_v ，與藉由可變電阻體23與上部電極24或與下部電極22之界面狀態等而決定之特定內部電阻 R_c ，且可視為串聯連接此等之結構。

如圖5中，藉由在可變電阻元件21之兩端施加電壓 V_a^+ 而從高電阻狀態轉移至低電阻狀態時(特性點T11→T12之轉移)，藉由可變電阻 R_v 從高電阻狀態變成低電阻狀態，可變電阻 R_v 與內部電阻 R_c 之電阻率變化。另外，因為在可變電阻 R_v 之值變化前後，施加於可變電阻元件21兩端之電壓不改變，所以施加於可變電阻 R_v 兩端之電壓，藉由將施加於可變電阻元件21兩端之電壓以可變電阻 R_v 與內部電阻 R_c

的電阻率予以分壓而決定。結果，因可變電阻 R_v 之值降低，施加於可變電阻 R_v 兩端之電壓亦降低。亦即，圖5中，特性點T12成為顯示電壓值比特性點T11小之值的位置。

反之，藉由在可變電阻元件21之兩端施加電壓 $-V_b^-$ ，而從低電阻狀態轉移至高電阻狀態時(特性點T13→T14之轉移)，亦可與上述同樣地說明。亦即，藉由可變電阻 R_v 之值增加，可變電阻 R_v 與內部電阻 R_c 之電阻率變化，藉由將施加於可變電阻元件21兩端之電壓以可變電阻 R_v 與內部電阻 R_c 之電阻率予以分壓而決定之可變電阻 R_v 兩端的電壓增加。亦即，圖5中，特性點T14成為顯示電壓值(之絕對值)比特性點T13大之值的位置。

此外，圖5係顯示特性點T11與T12之線段的斜度，以及特性點T13與T14之線段的斜度為非對稱性。該非對稱性藉由施加於可變電阻元件21兩端之電壓的極性，亦即上部電極24對下部電極22之電壓極性的正負，內部電阻 R_c 之大小變化，即使可變電阻 R_v 同樣為高電阻狀態，因為可變電阻 R_v 與內部電阻 R_c 之電阻率在極性間不同，可以說上述斜度不同。如此，內部電阻 R_c 之大小依施加電壓之極性而變化的理由，如上述，係因藉由將可變電阻元件21形成上下非對稱之結構，而在電極與可變電阻體之間形成肖特基接合。

如此，藉由利用內部電阻 R_c 之大小依正負極性之不同而變化，交互地施加正負兩電壓而使可變電阻元件21之電阻

特性變化者，係上述之雙極性切換。

但是，採用本發明裝置10之構造時，藉由使用負載電阻特性可變電路14使負載電路之負載電阻特性變化，即使是具有此種非對稱構造之可變電阻元件21，藉由將同一極性之電壓以同一時間程度依序施加於兩端，仍可使切換特性進行。就此詳細說明於下。

本發明裝置10具備之負載電阻特性可變電路14構成可控制串聯連接於可變電阻元件21之一端的負載電阻 R_z 之電阻值。因為藉由使負載電阻 R_z 之大小變化，可控制施加於可變電阻元件21兩端之電壓，所以，藉由調整施加於負載電阻 R_z 與可變電阻元件21之串聯電路兩端的電壓大小與負載電阻 R_z 之大小，可將可變電阻元件21之電阻狀態在圖5所示之I-V特性圖形上的範圍內移動。

首先，就可藉由負載電阻之控制來控制可變電阻元件21之電阻狀態，為了容易理解說明，係就可變電阻元件21僅具有可變電阻 R_v 之情況(亦即，即使施加電壓係正或負之極性，而電阻特性對稱之情況)進行說明後，說明將可變電阻元件21之內部電阻 R_c 納入考慮之情況(亦即，藉由施加電壓之極性的正負，電阻特性成為非對稱之情況)。

首先，就可變電阻元件21之電阻特性係正負兩極性，且顯示對稱性之情況進行說明。此種可變電阻元件21因為施加正電壓時之電阻特性與施加負電壓時之電阻特性為對稱，所以，以下參照施加正電壓時顯示之電阻特性作說明。

圖 7(A) 係顯示在不經由負載電阻之狀態下測定時的可變電阻元件之高電阻狀態(特性 A)與低電阻狀態(特性 B)的 2 個電阻特性之 I-V 特性曲線(施加正電壓時)。高電阻狀態時，在特性點 $T_a(V_a, I_a)$ 從高電阻狀態轉移至低電阻狀態，低電阻狀態時，在特性點 $T_b(V_b, I_b)$ 從低電阻狀態轉移至高電阻狀態。另外，以下將從高電阻狀態轉移至低電阻狀態時需要之電壓的絕對值 V_a 稱為「第二臨限電壓」，將從低電阻狀態轉移至高電阻狀態時需要之電壓的絕對值 V_b 稱為「第一臨限電壓」。此外，將可變電阻元件之電阻特性在高電阻狀態而兩端子間之電壓係前述第二臨限電壓 V_a 時之電流的絕對值 I_a 稱為「第二臨限電流」，將在低電阻狀態而兩端子間之電壓係前述第一臨限電壓 V_b 時之電流的絕對值 I_b 稱為「第一臨限電流」。

首先，就從高電阻狀態轉移至低電阻狀態時希望之負載電阻特性的範圍，以及施加於負載電路與可變電阻元件(記憶胞)之串聯電路的驅動電壓 V_{da} (電壓脈衝之電壓振幅)之範圍作說明。在具有圖 7(A) 所示之電阻特性的可變電阻元件上串聯連接電阻值 R_1 之負載電阻時，通過特性點 $T_a(V_a, I_a)$ 之負載電阻特性在圖 7(B) 中描繪成直線 C_1 。另外，將此時之驅動電壓 V_{da} 稱為「第二臨界電壓 V_A 」。

此時，圖 7(A) 之例係顯示第一臨限電壓 V_b 比第二臨限電壓 V_a 小之情況。該情況下，將 V_b 以上，而未達 V_a 之電壓施加於可變電阻元件 21 時，雖然可穩定地從低電阻狀態轉移至高電阻狀態，但是，即使施加第二臨限電壓 V_a 以上之

電壓，因為該電壓大於第一臨限電壓 V_b ，所以在低電阻狀態(特性B)不穩定。亦即，圖7(A)顯示具有僅從高電阻狀態對低電阻狀態可穩定地轉移之特性的情況。

圖7(A)所示之特性中，為了藉由改變負載電阻 R_z ，而使可變電阻元件21從高電阻狀態穩定地轉移至低電阻狀態，負載電阻特性直線C1需要在比從低電阻狀態轉移至高電阻狀態之特性點 $T_b(V_b, I_b)$ 低電壓側之點 $T_1(V_{t1}, I_{t1})$ ，與低電阻狀態之I-V特性曲線交叉。亦即，通過圖7(B)上之特性點 T_a 的負載電阻特性直線C1由數學式1所示之關係式來表示。

(數學式1)

$$V = -R_1 \times (I - I_a) + V_a$$

此時，為了滿足上述條件，於 $I = I_b$ 時滿足 $V < V_b$ 。因此，從數學式1及該條件導出下述數學式2所示之條件。

(數學式2)

$$(V_a - V_b) / (I_b - I_a) < R_1$$

此時，數學式2左邊之電阻值相當於臨界電阻值。電阻值 R_1 相當於第一電阻值，使用特性點 $T_a(V_a, I_a)$ 與交點 $T_1(V_{t1}, I_{t1})$ 之各座標值，可由下述數學式3來表示。

(數學式3)

$$R_1 = (V_a - V_{t1}) / (I_{t1} - I_a)$$

再者，此時，經由負載電阻而使可變電阻元件從高電阻狀態轉移至低電阻狀態之電壓脈衝的電壓振幅 V_{da} 需要係比第二臨界電壓 V_A 高之電壓。亦即，在數學式1所示之負

載電阻特性直線C1的公式中，因為代入 $I=0$ 之值係第二臨界電壓 V_A ，所以電壓振幅 V_{da} 需要滿足下述數學式4所示之條件。

(數學式4)

$$V_{da} > V_A + R_1 \times I_A$$

繼續，就從低電阻狀態轉移至高電阻狀態時希望之負載電阻特性的範圍，以及施加於負載電路與可變電阻元件(記憶胞)之串聯電路的驅動電壓 V_{db} (電壓脈衝之電壓振幅)之範圍作說明。在具有圖7(A)所示之電阻特性的可變電阻元件上串聯連接電阻值 R_2 之負載電阻時，通過特性點 $T_b(V_b, I_b)$ 之負載電阻特性在圖7(C)中描繪成直線C2。另外，將此時之驅動電壓 V_{db} 稱為「第一臨界電壓 V_B 」。為了進行從低電阻狀態至高電阻狀態的穩定動作，該負載電阻特性直線C2需要在比從高電阻狀態轉移至低電阻狀態之特性點 $T_a(V_a, I_a)$ 低電壓側之點 $T_2(V_{t2}, I_{t2})$ ，與高電阻狀態之I-V特性曲線交叉。亦即，通過圖7(C)上之特性點 T_b 的負載電阻特性直線C2由數學式5所示之關係式來表示。

(數學式5)

$$V = -R_2 \times (I - I_b) + V_b$$

此時，為了滿足上述條件，於 $I=I_a$ 時滿足 $V < V_A$ 。因此，從數學式5及該條件導出下述數學式6所示之條件。

(數學式6)

$$(V_a - V_b) / (I_b - I_a) > R_2$$

此時，數學式6左邊之電阻值相當於臨界電阻值。電阻

值 R_2 相當於第二電阻值，使用特性點 $T_b(V_b, I_b)$ 與交點 $T_2(V_{t2}, I_{t2})$ 之各座標值，可由下述數學式 7 來表示。

(數學式 7)

$$R_2 = (V_{t2} - V_b) / (I_b - I_{t2})$$

再者，此時，經由負載電阻而使可變電阻元件從低電阻狀態轉移至高電阻狀態之電壓脈衝的電壓振幅 V_{db} 需要係比第一臨界電壓 V_B 高之電壓。亦即，在數學式 5 所示之負載電阻特性直線 C_2 的公式中，因為代入 $I=0$ 之值係第一臨界電壓 V_B ，所以電壓振幅 V_{db} 需要滿足下述數學式 8 所示之條件。

(數學式 8)

$$V_{db} > V_b + R_2 \times I_b$$

以上之說明中，第二臨界電壓 V_A 與第一臨界電壓 V_B 為不同之電壓值，不過，只要使可變電阻元件從高電阻狀態轉移至低電阻狀態之電壓脈衝的電壓振幅 V_{da} ，與使其從低電阻狀態轉移至高電阻狀態之電壓脈衝的電壓振幅 V_{db} ，分別滿足數學式 4 與數學式 8 之條件，可設定成相同電壓。

此時，如在從低電阻狀態至高電阻狀態之切換動作中，電壓振幅 V_{db} 為遠比第一臨界電壓 V_B 高之電壓，圖 7(C) 中，負載電阻特性直線 C_2 平行移動於右方向(高電壓方向)，即使負載電阻特性直線 C_2 與高電阻狀態(特性 A)之 $I-V$ 特性曲線的交點，比特性點 $T_a(V_a, I_a)$ 移動於高電壓側，這個時候產生高電阻狀態與低電阻狀態間之雙向轉移，成

為不穩定之振盪狀態，不過在施加電壓脈衝結束的時候，伴隨電壓振幅 V_{db} 降低，負載電阻特性直線 $C2$ 平行移動於左方向(低電壓方向)，因為負載電阻特性直線 $C2$ 與高電阻狀態(特性 A)之 I - V 特性曲線的交點比特性點 $T_a(V_a, I_a)$ 移動於低電壓側，所以最後產生向高電阻狀態之轉移，電阻特性穩定於高電阻狀態。再者，從高電阻狀態至低電阻狀態的切換動作中，電壓振幅 V_{da} 為遠比第二臨界電壓 V_A 高之電壓，圖 7(B) 中，負載電阻特性直線 $C1$ 平行移動於右方向(高電壓方向)，即使負載電阻特性直線 $C1$ 與低電阻狀態(特性 B)之 I - V 特性曲線的交點比特性點 $T_b(V_b, I_b)$ 移動於高電壓側，這個時候，產生高電阻狀態與低電阻狀態間的雙向轉移，而成為不穩定之振盪狀態，不過在施加電壓脈衝結束的時候，伴隨電壓振幅 V_{da} 之降低，負載電阻特性直線 $C1$ 平行移動於左方向(低電壓方向)，因為負載電阻特性直線 $C1$ 與低電阻狀態(特性 B)之 I - V 特性曲線的交點比特性點 $T_b(V_b, I_b)$ 移動於低電壓側，所以最後產生向低電阻狀態之轉移，電阻特性穩定於低電阻狀態。基於以上之理由，本發明裝置中，可將電壓振幅 V_{da} 與電壓振幅 V_{db} 設定成相同電壓。

以下說明按照上述之考察，考慮可變電阻元件 21 之內部電阻 R_c 時，亦即因應施加電壓之正負而電阻特性為非對稱時，藉由負載電阻 R_z 之切換控制，進行可變電阻元件 21 之電阻狀態的轉移控制之情況。此時，亦以顯示圖 5 所示之 I - V 特性的可變電阻元件 21 為例作說明。

圖 5 所示之 I-V 特性的圖形，可以說是 在負載電阻 $R_z=0$ 之情況下，施加於負載電阻 R_z 與可變電阻元件 21 之串聯電路兩端的電壓與流入串聯電路之電流的關係。而後，在該狀態下，使負載電阻 R_z 之大小依序增加時，由於內部電阻 R_c 上串聯連接負載電阻 R_z ，因此與圖 5 中，在內部電阻 R_c 之電阻值中加上負載電阻 R_z 之電阻值者相等，串聯連接於可變電阻元件 21 內之可變電阻成分 R_v (顯示對稱性之成分) 的負載電阻成分 (R_c+R_z) 增加 (圖 5 中之負載電阻成分的斜度趨於緩和)。以下參照將上述內容圖示於與圖 5 同一圖式上的圖 8 作說明。

不考慮負載電阻 R_z 時，亦即，負載電阻 $R_z=0$ 時，藉由上述之考察，施加正電壓之情況下，可進行從高電阻狀態 (A) 至低電阻狀態 (B) 穩定之轉移，另外，無法進行從低電阻狀態 (B) 至高電阻狀態 (A) 穩定之轉移，施加負電壓之情況下，可進行從低電阻狀態 (B) 至高電阻狀態 (A) 穩定之轉移，另外，無法進行從高電阻狀態 (A) 至低電阻狀態 (B) 穩定之轉移。因此，若使負載電阻 R_z 之大小增大至特定之值 $Z(>0)$ ，施加正電壓可進行從低電阻狀態 (B) 至高電阻狀態 (A) 穩定之轉移時，藉由進行負載電阻 R_z 大小之切換控制，成為僅在施加正電壓時顯示切換特性 (單極性切換)，同樣地，藉由使負載電阻 R_z 之大小為特定之值 $Z(>0)$ ，施加負電壓可進行從高電阻狀態 (A) 至低電阻狀態 (B) 之穩定轉移時，藉由進行負載電阻 R_z 大小之切換控制，成為僅施加負電壓時顯示切換特性 (單極性切換)。換言之，因為可

藉由施加同一極性之電壓來進行切換特性，所以可獲得單極性切換之優點。以下，就按照上述考察，藉由使負載電阻 R_z 之大小變化，施加正電壓能否從低電阻狀態至高電阻狀態穩定之轉移，以及施加負電壓，能否從高電阻狀態至低電阻狀態穩定之轉移進行驗證。

首先，就藉由增加負載電阻 R_z 之大小，於正極性之範圍，能否從低電阻狀態(B)至高電阻狀態(A)穩定之轉移作驗證。亦即，於圖8中，以滿足特性點 T15 之方式施加電壓後，(或是與該施加同時)增加負載電阻 R_z 時，可變電阻元件 21 之電阻特性轉移至高電阻狀態，特性點從 T15 移動至 T16z。但是，因為該特性點 T16z 中之電壓的大小，比從高電阻狀態轉移至低電阻狀態之特性點 T11 中的電壓大，所以無法在高電阻狀態下穩定，而成為振盪狀態。亦即，在正極性之範圍中，即使使負載電阻 R_z 之大小變化，依然無法進行從低電阻狀態(B)至高電阻狀態(A)穩定的轉移，無法進行單極性切換。

其次，就增加負載電阻 R_z 之大小，於負極性之範圍中，能否從高電阻狀態(A)至低電阻狀態(B)穩定之轉移作驗證。亦即，在圖9中，以滿足特性點 T17 之方式施加電壓後，(或是與該施加同時)增加負載電阻 R_z 時，可變電阻元件 21 之電阻特性轉移至低電阻狀態，特性點從 T17 移動至 T18z。因為該特性點 T18z 之位置，隨著增加負載電阻 R_z 之大小而移動於原點方向，所以藉由至少以特性點 T18z 之電壓的絕對值大小，比從低電阻狀態轉移至高電阻狀態之特

性點 T13 上之電壓的絕對值大小變小之方式，設定負載電阻 R_z 之大小，可穩定地從高電阻狀態 (A) 轉移至低電阻狀態 (B)。

亦即，顯示圖 8 所示之 I-V 特性的可變電阻元件中，藉由調整負載電阻 R_z 之大小，僅在負極性之範圍可實現切換動作。

換句話說，使用可實現雙極性切換動作之可變電阻元件來實現單極性切換時，不論正或負極性中，未必可實現單極性切換，可以說在不考慮負載電阻 R_z 之狀態下，僅在為了從低電阻狀態轉移至高電阻狀態，應施加於可變電阻元件兩端之第一臨限電壓，比為了從高電阻狀態轉移至低電阻狀態，而應施加於可變電阻元件兩端之第二臨限電壓小之側的極性中，可實現單極性切換。因此，藉由調整負載電阻之大小，施加滿足上述條件側之極性的電壓，可使電阻特性變化，所以無需施加正負兩方之電壓，而可獲得簡化記憶胞之結構的單極性切換之優點。

如此，為了使具備雙極性切換特性之可變電阻元件進行單極性切換動作，需要注意施加電壓之極性，具備此種可變電阻元件與整流元件作為 1D1R 型之記憶胞情況下，施加可實現上述單極性切換動作之極性的電壓時，需要以成為正向偏壓之方式作連接。

如藉由對下部電極 22 施加使上部電極 24 形成正極性之電壓，可進行單極性切換情況下，如圖 9(a) 概念性顯示地，施加正電壓時，以可施加正偏壓之方式連接整流元件時，

可形成單位記憶胞。具體而言，可以如圖9(b)所示之PN接合二極體或圖9(c)所示之N型多結晶半導體與下部電極22之界面上的肖特基障壁二極體之構造而形成於下部電極22之下。

再者，如圖10之概念圖所示，形成可使將上述構造之記憶胞連接於字元線或位元線之驅動電晶體的負載電阻變化之電路系統時，可形成可高速寫入之半導體記憶裝置。圖10係藉由控制驅動電晶體之閘極電壓，使負載電阻變化之例，不過，即使如藉由切換通道寬不同之二個電晶體來改變負載電阻亦同。

上述之說明，係就可變電阻元件具備雙極性切換特性時，藉由調整負載電阻來實現單極性切換用的方法作說明。以下，作為參考例，而簡單說明可變電阻元件不具雙極性切換特性時，亦即可變電阻元件單體不論正或負之極性，僅可穩定地實現從低電阻特性至高電阻特性之轉移時，藉由調整負載電阻之值，來實現單極性切換的情況。

圖3之構造中，如下部電極22使用銅，將該銅表面氧化而形成可變電阻體23，上部電極24係形成鈦、鉭、鎢。圖11顯示在具有此種構造之可變電阻元件21的兩端施加電壓時之電流電壓特性(電阻特性)。與下部電極22為氮化鈦時不同，正負之重寫施加電壓兩者為從高電阻特性轉移至低電阻特性時需要之第二臨限電壓，比從低電阻特性轉移至高電阻特性時需要之第一臨限電壓大。上述構造之情況，不論正或負極性，均顯示從低電阻特性對高電阻特性穩定

之轉移，另外，無法進行從高電阻特性向低電阻特性穩定之轉移。亦即，具有此種構造之可變電阻元件21，無法以單體進行切換動作，而不具雙極性切換特性。

對此種可變電阻元件21，依據上述之技術構想，如圖12所示，藉由在可變電阻元件上串聯地連接負載電阻，來使該負載電阻變化，不論正或負之施加電壓均可以單極實現連續切換。本例之情況，在上部電極24上施加正電壓情況下，從高電阻變成低電阻時，藉由連接100 k Ω 之負載電阻Rz，可進行連續切換(參照圖13)。圖13係顯示交互地重複不經由負載電阻Rz(Rz=0)而以30 ns施加1.5 V之正極性電壓的情況，與經由負載電阻Rz(Rz=100 k Ω)而以30 ns施加3 V之正極性電壓的情況，可變電阻元件21的電阻變化圖。

同樣地，施加負極性電壓情況下，藉由交互地重複不經由負載電阻(Rz=0)，而以30 ns施加-1 V之負極性電壓的情況，與經由負載電阻Rz(Rz=300 k Ω)而以30 ns施加-5.5 V之負極性電壓的情況，同樣地可進行切換。圖14顯示在此種條件下，進行電阻特性變化時之可變電阻元件21的I-V特性。

本構造中，顯示電阻變化之材料係將銅表面氧化所形成之氧化銅膜，且係表面之氧濃度最高，在膜之內部氧濃度連續性降低的薄膜。亦即，下部電極22與可變電阻體23之邊界藉由連續性組合變化而形成歐姆接合。另外，上部電極24與可變電阻體23之間形成有非連續性組合變化的界面。該可變電阻材料具有藉由雜質導入及氧缺損而顯示P

型之導電性的性質。將鈦、鉬、鎢等功函數較低之金屬使用於上部電極24時，可變電阻體23與上部電極24之界面形成肖特基接合，不過，並未如將氮化鈦氧化而形成之前述可變電阻元件出現極端之正負非對稱性。亦即，第一臨限電壓與第二臨限電壓之大小的比率正負不同，出現上下電極之功函數的差異，不過尚未到達大小關係逆轉。

如上述，不顯示雙極性切換特性之可變電阻元件的情況，構成不論正或負極性，藉由調整負載電阻之值，均可進行單極性切換動作。亦即，構成1D1R型之記憶胞的情況下，只須因應施加電壓之極性來決定連接之整流元件的方向即可。但是，因為其電阻特性依利用哪個極性而有若干差異，所以可構成依用途選擇利用之極性。就此利用上述圖14所示之例作說明。

如從低電阻特性變成高電阻特性之臨限電流的絕對值，在上部電極24上施加正電壓之情況者比在上部電極24上施加負電壓之情況高(圖14中 $I_{t21} > I_{t23}$)。另外，從高電阻特性變成低電阻特性之臨限電壓的絕對值，在上部電極24上施加負電壓之情況者比在上部電極24上施加正電壓之情況高(圖14中 $V_{t24} > V_{t22}$)。如圖15所示，將整流元件以在上部電極24上施加負電壓時形成正向接合的方式配置時，可減少寫入時需要之電流，可減低電流消耗，及藉由並聯寫入而提高記憶區塊之重寫速度。另外，為了以低電流產生電阻變化，讀取電流須比其小，因為讀取速度稍慢，所以可以說是主要在設計原則為130 nm以上之較大尺寸的記憶

體及攜帶用途之記憶體中優越的構造。另外，如圖16所示，將整流元件以在上部電極24上施加正電壓時形成正向接合之方式配置時，從低電阻變成高電阻時需要之電流雖大，不過，因為從高電阻變成低電阻之電壓低，所以可使用以較低電壓之驅動電晶體，此外，因為亦可充分取得讀取電流，所以可進行高速讀取。因為從低電阻變成高電阻時需要之電流微細化且變小，所以成為以設計原則為130 nm以下之高性能記憶體而發揮優越性的記憶體構造。

上述各臨限電壓、臨限電流及各臨界電壓等，應實際地使用施加於負載電路與記憶胞之串聯電路的電壓脈衝程度之短脈寬電壓脈衝作測定或評估。此因，可變電阻元件之電阻特性具有顯著之溫度回應性時，各臨限電壓可能受到電壓之施加時間的影響而變化。

此外，就上述動作原理及最佳負載電阻特性之決定方法的說明，係假設作為負載電路而具有線性之負載電阻特性的單體之負載電阻，不過實際之電路結構，因為負載電路中包含具有選擇字元線解碼器12及位元線解碼器13中之字元線及位元線用的非線性電流電壓特性之電晶體，所以負載電阻特性成為非線性。即使負載電阻特性係非線性時，就上述動作原理及最佳之負載電阻特性的決定方法之考慮方法相同，不過，亦有依據負載電路中包含之MOSFET特有之電流電壓特性的注意點，因此，以下假設負載電路為具有非線性之負載電阻特性的單體之MOSFET作說明。

圖17(A)顯示MOSFET以不同之閘極電壓 V_g 在源極、汲

極間之2個電流電壓特性規定的負載電阻特性C3, C4。亦即，該MOSFET係作為藉由閘極電壓之電壓控制可切換負載電阻特性之負載電阻特性可變電路14之功能。如圖17(B)及(C)所示，閘極電壓低者($V_g=V_L$)之負載電阻特性C3用於將可變電阻元件之電阻特性從高電阻狀態(特性A)轉移至低電阻狀態(特性B)的情況，閘極電壓高者($V_g=V_H$)之負載電阻特性C4用於將可變電阻元件之電阻特性從低電阻狀態(特性B)轉移至高電阻狀態(特性A)的情況。

首先，就從高電阻狀態轉移至低電阻狀態時希望之負載電阻特性的範圍，以及施加於負載電路與可變電阻元件(記憶胞)之串聯電路的驅動電壓 V_{da} (電壓脈衝之電壓振幅)之範圍作說明。在具有圖7(A)所示之電阻特性的可變電阻元件中，將MOSFET之閘極電壓設定為低位準(V_L)作為負載電阻特性C3時，通過特性點 $T_a(V_a, I_a)$ 之負載電阻特性在圖17(B)中描繪成曲線C3。另外，將此時之驅動電壓 V_{da} 稱為第二臨界電壓 V_A 。為了進行從高電阻狀態至低電阻狀態穩定之動作，該負載電阻特性曲線C3需要在比從低電阻狀態轉移至高電阻狀態之特性點 $T_b(V_b, I_b)$ 低電壓側的點 $T_3(V_{t3}, I_{t3})$ 與低電阻狀態之I-V特性曲線交叉。亦即，通過圖17(B)上之特性點 T_a 與交點 $T_3(V_{t3}, I_{t3})$ 的負載電阻特性曲線C3，對圖7(A)所示之2個電阻特性，以下述之數學式9，具有與使用特性點 $T_a(V_a, I_a)$ 與交點 $T_3(V_{t3}, I_{t3})$ 之各座標值而定義之第一電阻值 R_3 之負載電阻相等的功能，所以權宜上以第一電阻值 R_3 顯示負載電阻特性時，以數學

式10所示之關係式來表示。

(數學式9)

$$R3=(Va-Vt3)/(It3-Ia)$$

(數學式10)

$$V=-R3 \times (I-Ia)+Va$$

此時，為了滿足上述條件，於 $I=Ib$ 時滿足 $V<Vb$ 。因此，從數學式10及該條件導出下述數學式11所示之條件。此時，數學式11左邊之電阻值相當於臨界電阻值。

(數學式11)

$$(Va-Vb)/(Ib-Ia)<R3$$

另外，因為MOSFET即使增加源極、汲極間之電壓，於達到飽和區域時，抑制電流之增加，所以使該飽和電流比特性點 $Tb(Vb, Ib)$ 之電流值(第一臨限電流) Ib 小之方式設定閘極電壓時，滿足數學式11所示之條件。

再者，此時經由MOSFET將可變電阻元件從高電阻狀態轉移至低電阻狀態之電壓脈衝的電壓振幅 Vda 需要比第二臨界電壓 VA 高電壓($Vda>VA$)之點，與使用線性之負載電阻時相同。但是，第二臨界電壓 VA 在圖17(B)中，係以通過特性點 $Ta(Va, Ia)$ 之負載電阻特性曲線 $C3$ 與電壓軸之交點的電壓值來賦予。

繼續，說明就從低電阻狀態轉移至高電阻狀態時希望之負載電阻特性的範圍，以及施加於負載電路與可變電阻元件(記憶胞)之串聯電路的驅動電壓 Vdb (電壓脈衝之電壓振幅)之範圍作說明。在具有圖7(A)所示之電阻特性的可變

電阻元件中，將MOSFET之閘極電壓設定為高位準(VH)作為負載電阻特性C4時，通過特性點Tb(Vb, Ib)之負載電阻特性在圖17(C)中描繪成曲線C4。另外，將此時之驅動電壓Vdb稱為第一臨界電壓VB。為了進行從低電阻狀態至高電阻狀態穩定之動作，該負載電阻特性曲線C4需要在比從高電阻狀態轉移至低電阻狀態之特性點Ta(Va, Ia)低電壓側的點T4(Vt4, It4)與高電阻狀態之I-V特性曲線交叉。亦即，通過圖17(C)上之特性點Tb與交點T4(Vt4, It4)的負載電阻特性曲線C4，對圖7(A)所示之2個電阻特性，以下述之數學式12，具有與使用特性點Tb(Vb, Ib)與交點T4(Vt4, It4)之各座標值而定義之第二電阻值R4之負載電阻相等的功能，所以權宜上以第二電阻值R4顯示負載電阻特性時，以數學式13所示之關係式來表示。

(數學式12)

$$R4=(Vt4-Vb)/(Ib-It4)$$

(數學式13)

$$V=-R4 \times (I-Ib)+Vb$$

此時，為了滿足上述條件，於I=Ia時滿足V<Va。因此，從數學式13及該條件導出下述數學式14所示之條件。此時，數學式14左邊之電阻值相當於臨界電阻值。

(數學式14)

$$(Va-Vb)/(Ib-Ia)>R4$$

另外，負載電阻特性曲線C4需要與特性點Tb(Vb, Ib)交叉，所以需要使MOSFET之飽和電流比特性點Tb(Vb, Ib)之

電流值(第一臨限電流) I_b 大來設定閘極電壓。

再者，此時經由MOSFET將可變電阻元件從低電阻狀態轉移至高電阻狀態之電壓脈衝的電壓振幅 V_{db} 需要比第一臨界電壓 V_B 高電壓($V_{db} > V_B$)之點，與使用線性之負載電阻時相同。但是，第一臨界電壓 V_B 在圖17(C)中，係以通過特性點 $T_b(V_b, I_b)$ 之負載電阻特性曲線C4與電壓軸之交點的電壓值來賦予。

此外，基於與使用線性之負載電阻時相同的理由，第二臨界電壓 V_A 與第一臨界電壓 V_B 雖不同，但是將可變電阻元件從高電阻狀態轉移至低電阻狀態之電壓脈衝的電壓振幅 V_{da} ，與從低電阻狀態轉移至高電阻狀態之電壓脈衝的電壓振幅 V_{db} ，只要分別滿足係比第二臨界電壓 V_A 高電壓($V_{da} > V_A$)的條件，與需要比第一臨界電壓 V_B 高電壓($V_{db} > V_B$)的條件，仍可設定成相同電壓。

其次，就負載電阻特性可變電路14之具體電路結構，參照圖18及圖19作說明。圖18模式顯示重寫對象之選擇記憶胞的可變電阻元件21與負載電路與電壓開關電路17之關係。圖18中，負載電路可作為除了施加來自電壓開關電路17之電壓脈衝的電路內之選擇記憶胞的全部電路來處理，且包含字元線解碼器12、位元線解碼器13、負載電阻特性可變電路14以及選擇字元線及選擇位元線等信號布線的寄生電阻。因此，其負載電阻特性作為除了選擇記憶胞之全部電路的合成電路之電流電壓特性來規定。圖18所示之例，係從電壓開關電路17經由位元線解碼器13施加接地電

壓 V_{ss} 至選擇位元線，並經由負載電阻特性可變電路 14 與字元線解碼器 12，施加寫入用電壓 V_{pp} 或刪除用電壓 V_{ee} 至選擇字元線。寫入用電壓 V_{pp} 與刪除用電壓 V_{ee} 係作為電壓脈衝而施加於選擇字元線，不過，其脈寬(施加時間)在供給寫入用電壓 V_{pp} 或刪除用電壓 V_{ee} 之電壓開關電路 17 側，或是供給該電壓之負載電阻特性可變電路 14 或字元線解碼器 12 側，係藉由來自控制電路之控制作調整。

圖 19(A)~(E) 中顯示負載電阻特性可變電路 14 之 5 個電路結構例。圖 19(A) 顯示藉由隨時接通狀態之 P 型 MOSFET 31 與接通斷開可藉由控制信號 $Sc1$ 而切換之 P 型 MOSFET 32 的並聯連接而構成之負載電阻特性可變電路 14。將 P 型 MOSFET 31 與 P 型 MOSFET 32 設定成相同尺寸時，可藉由控制信號 $Sc1$ 切換圖 17(A) 所示之負載電阻特性。另外，即使取代隨時接通狀態之 P 型 MOSFET 31，而使用線性或非線性之電阻特性的電阻元件或配合電壓極性之二極體，仍可實現可藉由 P 型 MOSFET 32 之接通斷開而切換負載電阻特性的負載電阻特性可變電路 14。

圖 19(B) 顯示藉由接通斷開可藉由 2 個控制信號 $Sc2$, $Sc3$ 而切換之 P 型 MOSFET 33, 34 的並聯連接而構成之負載電阻特性可變電路 14。P 型 MOSFET 33, 34 係以一方接通時另一方斷開的方式作控制。圖 19(B) 所示之例，係藉由使 P 型 MOSFET 33, 34 之各個閘極寬等不同，而可進行如圖 17(A) 所示之負載電阻特性的切換。此外，亦可 P 型 MOSFET 33, 34 為相同尺寸，對兩者或任何一方串聯地附加不同電阻值

之電阻成分。

圖 19(C)顯示由以 1 個控制信號 Sc4 可多階段控制閘極電壓之 1 個 P 型 MOSFET35 而構成的負載電阻特性可變電路 14。控制信號 Sc4 係構成可輸出斷開 P 型 MOSFET35 之 1 個信號位準與接通 P 型 MOSFET35 之 2 個信號位準，藉由切換接通 P 型 MOSFET35 之 2 個信號位準，可進行圖 17(A)所示之負載電阻特性的切換。

圖 19(D)顯示由以 2 個控制信號 Sc5, Sc6 可分別 2 個階段地控制閘極電壓與背向閘極(基板)電壓之 1 個 P 型 MOSFET36 構成的負載電阻特性可變電路 14。以控制信號 Sc5 控制 P 型 MOSFET36 之接通斷開，以控制信號 Sc6 調整 P 型 MOSFET36 之背向閘極電壓，而使臨限電壓變化。在接通 P 型 MOSFET36 之狀態下，藉由背向閘極電壓將臨限電壓切換成高低 2 個，可進行圖 17(A)所示之負載電阻特性的切換。

圖 19(E)顯示由以 1 個控制信號 Sc7 可多階段控制閘極電壓之 1 個電阻控制元件 37 而構成的負載電阻特性可變電路 14。電阻控制元件 37 係利用由 MOSFET 以外而構成之傳輸閘極及單通道電晶體等構成者。藉由切換控制信號 Sc7 之信號位準，可切換負載電阻特性。

另外，上述實施形態如圖 1 及圖 18 所示，係說明將負載電阻特性可變電路 14 設於電壓開關電路 17 與字元線解碼器 12 之間，並從電壓開關電路 17 對負載電阻特性可變電路 14 施加相同電壓極性之寫入用電壓 V_{pp} 及刪除用電壓 V_{ee} 的

情況，不過負載電阻特性可變電路14係不限定於該結構例者，如亦可設於字元線解碼器12之內部、字元線解碼器12與記憶胞陣列11之間、位元線解碼器13與記憶胞陣列11之間、位元線解碼器13之內部、位元線解碼器13與電壓開關電路17之間或是電壓開關電路17之內部。此外，將負載電阻特性可變電路14設於字元線解碼器12之內部或位元線解碼器13之內部時，亦可以相同之電晶體構成係構成字元線解碼器12及位元線解碼器13之字元線選擇用電晶體及位元線選擇用電晶體與負載電阻特性可變電路14。再者，負載電阻特性可變電路14除了形成於1處之外，亦可分散形成於數處。

此外，使用MOSFET構成負載電阻特性可變電路14時，因應其形成數量及寫入用電壓 V_{pp} 及刪除用電壓 V_{ee} 之電壓極性，亦可使用N型MOSFET來取代使用P型MOSFET。

其次，說明本發明裝置之記憶胞的寫入動作。此時，係將使選擇記憶胞之可變電阻元件的電阻特性從低電阻狀態轉移至高電阻狀態之情況，作為寫入動作來說明。

首先，控制電路16藉由來自外部之位址信號、資料輸入信號及控制輸入信號等，指示對位址信號所指定之寫入對象的記憶胞進行寫入動作時，活化電壓開關電路17，於寫入動作時，指示輸出應分別施加於選擇字元線、非選擇字元線、選擇位元線及非選擇位元線的電壓。電壓開關電路17將由無圖示之電壓產生電路產生之寫入用電壓 V_{pp} 經由負載電阻特性可變電路14而供給至字元線解碼器12，將寫

入用電壓 V_{pp} 之 2 分之 1 的電壓之寫入抑止電壓 $V_{pp}/2$ 供給至字元線解碼器 12 與位元線解碼器 13，並將接地電壓 V_{ss} 供給至位元線解碼器 13。此外，控制電路 16 以成為寫入動作用之負載電阻特性的方式控制負載電阻特性可變電路 14。本實施形態係以負載電阻特性成為更低電阻之方式來控制。結果藉由將寫入用電壓 V_{pp} 設定成上述之第一臨界電壓以上，而在選擇字元線上，經由負載電阻特性可變電路 14 與字元線解碼器 12，施加從寫入用電壓 V_{pp} 減去因兩電路之電壓下降部分的電壓，在選擇位元線上施加從接地電壓 V_{ss} 上昇因位元線解碼器 13 之電壓下降部分的電壓，在選擇記憶胞之兩端施加使電阻特性從低電阻狀態轉移至高電阻狀態時需要之第一臨限電壓以上的電壓，電阻特性從低電阻狀態轉移至高電阻狀態而寫入完成。此時，因為可變電阻元件轉移成高電阻狀態，所以負載電路與記憶胞之串聯電路的合成電阻值提高，因為流入負載電路之電流減少，因負載電路之電壓下降減低，所以，施加於轉移至高電阻狀態後之選擇記憶胞的兩端之電壓上昇，不過，因為藉由負載電阻特性可變電路 14 之控制而選擇之負載電阻特性，選擇記憶胞之兩端電壓在比第二臨限電壓低之電壓狀態下穩定地產生向高電阻狀態之轉移，因而電壓上昇後，可變電阻元件可穩定地維持高電阻狀態。

此外，因為在非選擇字元線上，經由字元線解碼器 12 施加從寫入抑止電壓 $V_{pp}/2$ 減去因字元線解碼器 12 之電壓下降部分的電壓，在非選擇位元線上，經由位元線解碼器 13

施加從寫入抑止電壓 $V_{pp}/2$ 上昇因位元線解碼器 13 之電壓下降部分的電壓，所以連接於非選擇字元線與非選擇位元線之非選擇記憶胞中不施加電壓，在連接於非選擇字元線與選擇位元線之非選擇記憶胞與連接於選擇字元線與非選擇位元線之非選擇記憶胞中，施加從寫入抑止電壓 $V_{pp}/2$ 減去字元線解碼器 12 與位元線解碼器 13 之電壓下降部分的電壓。因此，藉由以至少寫入抑止電壓 $V_{pp}/2$ 比使電阻特性從低電阻狀態轉移至高電阻狀態時需要之第一臨限電壓低之方式，預先設定寫入用電壓 V_{pp} ，可防止對非選擇記憶胞進行不需要之寫入動作。

其次，說明本發明裝置之記憶胞的刪除動作。此時，係將使選擇記憶胞之可變電阻元件的電阻特性從高電阻狀態轉移至低電阻狀態的情況作為刪除動作來說明。

首先，控制電路 16 藉由來自外部之位址信號、資料輸入信號及控制輸入信號等，指示對位址信號所指定之刪除對象的記憶胞進行刪除動作時，活化電壓開關電路 17，於刪除動作時，指示輸出應分別施加於選擇字元線、非選擇字元線、選擇位元線及非選擇位元線的電壓。電壓開關電路 17 將與由無圖示之電壓產生電路產生之寫入用電壓 V_{pp} 同極性的刪除用電壓 V_{ee} 經由負載電阻特性可變電路 14 而供給至字元線解碼器 12，將刪除用電壓 V_{ee} 之 2 分之 1 的電壓之刪除抑止電壓 $V_{ee}/2$ 供給至字元線解碼器 12 與位元線解碼器 13，並將接地電壓 V_{ss} 供給至位元線解碼器 13。此外，控制電路 16 以成為刪除動作用之負載電阻特性的方式

控制負載電阻特性可變電路14。本實施形態係以負載電阻特性成為更高電阻之方式來控制。結果藉由將刪除用電壓 V_{ee} 設定成上述之第二臨界電壓以上，而在選擇字元線上，經由負載電阻特性可變電路14與字元線解碼器12，施加從刪除用電壓 V_{ee} 減去因兩電路之電壓下降部分的電壓，在選擇位元線上施加從接地電壓 V_{ss} 上昇因位元線解碼器13之電壓下降部分的電壓，在選擇記憶胞之兩端施加使電阻特性從高電阻狀態轉移至低電阻狀態時需要之第二臨限電壓以上的電壓，電阻特性從高電阻狀態轉移至低電阻狀態而刪除完成。此時，因為可變電阻元件轉移成低電阻狀態，所以負載電路與記憶胞之串聯電路的合成電阻值降低，因為流入負載電路之電流增大，因負載電路之電壓下降增大，所以，施加於轉移至低電阻狀態後之選擇記憶胞的兩端之電壓降低，不過，因為藉由負載電阻特性可變電路14之控制而選擇之負載電阻特性，選擇記憶胞之兩端電壓在比第一臨限電壓低之電壓狀態下穩定地產生向低電阻狀態之轉移，因而電壓上昇後，可變電阻元件可穩定地維持低電阻狀態。

此外，因為在非選擇字元線上，經由字元線解碼器12施加從刪除抑止電壓 $V_{ee}/2$ 減去因字元線解碼器12之電壓下降部分的電壓，在非選擇位元線上，經由位元線解碼器13施加從刪除抑止電壓 $V_{ee}/2$ 上昇因位元線解碼器13之電壓下降部分的電壓，所以連接於非選擇字元線與非選擇位元線之非選擇記憶胞中不施加電壓，在連接於非選擇字元線

與選擇位元線之非選擇記憶胞與連接於選擇字元線與非選擇位元線之非選擇記憶胞中，施加從刪除抑止電壓 $V_{ee}/2$ 減去字元線解碼器 12 與位元線解碼器 13 之電壓下降部分的電壓。因此，藉由以至少刪除抑止電壓 $V_{ee}/2$ 比使電阻特性從高電阻狀態轉移至低電阻狀態時需要之第二臨限電壓低之方式，預先設定刪除用電壓 V_{ee} ，可防止對非選擇記憶胞進行不需要之刪除動作。

另外，雖然第二臨界電壓 V_A 與第一臨界電壓 V_B 為不同之電壓值，不過，本實施形態基於上述之理由，可將寫入用電壓 V_{pp} 與刪除用電壓 V_{ee} 設定成同電壓。此外，寫入用電壓 V_{pp} 與刪除用電壓 V_{ee} 之電壓脈衝的脈寬均可設定成短脈寬，如設定成 100 ns 以下，亦可使兩脈寬形成相同長度。藉此，僅藉由切換負載電阻特性可變電路 14 之負載電阻特性，即可控制寫入動作與刪除動作之區別，而謀求電路結構之大幅簡單化。

本發明裝置之記憶胞的讀取動作，可利用對於以先前之單極性切換動作及雙極性切換動作重寫之記憶胞的熟知之讀取動作。此外，由於讀取動作並非本發明之主旨，因此省略詳細之說明。

如上述，採用本發明裝置時，因為構成可在 2 個不同之負載電阻特性間切換負載電路之負載電阻特性，且在重寫對象之可變電阻元件的電阻特性從低電阻狀態轉移成高電阻狀態時，與從高電阻狀態轉移成低電阻狀態時，可選擇性地切換 2 個負載電阻特性，所以與可變電阻元件之元件

構造的對稱性如何、電壓施加時間之長短或施加電壓之極性無關，可實現本專利發明人新創見之作為可變電阻元件用於進行穩定之切換動作的2個條件，亦即，可設定個別地滿足：1)使可變電阻元件之電阻特性從高電阻狀態轉移成低電阻狀態時，該轉移之臨限電壓比反方向轉移之臨限電壓低電壓，而施加比該轉移之臨限電壓高之電壓；2)使可變電阻元件之電阻特性從低電阻狀態轉移成高電阻狀態時，該轉移之臨限電壓比反方向轉移之臨限電壓低電壓，而施加比該轉移之臨限電壓高之電壓的負載電阻特性，而實現在可變電阻元件之電阻特性的高電阻狀態與低電阻狀態相互之間穩定的切換動作。

而後，特別是藉由對顯示雙極性切換特性之可變電阻元件，藉由切換負載電阻來實現單極性切換動作時，在不考慮負載電阻之狀態下，藉由將顯示為了從低電阻狀態轉移成高電阻狀態，應施加於可變電阻元件兩端之第一臨限電壓，比為了從高電阻狀態轉移成低電阻狀態，應施加於可變電阻元件兩端之第二臨限電壓小之側的極性之電壓施加於可變電阻元件兩端，進行負載電阻之切換控制，可實現單極性切換動作。

[本發明裝置之製造方法]

其次，就本發明裝置之製造方法，參照圖式作說明。

(第一種實施形態)

就本發明裝置之製造方法的第一種實施形態(以下，適宜稱為「本實施形態」)，參照圖20~圖36之各圖作說明。

圖20係本實施形態所形成之記憶胞的概略結構圖，圖21係記憶胞之平面圖。本實施形態所製造之本發明裝置由包含鎢(W)及密合層氮化鈦之第一布線、障壁金屬氮化鈦、電阻降低層氮化鈦型多結晶(多)晶矽、下部電極氮化鈦、包含可變電阻體之 TiO_xNy 之記憶胞部、以及包含上部電極與鎢之第二布線而構成。此外，圖22~圖32係依步驟順序顯示本實施形態之製造方法者。圖22~圖32中，各圖(a)係顯示沿著圖20之X-X'的垂直剖面圖，各圖(b)係顯示沿著圖20之Y-Y'的垂直剖面圖者。另外，圖20所示之圖為了簡略化而顯示單一之記憶胞，不過實際係在X方向及Y方向周期性或非周期性地配置記憶胞者。

此外，以下之各圖係模式地圖示剖面構造者，圖式上之比例尺與實際構造尺寸之比例尺未必一致。第二種實施形態以下亦同。

此外，以下記載之膜厚等的尺寸、濃度、溫度等之條件僅是一例，並非限定於此等之值者。以下之各種實施形態中亦同。

另外，本實施形態係以藉由施加對下部電極之上部電極的極性成為正電壓之電壓，以實現單極性切換動作時為例作說明。

首先，如圖22所示，在覆蓋於矽等基板上之二氧化矽(SiO_2)等的絕緣膜51上，經由氮化鈦等構成之密合層52而形成成為第一布線之鎢53。本實施形態之第一布線係使用鎢，不過並非限定於此者，亦可使用鈦、銅、鈷、鉍等轉

移金屬及包含鎢之此等金屬的合金，或是顯示導電性之氧化物及氮化物等。此外，本實施形態之密合層52係使用氮化鈦，不過並非限定於此者，亦可使用氮化鈮及鎢化鈦等。此等氮化鈦及鎢之形成方法係利用熟知之方法，如CVD(化學氣相沈積)法及濺鍍法等而形成。密合層52之氮化鈦的膜厚為30 nm程度，第一布線53之鎢的膜厚為200 nm程度。另外，密合層52只須為因應第一布線53利用之金屬種類而堆積者即可，並非為必要。

其次，如圖23所示，將此等疊層構造以成為第一布線之方式，藉由熟知之光微影法予以圖案化之抗蝕劑作為遮罩，使用熟知之乾式蝕刻法加工成線狀。此時之布線寬及布線間為250 nm。

其次，如圖24所示，將包含二氧化矽等之絕緣膜54形成於第一布線上及布線間。該二氧化矽係藉由電漿CVD法及HDP(高密度電漿)CVD法等而形成。二氧化矽之形成膜厚，因為在之後的CMP(化學機械研磨)步驟中研磨進行平坦化，所以需要至少比第一布線之厚度要厚。本實施形態係將二氧化矽形成400 nm程度者。

其次，如圖25所示，為了除去第一布線53上之二氧化矽，且予以平坦化，藉由熟知之CMP法研磨二氧化矽。因為需要完全除去第一布線53上之二氧化矽，使鎢之表面露出，所以鎢亦同時被研磨，不過，因為二氧化矽對鎢之研磨率非常高(約10以上)，所以鎢被研磨之膜厚比鎢之形成膜厚非常小。

另外，第一布線53之形成方法並非限定於上述之方法，亦可使用所謂熟知之金屬鑲嵌製程而形成。

其次，如圖26所示，進行記憶胞部之形成。首先，分別形成30 nm之氮化鈦作為障壁金屬55，形成10 nm之鈦作為電阻降低層56。障壁金屬55係為了防止形成於其上之多晶矽與第一布線之鎢反應而形成，此外，電阻降低層56係為了減低與形成於上面之多晶矽之間的接觸電阻之目的而形成。本實施形態之障壁金屬55係使用氮化鈦，不過並非限定於此者，亦可使用氮化鈮及鎢化鈦。此外，本實施形態之電阻降低層56係使用鈦，不過並非限定於此者，亦可使用鈷及鎳等。

其後，進一步使用熟知之LP(低壓)CVD法來形成肖特基障壁二極體之構成要素的N型多晶矽57。該方法係在多晶矽成膜中，混入成為N型之摻雜物，如混入 PH_3 ，而形成N型多晶矽之方法，不過亦可使用其他方法，如固態擴散法及利用離子注入而N型化之方法等。此外，亦可於形成非晶層後，藉由施加熱處理，予以多結晶化之方法。如此形成之N型多晶矽57的摻雜物濃度為 5×10^{18} atoms/cm³程度，膜厚為150 nm程度。此外，本實施形態係使用多晶矽，不過並非限定於此者，如亦可使用鍺及砷化鎵等之半導體材料。再者，形成100 nm之成為肖特基障壁二極體之金屬側電極及可變電阻體之下部電極58的氮化鈦。該氮化鈦在爾後步驟之絕緣膜平坦化步驟中，被削除少許，因此需要預估其部分來設定膜厚。再者，該氮化鈦係兼作肖特基障壁

二極體之金屬側電極與可變電阻體之下部電極，不過肖特基障壁二極體之金屬側電極亦可插入功函數較大之另外材料，如鉑、鈷、鎳等。

其次，如圖27所示，將藉由熟知之光微影法予以圖案化之抗蝕劑作為遮罩，使用熟知之乾式蝕刻法，將成為該肖特基障壁二極體之疊層構造加工成柱狀。此時柱狀構造物以配置於第一布線上之方式加工，其直徑係130 nm。

其次，如圖28所示，將包含二氧化矽等之絕緣膜59形成於柱狀構造物上或柱狀構造物間。該二氧化矽藉由電漿CVD法及HDPCVD法等形式形成。二氧化矽之形成膜厚，因為在爾後之CMP步驟藉由研磨二氧化矽來進行平坦化，所以需要至少比柱狀構造物之厚度(高度)要厚。本實施形態係將二氧化矽形成500 nm程度。

其次，如圖29所示，為了除去柱狀構造物上之二氧化矽且予以平坦化，係藉由熟知之CMP法研磨二氧化矽。因為需要完全除去柱狀構造物上之二氧化矽，使氮化鈦表面露出，所以位於柱狀構造物最上層之氮化鈦亦同時被研磨，不過，二氧化矽對氮化鈦之研磨率非常高(約10以上)，所以研磨氮化鈦之膜厚比形成膜厚非常小。

其次，如圖30所示，將露出之氮化鈦表面氧化，形成成為可變電阻體60之氧氮化鈦(以下作為一個例子而記載成「TiON」)。本實施形態中氧氮化鈦之形成，係藉由在包含10 wt%之臭氧的大氣壓氧氣氛中，在基板溫度300°C下保持10分鐘來進行。此時之氧氮化鈦的膜厚為10 nm程

度。不過可變電阻體氮化鈦之形成方法並非限定於本方法者，可在臭氧濃度5~100 wt%，基板溫度250~500°C之範圍內變化。此外，其他方法亦可使用在減壓氧氣氛中及氧電漿氣氛中之熱處理及藉由具氧化性之藥劑而氧化之方法等。

其次，如圖31所示，堆積成為第二布線層之密合層61的氮化鈦及成為第二布線層62之鎢。該密合層61除了作為第二布線層62之密合層之外，還作為可變電阻體之上部電極的功能。就第二布線層62，本實施形態與第一布線同樣地使用鎢，不過並非限定於此者，亦可使用鈦、銅、鈷、鉭等轉移金屬及包含鎢之此等金屬的合金，或是顯示導電性之氧化物及氮化物等。

其次，如圖32所示，以成為第二布線之方式，將藉由熟知之光微影法予以圖案化之抗蝕劑作為遮罩，使用熟知之乾式蝕刻法，將此等疊層構造加工成線狀。此時，第二布線需要配置於構成記憶胞部之柱狀構造物的正上方。此外，此時之布線寬及布線間為250 nm程度。其後，依需要形成層間絕緣膜，藉由進行平坦化步驟，可實現希望之非揮發性半導體記憶裝置。

藉由重複進行將如上述所形成之記憶胞，如圖33所示地構築於上層之布線層上(本實施形態之情況係第二布線上)的步驟，可構築三維性之記憶體陣列，可製造具有高積體化之可變電阻元件的半導體記憶裝置。

此外，本實施形態之變形例如圖34所示，可在N型多晶

矽 57 與下部電極 58 接觸之一部分插入 P 型多晶矽 63。此種 P 型多晶矽 63 之形成方法，在成為上述之記憶胞部的柱狀構造物形成後(圖 27 所示之步驟後)，可藉由從斜方向離子注入硼等而達成。藉由形成圖 34 所示之構造，在肖特基障壁二極體中施加反方向電壓時，藉由來自 PN 接合之耗盡層的擴大，反方向之電流可比通常之肖特基障壁二極體時減少，而獲得蔓延電流更少之良好的裝置特性。

此外，本實施形態之其他變形例，如圖 35 所示，可在 N 型多晶矽 57 與下部電極 58 之間插入 P 型多晶矽 64。P 型多晶矽 64 之形成方法與 N 型多晶矽 形成同樣地，可藉由 LPCVD 法形成。如此，由於 PN 接合二極體取代肖特基障壁二極體，而形成於記憶胞部，因此獲得蔓延電流更少之良好的裝置特性。

上述之實施形態係就製造具備單獨顯示雙極性切換特性之可變電阻元件的記憶胞之情況進行說明，不過，如製造具備不單獨顯示雙極性切換特性之可變電阻元件的記憶胞情況下，多晶矽 57 亦可為 N 型或 P 型之導電型。此時如圖 36 所示，只須下部電極 65 為銅，可變電阻體 66 為藉由氧化銅而獲得之一氧化銅(CuO)，上部電極 67 為鈦、鈹、鎢等即可。

另外，此時多晶矽 57 為 N 型多晶矽之情況下，需要在下部電極 65 與 N 型多晶矽 57 之間插入功函數較大之鉑、鈷、鎳等金屬電極 68，作為構成 N 型多晶矽 57 與肖特基障壁二極體用的電極。反之，多晶矽 57 為 P 型多晶矽情況下，需

要在下部電極 65 與 P 型多晶矽 57 之間插入功函數較小之鈦、鉭、鎢等金屬電極 68，作為構成 P 型多晶矽 57 與肖特基障壁二極體用的電極。

(第二種實施形態)

就本發明裝置之製造方法的第二種實施形態(以下，適宜稱為「本實施形態」)，參照圖 37~圖 49 之各圖作說明。圖 37 係本實施形態所形成之記憶胞的概略結構圖，圖 38 係記憶胞之平面圖。本實施形態所製造之本發明裝置由包含形成於 P 型矽基板內之 N^+ 層及 N^- 層的第一布線層，包含下部電極氮化鈦及可變電阻體之氧氮化鈦的記憶胞部，及包含上部電極與密合層之氮化鈦與鎢的第二布線而構成。此外，圖 39~圖 46 係依步驟順序顯示本實施形態之製造方法者。圖 39~圖 46 中，各圖 (a) 係顯示沿著圖 38 之 X-X' 的垂直剖面圖，各圖 (b) 係顯示沿著圖 38 之 Y-Y' 的垂直剖面圖者。另外，本實施形態亦與第一種實施形態同樣地，係以藉由施加對下部電極之上部電極的極性為正電壓之電壓，來實現單極性切換動作時為例作說明。

首先，如圖 39 所示，在 P 型矽基板 71 內使用熟知之技術，如離子注入而形成 N^+ 層 72 及 N^- 層 73。此時 N^+ 層之摻雜物濃度係 5×10^{20} atoms/cm³， N^- 層之摻雜物濃度係 1×10^{17} atoms/cm³。因為 N^+ 層 72 成為第一布線層，所以需要電阻非常小，另外， N^- 層 73 在與可變電阻體之成為下部電極的氮化鈦膜接觸中，需要形成肖特基接合，所以設定成上述值。

其次，如圖40所示，使用熟知之元件分離方法，設置元件分離區域74，並將 N^+ 層72及 N^- 層73形成線狀。如此獲得之 N^+ 層72及 N^- 層73作為第一布線之功能。

其次，如圖41所示，形成成為肖特基障壁二極體之金屬側電極及可變電阻體之下部電極75的氮化鈦。此時氮化鈦之形成方法使用熟知之方法，如濺鍍法及CVD法而形成。此外，此時之膜厚，由於該氮化鈦在爾後步驟之絕緣膜平坦化步驟中被削除少許，因此須預估其部分來設定膜厚。再者，將藉由熟知之光微影法予以圖案化之抗蝕劑作為遮罩，使用熟知之乾式蝕刻法而加工成線狀。

其次，如圖42所示，在氮化鈦上及氮化鈦間形成包含二氧化矽之絕緣膜76。該二氧化矽藉由電漿CVD法及HDPCVD法等而形成。二氧化矽之形成膜厚，因為在爾後之CMP步驟藉由研磨二氧化矽進行平坦化，所以需要至少比下部電極75之厚度(高度)要厚。本實施形態為堆積300nm程度之二氧化矽者。

其次，如圖43所示，為了除去下部電極75上之二氧化矽，且予以平坦化，藉由熟知之CMP法研磨二氧化矽。因為需要完全除去氮化鈦上之二氧化矽，使氮化鈦表面露出，所以氮化鈦本身亦同時被研磨，不過，因為二氧化矽對氮化鈦之研磨率非常高(約10以上)，所以研磨氮化鈦之膜厚比形成膜厚非常小。

其次，如圖44所示，氧化露出之氮化鈦表面，而形成可變電阻體77之氧氮化鈦。本實施形態中，可變電阻體之形

成，係藉由在包含10 wt%之臭氧的大氣壓氧氣氛中，在基板溫度300°C下保持10分鐘來進行。此時之可變電阻體的膜厚為10 nm程度。不過可變電阻體之形成方法並非限定於本方法者，可在臭氧濃度5~100 wt%，基板溫度250~500°C之範圍內變化。此外，其他方法亦可使用在減壓氧氣氛中及氧電漿氣氛中之熱處理及藉由具氧化性之藥劑而氧化之方法等。

其次，如圖45所示，形成成為第二布線層之密合層78的氮化鈦及成為第二布線層79之鎢。該密合層78除了作為第二布線層79之密合層之外，還作為可變電阻體之上部電極的功能。就第二布線層，本實施形態係使用鎢，不過並非限定於此者，亦可使用鈦、銅、鈷、鈹等轉移金屬及包含鎢之此等金屬的合金，或是顯示導電性之氧化物及氮化物等。

其次，如圖46所示，以成為第二布線之方式，將藉由熟知之光微影法予以圖案化之抗蝕劑作為遮罩，使用熟知之乾式蝕刻法，將此等疊層構造加工成線狀。第二布線層加工時，係加工至可變電阻體77及下部電極76。如此加工時，可變電阻體形成矩形狀。其後，依需要形成層間絕緣膜，藉由進行平坦化步驟，而實現希望之非揮發性半導體記憶裝置。

以上，已經敘述實現本實施形態用之製造方法，不過，藉由組合本實施形態與第一種實施形態，可構築圖47所示之三維性記憶體陣列。

此外，本實施形態之變形例，如圖48所示，亦可形成P層80以取代N⁻層73。P層80之形成方法與形成N⁺層同樣地可藉由離子注入法而形成。如此，由於形成PN接合二極體以取代肖特基障壁二極體，因此獲得蔓延電流更少之良好的裝置特性。

另外，上述實施形態係就製造具備單獨顯示雙極性切換特性之可變電阻元件的記憶胞之情況進行說明，不過，如製造具備不單獨顯示雙極性切換特性之可變電阻元件的記憶胞情況下，如圖49所示，只須下部電極82為銅，可變電阻體83為藉由氧化銅而獲得之一氧化銅，上部電極84為鈦、鉭、鎢等即可，再者，此種情況需要在下部電極82與N⁻層73之間插入功函數較大之鉑、鈷、鎳等金屬電極81，作為構成肖特基障壁二極體用的金屬電極。此外，上述記憶胞之情況，亦可使矽基板及注入離子之導電型反轉，此種情況需要在下部電極82與N⁻層73之間插入功函數較小之鈦、鉭、鎢等之金屬電極81，作為構成肖特基障壁二極體用的金屬電極。

(第三種實施形態)

就本發明裝置之製造方法的第三種實施形態(以下，適宜稱為「本實施形態」)，參照圖50~圖60之各圖作說明。圖50係本實施形態所形成之記憶胞的概略結構圖，圖51係記憶胞之平面圖。本實施形態所製造之本發明裝置係由包含鎢及密合層氮化鈦之第一布線、障壁金屬氮化鈦、電阻降低層氮化鈦型多晶矽、下部電極氮化鈦、包含可變電阻

體之氮化鈦的記憶胞部、上述電極與密合層、及包含鎢之第二布線而構成。此外圖 52~圖 58 係按照步驟順序顯示本實施形態之製造方法者。圖 52~圖 58 中，各圖 (a) 係顯示沿著圖 51 之 X-X' 的垂直剖面圖，各圖 (b) 係顯示沿著圖 51 之 Y-Y' 的垂直剖面圖者。另外，圖 50 所示之圖顯示為了簡略化而顯示單一之記憶胞，實際係沿著 X 方向及 Y 方向周期性或非周期性地配置記憶胞者。

另外，以下亦與第一種實施形態同樣地，係以藉由施加對下部電極之上部電極的極性成為正電壓之電壓，以實現單極性切換動作時為例作說明。

首先，如圖 52 所示，在覆蓋於矽等基板上之二氧化矽等的絕緣膜 91 上，經由氮化鈦等構成之密合層 92 形成成為第一布線之鎢 93。本實施形態之第一布線係使用鎢，不過並非限定於此者，亦可使用鈦、銅、鈷、鉭等轉移金屬及包含鎢之此等金屬的合金，或是顯示導電性之氧化物及氮化物等。此外，本實施形態之密合層 92 係使用氮化鈦，不過並非限定於此者，亦可使用氮化鉭及鎢化鈦等。此等密合層氮化鈦 92 及第一布線之鎢 93 的形成方法，係利用熟知之方法，如 CVD 法及濺鍍法等而形成。密合層之氮化鈦的膜厚係 30 nm 程度，此外第一布線之鎢的膜厚係 200 nm 程度。另外，密合層 92 只須為因應第一布線 93 利用之金屬種類而堆積者即可，並非為必要。

形成鎢 93 後，繼續形成成為記憶胞部之部分。首先，分別形成 30 nm 之氮化鈦作為障壁金屬 94，形成 10 nm 之鈦作

為電阻降低層95。障壁金屬係為了防止形成於其上之多晶矽層與第一布線之鎢反應而形成，此外，電阻降低層係為了減低與形成於上面之多晶矽層之間的接觸電阻之目的而形成。本實施形態之障壁金屬94係使用氮化鈦，不過並非限定於此者，亦可使用氮化鈮及鎢化鈦等。此外，本實施形態之電阻降低層95係使用鈦，不過並非限定於此者，亦可使用鈷及鎳等。

再者，其後使用熟知之LPCVD法來形成肖特基障壁二極體之構成要素的N型多晶矽96。該方法係在多晶矽成膜中，混入成為N型之摻雜物，如混入 PH_3 ，而形成N型多晶矽之方法，不過亦可使用其他方法，如固態擴散法及利用離子注入而N型化之方法等。此外，亦可於形成非晶層後，藉由施加熱處理，予以多結晶化之方法。如此形成之N型多晶矽的摻雜物濃度為 5×10^{18} atoms/cm³，膜厚為150 nm。再者，形成100 nm之成為肖特基障壁二極體之金屬側電極及可變電阻體之下部電極97的氮化鈦。該氮化鈦在爾後步驟之絕緣膜平坦化步驟中，被削除少許，因此需要預估其部分來設定膜厚。該氮化鈦係兼作肖特基障壁二極體之金屬側電極與可變電阻體之下部電極，不過肖特基障壁二極體之金屬側電極亦可插入功函數較大之另外材料，如鉑、鈷、鎳等。

其次，如圖53所示，以成為第一布線及記憶胞部之方式，將藉由熟知之光微影法予以圖案化之抗蝕劑作為遮罩，使用熟知之乾式蝕刻法，將此等疊層構造加工成線

狀。此時之布線寬及布線間為130 nm程度。

其次，如圖54所示，將包含二氧化矽之絕緣膜98形成於第一布線上及布線間。該二氧化矽藉由電漿CVD法及HDPCVD法等形成。二氧化矽之形成膜厚，因為在爾後之CMP步驟藉由研磨二氧化矽來進行平坦化，所以需要至少比第一布線之厚度要厚。本實施形態係將二氧化矽形成700 nm程度。

其次，如圖55所示，為了除去第一布線及記憶胞部上之二氧化矽且予以平坦化，係藉由熟知之CMP法研磨二氧化矽。因為需要完全除去第一布線上之二氧化矽，使氮化鈦表面露出，所以位於記憶胞部最上層之氮化鈦亦同時被研磨，不過，二氧化矽對氮化鈦之研磨率非常高(約10以上)，所以研磨氮化鈦之膜厚比形成膜厚非常小。

其次，如圖56所示，將氮化鈦表面氧化，形成可變電阻體99之氧氮化鈦。本實施形態中可變電阻體之形成，係藉由在包含10 wt%之臭氧的大氣壓氧氣氛中，在基板溫度300°C下保持10分鐘來進行。此時之可變電阻體的膜厚為10 nm程度。不過可變電阻體之形成方法並非限定於本方法者，可在臭氧濃度5~100 wt%，基板溫度250~500°C之範圍內變化。此外，其他方法有在減壓氧氣氛中及氧電漿氧氣氛中之熱處理及藉由具氧化性之藥劑的處理等。

其次，如圖57所示，形成成為第二布線層之密合層100的氮化鈦及成為第二布線層101之鎢。該密合層100除了作為第二布線層101之密合層之外，還作為可變電阻體99之

上部電極的功能。第二布線層在本實施形態與第一布線同樣地使用鎢，不過並非限定於此者，亦可使用鈦、銅、鈷、鉍等轉移金屬及包含鎢之此等金屬的合金，或是顯示導電性之氧化物及氮化物等。

其次，如圖 58 所示，以成為第二布線及記憶胞部之方式，將藉由熟知之光微影法予以圖案化之抗蝕劑作為遮罩，使用熟知之乾式蝕刻法，將此等疊層構造加工。此時，係加工至第一布線上之障壁金屬 94 的氮化鈦。此時之布線寬及布線間為 130 nm 程度。其後，依需要形成層間絕緣膜，藉由進行平坦化步驟，來實現希望之非揮發性半導體記憶裝置。

藉由重複進行將如上述所形成之記憶胞構築於上層之布線層上(本實施形態之情況係第二布線上)的步驟，可構築與圖 33 所示之構造相同的三維性之記憶體陣列，可製造具有高積體化之可變電阻元件的半導體記憶裝置。

另外，本實施形態亦與第一種實施形態同樣地，亦可在 N 型多晶矽 96 與下部電極 97 接觸之一部分，藉由從斜方向之離子注入，而形成 P 型多晶矽 102 (參照圖 59)，亦可在 N 型多晶矽 96 與下部電極 97 之間插入 P 型多晶矽 103 而構成 (參照圖 60)。

再者，與第一種實施形態同樣地，製造具備不單獨顯示雙極性切換特性之可變電阻元件的記憶胞情況下，多晶矽 96 亦可為 N 型或 P 型之導電型。此時，只須下部電極 97 為銅，可變電阻體 99 為藉由氧化銅而獲得之一氧化銅，上部

電極100為鈦、鈮、鎢等即可。此時，亦因應多晶矽96之導電型，而在多晶矽與下部電極97之間插入構成肖特基障壁二極體用的金屬電極。

(產業上之可利用性)

本發明可利用於具備藉由施加電壓而電阻特性變化之可變電阻元件的非揮發性半導體記憶裝置，特別是在實現對可變電阻元件可穩定且高速切換動作之非揮發性半導體記憶裝置時有效。

【圖式簡單說明】

圖1係顯示本發明之非揮發性半導體記憶裝置的概略結構之區塊圖。

圖2係顯示交叉點型之記憶胞陣列的部分結構之電路圖。

圖3係圖2所示之交叉點型記憶胞陣列中僅包含可變電阻元件之記憶胞的模式垂直剖面圖。

圖4係顯示圖3所示之構造的可變電阻元件之切換特性圖。

圖5係顯示非對稱構造之可變電阻元件的一種電流電壓特性圖。

圖6係顯示非對稱構造之可變電阻元件的電阻特性圖。

圖7(A)~(C)係顯示在不經由可變電阻元件之負載電阻狀態下測定時的高電阻狀態與低電阻狀態之2個電阻特性的電流電壓特性圖，及顯示在經由負載電阻狀態下測定時之高電阻狀態與低電阻狀態的2個電阻特性之2種電流電壓特

性圖。

圖8係顯示非對稱構造之可變電阻元件的一種電流電壓特性圖。

圖9(a)~(c)係本發明之非揮發性半導體記憶裝置具備的記憶胞之概略結構圖。

圖10係本發明之非揮發性半導體記憶裝置的電路圖。

圖11係顯示可變電阻元件之一種電流電壓特性圖。

圖12係顯示可變電阻元件之一種構造圖。

圖13係顯示切換負載電阻之可變電阻元件的切換特性圖。

圖14係顯示切換負載電阻之可變電阻元件的電流電壓特性圖。

圖15(a)~(c)係顯示可變電阻元件之一種構造圖。

圖16(a)~(c)係顯示可變電阻元件之一種構造圖。

圖17(A)~(C)係顯示作為負載電阻特性可變電路之功能的MOSFET之負載電阻特性的電流電壓特性圖，及經由MOSFET作為負載電路狀態下測定時顯示可變電阻元件之高電阻狀態與低電阻狀態的2個電阻特性之2種電流電壓特性圖。

圖18係模式顯示重寫對象之選擇記憶胞的可變電阻元件與負載電路與電壓開關電路之關係的區塊圖。

圖19(A)~(E)係顯示負載電阻特性可變電路之電路結構例的電路圖。

圖20係本發明之非揮發性半導體記憶裝置的概略構造

圖。

圖 21 係本發明之非揮發性半導體記憶裝置的概略平面圖。

圖 22(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 23(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 24(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 25(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 26(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 27(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 28(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 29(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 30(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 31(a)、(b) 係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖 32(a)、(b) 係說明本發明之非揮發性半導體記憶裝置

的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖33係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖34係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖35係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖36係說明本發明之非揮發性半導體記憶裝置的第一種實施形態中之製造步驟的概略步驟剖面圖。

圖37係本發明之非揮發性半導體記憶裝置的概略構造圖。

圖38係本發明之非揮發性半導體記憶裝置的概略平面圖。

圖39(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖40(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖41(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖42(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖43(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖44(a)、(b)係說明本發明之非揮發性半導體記憶裝置

的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖 45(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖 46(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖 47係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖 48係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖 49係說明本發明之非揮發性半導體記憶裝置的第二種實施形態中之製造步驟的概略步驟剖面圖。

圖 50係本發明之非揮發性半導體記憶裝置的概略構造圖。

圖 51係本發明之非揮發性半導體記憶裝置的概略平面圖。

圖 52(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 53(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 54(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 55(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 56(a)、(b)係說明本發明之非揮發性半導體記憶裝置

的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 57(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 58(a)、(b)係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 59係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 60係說明本發明之非揮發性半導體記憶裝置的第三種實施形態中之製造步驟的概略步驟剖面圖。

圖 61係具備先前之 1T1R 型之記憶胞的記憶胞陣列之結構例。

圖 62(a)、(b)係顯示 2 個端子非線性元件之電流電壓特性圖。

圖 63係具備 1D1R 型之記憶胞的記憶胞陣列之結構例。

圖 64係顯示在上部電極與下部電極之間夾著可變電阻體構造的可變電阻元件中藉由對兩電極間施加電壓之基本電阻變化特性圖。

圖 65係顯示在上部電極與下部電極之間夾著可變電阻體構造的可變電阻元件中藉由對兩電極間施加電壓之基本電阻變化特性另外之圖。

圖 66(A)、(B)係顯示先前之可進行雙極性切換動作之可變電阻元件的電阻變化特性圖。

【主要元件符號說明】

10

裝置

| | |
|-------------------|------------|
| 11 | 記憶胞陣 |
| 12 | 字元線解碼器 |
| 13 | 位元線解碼器 |
| 14 | 負載電阻特性可變電路 |
| 15 | 讀取電路 |
| 16 | 控制電路 |
| 17 | 電壓開關電路 |
| 18 | 位址線 |
| 19 | 資料線 |
| 20 | 控制信號線 |
| 21、R11 | 可變電阻元件 |
| 22、58、65、75、82、97 | 下部電極 |
| 23、60、66、77、83、99 | 可變電阻體 |
| 24、67、84 | 上部電極 |
| 31~36 | P型MOSFET |
| 51、54、59、91、98 | 二氧化矽等之絕緣膜 |
| 52、61、78、92 | 密合層 |
| 53 | 第一布線 |
| 55、94 | 障壁金屬 |
| 56、95 | 電阻降低層 |
| 57、96、103 | N型多晶矽 |
| 62、79、101 | 第二布線層 |
| 63、64、102 | P型多晶矽 |
| 68、81 | 金屬電極 |

| | |
|----------------------------|------------------|
| 71 | P型矽基板 |
| 72 | N ⁺ 層 |
| 73 | N ⁻ 層 |
| 74 | 元件分離區域 |
| 76 | 二氧化矽之絕緣膜(下部電極) |
| 80 | P層 |
| 93 | 第一布線之鎢 |
| 100 | 密合層(上部電極) |
| A、B | 電阻特性 |
| BL0~BL3 | 位元線 |
| C | 負載電阻特性 |
| C1~C4 | 負載電阻特性曲線 |
| CA90 | 記憶胞陣列 |
| D | 二極體 |
| Ic1 | 電流上限值 |
| M、MC11 | 記憶胞 |
| Sc1~Sc3、Sc4、Sc6、Sc7 | 控制信號 |
| SL | 源極線 |
| T1(Vt1, It1)、T2(Vt2, It2) | 點 |
| T3(Vt3, It3)、T4(Vt4, It4) | |
| T11~T15、T16Z、T17 | 特性點 |
| T18Z、Ta(Va, Ia)、Tb(Vb, Ib) | |
| Tr11 | 選擇電晶體 |
| VA | 第二臨界電壓 |

V_{A1} 、 V_{B1} 、 V_{As} 、 V_{Bs} 、臨限電壓

V_{A^+} 、 V_{B^+} 、 V_{a^+} 、 V_{b^+}

V_B 第一臨界電壓

V_{cc} 供給電壓(電源電壓)

V_{ee} 刪除用之電壓

V_{pp} 寫入用之電壓

V_r 讀取用之電壓

V_{ss} 接地電壓

$WL_0 \sim WL_3$ 字元線

五、中文發明摘要：

本發明提供一種藉由施加時間之長短不設差異，而施加正負任一極性之電壓，可對可變電阻元件進行穩定之高速切換動作之非揮發性半導體記憶裝置。本發明構成為具備：可變電阻元件，其係藉由在兩端施加滿足特定條件之電壓，以該兩端之電流電壓特性規定之電阻特性可在可穩定地取得低電阻狀態與高電阻狀態之2個電阻特性間轉移的2個端子構造者，且具有施加絕對值為第一臨限電壓以上之第一極性的電壓時，從低電阻狀態轉移至高電阻狀態，施加絕對值為第二臨限電壓以上之第二極性的電壓時，從高電阻狀態轉移至低電阻狀態之特性；負載電路，其係可調整串聯連接於可變電阻元件之負載電阻；及電壓產生電路，其係可在串聯電路之兩端施加電壓；藉由調整負載電路之電阻，可在可變電阻元件之狀態間轉移。

六、英文發明摘要：

十、申請專利範圍：

1. 一種非揮發性半導體記憶裝置，其特徵為包含：

記憶胞，其係包含2個端子構造之可變電阻元件，該可變電阻元件為藉由在兩端施加滿足特定條件之電壓，以該兩端之電流電壓特性規定的電阻特性，可在可穩定地取得低電阻狀態與高電阻狀態之2個電阻特性間轉移；

負載電路，其係構成為串聯連接於前述可變電阻元件之一方端子，可將以電流電壓特性規定之負載電阻特性在第一負載電阻特性與較該第一負載電阻特性高電阻之第二負載電阻特性之間切換；及

電壓產生電路，其係用於在前述可變電阻元件與前述負載電路之串聯電路的兩端施加電壓；

且該非揮發性半導體記憶裝置係前述可變電阻元件之記憶狀態依前述電阻特性為低電阻狀態與高電阻狀態之何者而決定，藉由對前述可變電阻元件之兩端施加電壓，前述電阻特性在低電阻狀態與高電阻狀態間轉移，藉此可進行重寫的結構；

前述可變電阻元件顯示如下之非對稱特性：

以一個端子為基準時，對另一個端子之施加電壓之正負極性係第一極性之情況下，從低電阻狀態轉移至高電阻狀態時需要之施加電壓的絕對值之下限值即第一臨限電壓係比前述電阻特性從高電阻狀態轉移至低電阻狀態時需要之施加電壓的絕對值之下限值即第二臨限電壓

小，前述施加電壓之正負極性係與前述第一極性不同之第二極性之情況下，前述第一臨限電壓比前述第二臨限電壓大；

前述負載電路係可切換成：使前述可變電阻元件之前述電阻特性從低電阻狀態轉移至高電阻狀態的第一重寫動作時，前述負載電阻特性顯示前述第一負載電阻特性，使前述可變電阻元件之前述電阻特性從高電阻狀態轉移至低電阻狀態的第二重寫動作時，前述負載電阻特性顯示前述第二負載電阻特性；

前述電壓產生電路於前述第一重寫動作時，以如下方式在前述可變電阻元件及前述負載電路之串聯電路的兩端施加第一重寫電壓：在成為重寫對象之前述記憶胞具有的前述可變電阻元件之兩端，施加絕對值為前述第一臨限電壓以上之前述第一極性的電壓；且

於前述第二重寫動作時，以如下方式在前述可變電阻元件及前述負載電路之串聯電路的兩端施加第二重寫電壓：在成為重寫對象之前述記憶胞具有的前述可變電阻元件之兩端，施加絕對值為前述第二臨限電壓以上之前述第一極性的電壓。

2. 如請求項1之非揮發性半導體記憶裝置，其中前述可變電阻元件形成在第一電極與第二電極之間夾著可變電阻體而成的3層構造體。
3. 如請求項2之非揮發性半導體記憶裝置，其中前述記憶胞包含與前述可變電阻元件串聯地連接之整流元件；

前述整流元件在前述可變電阻元件之兩端施加有前述第一極性之電壓之情形時構成順向偏壓。

4. 如請求項3之非揮發性半導體記憶裝置，其中前述第一極性係正極性之情況下，在與前述第一電極及第二電極中位於下方之下部電極之下層接觸而形成的N型多結晶半導體與前述下部電極之界面構成肖特基障壁二極體；

前述第一極性係負極性之情況下，在與前述下部電極之下層接觸而形成的P型多結晶半導體與前述下部電極之界面構成肖特基障壁二極體。

5. 如請求項4之非揮發性半導體記憶裝置，其中前述第一極性係正極性之情況下，對前述N型多結晶半導體，在與前述下部電極之接觸區域的一部分注入P型雜質；

前述第一極性係負極性之情況下，對前述P型多結晶半導體，在與前述下部電極之接觸區域的一部分注入N型雜質。

6. 如請求項3之非揮發性半導體記憶裝置，其中前述第一極性係正極性之情況下，以與前述第一電極及第二電極中位於下方之下部電極之下層接觸而形成的P型之上部多結晶半導體，及與該P型之上部多結晶半導體之下層接觸而形成的N型之下部多結晶半導體構成PN接合二極體；

前述第一極性係負極性之情況下，以與前述下部電極之下層接觸而形成的N型之上部多結晶半導體，及與該N型之上部多結晶半導體之下層接觸而形成的P型之下部多結晶半導體構成PN接合二極體。

十一、圖式：

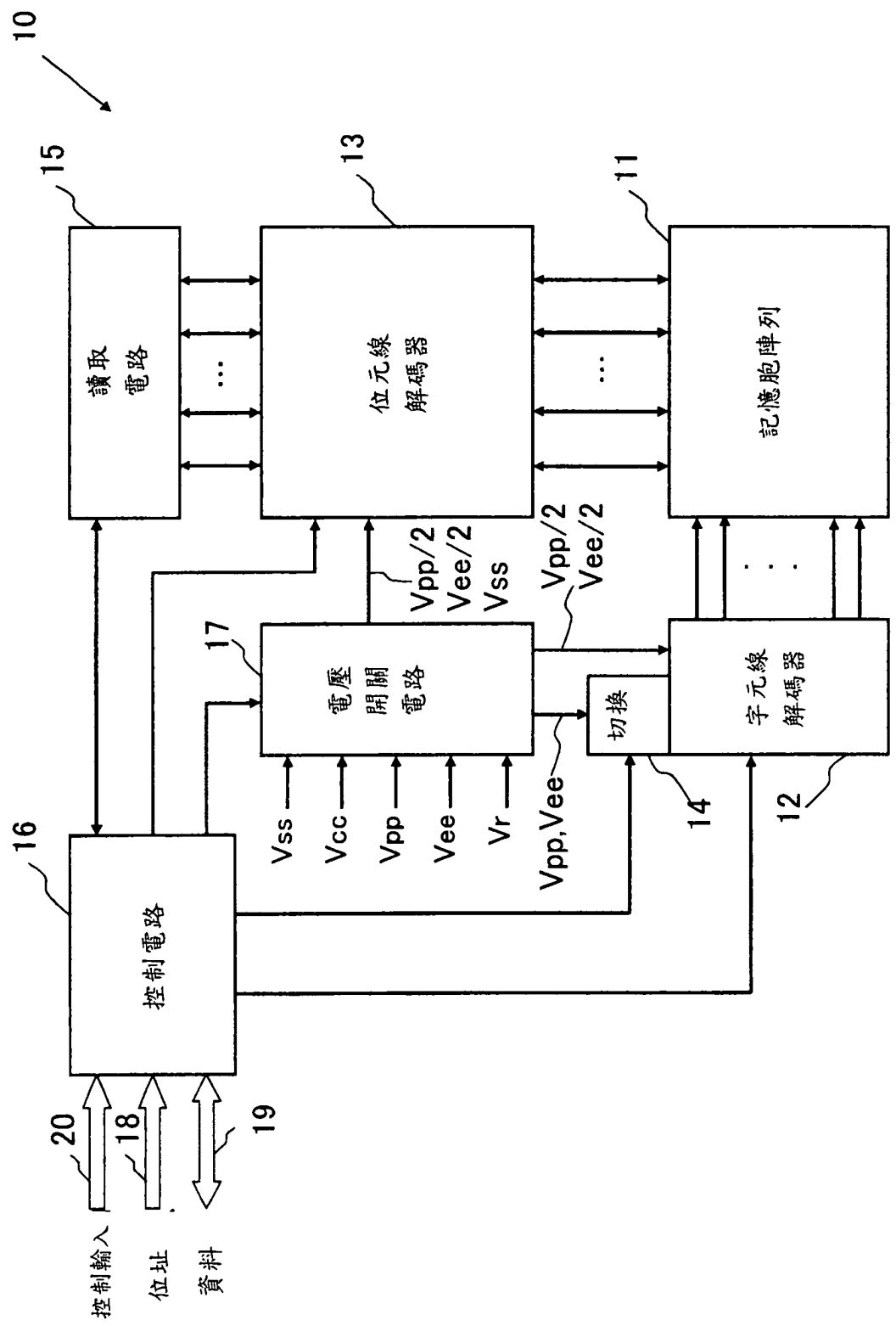


圖 1

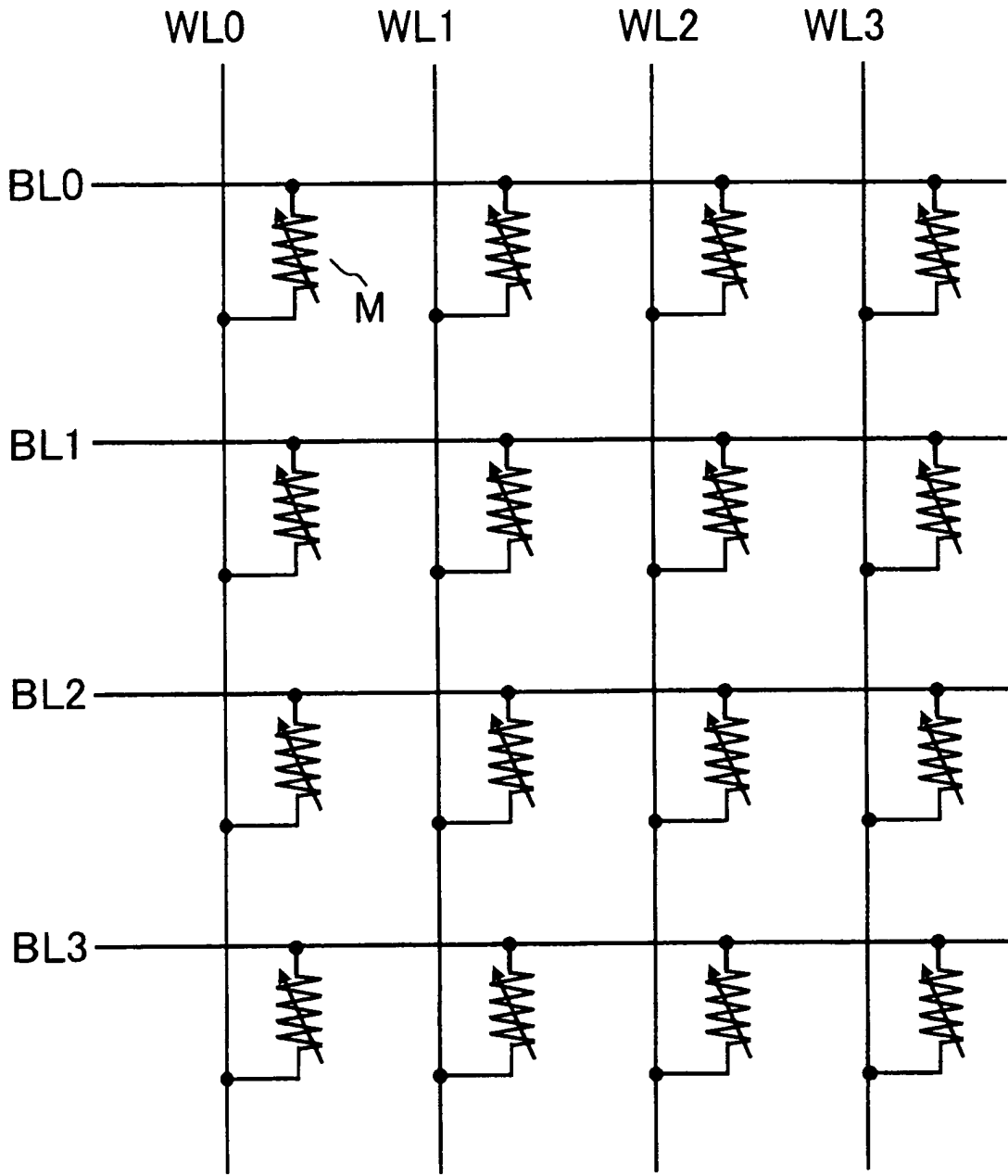


圖 2

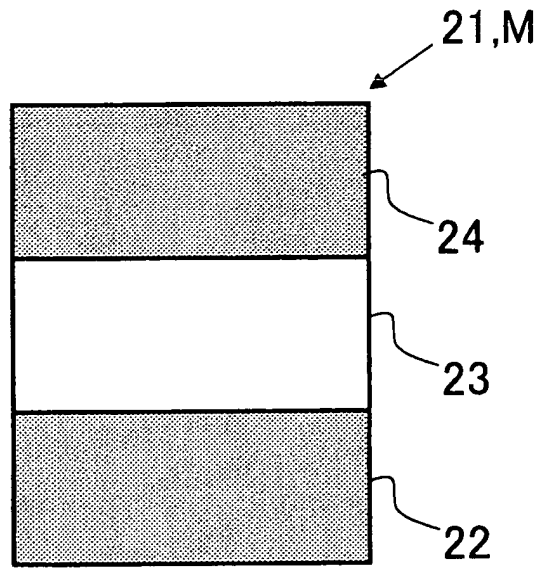
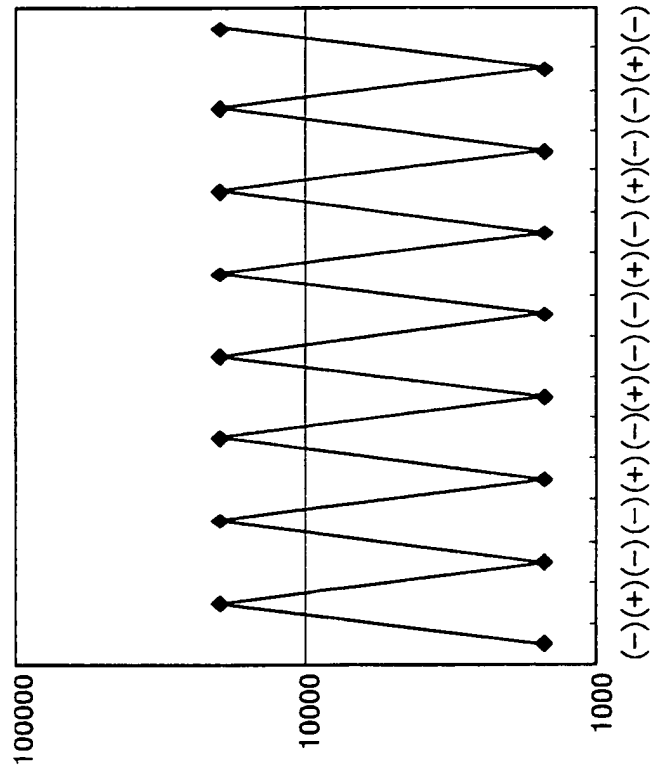


圖 3



(5) 圖

圖 4

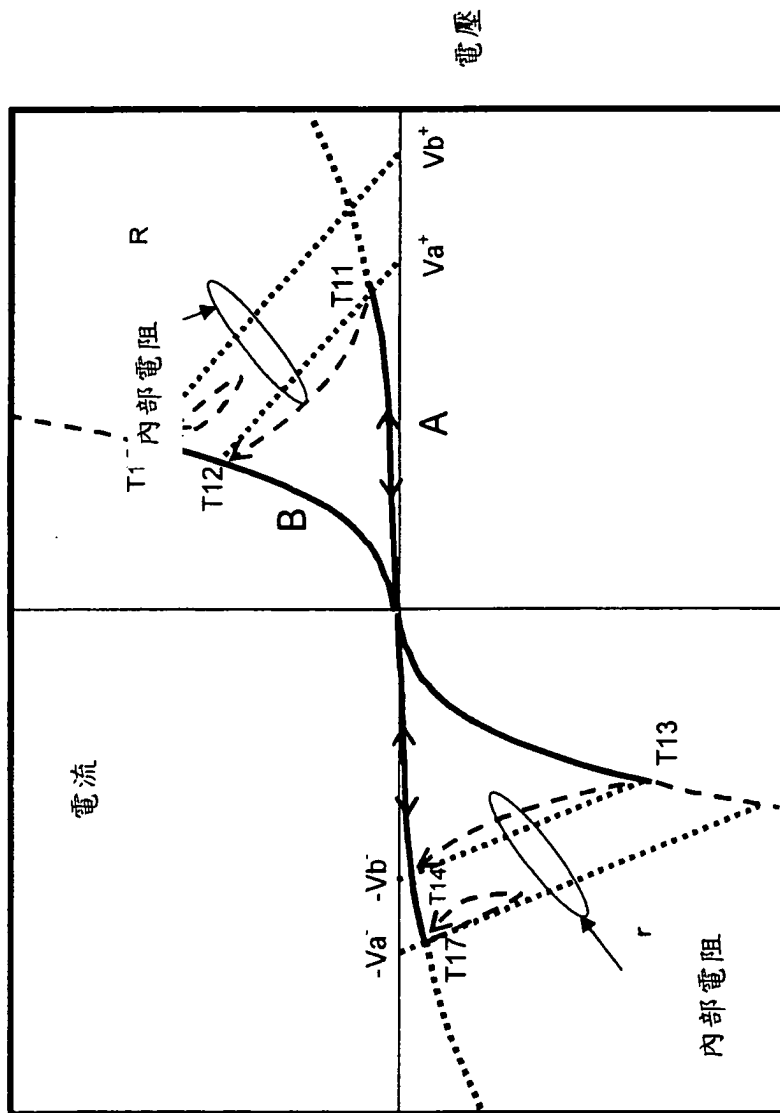


圖 5

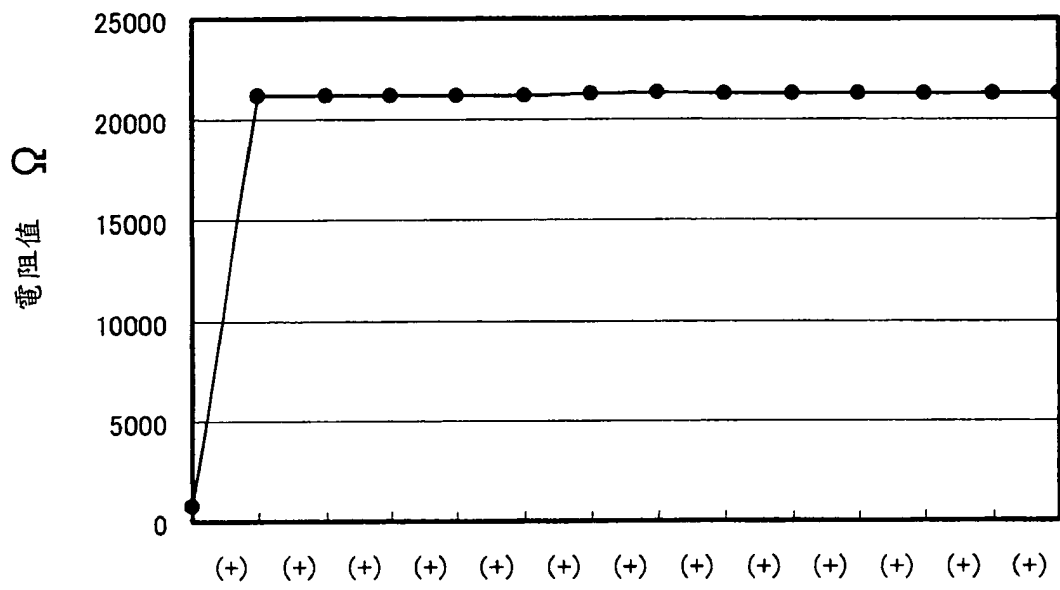


圖 6

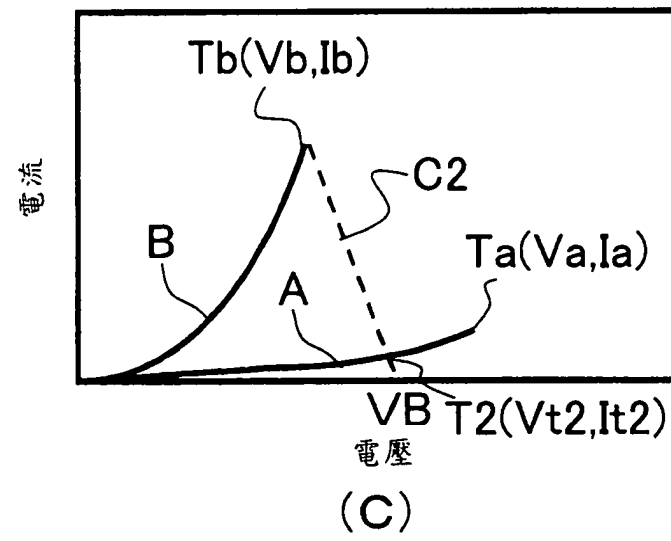
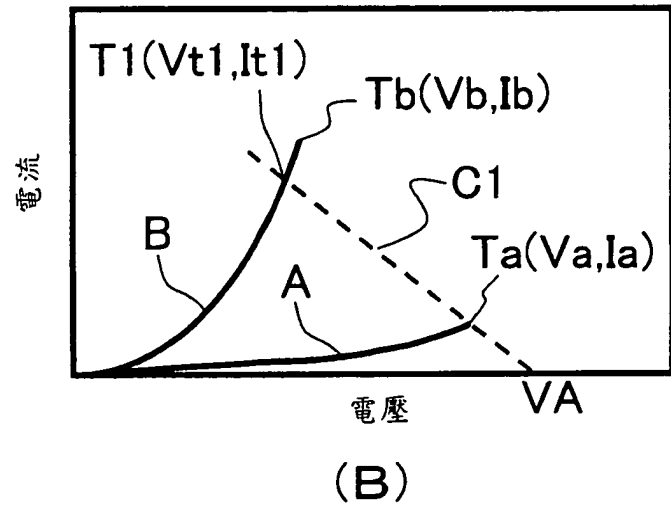
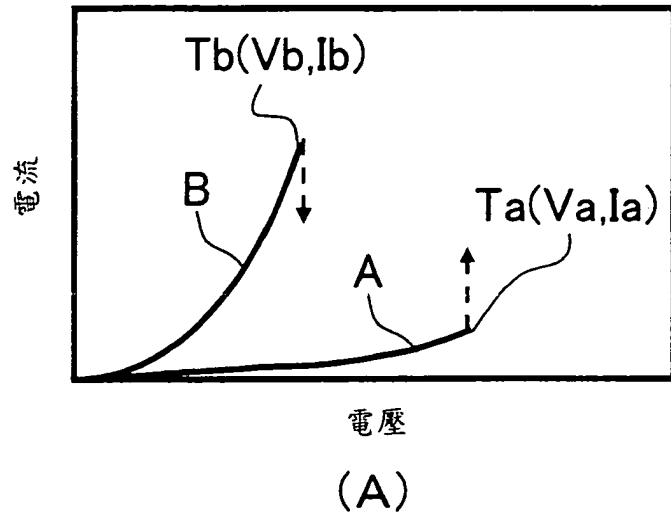


圖 7

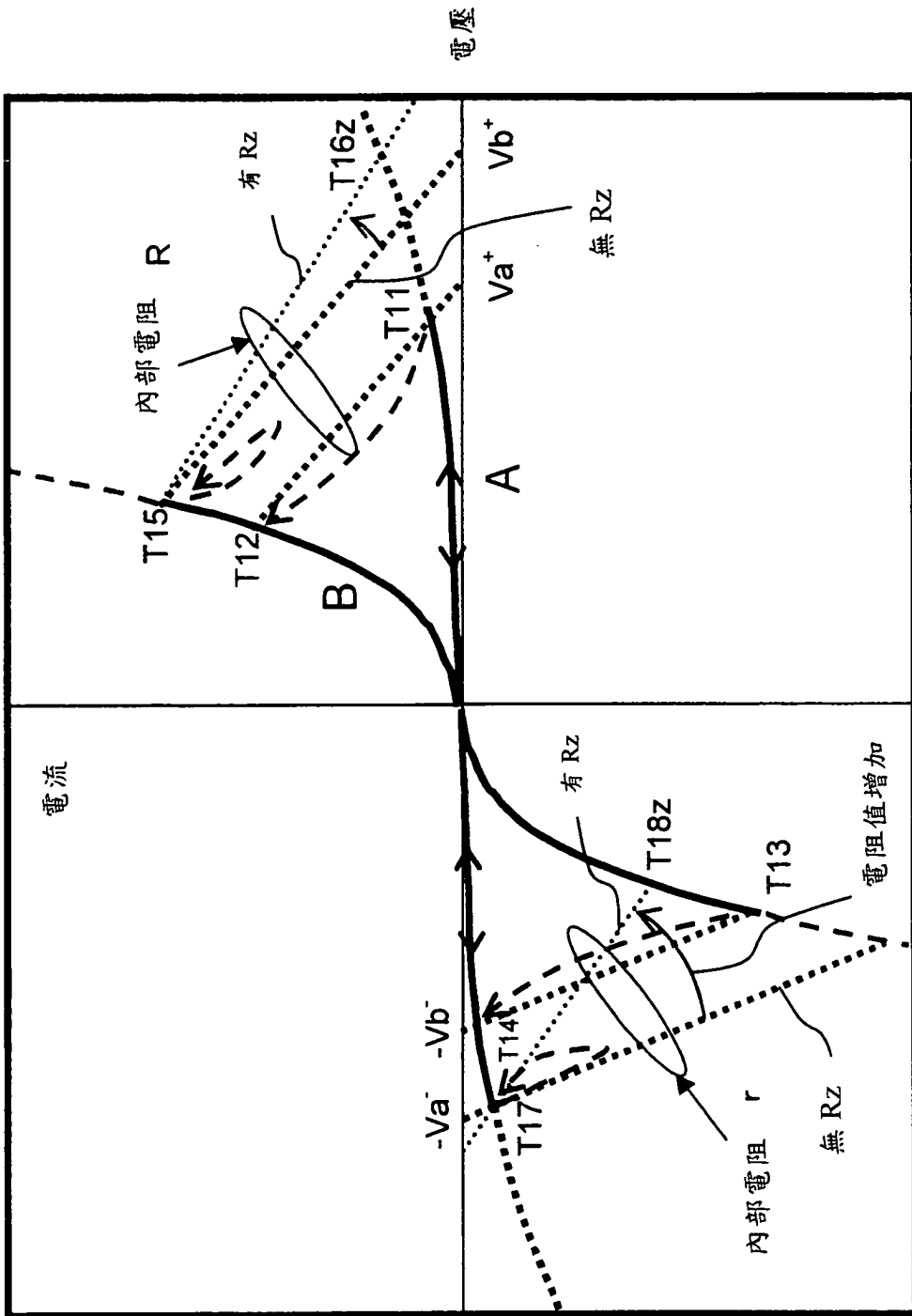


圖 8

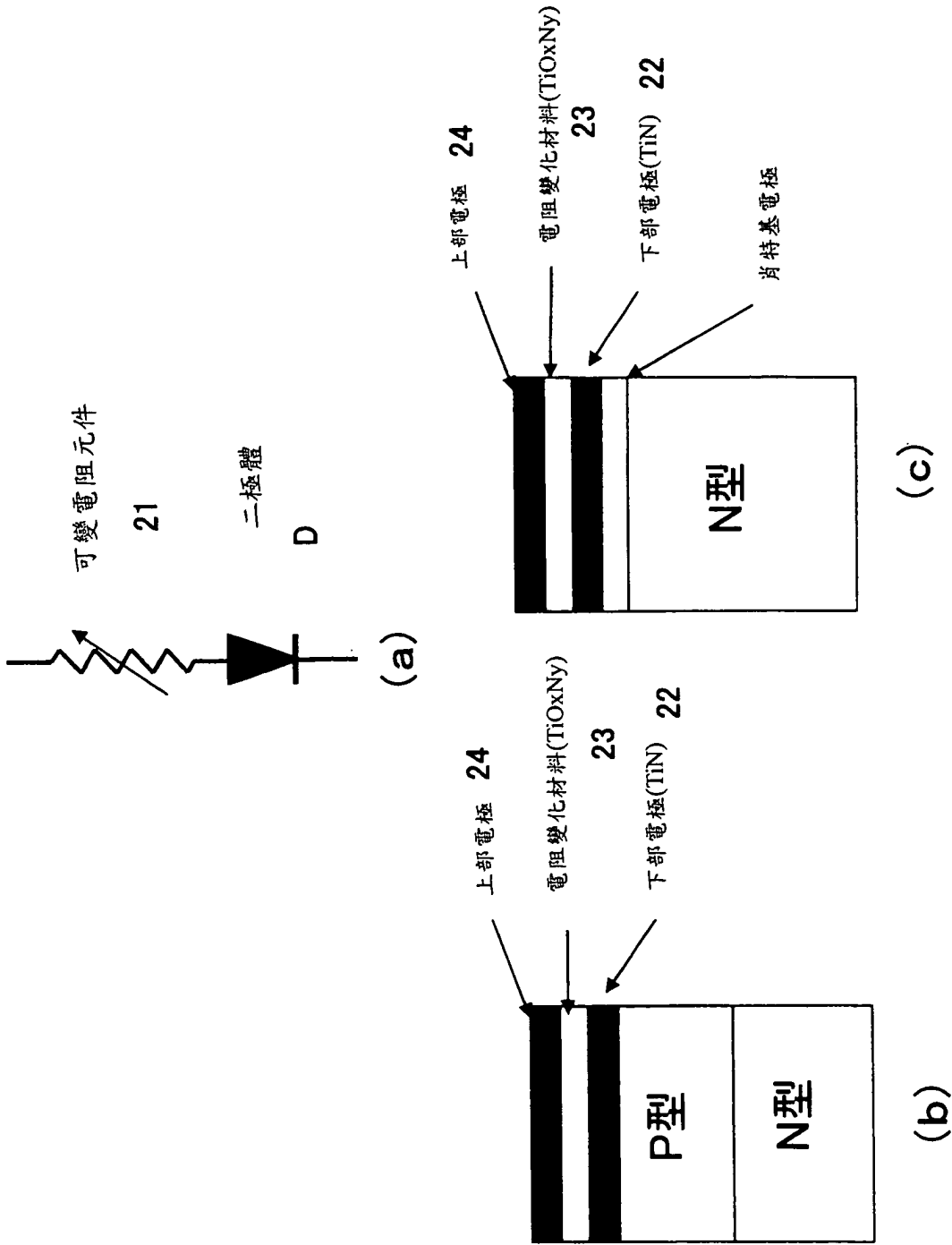


圖 9

藉由改變閘極電壓而使負荷電阻變化。

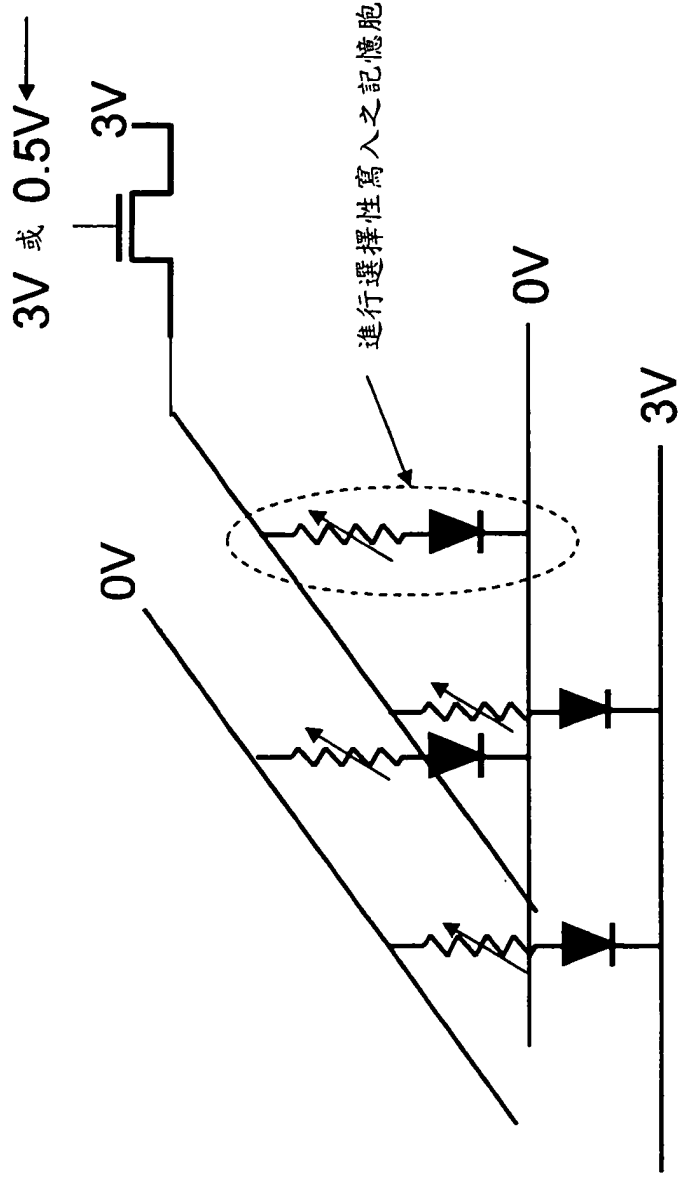


圖 10

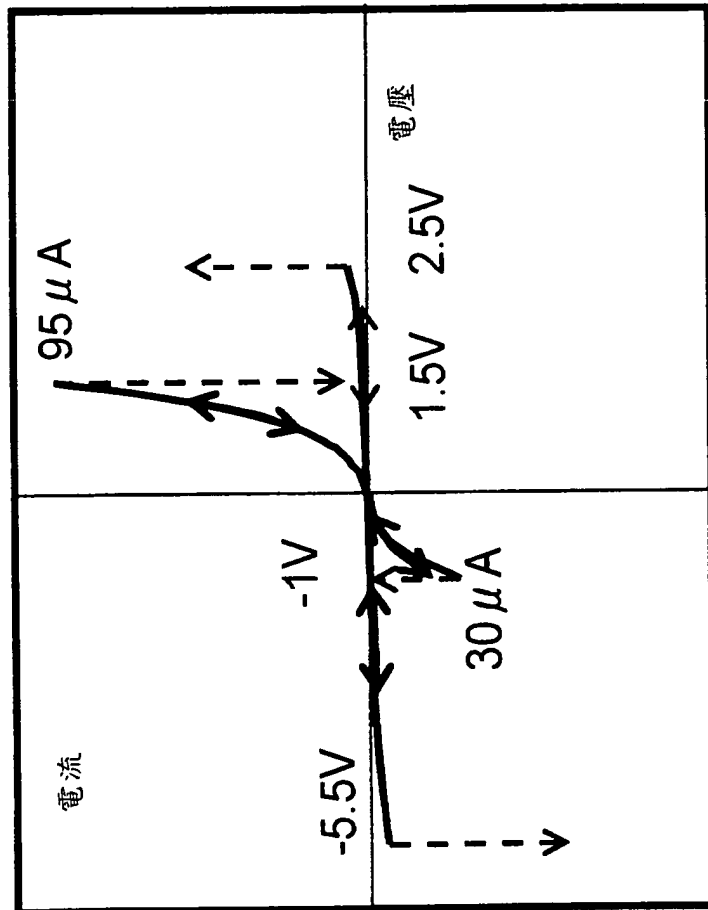
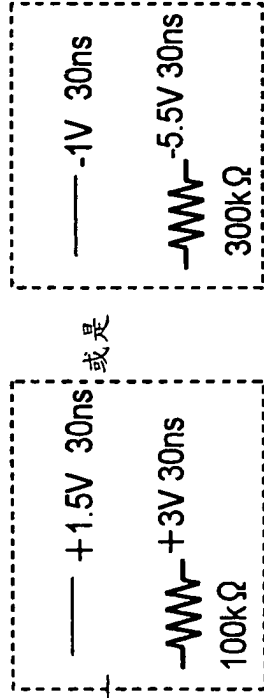


圖 11

上部電極中施加正電壓

上部電極中施加負電壓



上部電極 (鈦、鋇或鎢)

24

電阻變化材料 (銅氧化物(CuOx))

23

下部電極 (銅)

22

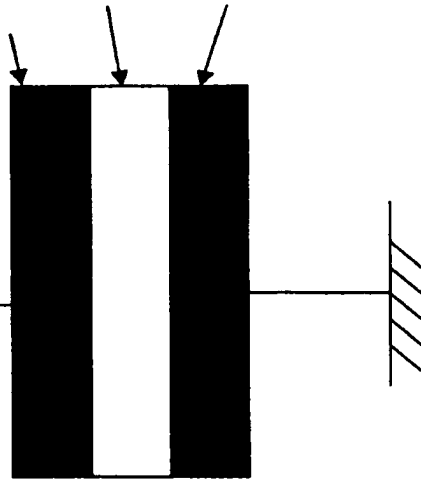


圖 12

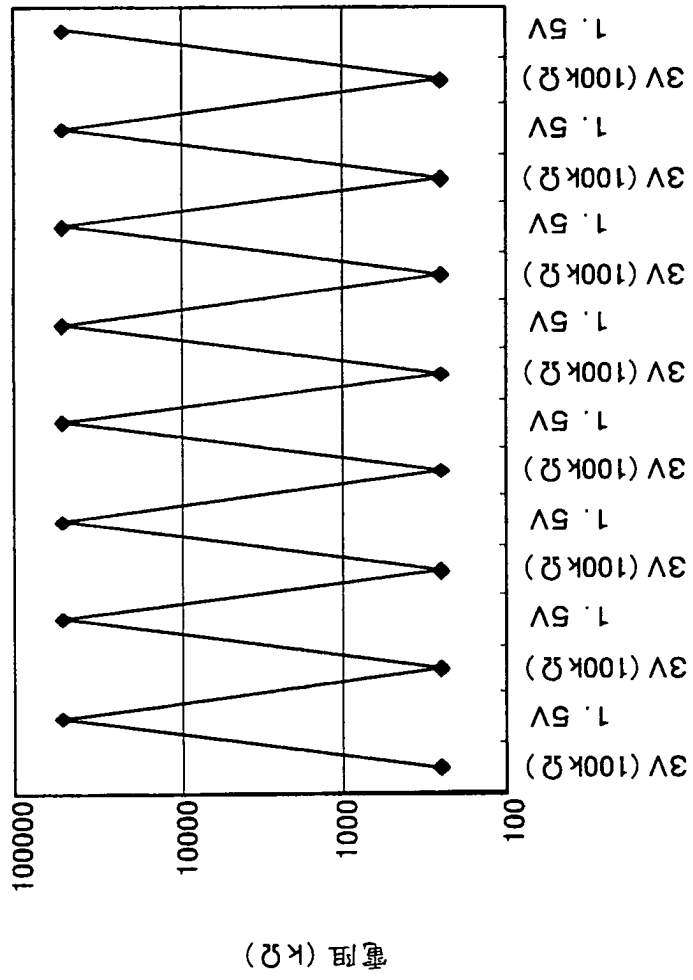


圖 13

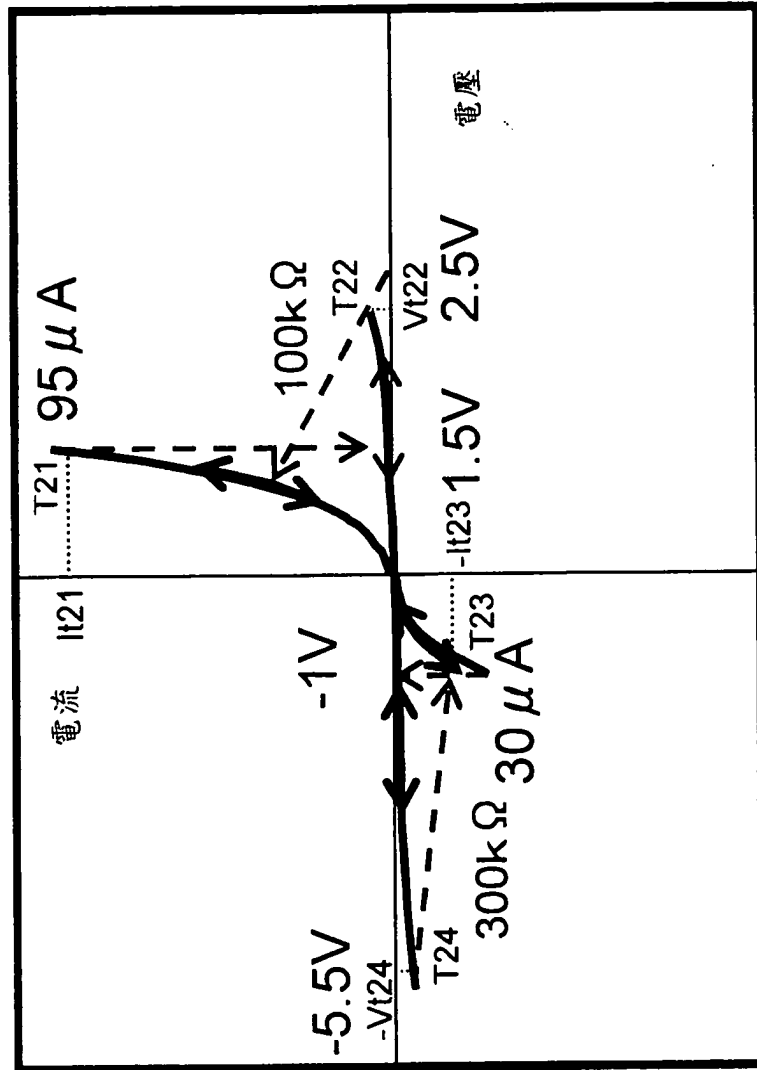


圖 14

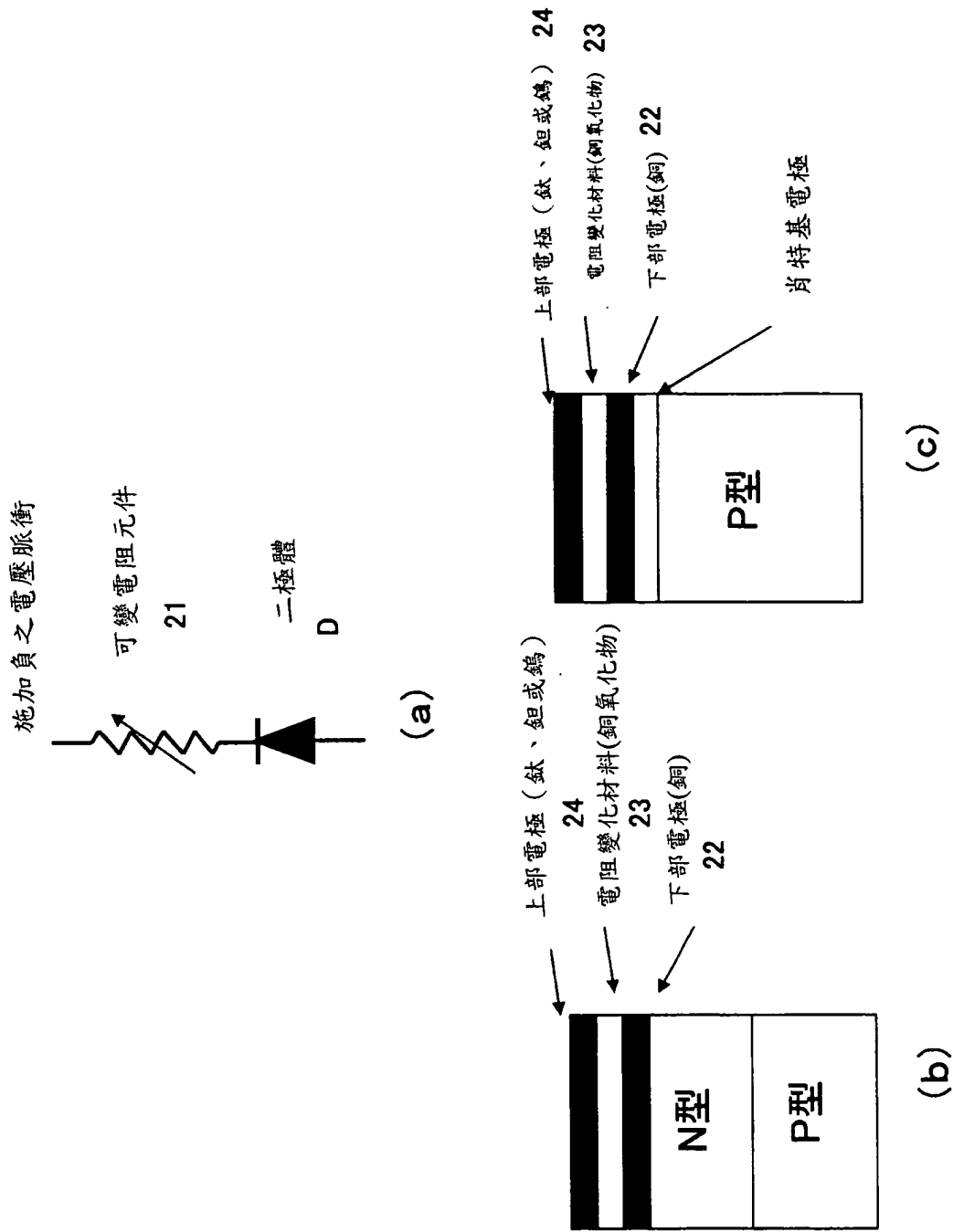


圖 15

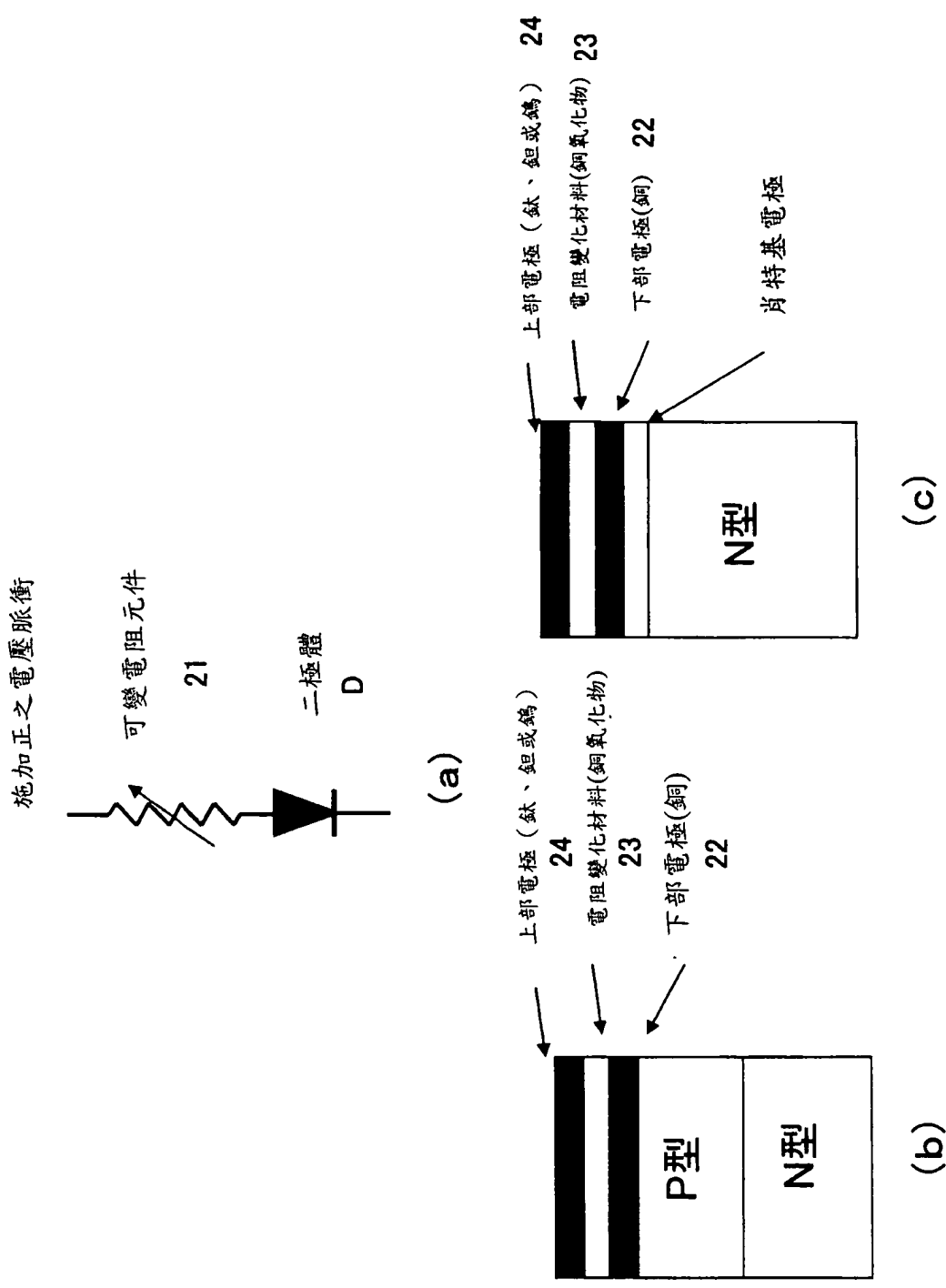


圖 16

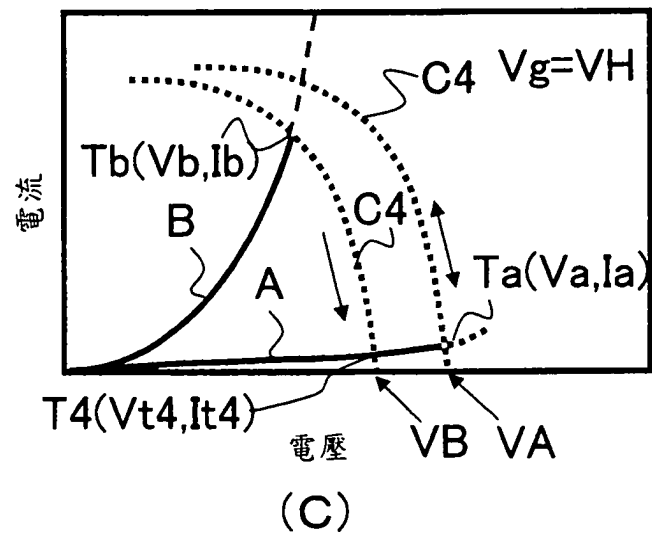
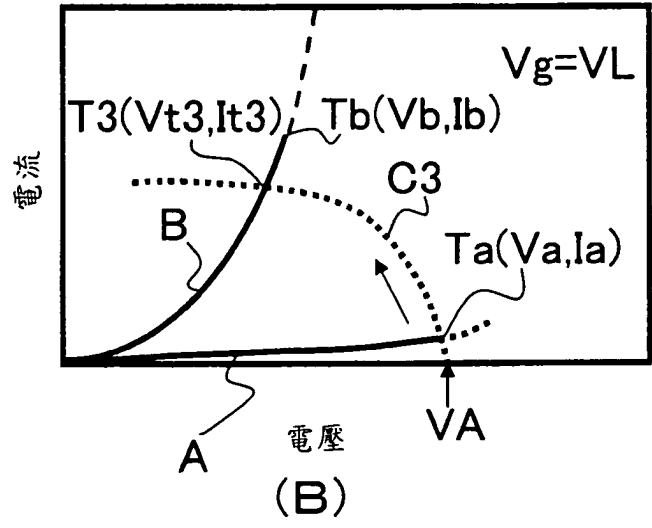
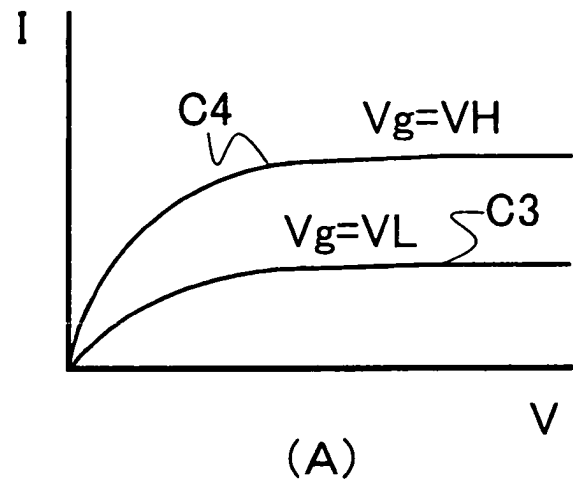


圖 17

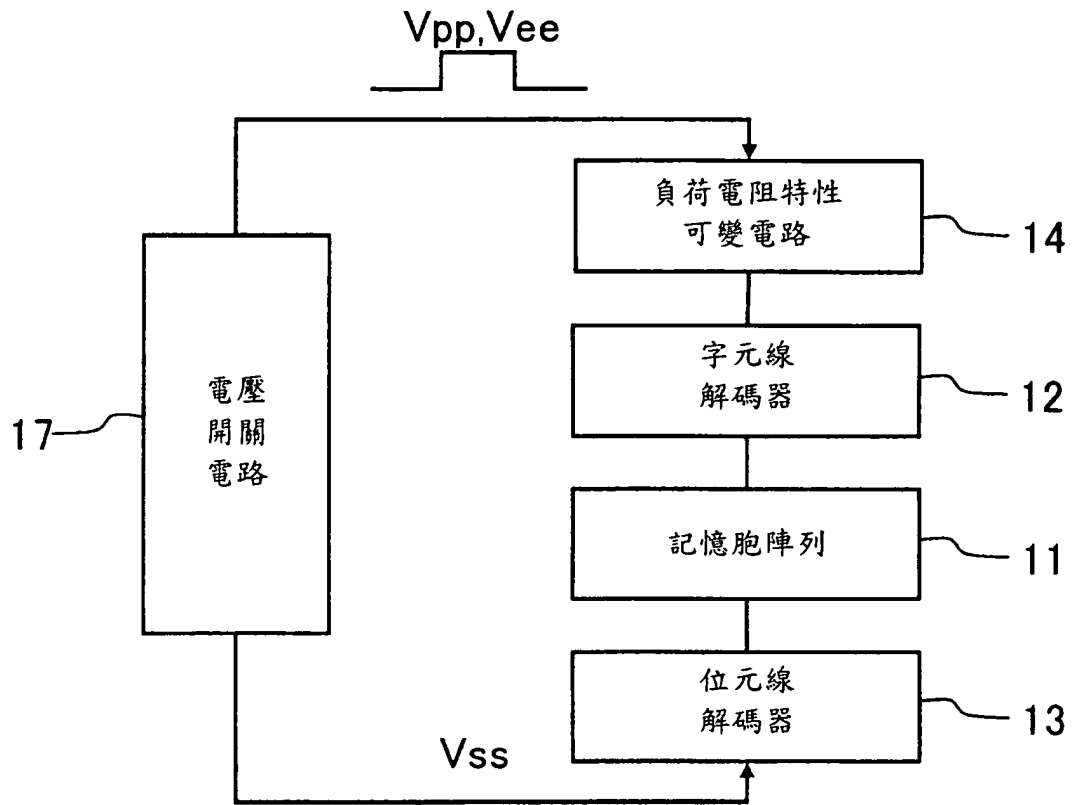


圖 18

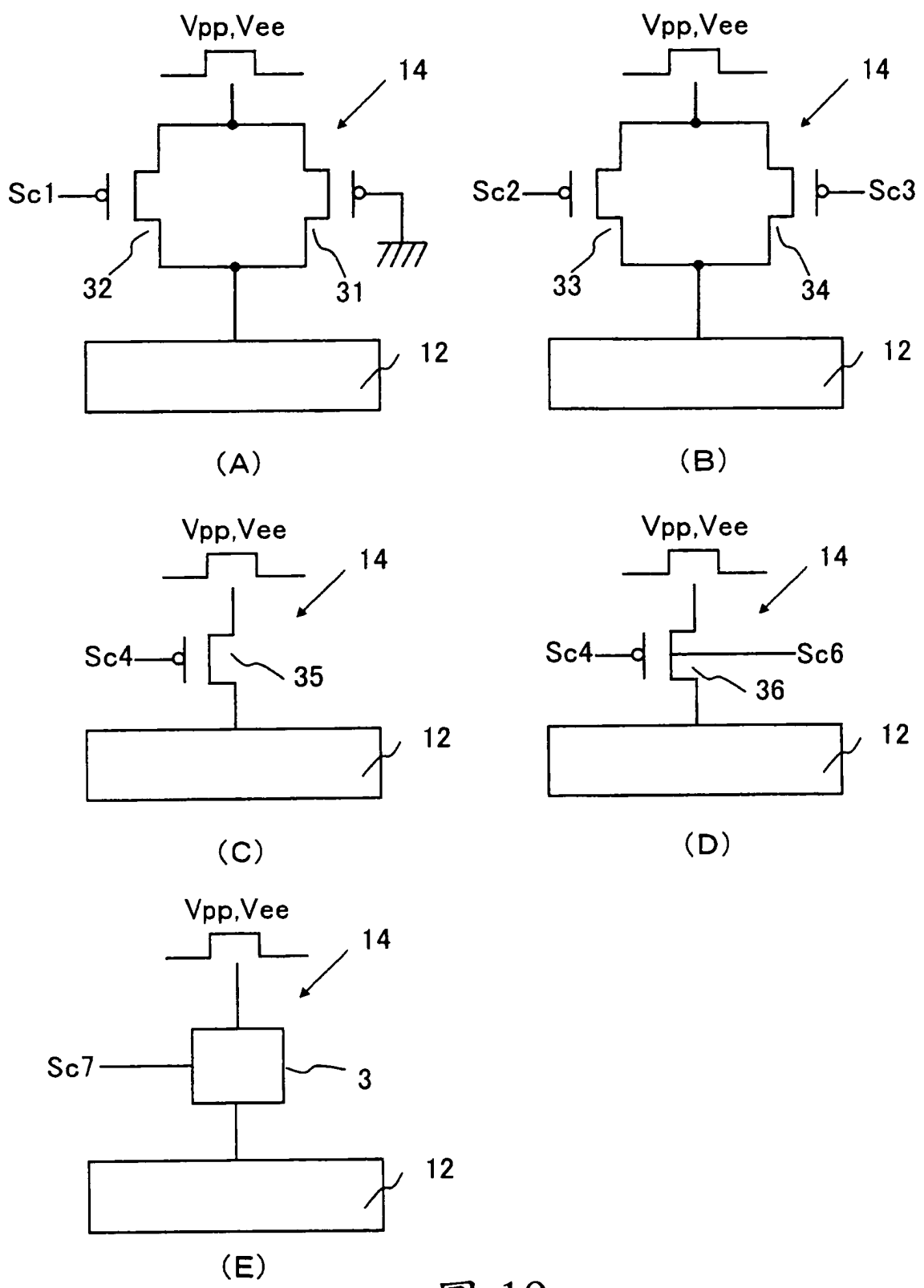


圖 19

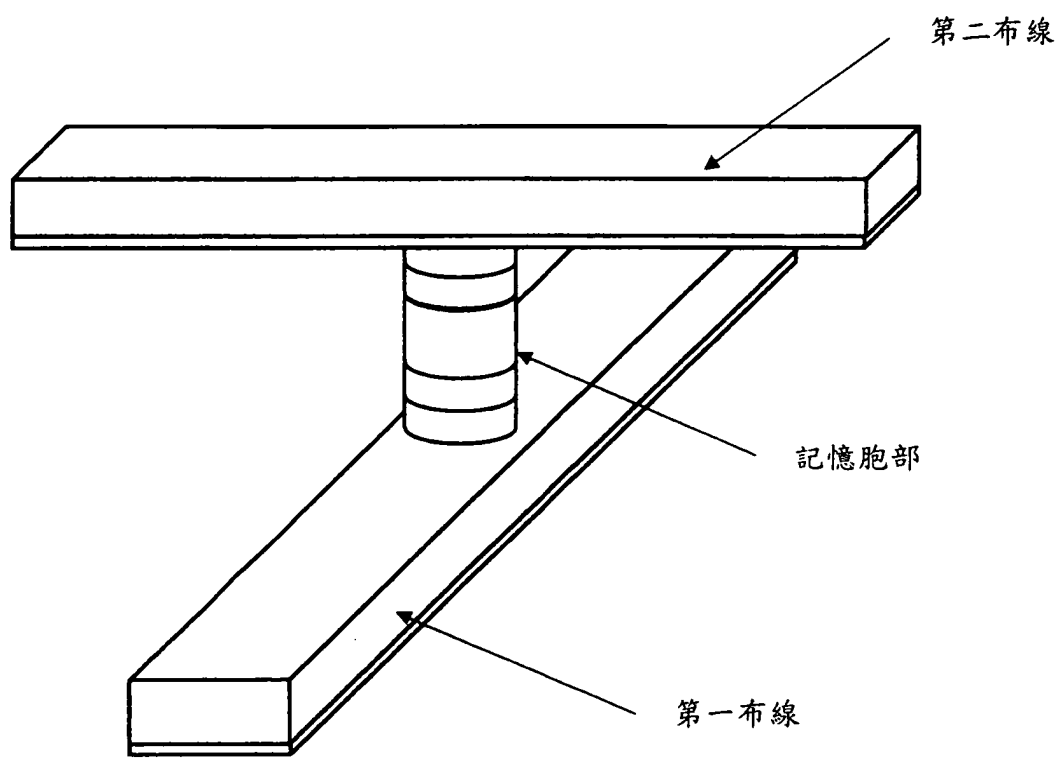


圖 20

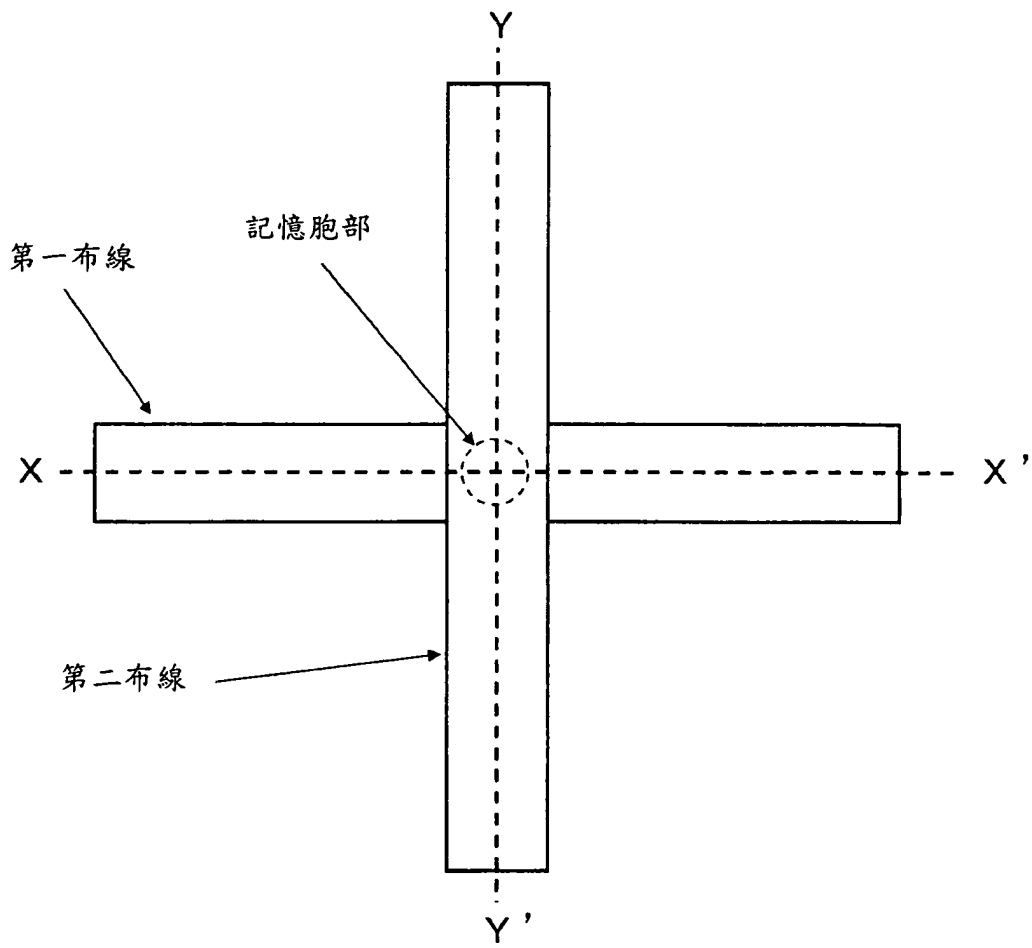
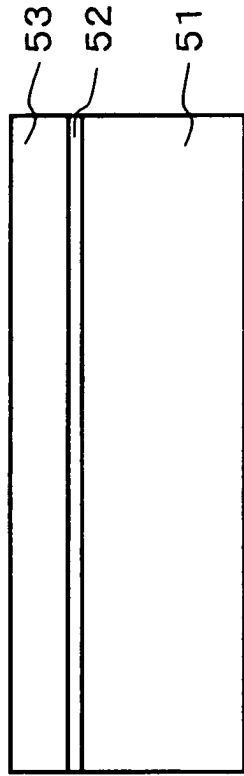
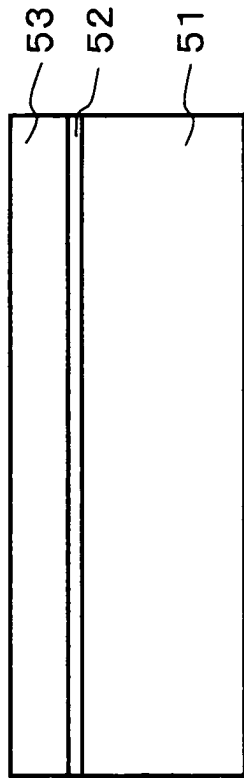


圖 21



(b)



(a)

圖 22

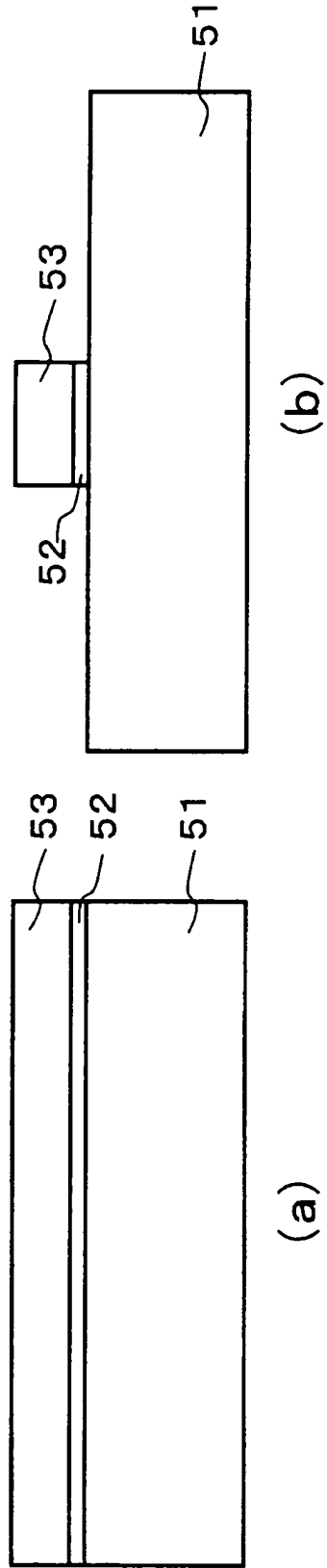


圖 23

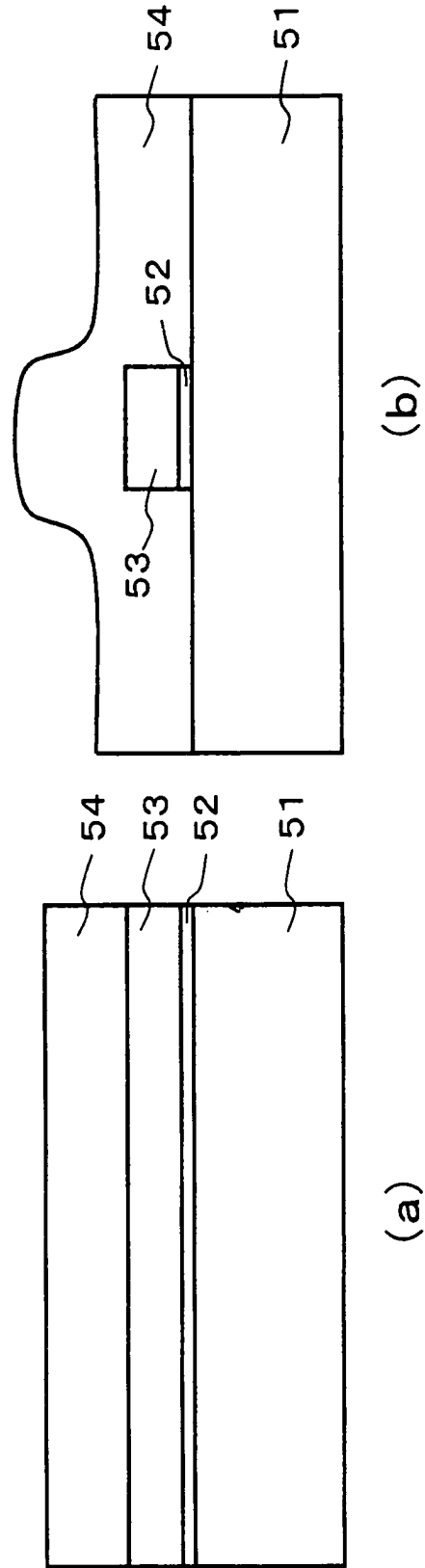


圖 24

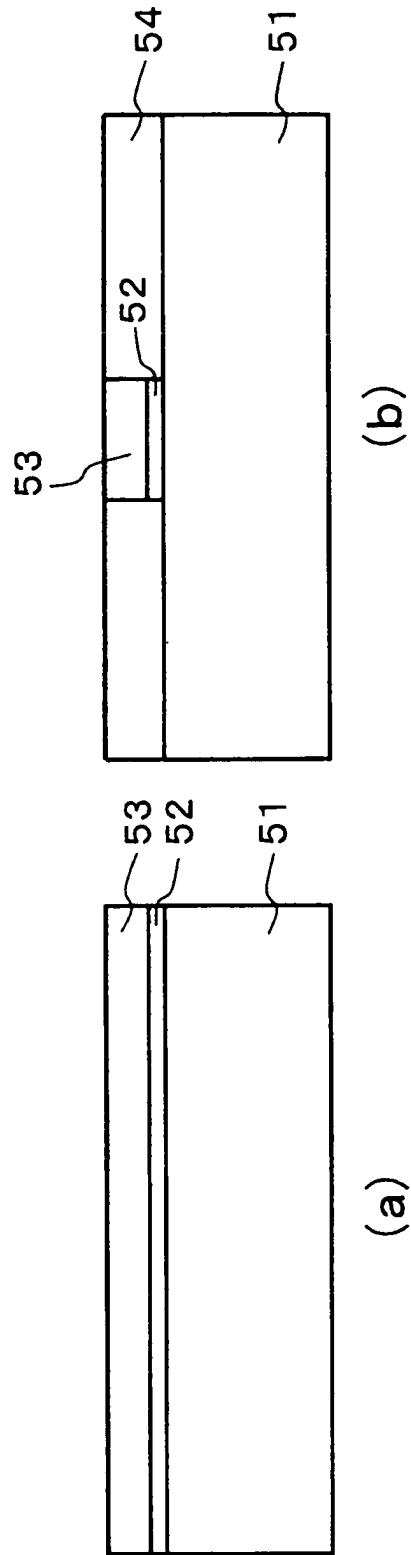


圖 25

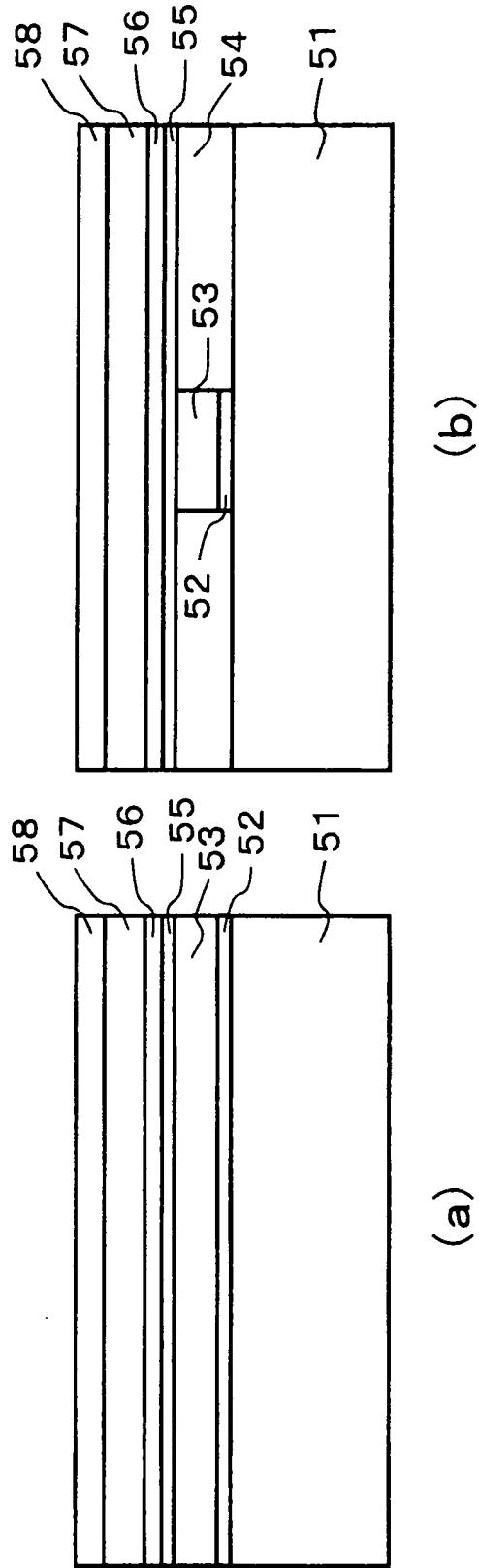


圖 26

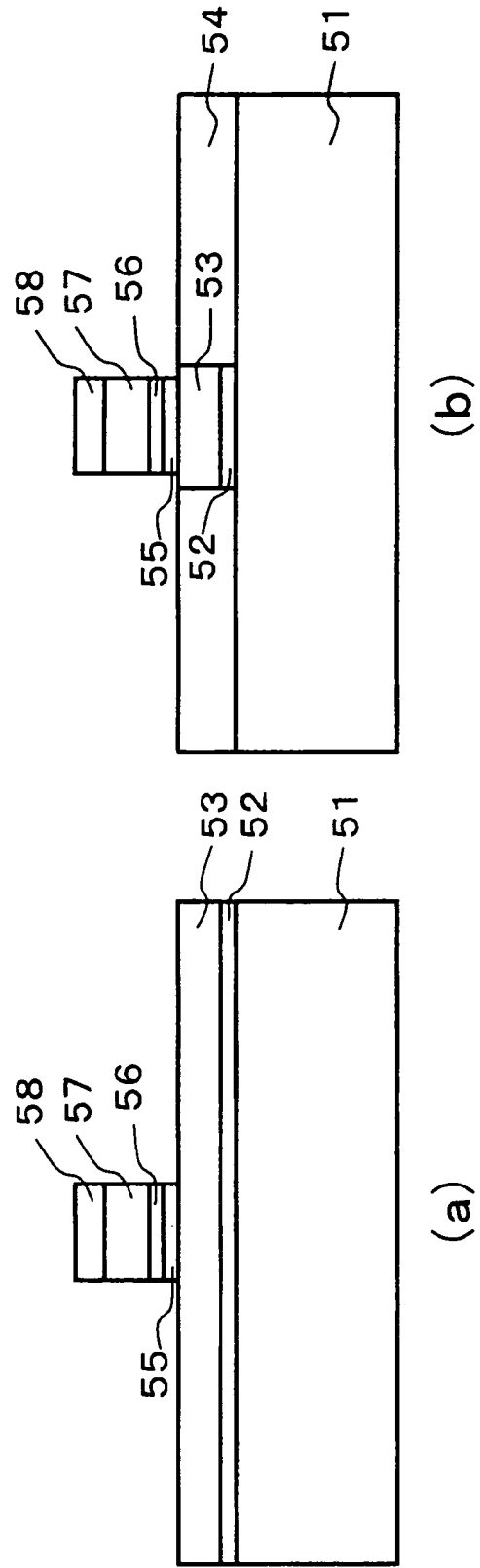


圖 27

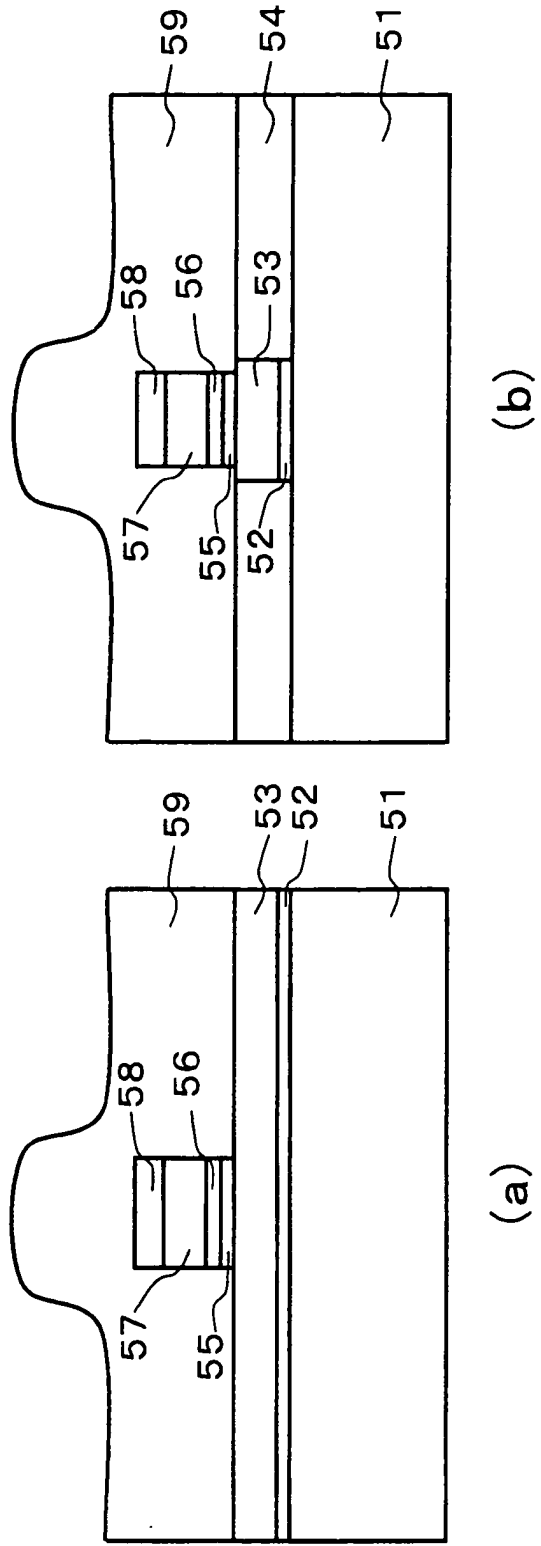


圖 28

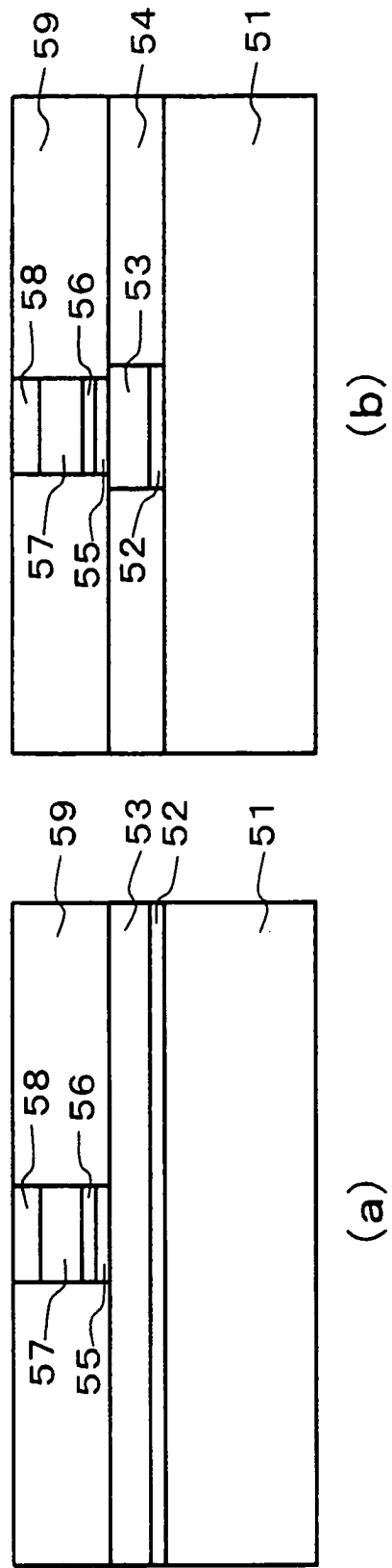


圖 29

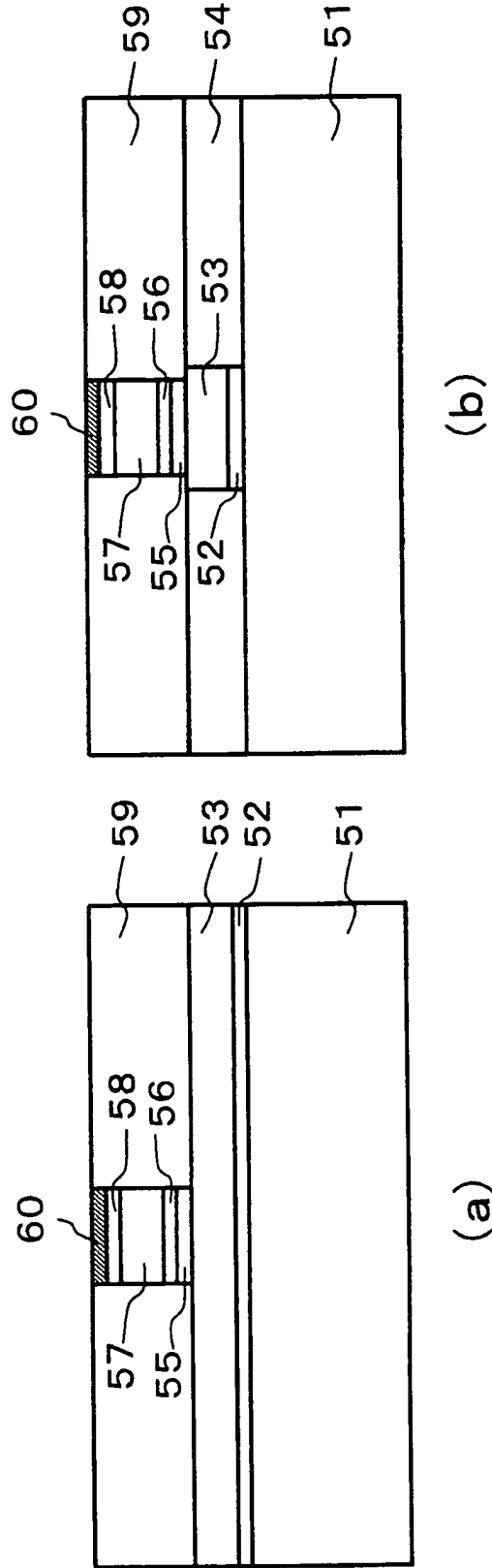
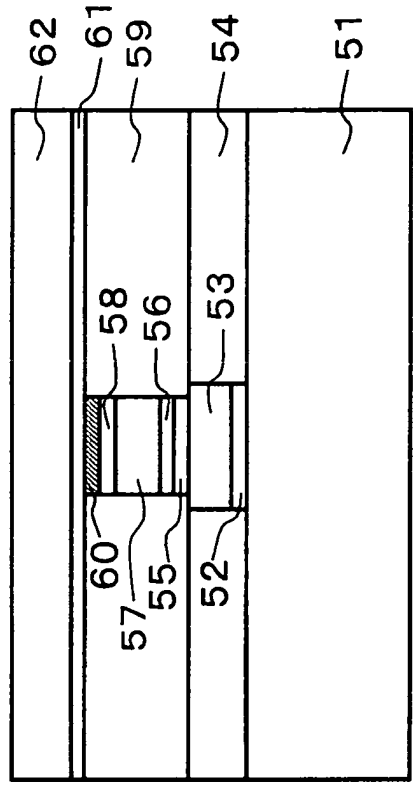
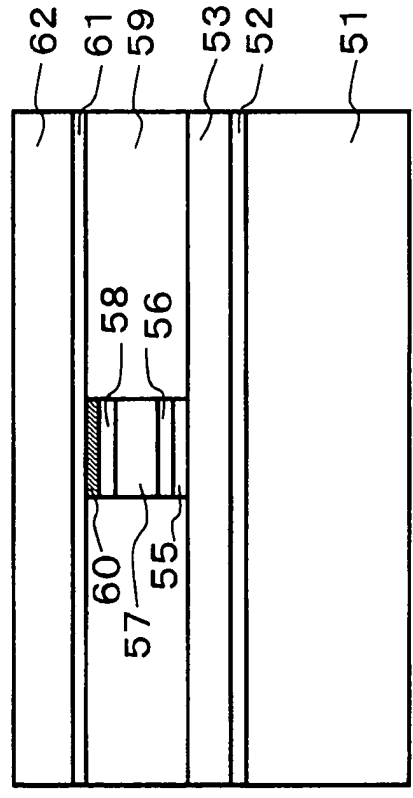


圖 30

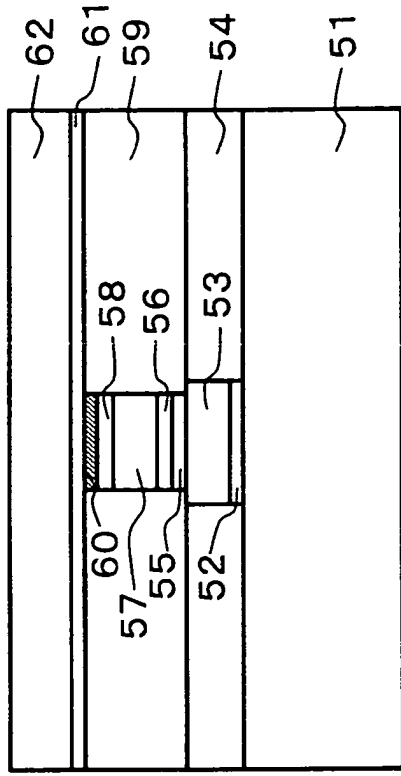


(a)

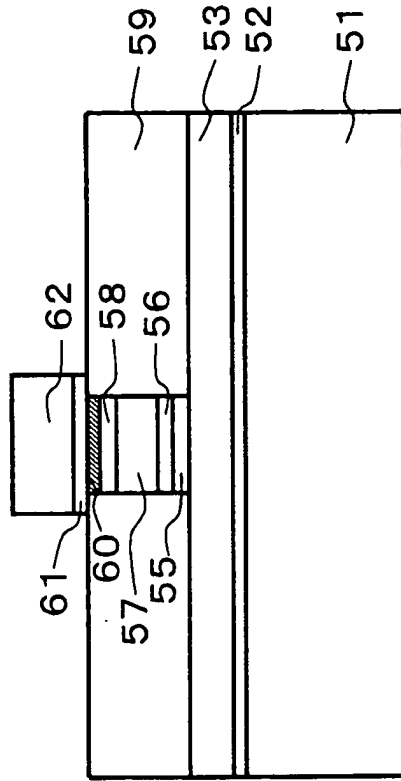


(b)

圖 31



(b)



(a)

圖 32

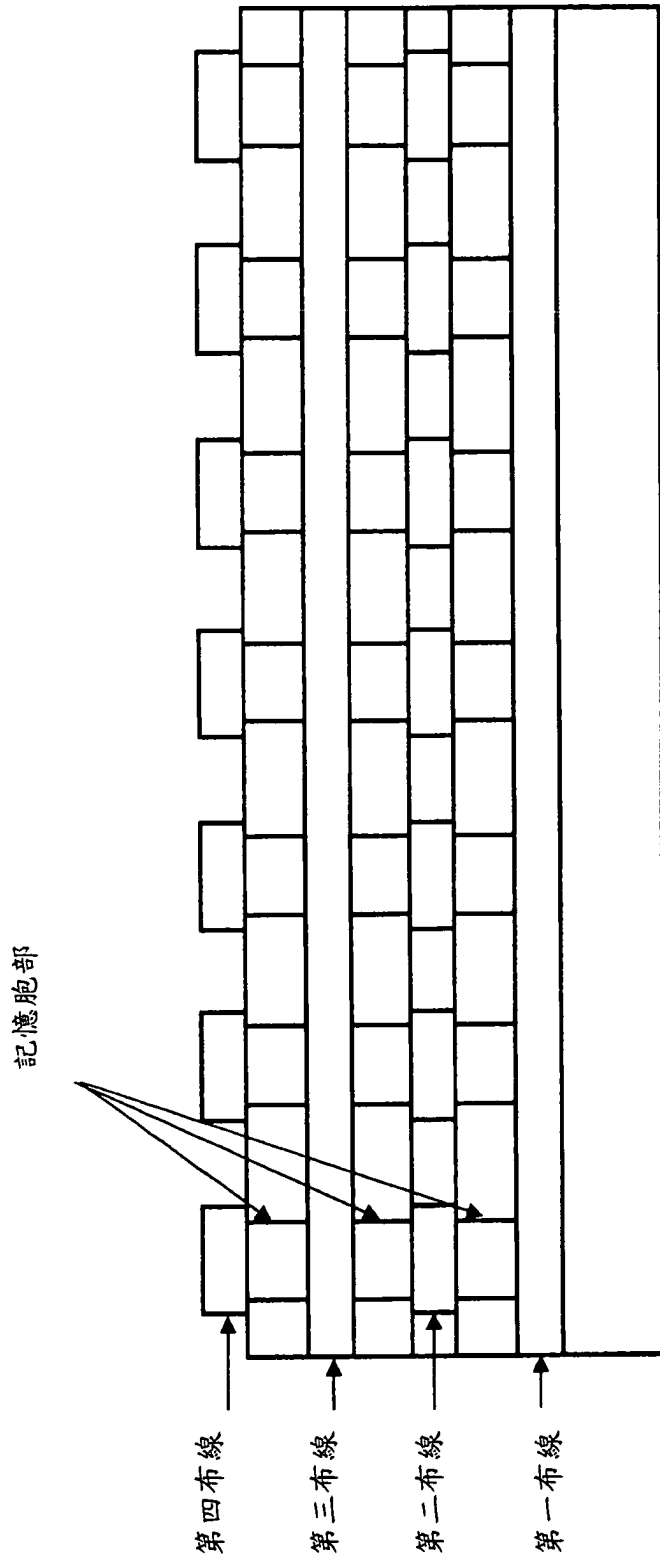


圖 33

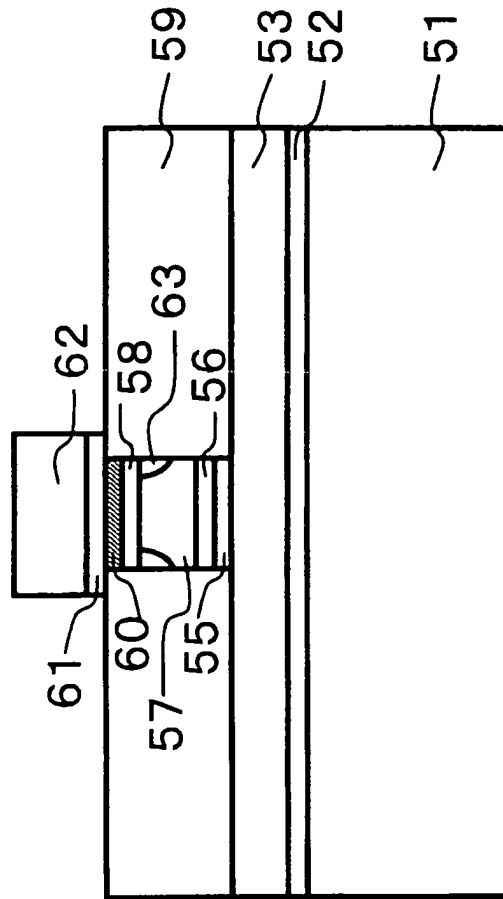


圖 34

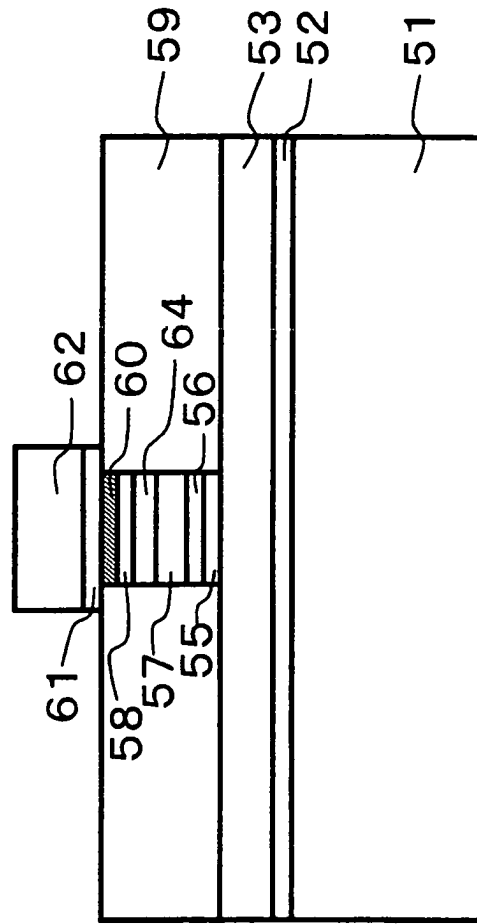


圖 35

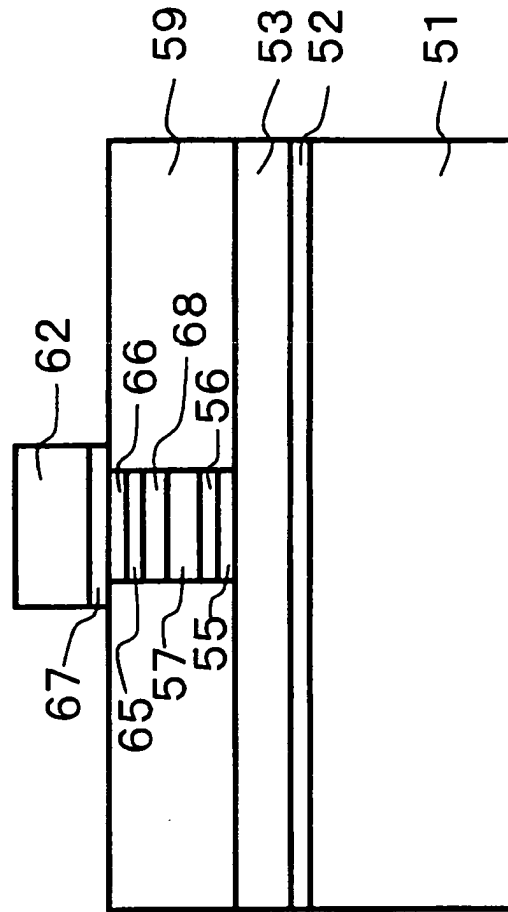
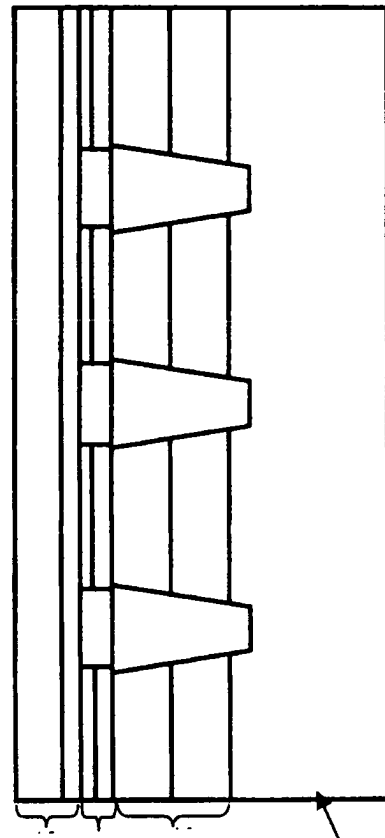


圖 36



第二布線

記憶胞部

第一布線

P型矽基板

圖 37

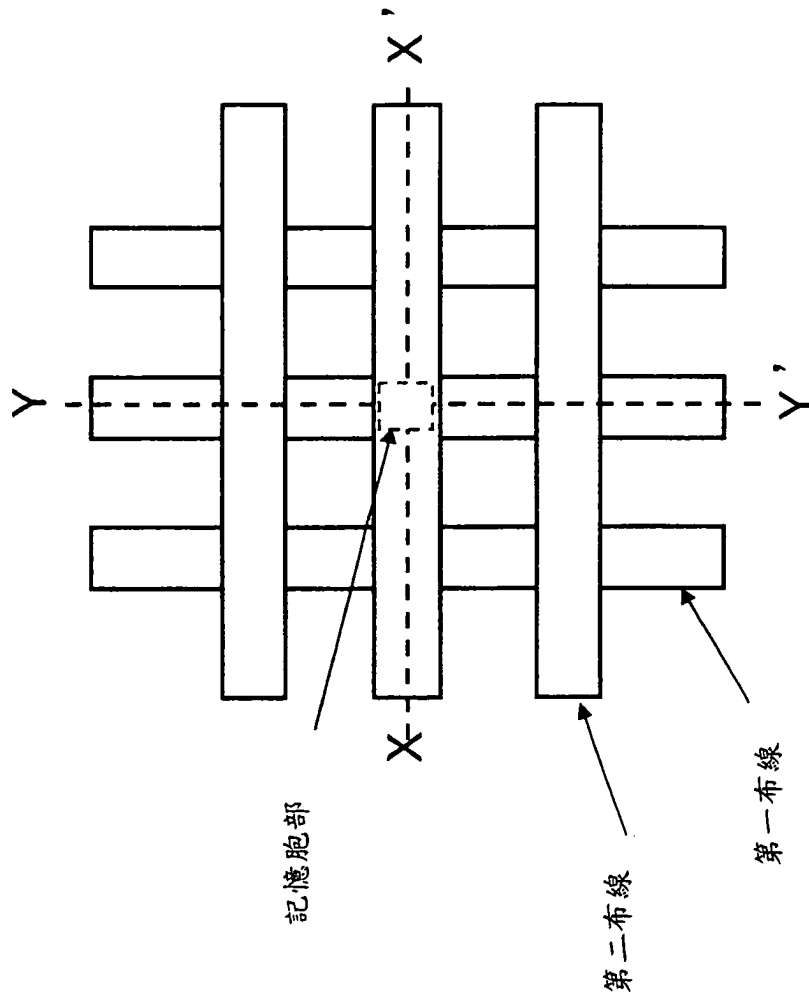
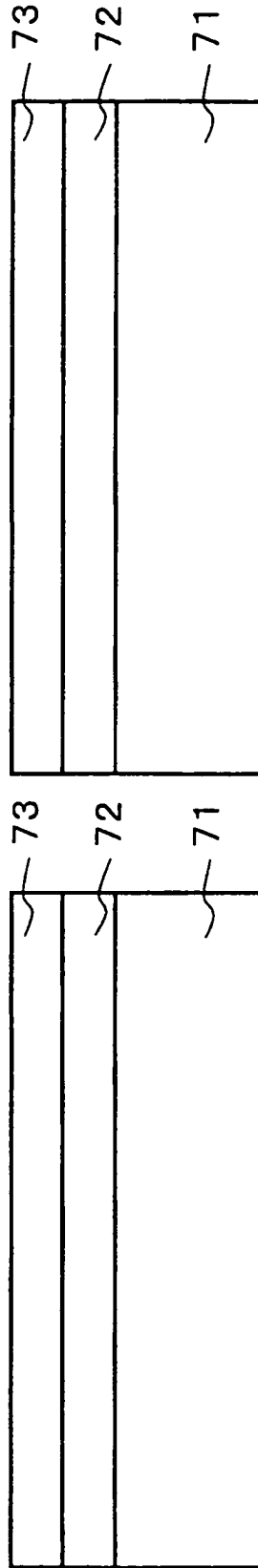


圖 38



(a)

(b)

圖 39

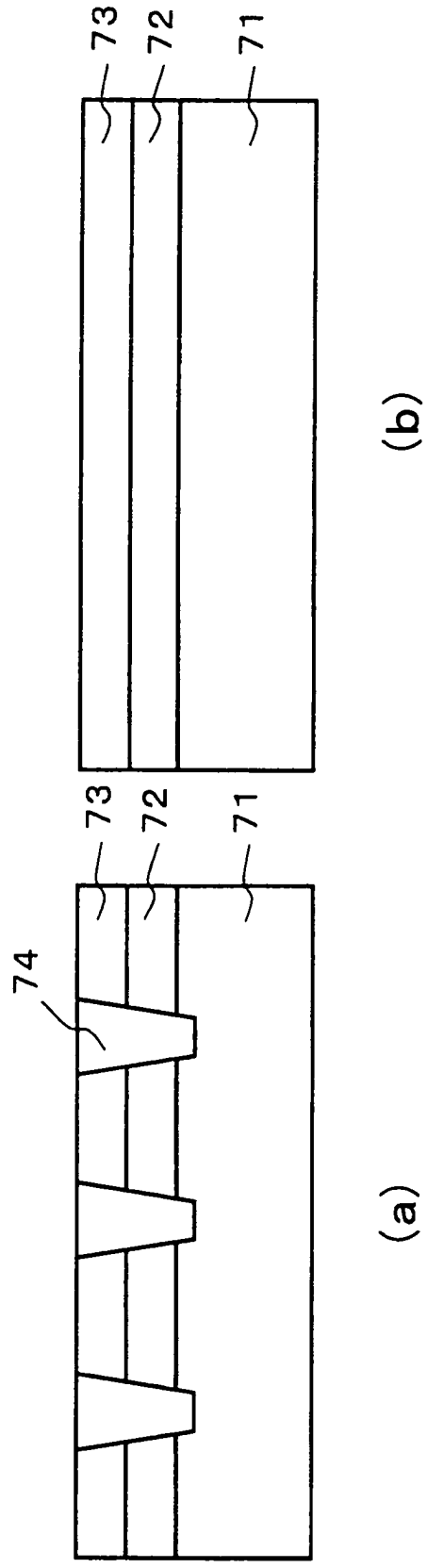
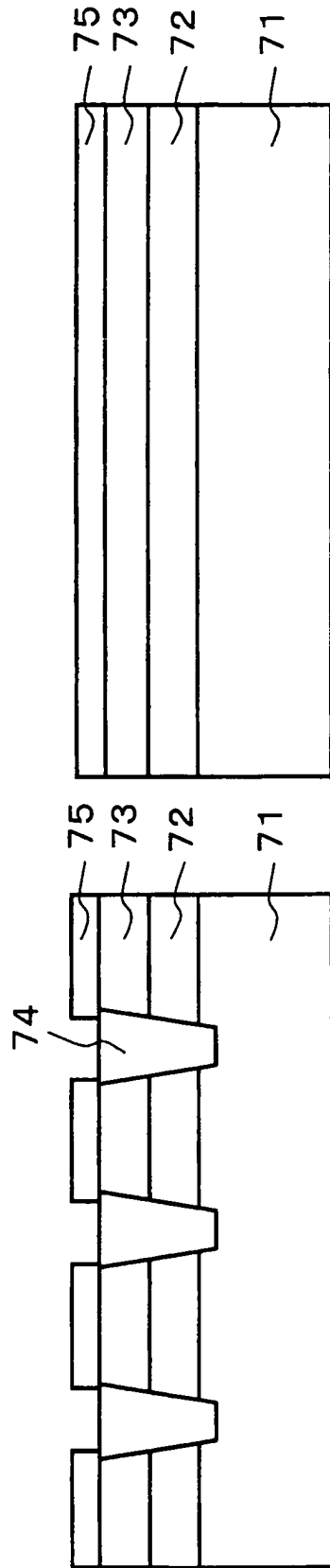


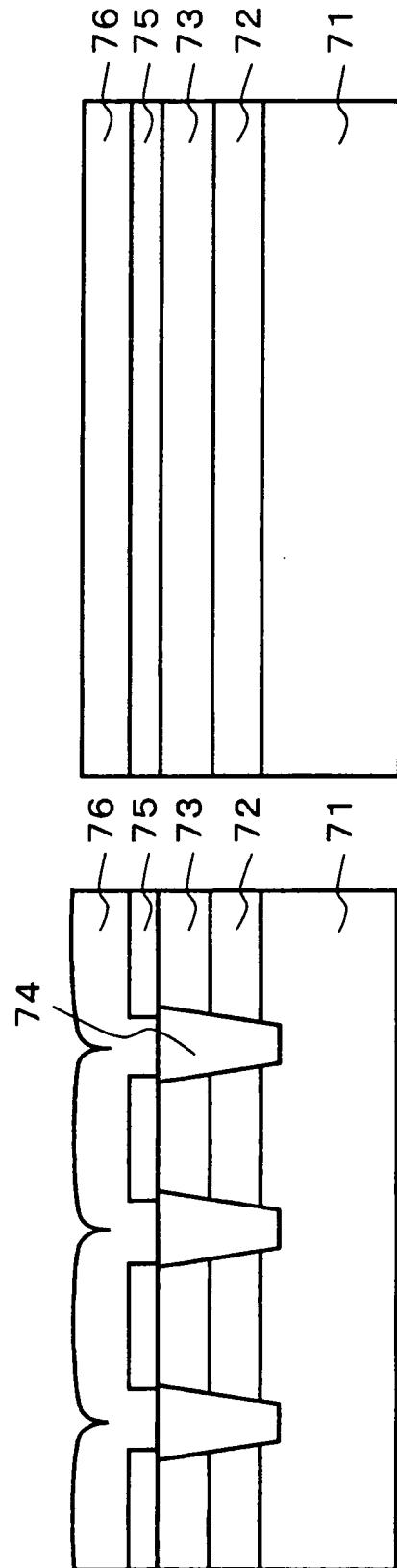
圖 40



(a)

(b)

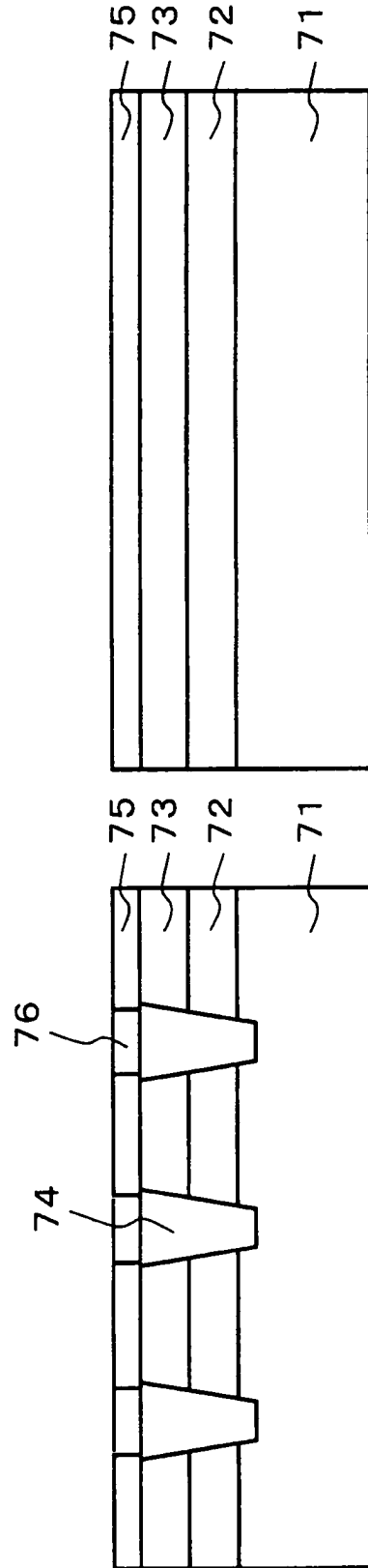
圖 41



(a)

(b)

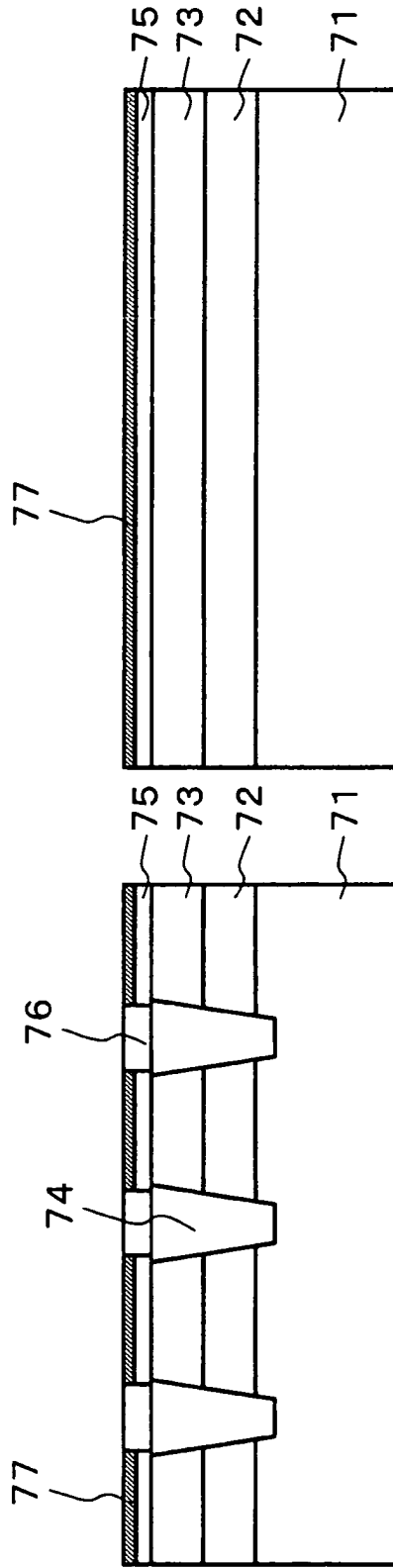
圖 42



(b)

(a)

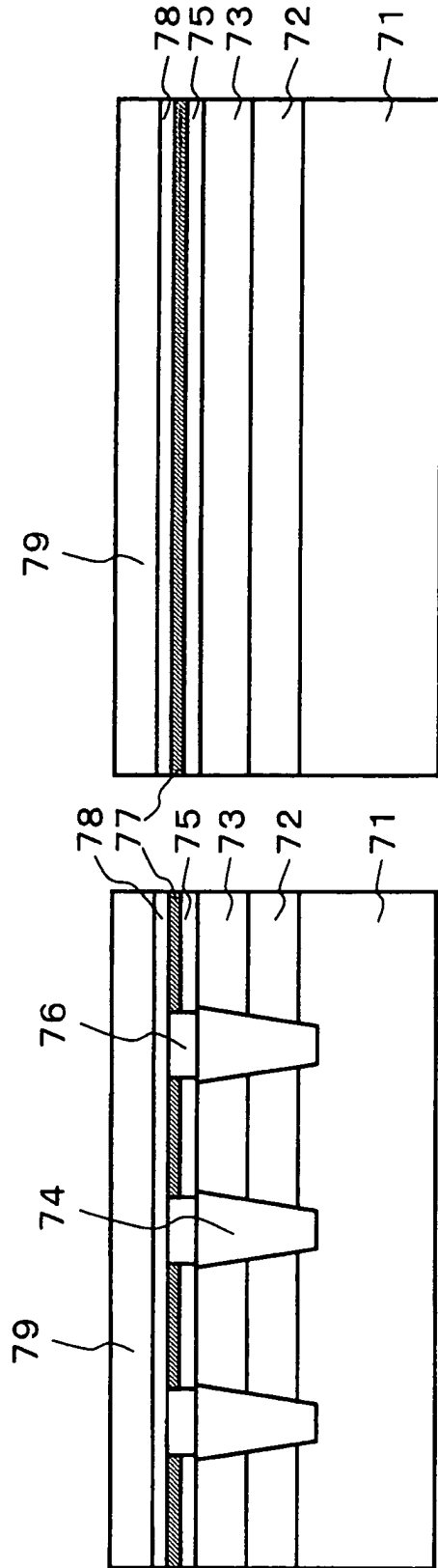
圖 43



(b)

(a)

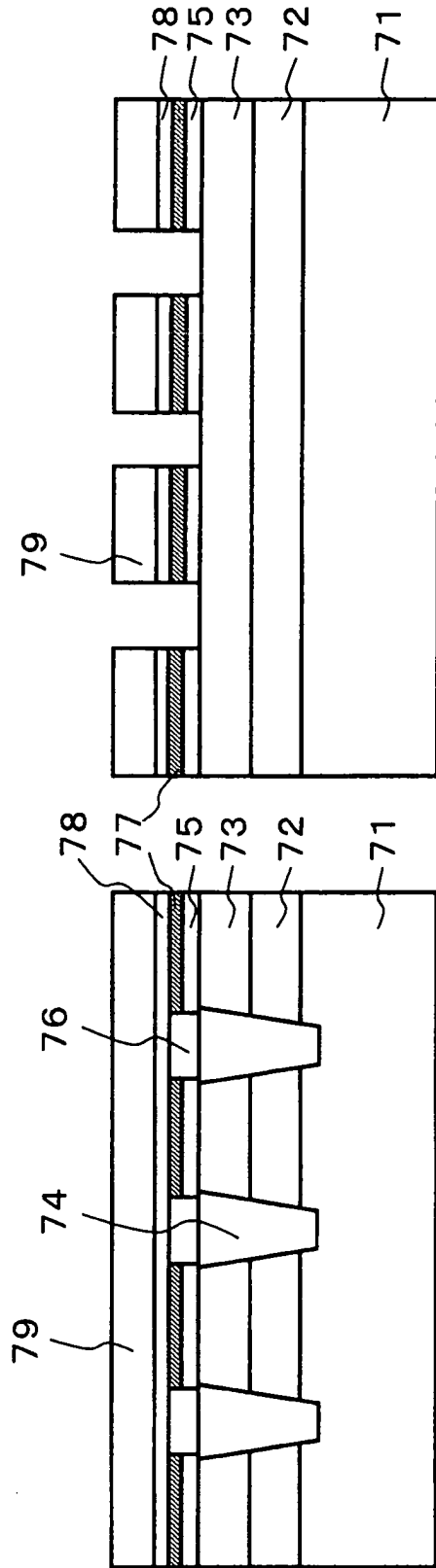
圖 44



(a)

(b)

圖 45



(a)

(b)

圖 46

記憶胞部

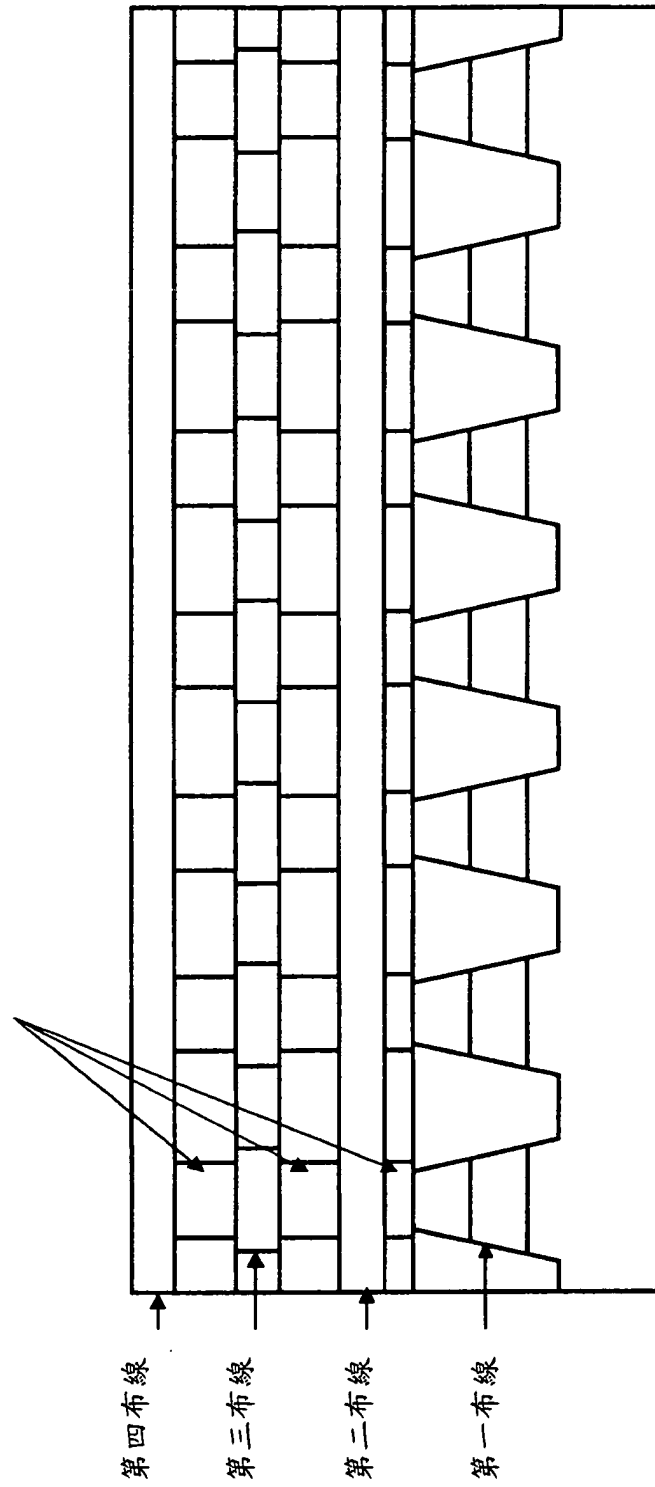


圖 47

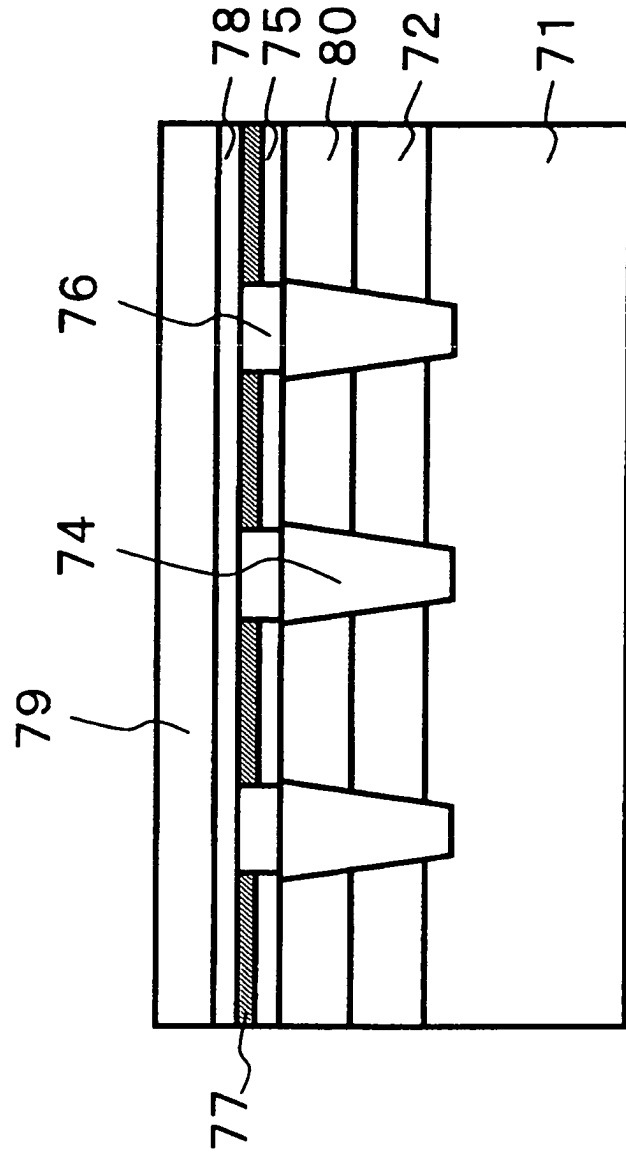


圖 48

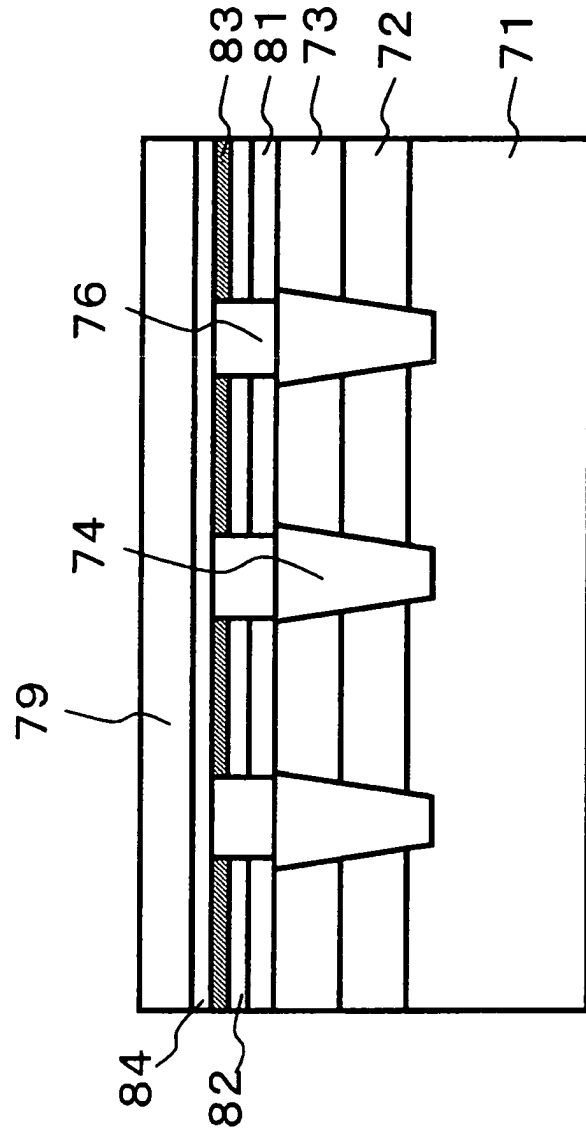


圖 49

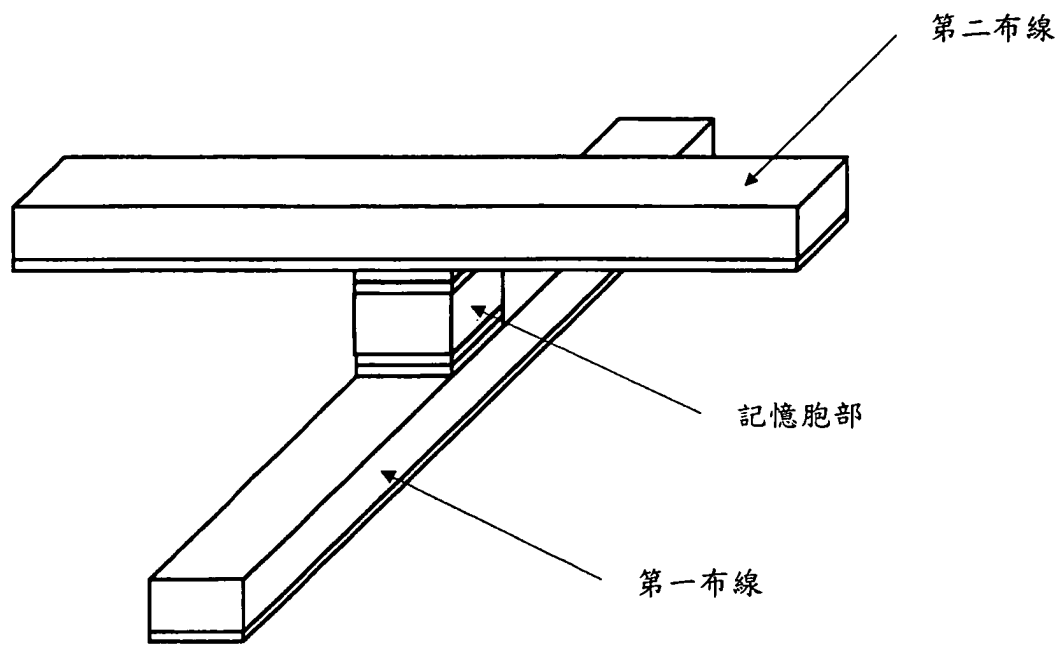


圖 50

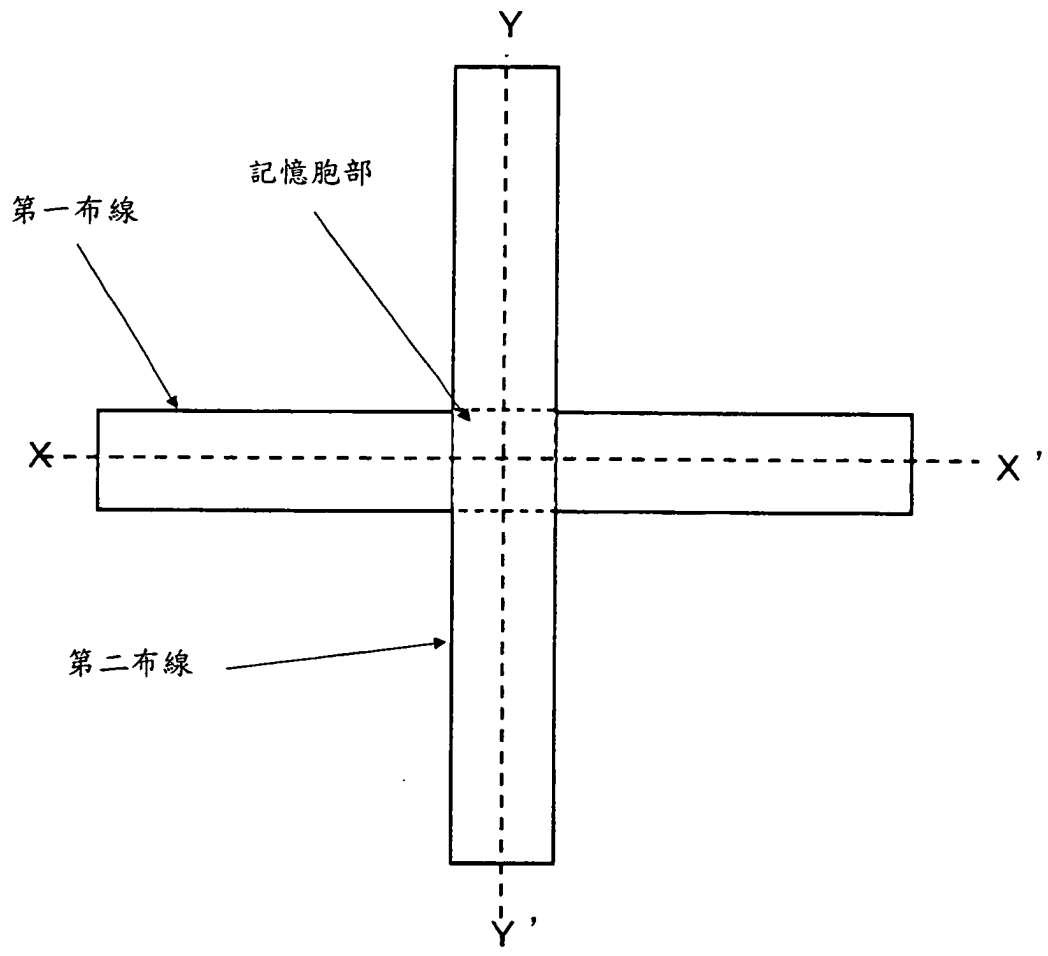
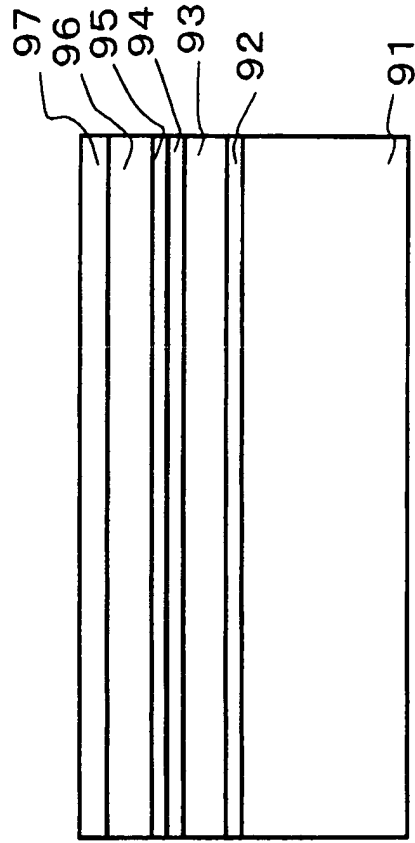
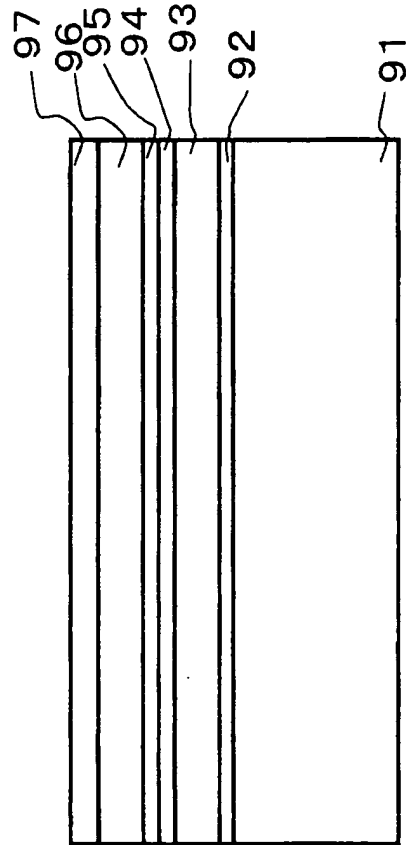


圖 51



(b)



(a)

圖 52

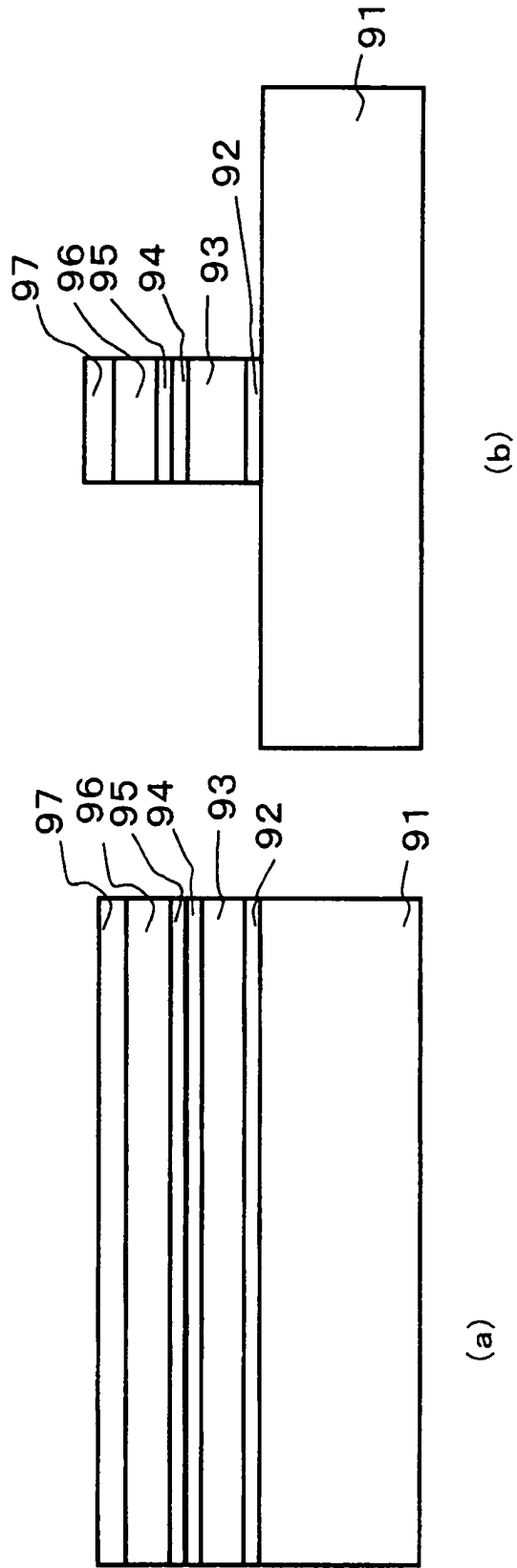


圖 53

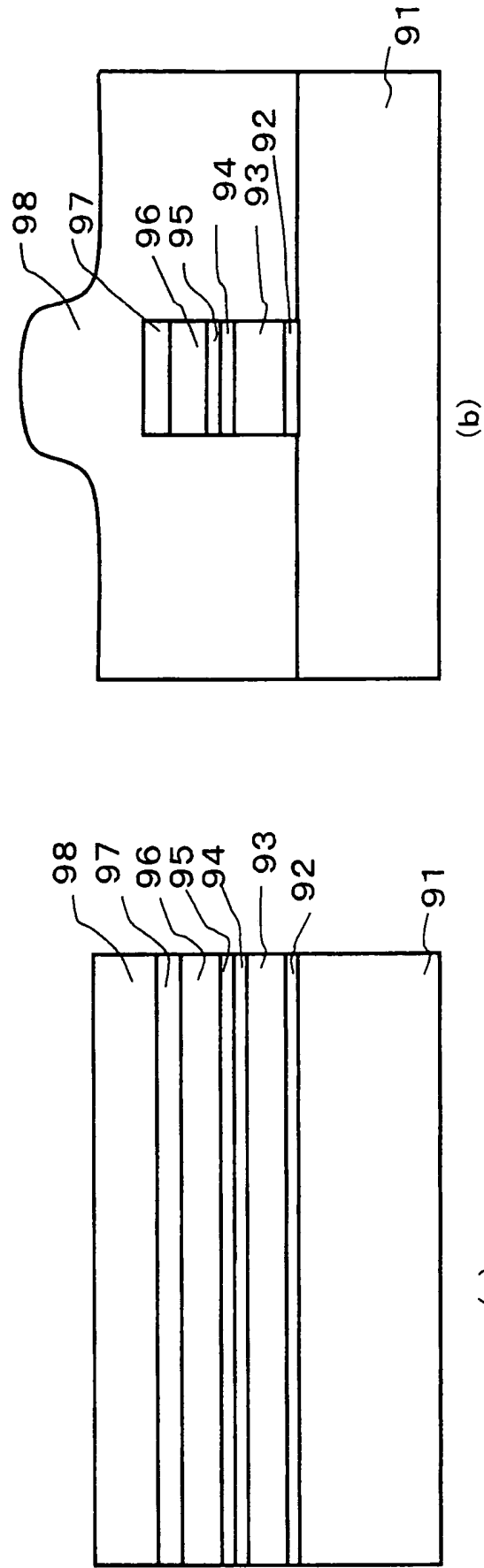


圖 54

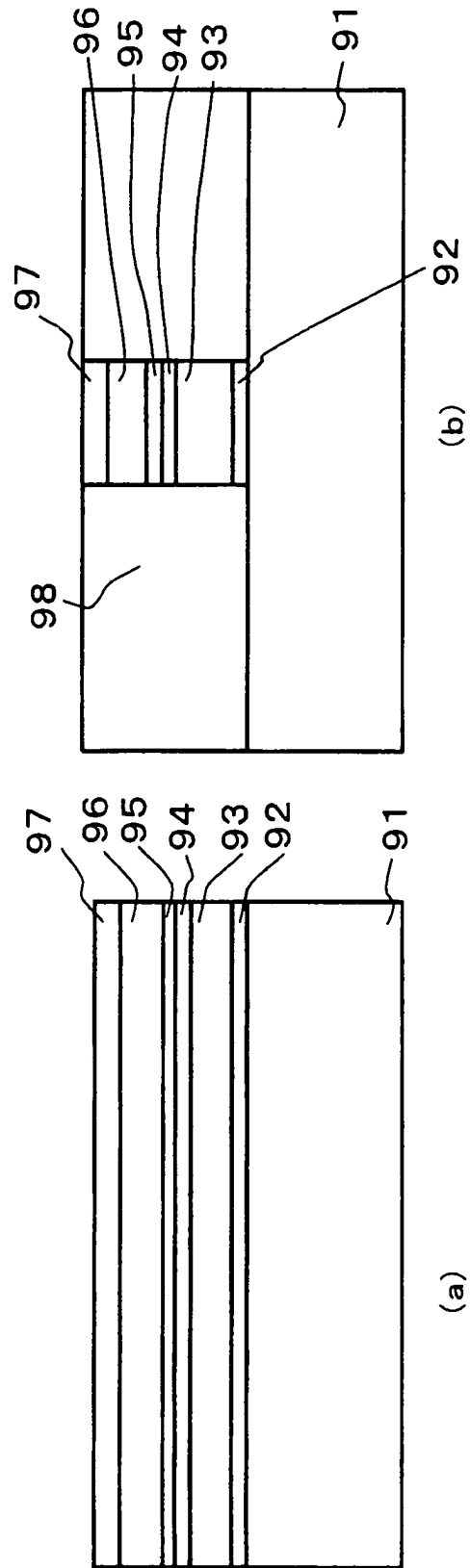


圖 55

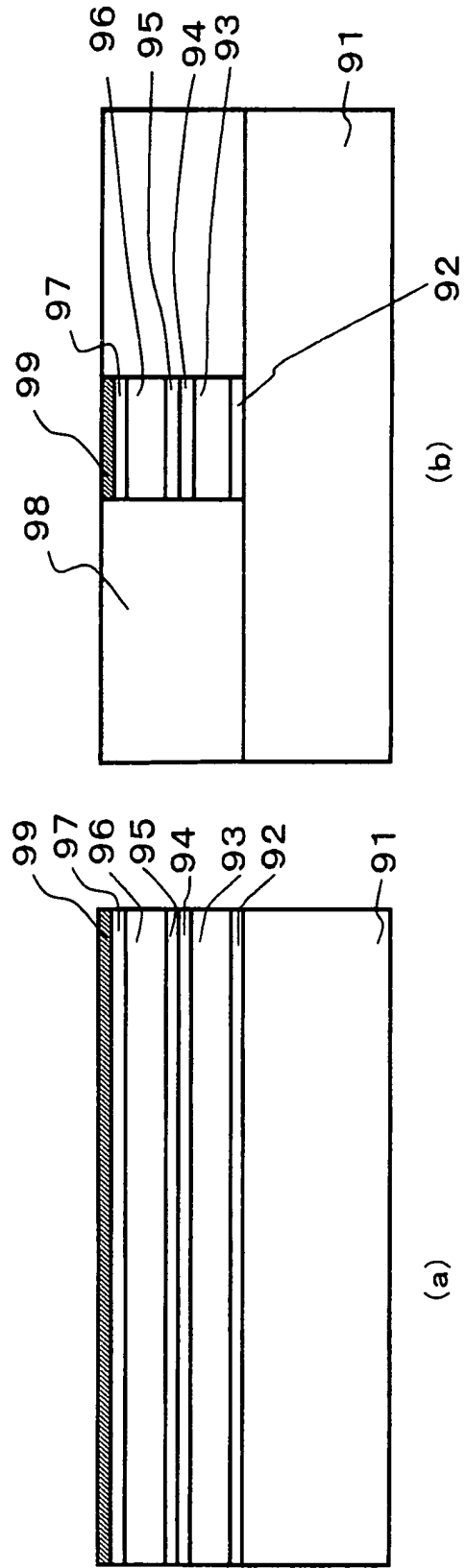


圖 56

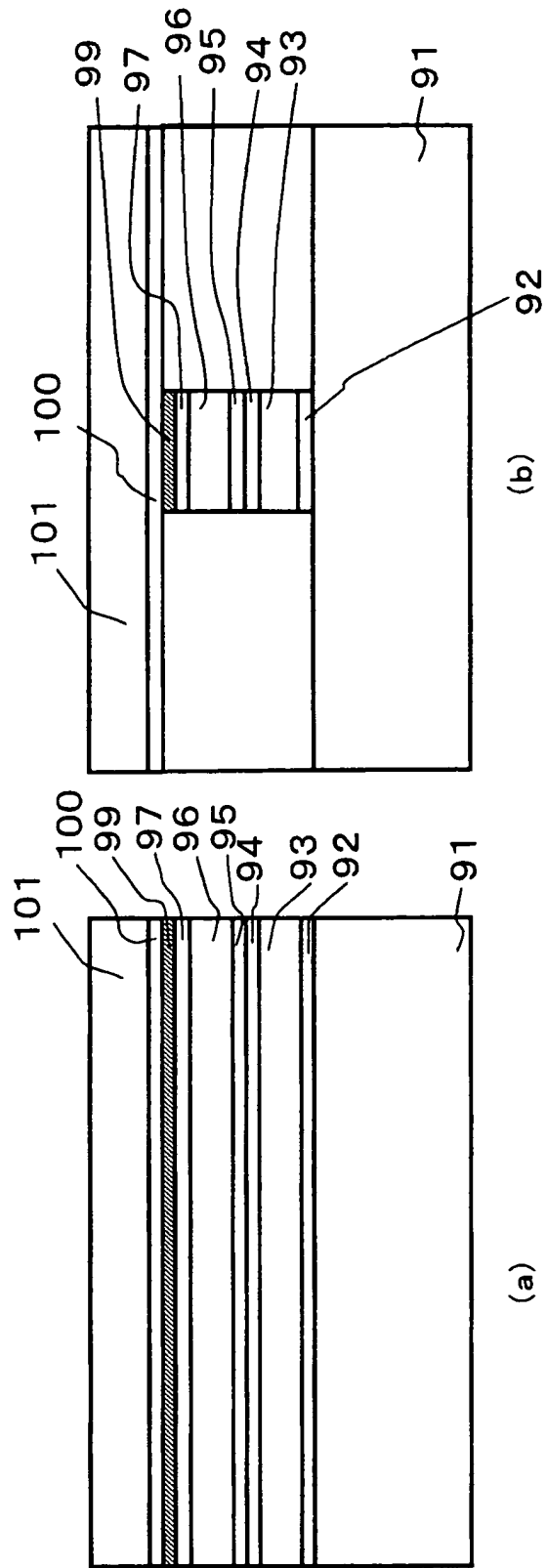
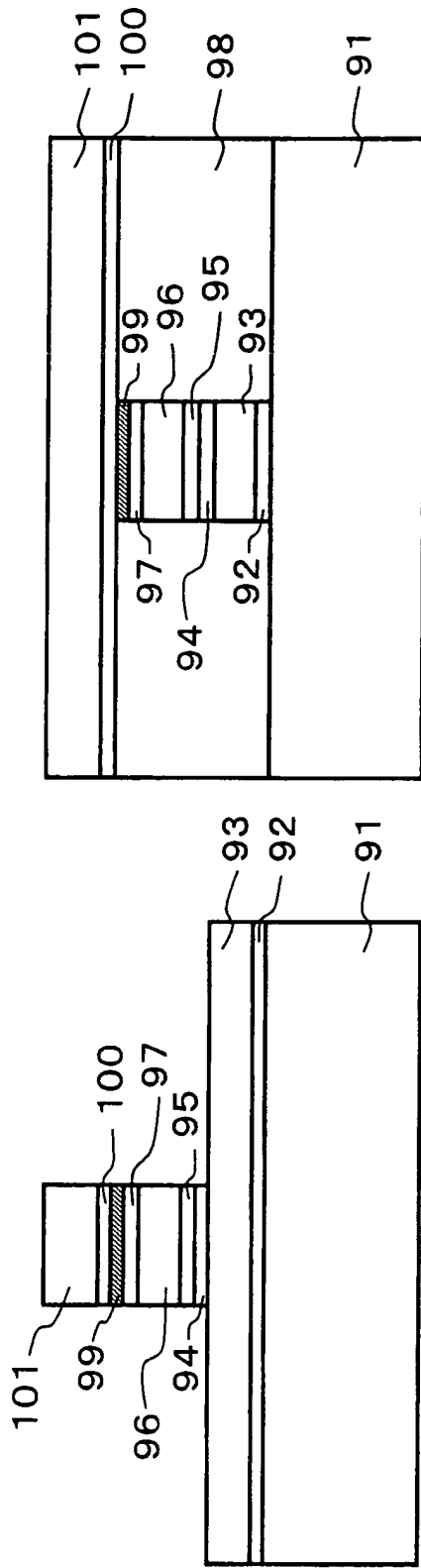


圖 57



(b)

(a)

圖 58

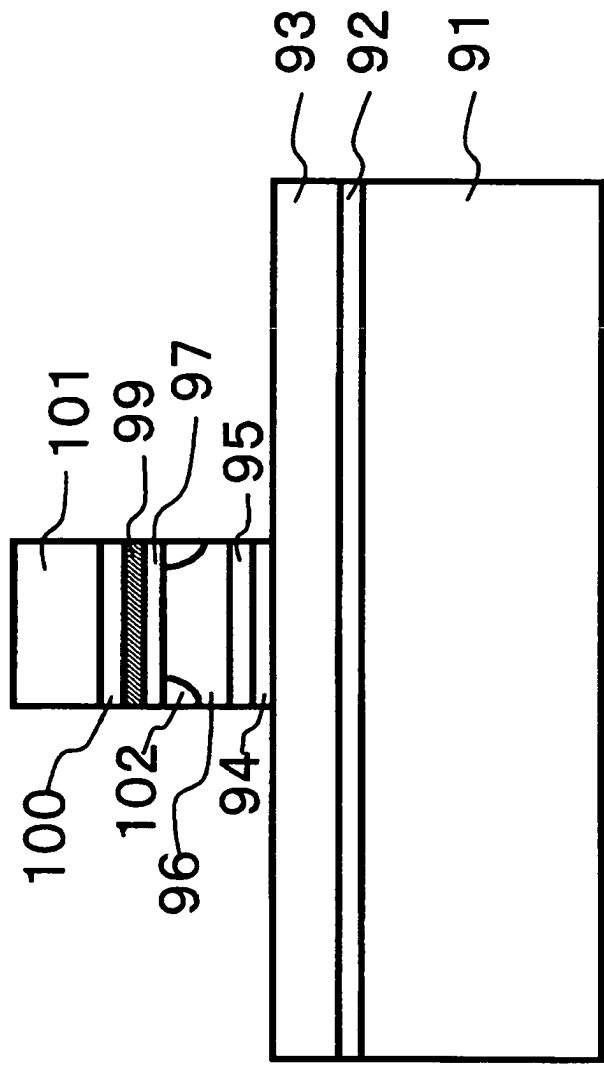


圖 59

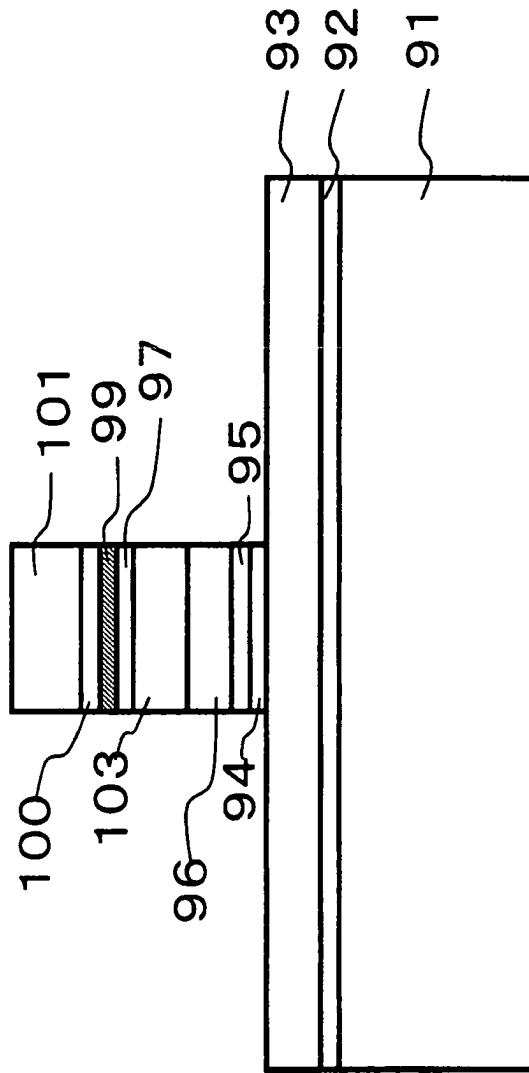


圖 60

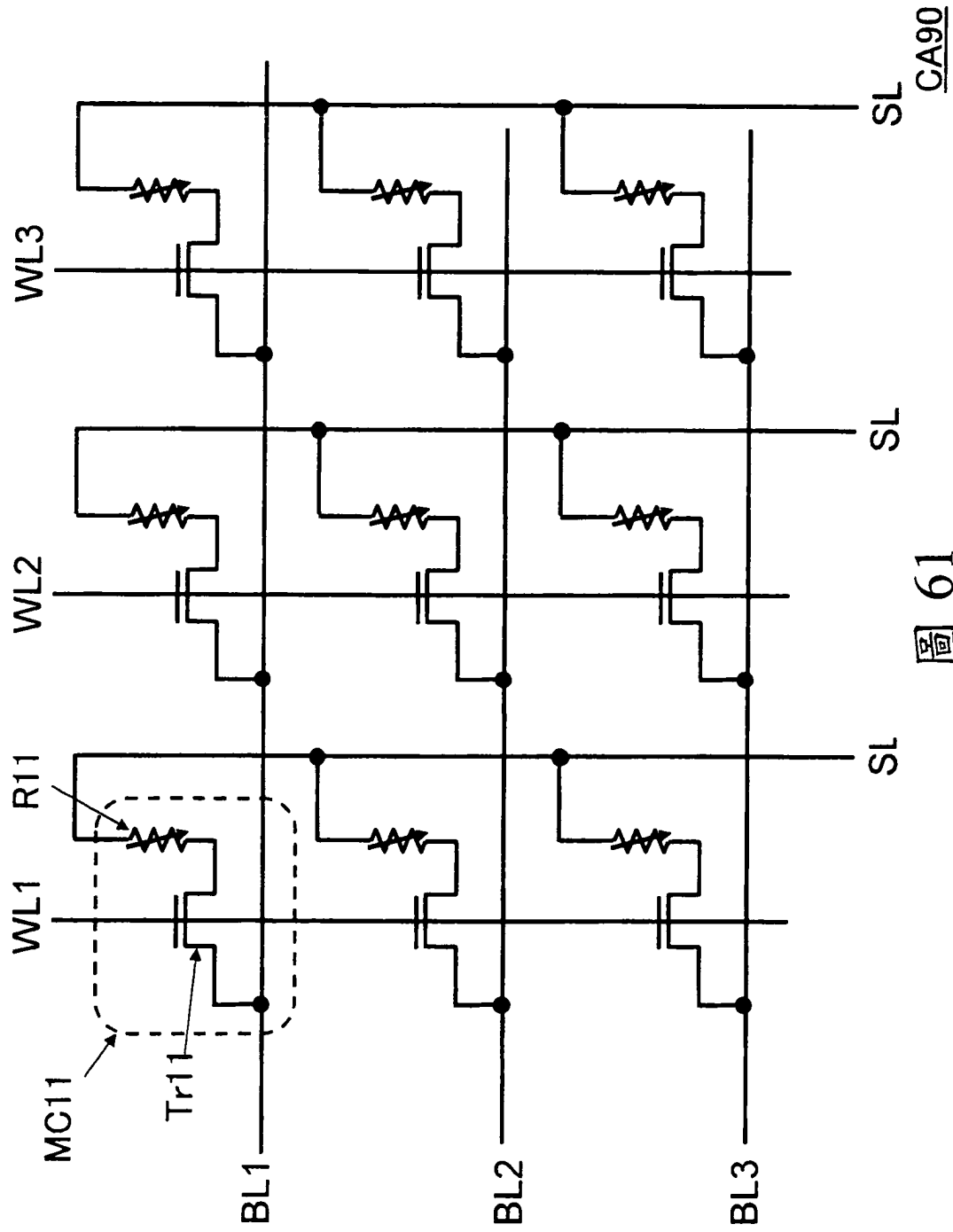


圖 61

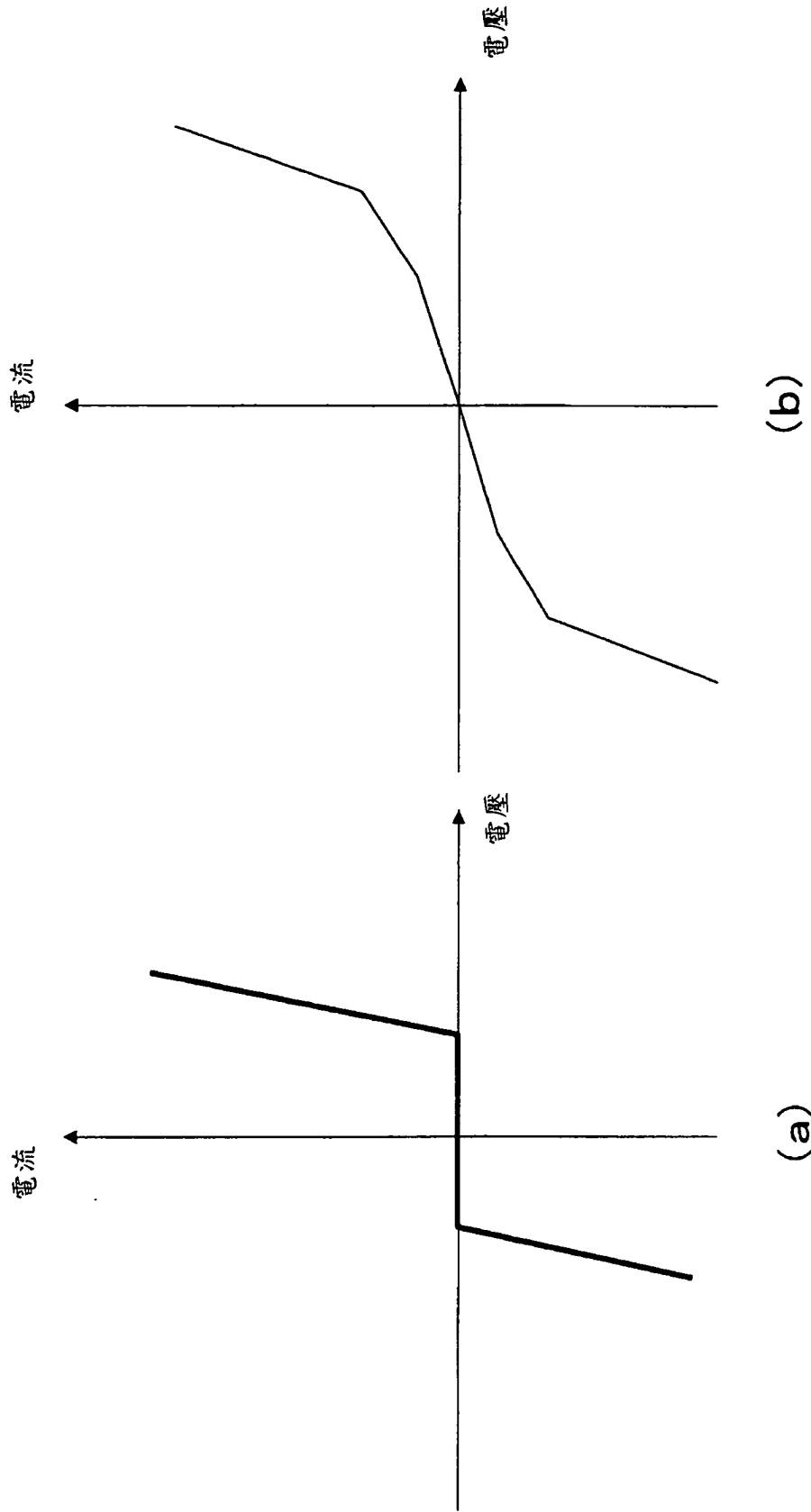


圖 62

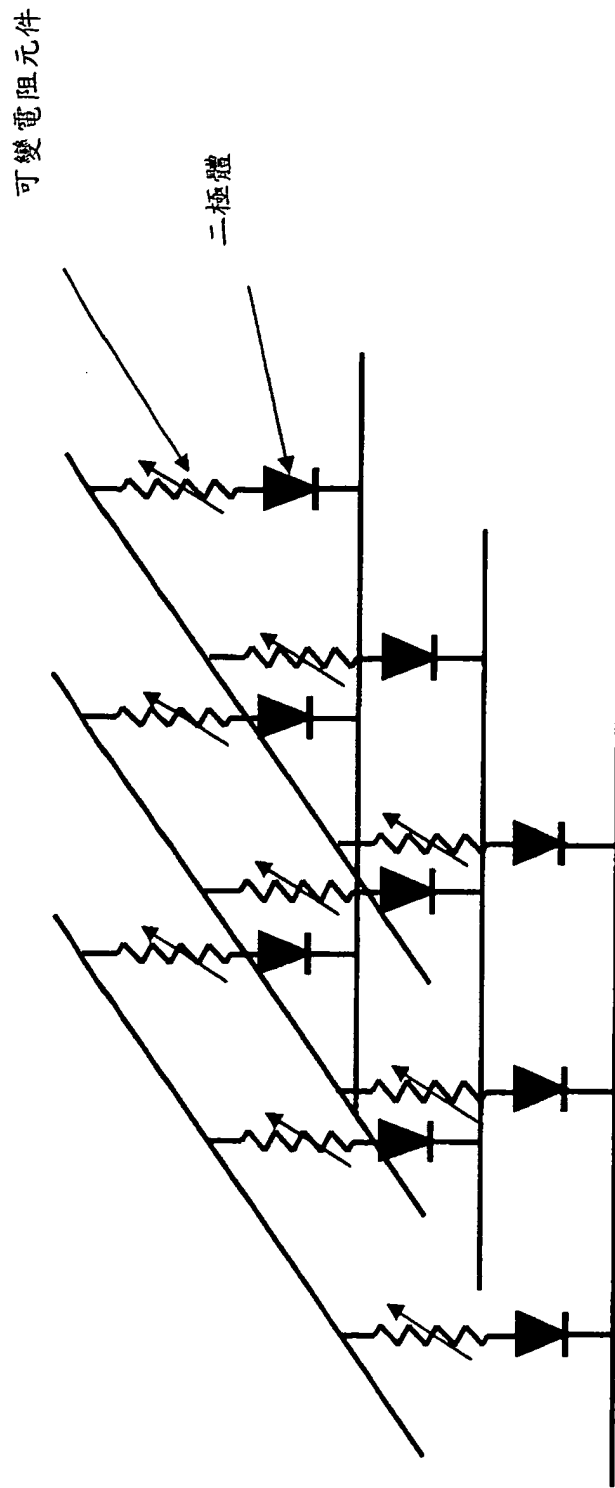


圖 63

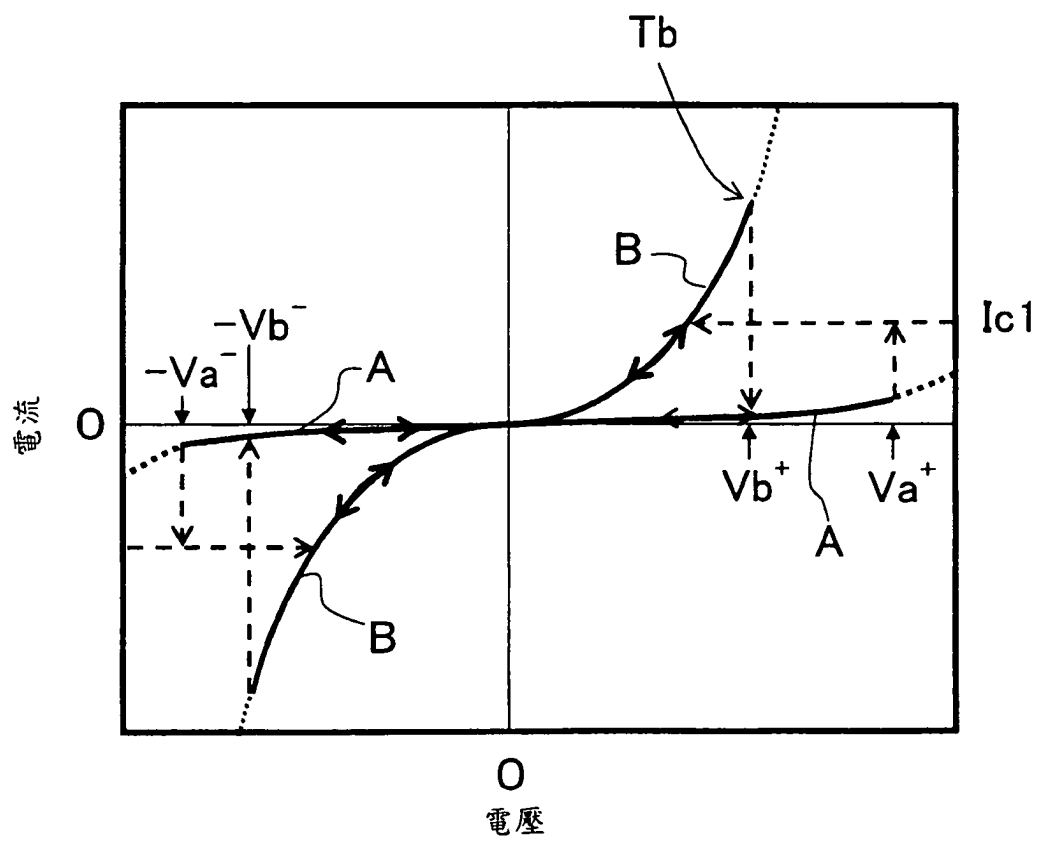


圖 64

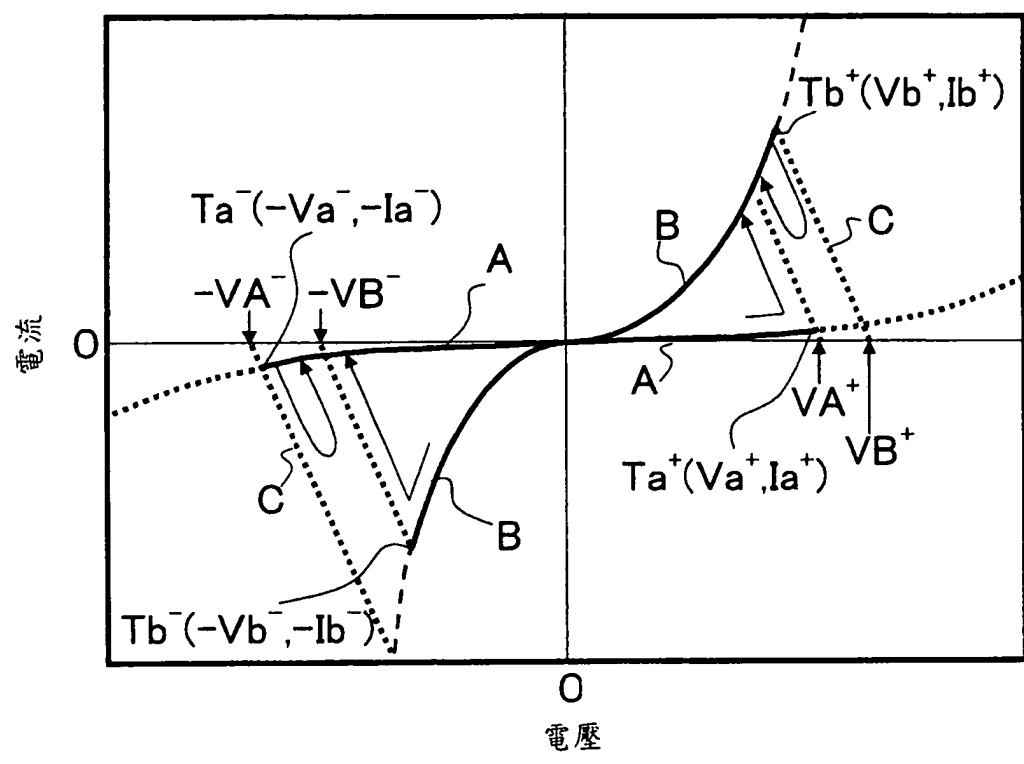


圖 65

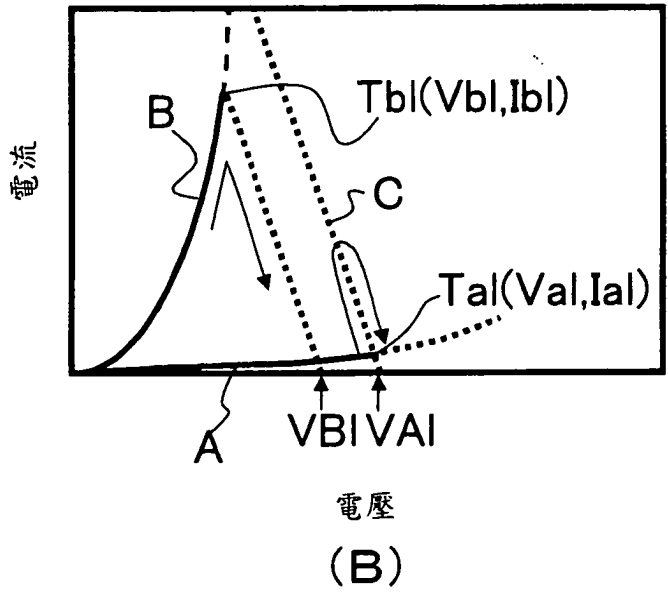
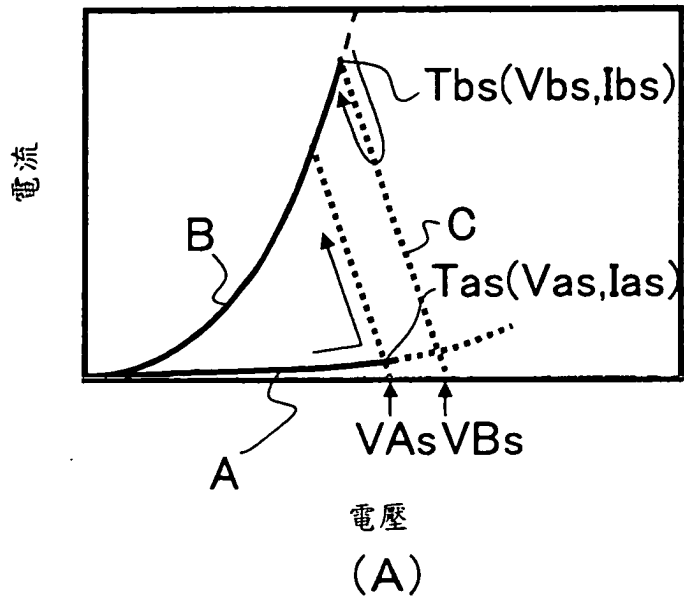


圖 66

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

| | |
|-----|------------|
| 10 | 裝置 |
| 11 | 記憶胞陣 |
| 12 | 字元線解碼器 |
| 13 | 位元線解碼器 |
| 14 | 負載電阻特性可變電路 |
| 15 | 讀取電路 |
| 16 | 控制電路 |
| 17 | 電壓開關電路 |
| 18 | 位址線 |
| 19 | 資料線 |
| 20 | 控制信號線 |
| Vcc | 供給電壓(電源電壓) |
| Vee | 刪除用之電壓 |
| Vpp | 寫入用之電壓 |
| Vr | 讀取用之電壓 |
| Vss | 接地電壓 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)