

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012333 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2021/103618

(22) 国际申请日: 2021 年 6 月 30 日 (30.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010685792.6 2020 年 7 月 16 日 (16.07.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 卢经文 (LU, Jingwen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。洪海涵 (HUNG, Haihan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。朱柄宇 (ZHU, Bingyu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制造方法

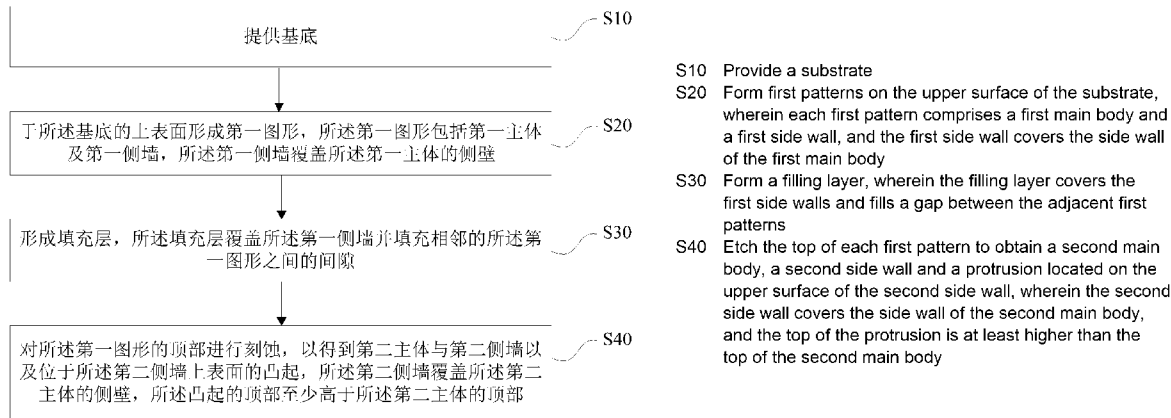


图 1

(57) Abstract: The present application relates to a semiconductor structure and a manufacturing method therefor. A manufacturing method for a semiconductor structure, comprising: providing a substrate; forming first patterns on the upper surface of the substrate, wherein each first pattern comprises a first main body and a first side wall, and the first side wall covers the side wall of the first main body; forming a filling layer, wherein the filling layer covers the first side walls and fills a gap between the adjacent first patterns; and etching the top of each first pattern to obtain a second main body, a second side wall and a protrusion located on the upper surface of the second side wall, wherein the second side wall covers the side wall of the second main body, and the top of the protrusion is at least higher than the top of the second main body.

(57) 摘要: 本申请涉及一种半导体结构及其制造方法。一种半导体结构的制造方法, 包括: 提供基底; 于所述基底的上表面形成第一图形, 所述第一图形包括第一主体及第一侧墙, 所述第一侧墙覆盖所述第一主体的侧壁; 形成填充层, 所述填充层覆盖所述第一侧墙并填充相邻的所述第一图形之间的间隙; 及对所述第一图形的顶部进行刻蚀, 以得到第二主体与第二侧墙以及位于所述第二侧墙上表面的凸起, 所述第二侧墙覆盖所述第二主体的侧壁, 所述凸起的顶部至少高于所述第二主体的顶部。

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

半导体结构及其制造方法

相关申请的交叉引用

本申请要求于 2020 年 7 月 16 日提交中国专利局、申请号为 202010685792.6、发明名称为“半导体结构及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及集成电路技术领域，特别是涉及一种半导体结构及其制造方法。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是一种半导体存储器。随着半导体技术的发展，集成度越来越高，DRAM 的制程不断微缩，而 DRAM 中的器件尺寸，例如字线（Word Line，WL），位线（Bit Line，BL）的尺寸也随之微缩。

然而，位线刻蚀后薄薄的一层位线墙容易发生歪曲或倾斜，导致随后在位线侧壁沉积的侧壁间隔层不能很好地包裹侧壁，且晶体管-电容之间不能很好地填充导线，影响 DRAM 的性能。

发明内容

根据各个实施例，提供一种半导体结构及其制造方法。

一种半导体结构的制造方法，包括：

提供基底；

于所述基底的上表面形成第一图形，所述第一图形包括第一主体及第一侧墙，所述第一侧墙覆盖所述第一主体的侧壁；

形成填充层，所述填充层覆盖所述第一侧墙并填充相邻的所述第一图形之间的间隙；

对所述第一图形的顶部进行刻蚀，以得到第二主体与第二侧墙以及位于所述第二侧墙上表面的凸起，所述第二侧墙覆盖所述第二主体的侧壁，所述凸起的顶部至少高于所述第二主体的顶部。

基于同一发明构思，还提供一种半导体结构，采用上述实施例中任一所述的半导体结构的制造方法制成。

在上述半导体结构的制造方法中，于基底的上表面形成第一图形，第一图形包括第一主体及第一侧墙，第一侧墙覆盖第一主体的侧壁。对第一图形的顶部进行刻蚀，可以得到第二主体及上表面具有凸起的第二侧墙，第二侧墙覆盖第二主体的侧壁。由于形成的填充层覆盖第一侧墙并填充相邻的第一图形之间的间隙，故填充层可以在形成半导体结构的过程中为第二主体提供支撑，保证对第二主体进行刻蚀后保留下的结构不会发生歪曲或倾斜。其中，由于凸起的顶部至少高于第二主体的顶部，故可以在后续工艺中以第二侧墙的上表面的凸起为中心，沿水平方向形成掩膜层，实现对第二主体进行刻蚀过程中的自对准，提高半导体结构的制造精度。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例中提供的半导体结构的制造方法的流程图；

图 2 为一实施例中提供的半导体结构的制造方法中，于基底上表面形成包括位线阻挡层、位线导电层以及位线绝缘层的位线材料叠层后所得结构的截面结构示意图；

图 3 为一实施例中提供的半导体结构的制造方法中，于位线材料叠层的上表面形成牺牲层，并对牺牲层进行图形化处理以形成光刻掩膜层后所得结构的截面结构示意图；

5 图 4 为一实施例中提供的半导体结构的制造方法中，对位线材料叠层进行刻蚀并去除牺牲层后，得到第一主体的俯视结构示意图；

图 5 为一实施例中提供的半导体结构的制造方法中，对位线材料叠层进行刻蚀并去除牺牲层后，得到第一主体的沿图 4 中 A-A 方向截面结构示意图；

10 图 6 为一实施例中提供的半导体结构的制造方法中，于第一主体的侧壁形成第一侧壁间隔层后所得结构的截面结构示意图；

图 7 为一实施例中提供的半导体结构的制造方法中，于第一侧壁间隔层的表面形成第二侧壁间隔层后所得结构的截面结构示意图；

图 8 为一实施例中提供的半导体结构的制造方法中，于第一主体的上表面、第二侧壁间隔层的表面以及基底的上表面形成第三侧壁间隔材料层后所得结构的截面结构示意图；

15 图 9 为一实施例中提供的半导体结构的制造方法中，去除第一主体的上表面以及基底的上表面，以形成第三侧壁间隔层后所得结构的截面结构示意图；

图 10 为一实施例中提供的半导体结构的制造方法中，于第一主体的上表面以及第一侧壁的表面形成填充材料层后所得结构的截面结构示意图；

20 图 11 为一实施例中提供的半导体结构的制造方法中，对填充材料层进行刻蚀，以暴露出第一主体的上表面和部分第一侧壁后所得结构的截面结构示意图；

图 12 为一实施例中提供的半导体结构的制造方法中，对第一侧壁间隔层、第三侧壁间隔层和第一主体进行刻蚀，以暴露出部分第二侧壁间隔层后所得结构的截面结构示意图；

25 图 13 为一实施例中提供的半导体结构的制造方法中，于填充层的上表面、凸起的表面以及第二主体的上表面形成位线掩膜材料层所得结构的截面结构示意图；

图 14 为一实施例中提供的半导体结构的制造方法中，基于位线掩膜材料层的台阶对位线掩膜材料层进行刻蚀，得到位线掩膜层后所得结构的截面结构示意图；

图 15 为一实施例中提供的半导体结构的制造方法中，基于位线掩膜层刻蚀第二主体，以得到相邻两个第三主体后所得结构的截面结构示意图；

30 图 16 为一实施例中提供的半导体结构的制造方法中，于相邻两个第三主体之间的间隙内形成牺牲层后所得结构的截面结构示意图；

图 17 为一实施例中提供的半导体结构的制造方法中，对位线掩膜层和凸起进行刻蚀，以暴露出第三主体的上表面后所得结构的截面结构示意图；

35 图 18 为一实施例中提供的半导体结构的制造方法中，去除牺牲层后所得结构的截面结构示意图；

图 19 为一实施例中提供的半导体结构的制造方法中，于相邻两个第三主体暴露出的侧壁形成第一侧壁间隔层后所得结构的截面结构示意图；

图 20 为一实施例中提供的半导体结构的制造方法中，于第一侧壁间隔层的表面形成第二侧壁间隔层后所得结构的截面结构示意图；

40 图 21 为一实施例中提供的半导体结构的制造方法中，于第一侧壁的上表面、第三主体的上表面以及第二侧壁间隔层的表面形成第三侧壁间隔层后所得结构的截面结构示意图；

图 22 为一实施例中提供的半导体结构的制造方法中，去除填充层，以暴露出第一侧壁后所得结构的截面结构示意图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本申请教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分；举例来说，可以将第一掺杂类型成为第二掺杂类型，且类似地，可以将第二掺杂类型成为第一掺杂类型；第一掺杂类型与第二掺杂类型为不同的掺杂类型，譬如，第一掺杂类型可以为P型且第二掺杂类型可以为N型，或第一掺杂类型可以为N型且第二掺杂类型可以为P型。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可以用于描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。此外，器件也可以包括另外地取向（譬如，旋转90度或其它取向），并且在此使用的空间描述语相应地被解释。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本申请的理想实施例（和中间结构）的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。因此，本申请的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本申请的范围。

请参见图1，根据一实施例，提供一种半导体结构的制造方法，包括：

步骤S10，提供基底10；

步骤S20，于基底10的上表面形成第一图形20，第一图形20包括第一主体210及第一侧墙220，第一侧墙220覆盖第一主体210的侧壁；

步骤S30，形成填充层30，填充层30覆盖第一侧墙220的侧壁并填充相邻的第一图形20之间的间隙；

步骤S40，对第一图形20的顶部进行刻蚀，以得到第二主体230与第二侧墙240以

及位于第二侧墙 240 上表面的凸起 241, 第二侧墙 240 覆盖第二主体 230 的侧壁, 凸起 241 的顶部至少高于第二主体 230 的顶部。

在上述半导体结构的制造方法中, 于基底 10 的上表面形成第一图形 20, 第一图形 20 包括第一主体 210 及第一侧墙 220, 第一侧墙 220 覆盖第一主体 210 的侧壁。对第一图形 20 的顶部进行刻蚀, 可以得到第二主体 230 与第二侧墙 240 以及位于第二侧墙 240 上表面的凸起 241。由于形成的填充层 30 覆盖第一侧墙 220 并填充相邻的第一图形 20 之间的间隙, 故填充层 30 可以在形成半导体结构的过程中为第二主体 230 提供支撑, 保证对第二主体 230 进行刻蚀后保留下的结构不会发生歪曲或倾斜。其中, 由于凸起 241 的顶部至少高于第二主体 230 的顶部, 故可以在后续工艺中以第二侧墙 240 的上表面的凸起 241 为中心, 沿水平方向形成掩膜层, 实现对第二主体进行刻蚀过程中的自对准, 提高半导体结构的制造精度。

应该理解的是, 虽然图 1 的流程图中的各个步骤按照箭头的指示依次显示, 但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明, 这些步骤的执行并没有严格的顺序限制, 这些步骤可以以其它的顺序执行。而且, 图 1 中的至少一部分步骤可以包括多个步骤或者多个阶段, 这些步骤或者阶段并不必然是在同一时刻执行完成, 而是可以在不同的时刻执行, 这些步骤或者阶段的执行顺序也不必然是依次进行, 而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

在其中一个实施例中, 步骤 S10 中提供的基底 10 可以包括任意一种现有的半导体基底 10。本实施例中, 基底 10 可以包括但不限于硅基底。基底 10 内可以形成有浅沟槽隔离结构, 浅沟槽隔离结构于基底 10 内隔离出若干间隔排布的有源区。

在其中一个实施例中, 步骤 S20, 于基底 10 的上表面形成第一图形 20 包括:

步骤 S210, 于基底 10 上表面形成包括位线阻挡层 211、位线导电层 212 以及位线绝缘层 213 的位线材料叠层 214;

步骤 S220, 对位线材料叠层 214 进行刻蚀, 以得到若干第一主体 210, 相邻的第一主体 210 之间具有间隙并暴露出基底 10;

步骤 S230, 于第一主体 210 的侧壁形成第一侧墙 220。

请一并参见图 2, 在其中一个实施例中, 步骤 S210 中, 可以采用沉积工艺于基底 10 上表面依次形成位线阻挡层 211、位线导电层 212 以及位线绝缘层 213, 以形成位线材料叠层 214, 即位线阻挡层 211、位线导电层 212 以及位线绝缘层 213 共同构成位线材料叠层 214。位线阻挡层 211、位线导电层 212 以及位线绝缘层 213 的材料和厚度可以根据实际需要进行设定。本实施例中, 位线阻挡层 211 的可以包括但不限于氮化钛 (TiN) 层。位线导电层 212 的可以包括但不限于钨 (Tungsten) 层。位线绝缘层 213 可以包括但不限于氮化硅层。

请一并参见图 3-图 5, 在其中一个实施例中, 步骤 S220 中, 可以采用但不限于旋涂工艺于位线材料叠层 214 的上表面形成牺牲层, 并对牺牲层进行图形化处理, 以形成光刻掩膜层 215。其中, 牺牲层可以为光刻胶层。基于光刻掩膜层 215 对位线材料叠层 214 进行刻蚀, 并刻蚀至基底 10 上表面, 去除光刻掩膜层 215 后, 可以形成多个第一主体 210。在其中一个实施例中, 第一主体 210 的宽度为相邻两个第三主体 40 之间的宽度与两个第三主体 40 的宽度之和, 从而保证对第一主体 210 进行刻蚀后, 可以于基底 10 上表面形成相邻两个第三主体 40。在其中一个实施例中, 第三主体 40 可以为位线。

在其中一个实施例中, 步骤 S230, 于第一主体 210 的侧壁形成第一侧墙 220 包括:

步骤 S231, 于第一主体 210 的侧壁形成第一侧壁间隔层 221;

步骤 S232, 于第一侧壁间隔层 221 的侧壁形成第二侧壁间隔层 222;

步骤 S233, 于第二侧壁间隔层 222 的侧壁形成第三侧壁间隔层 223;

其中, 第一侧壁间隔层 221、第二侧壁间隔层 222 和第三侧壁间隔层 223 共同构成第

一侧墙 220。

请一并参见图 6，在其中一个实施例中，步骤 S231 中，可以采用但不仅限于沉积工艺形成第一侧壁间隔材料层。本实施例中，可以采用单原子层沉积(Atomic Layer Deposition, ALD)工艺于第一主体 210 的上表面和侧壁，以及基底 10 上表面形成第一侧壁间隔材料层。随后，可以采用但不仅限于干法刻蚀工艺刻蚀第一侧壁间隔材料层，以去除第一主体 210 上表面以及基底 10 上表面的第一侧壁间隔材料，以形成第一侧壁间隔层 221。其中，干法刻蚀工艺可以采用 SF₆、CF₄、O₂、Ar 或上述气体的混合气体，具体气体的选择可以根据实际需要进行设定。另外，第一侧壁间隔层 221 的材料和厚度可以根据实际需要进行设定。本实施例中，第一侧壁间隔层 221 可以包括但不仅限于氮化硅层。

请一并参见图 7，在其中一个实施例中，步骤 S232 中，可以采用但不仅限于沉积工艺形成第二侧壁间隔材料层。本实施例中，可以采用 ALD 工艺于第一主体 210 上表面、第一侧壁间隔层 221 的侧壁以及基底 10 上表面形成第二侧壁间隔材料层。随后，可以采用但不仅限于干法刻蚀工艺刻蚀第二侧壁间隔材料层，以去除第一主体 210 上表面以及基底 10 上表面的第二侧壁间隔材料，以形成第二侧壁间隔层 222。其中，干法刻蚀工艺可以采用 SF₆、CF₄、O₂、Ar 或上述气体的混合气体，具体气体的选择可以根据实际需要进行设定。另外，第二侧壁间隔层 222 的材料和厚度可以根据实际需要进行设定。本实施例中，第二侧壁间隔层 222 可以包括但不仅限于氧化硅层。

请一并参见图 8-图 9，在其中一个实施例中，步骤 S233 中，可以采用但不仅限于沉积工艺形成第三侧壁间隔材料层 224。本实施例中，由于 ALD 工艺具有良好的阶梯覆盖性，故可以采用 ALD 工艺于第一主体 210 上表面、第二侧壁间隔层 222 的侧壁以及基底 10 上表面形成第三侧壁间隔材料层 224。第三侧壁间隔材料层 224 的材料和厚度可以根据实际需要进行设定。随后，可以采用但不仅限于干法刻蚀工艺刻蚀第三侧壁间隔材料层，以去除第一主体 210 上表面以及基底 10 上表面的第三侧壁间隔材料，以形成第三侧壁间隔层 223。其中，干法刻蚀工艺可以采用 SF₆、CF₄、O₂、Ar 或上述气体的混合气体，具体气体的选择可以根据实际需要进行设定。另外，第三侧壁间隔层 223 的材料和厚度可以根据实际需要进行设定。本实施例中，第三侧壁间隔层 223 可以包括但不仅限于氮化硅层。在其中一个实施例中，第一侧墙 220 包括自第一主体 210 的侧壁至外依次叠置的第一氮化硅层、氧化硅层以及第二氮化硅层。

在其中一个实施例中，步骤 S30，形成填充层 30 包括：

步骤 S310，于第一图形 20 的表面形成填充材料层 310，并填充相邻的第一图形 20 之间的间隙；

步骤 S320，对填充材料层 310 进行刻蚀，以暴露出第一图形 20 的顶部。

请一并参见图 10，在其中一个实施例中，步骤 S310 中，可以采用但不仅限于旋涂式电介质 (Spin-on Dielectrics, SOD) 工艺于第一主体 210 的上表面以及相邻的第一图形 20 之间的间隙内形成填充材料层 310，并进行退火，以使填充材料层 310 固化。其中，退火固化后的填充材料层 310 可以填充相邻的第一图形 20 之间的间隙，故可以在制造第三主体 40 的过程中沿垂直于第三主体 40 侧壁的方向为第三主体 40 提供支撑，可以避免第三主体 40 在制造过程中发生歪曲或倾斜，保证第二侧墙 240 和后续的第三侧墙 250 可以良好地包裹第三主体 40 的侧壁，从而保证后续晶体管-电容之间可以良好地填充导线，保证了 DRAM 的性能。在其中一个实施例中，填充材料层 310 的材料可以与第二侧壁间隔层 222 的材料均相同。本实施例中，填充材料层 310 和第二侧壁间隔层 222 可以均包括但不仅限于氧化硅层。

请一并参见图 11，在其中一个实施例中，步骤 S320 中，可以采用但不仅限于刻蚀工艺对填充材料层 310 进行刻蚀，以暴露出第一图形 20 的顶部。其中，暴露出的第一图形 20 的顶部可以为第一侧墙 220 的顶部以及第三侧壁间隔层 223 的一侧表面。

在其中一个实施例中，在对填充材料层 310 进行刻蚀后，填充层 30 的顶部可以低于第一图形 20 的顶部，也即填充层 30 的顶部低于第一主体 210 的顶部。其中，填充层 30 的顶部低于第一图形 20 的顶部的高度可以根据实际情况进行设定。在其中一个实施例中，填充层 30 的高度大于或等于第一图形 20 的高度的三分之二，以保证填充层 30 对第三主体 40 的良好支撑性。

在其中一个实施例中，步骤 S40，对所述第一图形 20 的顶部进行刻蚀包括：

步骤 S410，对第一侧壁间隔层 221、第三侧壁间隔层 223 和第一主体 210 进行刻蚀，以暴露出部分第二侧壁间隔层 222 作为凸起 241。

请一并参见图 12，在其中一个实施例中，步骤 S410 中，可以采用但不仅限于刻蚀工艺对第一侧壁间隔层 221、第三侧壁间隔层 223 和第一主体 210 进行刻蚀，以暴露出部分第二侧壁间隔层 222，暴露出的第二侧壁间隔层 222 可以作为凸起 241，以形成带有凸起 241 的第二侧墙 240。其中，凸起 241 的高度可以根据实际需要进行设定。在其中一个实施例中，凸起 241 的底部与填充层 30 的顶部相平齐。

在其中一个实施例中，步骤 S40，对第一图形 20 的顶部进行刻蚀之后，还包括：

步骤 S50，于凸起 241 的侧面形成位线掩膜层 50；

步骤 S60，以位线掩膜层 50 和所述凸起 241 作为掩膜，刻蚀各第二主体 230 得到对应相邻的两个第三主体 40，同时得到对应相邻的两个第三主体 40 之间的间隙暴露出部分基底 10；

步骤 S70，去除位线掩膜层 50 和凸起 241，以暴露出第三主体 40 的上表面；

步骤 S80，于对应相邻的两个第三主体 40 之间相对的侧壁形成第三侧墙 250；

步骤 S90，去除填充层 30，以暴露出第二侧墙 240。

在其中一个实施例中，步骤 S50，于凸起 241 的侧面形成位线掩膜层 50 包括：

步骤 S510，采用单原子层沉积工艺于填充层 30 的上表面、凸起 241 的表面以及第二主体 230 的上表面形成位线掩膜材料层 510；

步骤 S520，对位线掩膜材料层 510 进行刻蚀，仅保留位于凸起 241 的侧面的部分位线掩膜材料层 510 作为位线掩膜层 50。

请一并参见图 13，在其中一个实施例中，步骤 S510 中，位线掩膜材料层 510 的材料和厚度可以根据实际需要进行设定。在其中一个实施例中，位线掩膜材料层 510 的材料可以与填充层 30 的材料均相同。本实施例中，填充层 30 和位线掩膜材料层 510 可以均包括氧化硅层，采用 ALD 工艺于填充层 30 的上表面、凸起 241 的表面以及第二主体 230 的上表面沉积氧化硅层时，形成的氧化硅层上下左右厚度相同，且随着氧化硅层厚度的增加，位线掩膜材料层 510 的开口 511 逐渐变小，即形成具有高度差台阶。因此，采用 ALD 工艺沉积氧化硅层时，凸起 241 可以作为沉积氧化硅层的起始点，故沉积形成的位线掩膜材料层 510 的开口 511 不断变小，且可以关于凸起 241 的中心对称，以完成第三主体 40 刻蚀过程的自对准。本实施例中，可以通过 ALD 工艺的沉积速率或沉积厚度控制位线掩膜材料层 510 开口 511 的大小，从而可以控制最终形成的第三主体 40 尺寸（宽度）的大小，简化了第三主体 40 制造流程并提高第三主体 40 制造的精度。

请一并参见图 14，在其中一个实施例中，步骤 S520 中，可以基于位线掩膜材料层 510 的台阶，采用但不仅限于刻蚀工艺对位线掩膜材料层 510 进行刻蚀，以暴露出第二主体 230 的上表面，并保留位于凸起 241 的侧面的部分位线掩膜材料层作为位线掩膜层 50。

请一并参见图 15，在其中一个实施例中，步骤 S60 中，以位线掩膜层 50 和凸起 241 作为掩膜，可以采用但不仅限于刻蚀工艺对各个第二主体 230 进行刻蚀，以暴露出部分基底 10，从而得到对应相邻的两个第三主体 40。在其中一个实施例中，第三主体 40 可以为位线。

在其中一个实施例中，步骤 S70，去除位线掩膜层 50 和凸起 241，以暴露出第三主体

40 的上表面包括:

步骤 S710, 于对应相邻的两个第三主体 40 之间的间隙内形成牺牲层 60, 牺牲层 60 的高度不高于第三主体 40 的高度且不低于第三主体 40 中的位线导电层 212 部分的高度;

步骤 S720, 对位线掩膜层 50 和凸起 241 进行刻蚀, 以暴露出第三主体 40 的上表面。

5 请一并参见图 16, 在其中一个实施例中, 步骤 S710 中, 可以采用但不仅限于旋涂工艺于对应相邻的两个第三主体 40 之间的间隙内形成牺牲层 60。牺牲层 60 的高度不高于第三主体 40 的高度且不低于第三主体 40 中的位线导电层 212 部分的高度, 以实现第三主体 40 侧壁的保护。在其中一个实施例中, 牺牲层 60 可以为光刻胶层。

10 请一并参见图 17-图 18, 在其中一个实施例中, 步骤 S720 中, 可以采用但不仅限于刻蚀工艺对位线掩膜层 50 和凸起 241 进行刻蚀, 以去掉第三主体 40 顶部的位线掩膜层 50 和凸起 241, 即暴露出第三主体 40 的上表面, 以便后续步骤形成第三主体 40 顶部的间隔层。在其中一个实施例中, 在步骤 S720 之后, 还包括去除牺牲层 60 的步骤。

在其中一个实施例中, 步骤 S80, 于相邻两个第三主体 40 之间相对的侧壁形成第三侧墙 250 包括:

15 步骤 S810, 于对应相邻的两个第三主体 40 之间的相对的侧壁形成第四侧壁间隔层 251;

步骤 S820, 于第四侧壁间隔层 251 的侧壁形成第五侧壁间隔层 252;

步骤 S830, 于第五侧壁间隔层 252 的侧壁面形成第六侧壁间隔层 253;

20 其中, 第四侧壁间隔层 251、第五侧壁间隔层 252 和第六侧壁间隔层 253 共同构成第三侧墙 250。

请一并参见图 19, 在其中一个实施例中, 步骤 S810 中, 可以采用但不仅限于沉积工艺形成第四侧壁间隔材料层。本实施例中, 可以采用 ALD 工艺于对应相邻的两个第三主体 40 之间的相对的侧壁、填充层 30 的表面以及基底 10 的表面形成第四侧壁间隔材料层。随后, 可以采用但不仅限于干法刻蚀工艺刻蚀第四侧壁间隔材料层, 以去除填充层 30 25 的表面以及基底 10 的表面的第四侧壁间隔材料, 以形成第四侧壁间隔层 251。其中, 干法刻蚀工艺可以采用 SF₆、CF₄、O₂、Ar 或上述气体的混合气体, 具体气体的选择可以根据实际需要进行设定。另外, 第四侧壁间隔层 251 的材料和厚度可以根据实际需要进行设定。本实施例中, 第四侧壁间隔层 251 可以包括但不仅限于氮化硅层。

30 请一并参见图 20, 在其中一个实施例中, 步骤 S820 中, 可以采用但不仅限于沉积工艺形成第五侧壁间隔材料层。本实施例中, 可以采用单原子层沉积 ALD 工艺于第四侧壁间隔层 251 的侧壁、填充层 30 的表面以及基底 10 的表面形成第五侧壁间隔材料层。随后, 可以采用但不仅限于干法刻蚀工艺刻蚀第五侧壁间隔材料层, 以去除填充层 30 的表面以及基底 10 的表面的第五侧壁间隔材料层, 以形成第五侧壁间隔层 252。其中, 干法刻蚀工艺可以采用 SF₆、CF₄、O₂、Ar 或上述气体的混合气体, 具体气体的选择可以根据实际 35 需要进行设定。另外, 第五侧壁间隔层 252 的材料和厚度可以根据实际需要进行设定。本实施例中, 第五侧壁间隔层 252 可以包括但不仅限于氧化硅层。

请一并参见图 21, 在其中一个实施例中, 步骤 S830 中, 可以采用但不仅限于沉积工艺形成第六侧壁间隔材料层。本实施例中, 可以采用单原子层沉积 ALD 工艺于第五侧壁间隔层 252 的表面、第三主体 40 的上表面、填充层 30 的表面以及基底 10 的表面形成第六侧壁间隔材料层。随后, 可以采用但不仅限于干法刻蚀工艺刻蚀第六侧壁间隔材料层, 以去除填充层 30 的表面以及基底 10 的表面的第六侧壁间隔材料层, 以形成第六侧壁间隔层 253。其中, 干法刻蚀工艺可以采用 SF₆、CF₄、O₂、Ar 或上述气体的混合气体, 具体气体的选择可以根据实际需要进行设定。另外, 第六侧壁间隔层 253 的材料和厚度可以根据实际需要进行设定。本实施例中, 第六侧壁间隔层 253 可以包括但不仅限于氮化硅层。

45 请一并参见图 22, 在其中一个实施例中, 步骤 S90 中, 可以采用但不仅限于刻蚀工

艺去除填充层 30，以暴露出第一侧墙 220，完成第三主体 40 的制造。

基于同一发明构思，本申请还提供一种半导体结构，采用上述实施例中任一的半导体结构的制造方法制成，在此不再赘述。

5 上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

10 以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体结构的制造方法，包括：

提供基底；

于所述基底的上表面形成第一图形，所述第一图形包括第一主体及第一侧墙，所述第一侧墙覆盖所述第一主体的侧壁；

形成填充层，所述填充层覆盖所述第一侧墙并填充相邻的所述第一图形之间的间隙；
及

对所述第一图形的顶部进行刻蚀，以得到第二主体与第二侧墙以及位于所述第二侧墙上表面的凸起，所述第二侧墙覆盖所述第二主体的侧壁，所述凸起的顶部至少高于所述第二主体的顶部。

2、根据权利要求1所述的方法，其中所述于所述基底的上表面形成第一图形包括：

于所述基底上表面形成包括位线阻挡层、位线导电层以及位线绝缘层的位线材料叠层；

对所述位线材料叠层进行刻蚀，以得到若干所述第一主体，相邻的所述第一主体之间具有间隙并暴露出所述基底；

于所述第一主体的侧壁形成所述第一侧墙。

3、根据权利要求2所述的方法，其中所述于所述第一主体的侧壁形成所述第一侧墙包括：

于所述第一主体的侧壁形成第一侧壁间隔层；

于所述第一侧壁间隔层的侧壁形成第二侧壁间隔层；

于所述第二侧壁间隔层的侧壁形成第三侧壁间隔层；

其中，所述第一侧壁间隔层、所述第二侧壁间隔层和所述第三侧壁间隔层共同构成所述第一侧墙。

4、根据权利要求3所述的方法，其中所述对所述第一图形的顶部进行刻蚀包括：

对所述第一侧壁间隔层、所述第三侧壁间隔层和所述第一主体进行刻蚀，以暴露出部分所述第二侧壁间隔层作为所述凸起。

5、根据权利要求1所述的方法，其中所述形成填充层包括：

于所述第一图形的表面形成填充材料层并填充相邻的所述第一图形之间的间隙；

对所述填充材料层进行刻蚀，以暴露出所述第一图形的顶部。

6、根据权利要求2所述的方法，其中所述对所述第一图形的顶部进行刻蚀之后，还包括：

于所述凸起的侧面形成位线掩膜层；

以所述位线掩膜层和所述凸起作为掩膜，刻蚀各所述第二主体得到对应相邻的两个第三主体，同时得到对应相邻的两个所述第三主体之间的间隙暴露出部分所述基底；

去除所述位线掩膜层和所述凸起，以暴露出所述第三主体的上表面；

于对应相邻的两个所述第三主体之间相对的侧壁形成第三侧墙；

去除所述填充层，以暴露出所述第二侧墙。

7、根据权利要求6所述的方法，其中所述于所述凸起的侧面形成位线掩膜层包括：

采用单原子层沉积工艺于所述填充层的上表面、所述凸起的表面以及所述第二主体的上表面形成位线掩膜材料层；

对所述位线掩膜材料层进行刻蚀，仅保留位于所述凸起的侧面的部分所述位线掩膜材料层作为所述位线掩膜层。

8、根据权利要求6所述的方法，其中所述去除所述位线掩膜层和所述凸起，以暴露出所述第三主体的上表面包括：

于对应相邻的两个所述第三主体之间的间隙内形成牺牲层，所述牺牲层的高度不高于

所述第三主体的高度且不低于所述第三主体中的所述位线导电层部分的高度；

对所述位线掩膜层和所述凸起进行刻蚀，以暴露出所述第三主体的上表面。

9、根据权利要求 6 所述的方法，其中所述于所述相邻两个第三主体之间相对的侧壁形成第三侧墙包括：

5 于对应相邻的两个所述第三主体之间的相对的侧壁形成第四侧壁间隔层；

于所述第四侧壁间隔层的侧壁形成第五侧壁间隔层；

于所述第五侧壁间隔层的侧壁形成第六侧壁间隔层；

其中，所述第四侧壁间隔层、所述第五侧壁间隔层和所述第六侧壁间隔层共同构成所述第三侧墙。

10 10、根据权利要求 1 所述的方法，其中所述填充层的顶部低于所述第一图形的顶部。

11、根据权利要求 10 所述的方法，其中所述填充层的高度大于或等于所述第一图形的高度的三分之二。

12、一种半导体结构，采用如权利要求 1~11 任一项所述的半导体结构的制造方法制成。

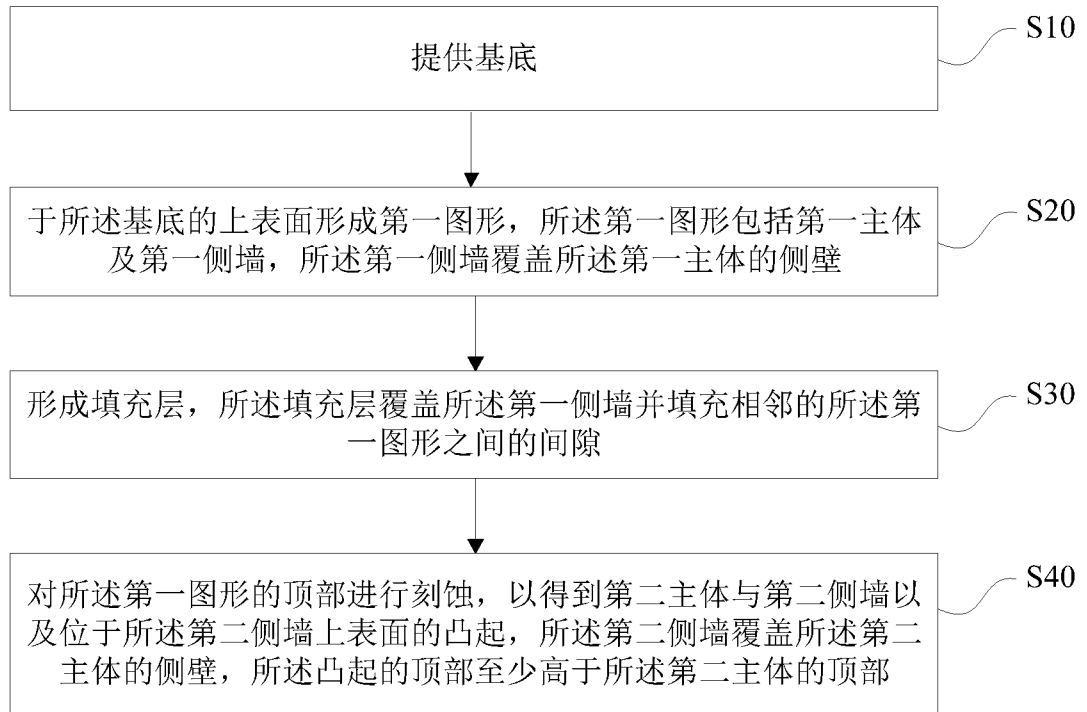


图 1

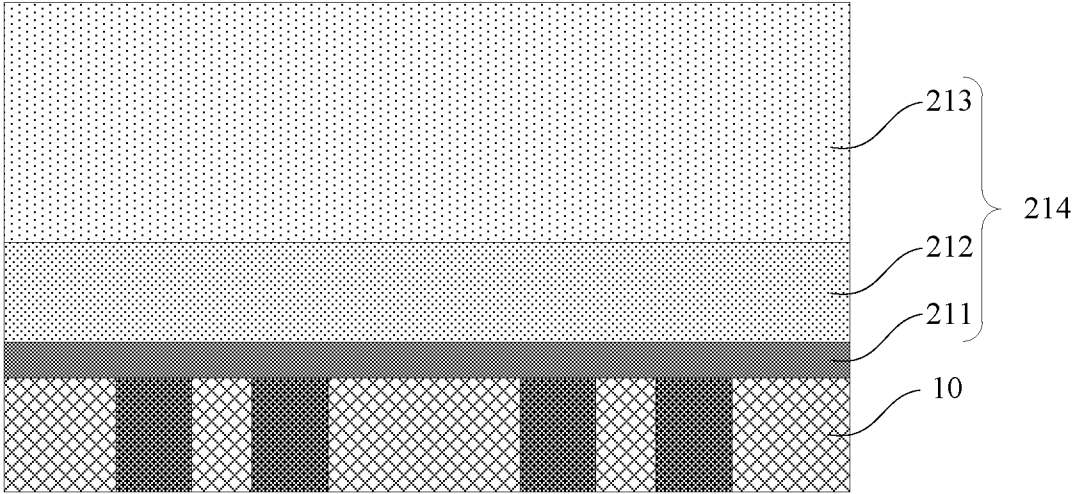


图 2

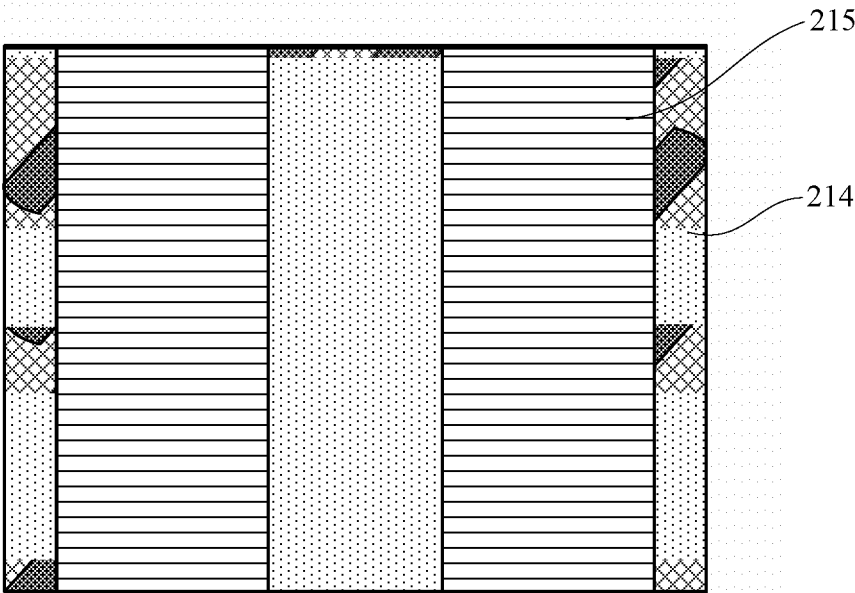


图 3

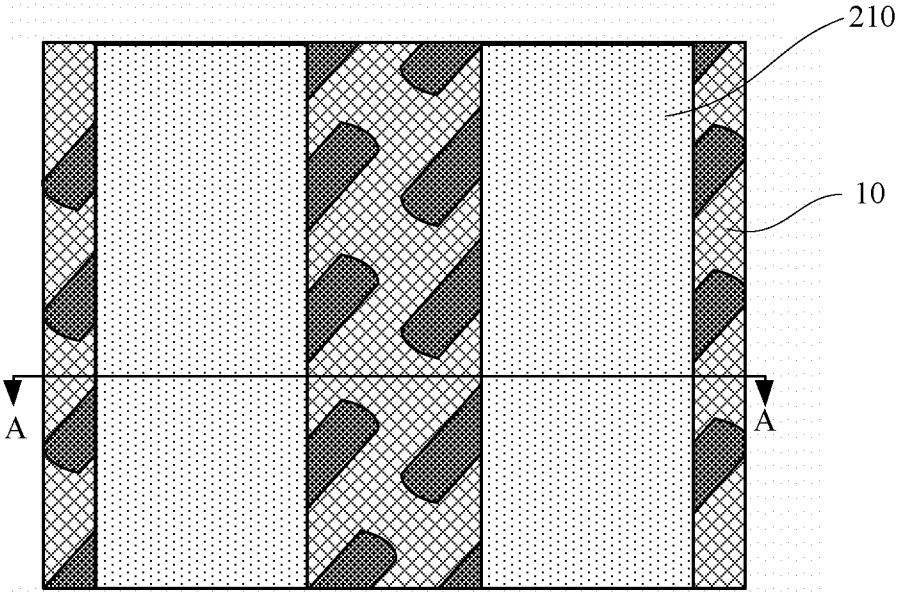


图 4

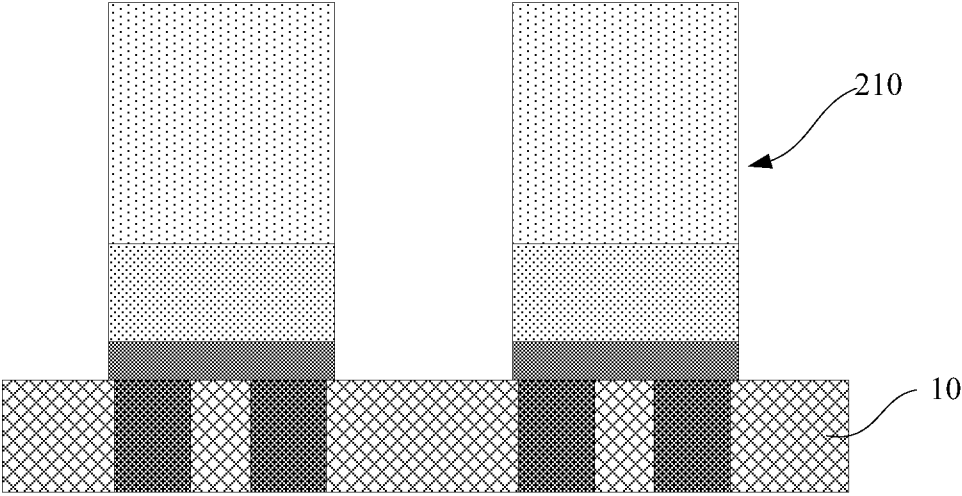


图 5

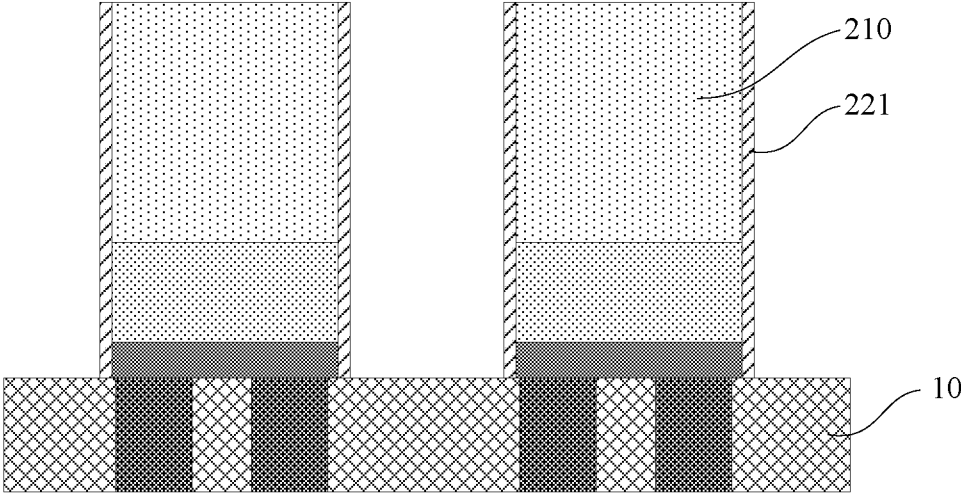


图 6

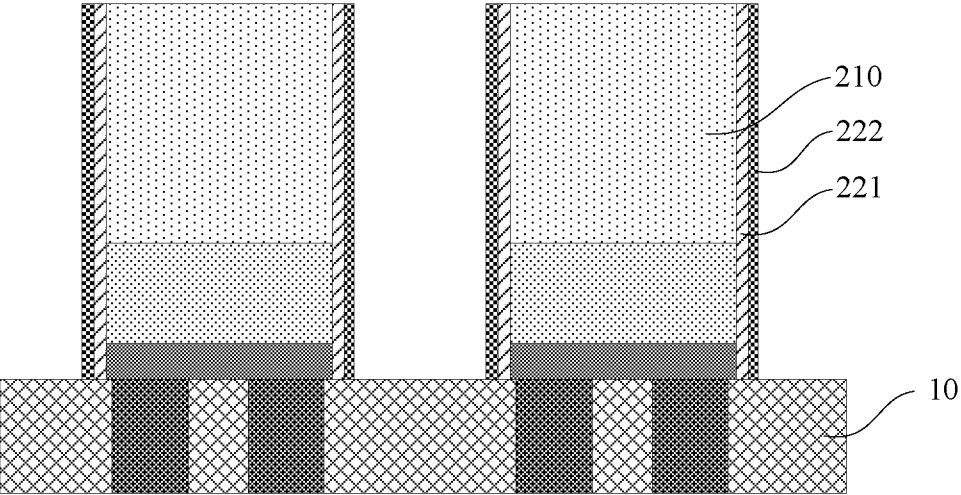


图 7

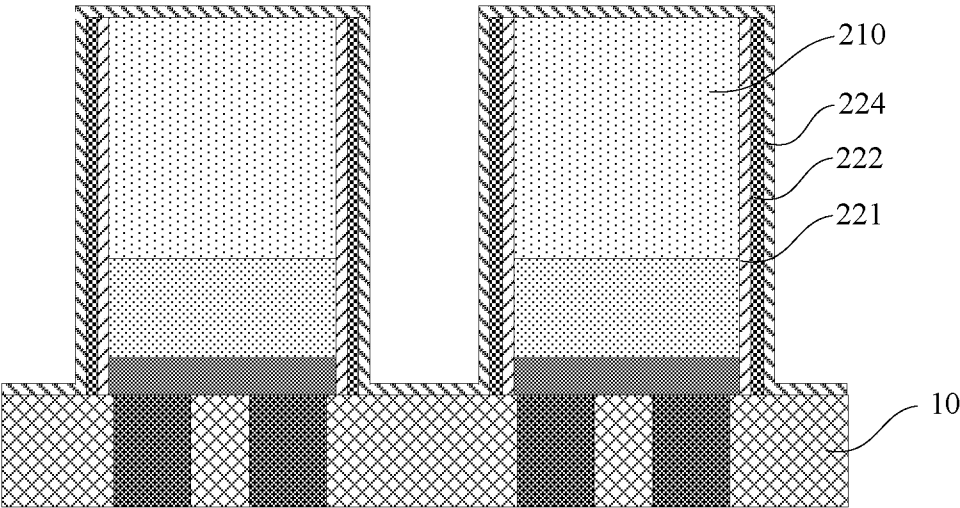


图 8

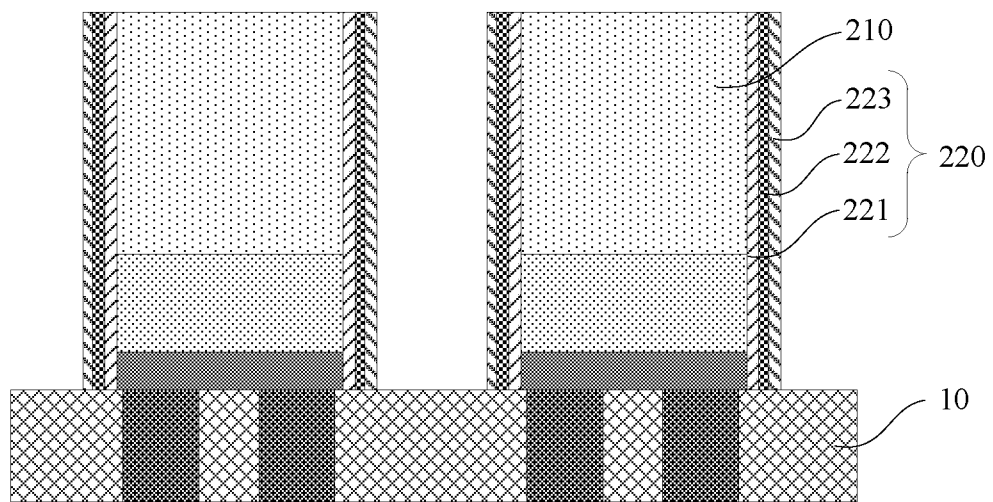


图 9

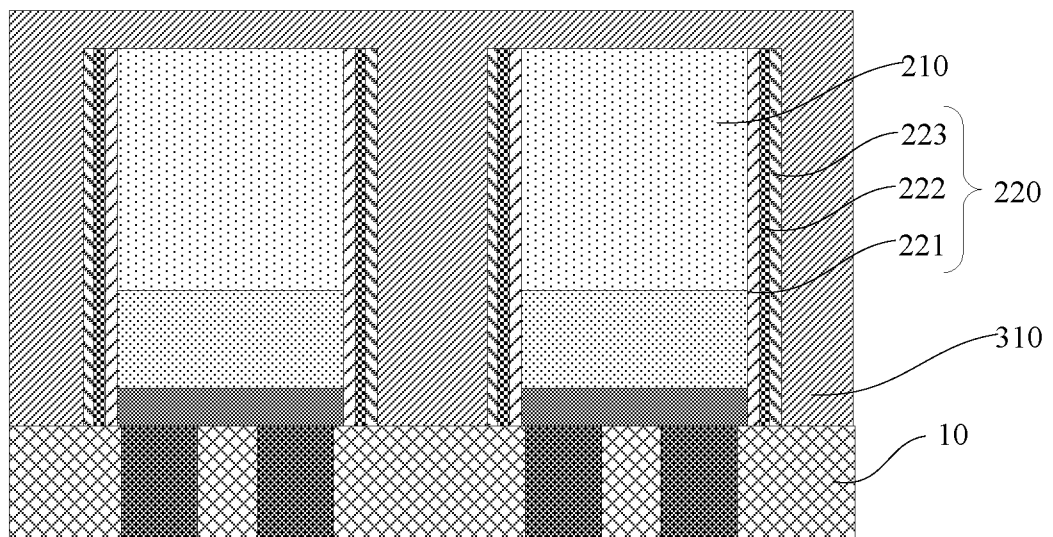


图 10

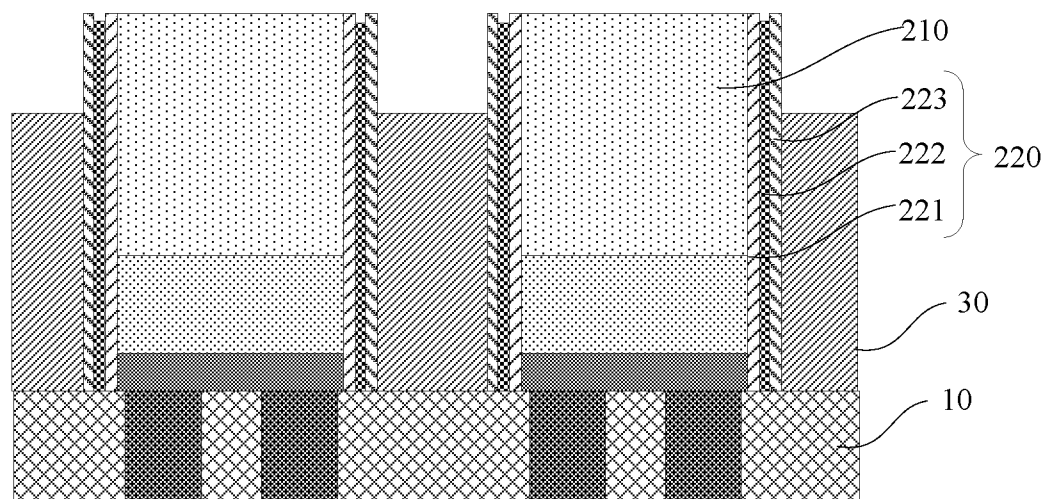


图 11

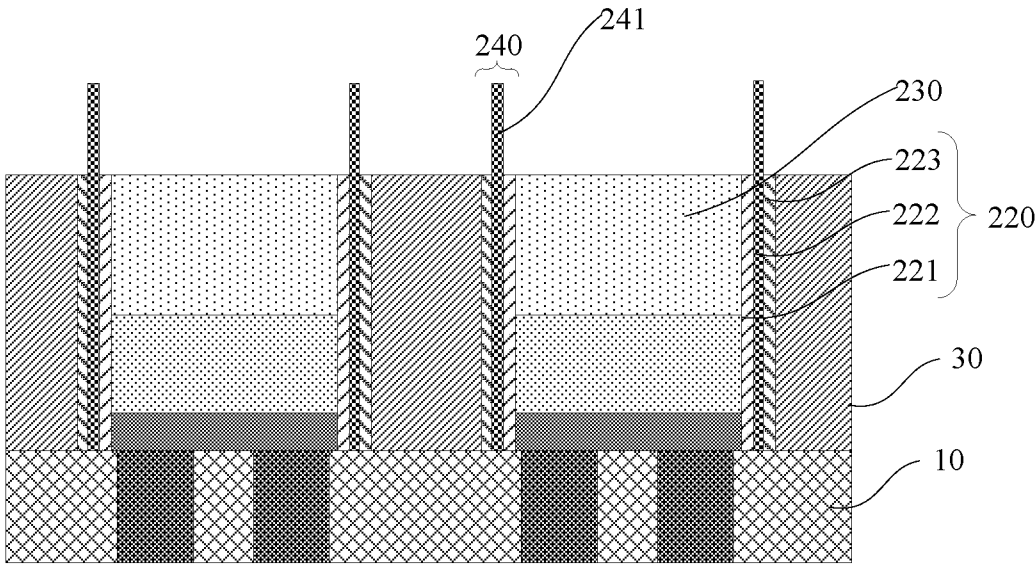


图 12

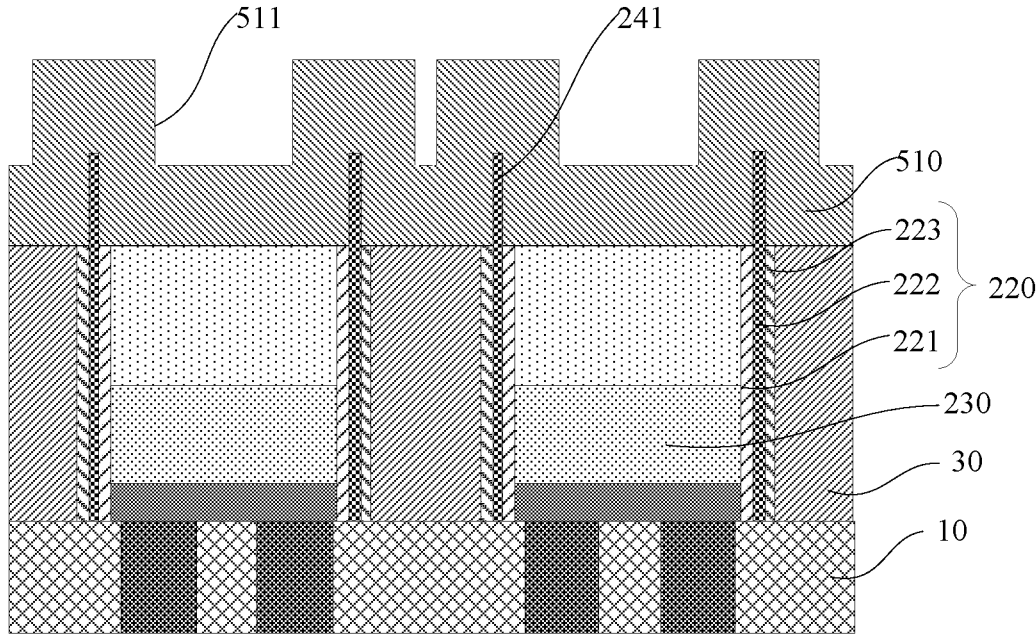


图 13

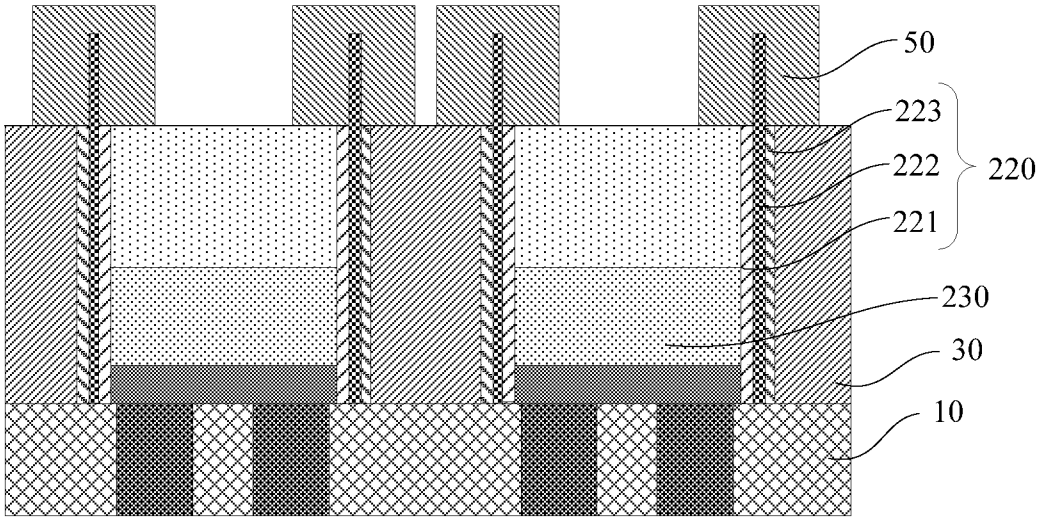


图 14

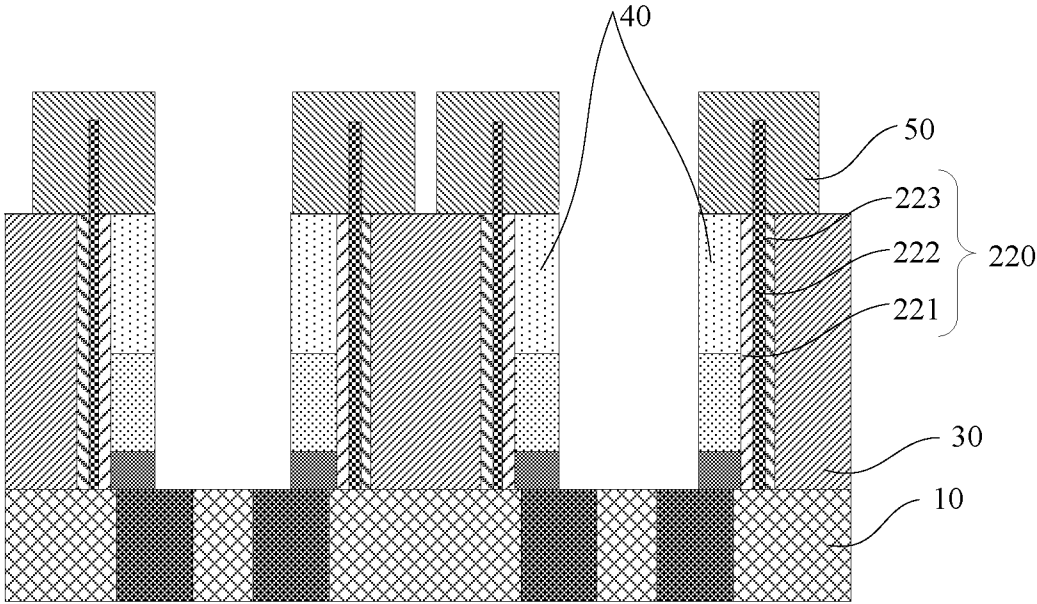


图 15

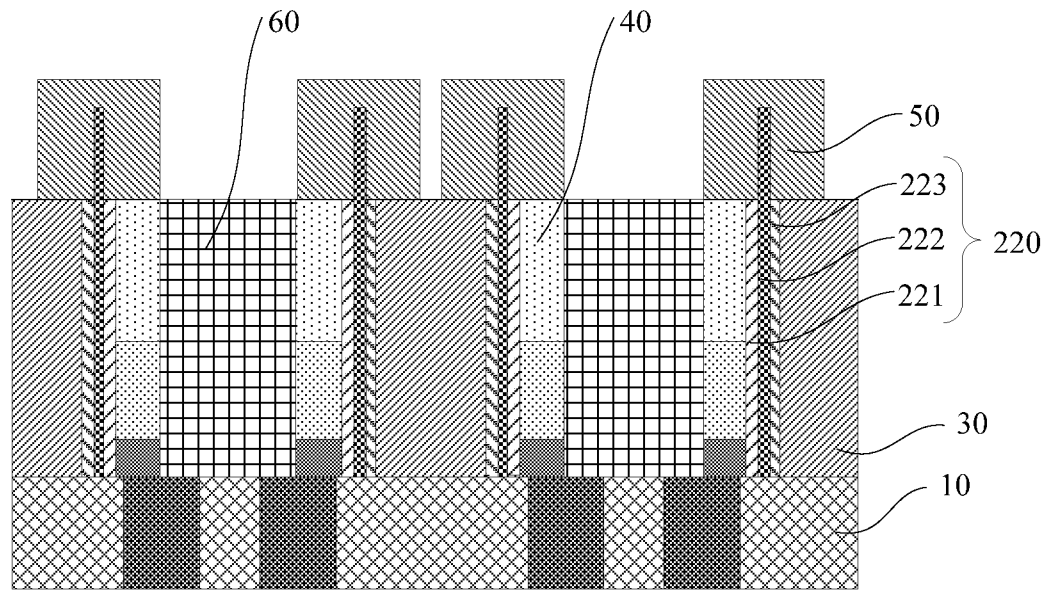


图 16

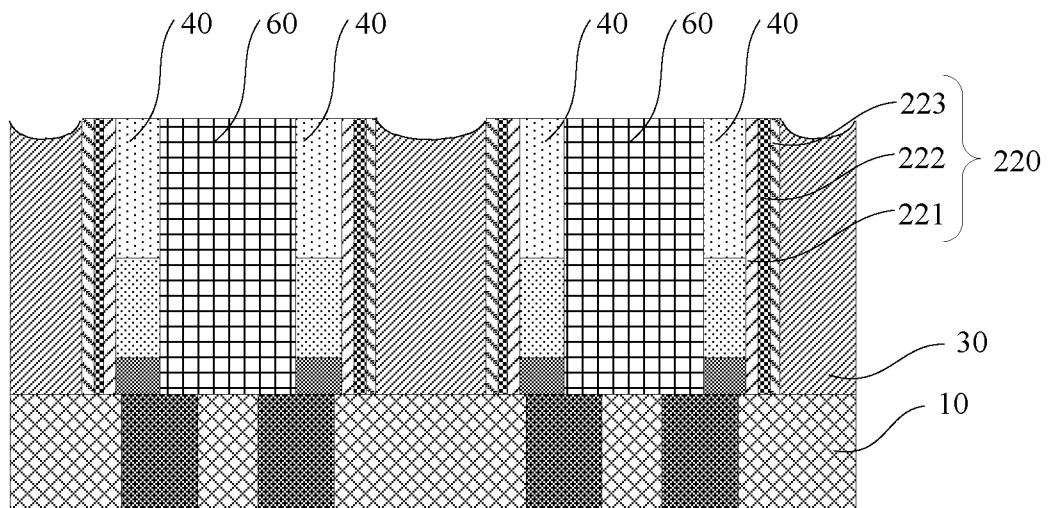


图 17

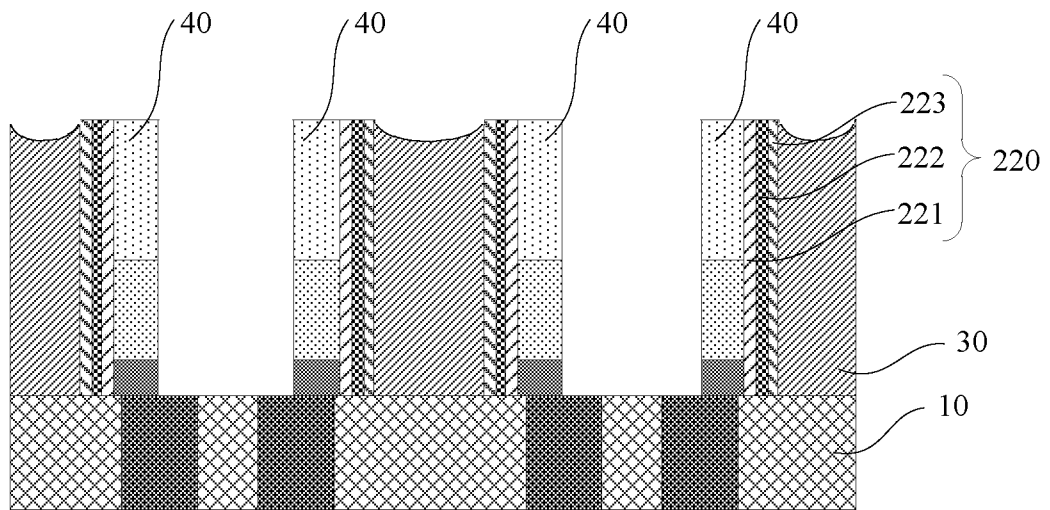


图 18

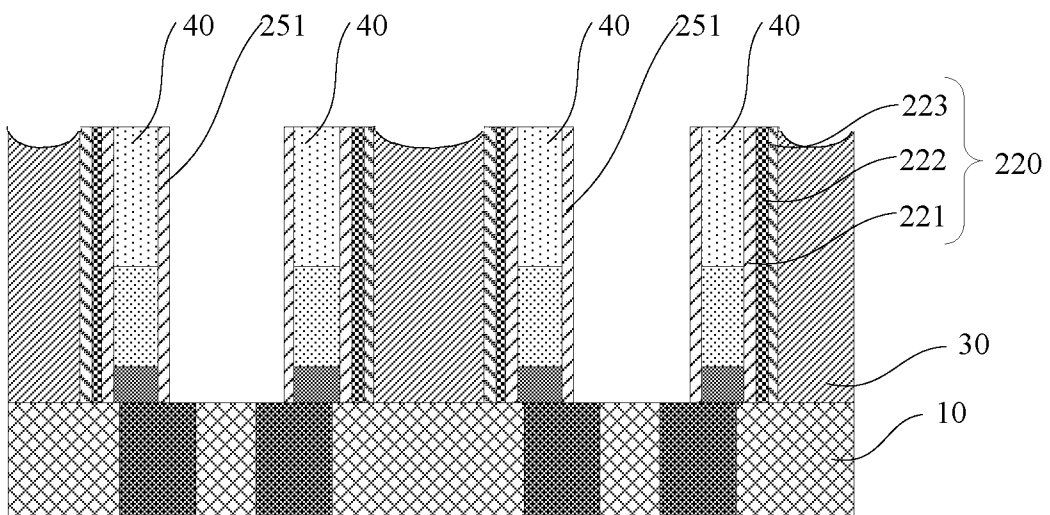


图 19

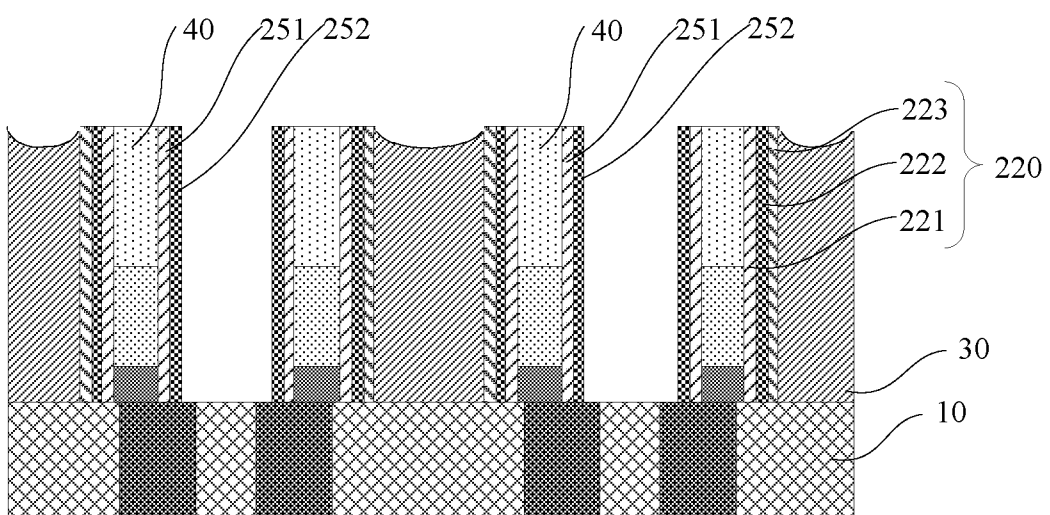


图 20

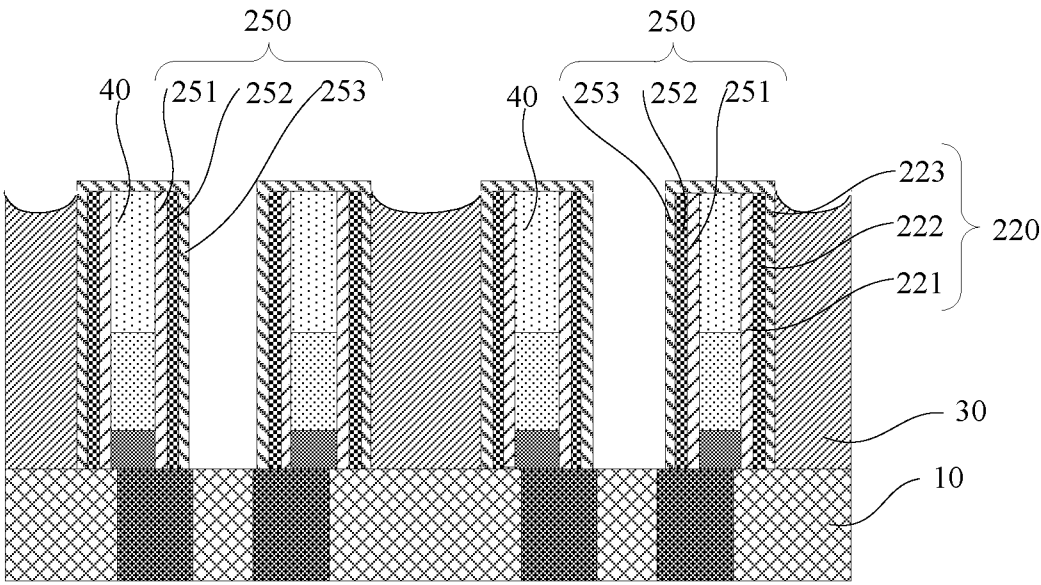


图 21

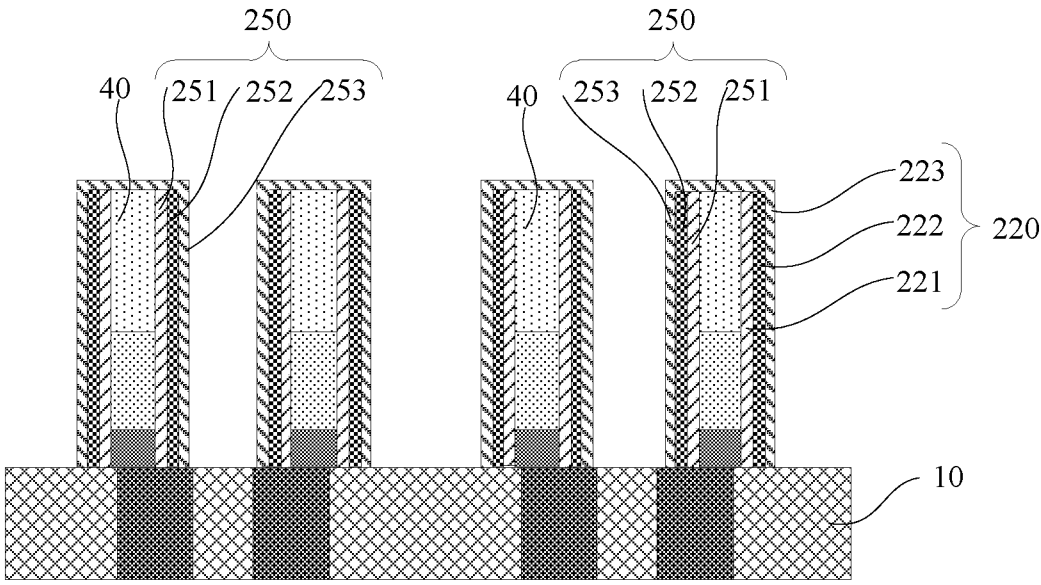


图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/103618

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI: CNKI; CNPAT; IEEE: 半导体, 位线, 主体, 栅, 侧墙, 侧壁, 墙壁, 填充, 保护, 支撑, 支承, 牺牲, 凸, 突, 延伸, 掩膜, 掩模, 刻蚀, semiconduct+, bit, line?, BL, main, gate?, side lw wall?, sidewall?, fill+, support+, sacrific+, project???, protrusion, extend+, mask+, etch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108321090 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 24 July 2018 (2018-07-24) description, paragraphs [0046]-[0112], and figures 5-11	1, 5, 10-12
Y	CN 108321090 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 24 July 2018 (2018-07-24) description, paragraphs [0046]-[0112], and figures 5-11	2-4
Y	CN 108574005 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 25 September 2018 (2018-09-25) description, paragraphs [0043]-[0121], and figures 3-9	2-4
A	CN 109950312 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 28 June 2019 (2019-06-28) entire document	1-12
A	CN 110896032 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 20 March 2020 (2020-03-20) entire document	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

14 September 2021

Date of mailing of the international search report

29 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/103618

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016181395 A1 (STMICROELECTRONICS, INC. et al.) 23 June 2016 (2016-06-23) entire document	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/103618

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108321090	A	24 July 2018	CN	108321090	B	02 April 2021
CN	108574005	A	25 September 2018	US	2018261610	A1	13 September 2018
				US	10658489	B2	19 May 2020
CN	109950312	A	28 June 2019	None			
CN	110896032	A	20 March 2020	None			
US	2016181395	A1	23 June 2016	US	10062714	B2	28 August 2018
				US	2016293638	A1	06 October 2016
				US	9431514	B2	30 August 2016

国际检索报告

国际申请号

PCT/CN2021/103618

A. 主题的分类 H01L 21/336(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI;CNKI;CNPAT;IEEE: 半导体, 位线, 主体, 栅, 侧墙, 侧壁, 墙壁, 填充, 保护, 支撑, 支承, 牺牲, 凸, 突, 延伸, 掩膜, 掩模, 刻蚀, semiconduct+, bit, line?, BL, main, gate?, side lw wall?, sidewall?, fill+, support+, sacrific+, project???, protrusion, extend+, mask+, etch+																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 108321090 A (中芯国际集成电路制造上海有限公司 等) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0046]-[0112]段, 图5-11</td> <td>1, 5, 10-12</td> </tr> <tr> <td>Y</td> <td>CN 108321090 A (中芯国际集成电路制造上海有限公司 等) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0046]-[0112]段, 图5-11</td> <td>2-4</td> </tr> <tr> <td>Y</td> <td>CN 108574005 A (中芯国际集成电路制造上海有限公司 等) 2018年 9月 25日 (2018 - 09 - 25) 说明书第[0043]-[0121]段, 图3-9</td> <td>2-4</td> </tr> <tr> <td>A</td> <td>CN 109950312 A (中芯国际集成电路制造上海有限公司 等) 2019年 6月 28日 (2019 - 06 - 28) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 110896032 A (中芯国际集成电路制造上海有限公司 等) 2020年 3月 20日 (2020 - 03 - 20) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 108321090 A (中芯国际集成电路制造上海有限公司 等) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0046]-[0112]段, 图5-11	1, 5, 10-12	Y	CN 108321090 A (中芯国际集成电路制造上海有限公司 等) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0046]-[0112]段, 图5-11	2-4	Y	CN 108574005 A (中芯国际集成电路制造上海有限公司 等) 2018年 9月 25日 (2018 - 09 - 25) 说明书第[0043]-[0121]段, 图3-9	2-4	A	CN 109950312 A (中芯国际集成电路制造上海有限公司 等) 2019年 6月 28日 (2019 - 06 - 28) 全文	1-12	A	CN 110896032 A (中芯国际集成电路制造上海有限公司 等) 2020年 3月 20日 (2020 - 03 - 20) 全文	1-12
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 108321090 A (中芯国际集成电路制造上海有限公司 等) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0046]-[0112]段, 图5-11	1, 5, 10-12																		
Y	CN 108321090 A (中芯国际集成电路制造上海有限公司 等) 2018年 7月 24日 (2018 - 07 - 24) 说明书第[0046]-[0112]段, 图5-11	2-4																		
Y	CN 108574005 A (中芯国际集成电路制造上海有限公司 等) 2018年 9月 25日 (2018 - 09 - 25) 说明书第[0043]-[0121]段, 图3-9	2-4																		
A	CN 109950312 A (中芯国际集成电路制造上海有限公司 等) 2019年 6月 28日 (2019 - 06 - 28) 全文	1-12																		
A	CN 110896032 A (中芯国际集成电路制造上海有限公司 等) 2020年 3月 20日 (2020 - 03 - 20) 全文	1-12																		
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td style="vertical-align: top;"> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="vertical-align: top;"> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期 2021年 9月 14日		国际检索报告邮寄日期 2021年 9月 29日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 赖风平 电话号码 86-(10)-53961228																		

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2016181395 A1 (STMICROELECTRONICS, INC. 等) 2016年 6月 23日 (2016 - 06 - 23) 全文	1-12

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/103618

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108321090	A	2018年 7月 24日	CN	108321090	B	2021年 4月 2日
CN	108574005	A	2018年 9月 25日	US	2018261610	A1	2018年 9月 13日
				US	10658489	B2	2020年 5月 19日
CN	109950312	A	2019年 6月 28日	无			
CN	110896032	A	2020年 3月 20日	无			
US	2016181395	A1	2016年 6月 23日	US	10062714	B2	2018年 8月 28日
				US	2016293638	A1	2016年 10月 6日
				US	9431514	B2	2016年 8月 30日