



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 101 49 104 B4 2005.10.27**

(12)

## Patentschrift

(21) Aktenzeichen: **101 49 104.2**  
 (22) Anmeldetag: **05.10.2001**  
 (43) Offenlegungstag: **24.04.2003**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **27.10.2005**

(51) Int Cl.7: **G11C 7/22**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:  
**Infineon Technologies AG, 81669 München, DE**

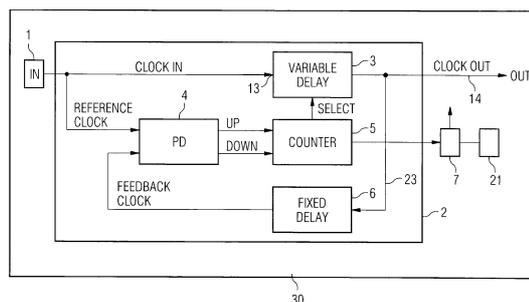
(74) Vertreter:  
**Wilhelm & Beck, 80636 München**

(72) Erfinder:  
**Klein, Ralf, 67146 Deidesheim, DE; Le, Thoai-Thai, USA-Cary, N.C., US; Braß, Eckhard, 82008 Unterhaching, DE; Klehn, Bernd, 81539 München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:  
**DE 198 03 757 A1**  
**US 62 79 090 B1**  
**EP 04 76 585 A2**  
**Saeki, T., A 2.5-ns Clock Access, 250-MHz, 256-Mb, SDRAM with Synchronous Mirror Delay, IEEE Journal Of Solid-State Circuits, Vol.31, No.11, Nov.1996, S. 1656-1668;**  
**D.T. Cox et al.: VLSI Performance Compensation for Off-chip Drivers and Clock Generation. IEEE Custom Integrated Circuits Conference, 1989, Kop. 14.3.1. CH2671-6/89/0000-0079;**

(54) Bezeichnung: **Halbleiterbaustein zum Verarbeiten von Daten und Verfahren zum Erfassen eines Betriebszustandes**

(57) Hauptanspruch: Halbleiterbaustein (30) mit einer Speichermatrix mit Speicherzellen, mit Treiberschaltungen (23) zum Einschreiben und Auslesen von Daten, mit einer Regelschaltung (2, 27) mit einem digitalen Zähler (5), die ein zweites Signal in eine vorgegebene Phasen- oder Frequenzbeziehung zu einem ersten Signal bringt, wobei der Phasen- bzw. Frequenzunterschied zwischen dem ersten und zweiten Signal mit Hilfe des Zählers (5) erfasst wird, wobei der Zähler (5) ein Zählersignal ausgibt, das als Steuersignal von der Regelschaltung (2, 27) zum Einstellen der Phase bzw. der Frequenz des zweiten Signals verwendet wird, wobei das erste Signal ein Referenztaktsignal und das zweite Signal ein Betriebstaktsignal für den Halbleiterbaustein (30) darstellt, dadurch gekennzeichnet, dass das Zählersignal einer Auswerteschaltung (7) zugeführt wird, dass die Auswerteschaltung (7) aufgrund des Zählerstandes eine Bewertung des Betriebszustandes des Halbleiterbausteins durchführt, dass die Auswerteschaltung (7) mit einem Datenspeicher (21) verbunden ist, dass im Datenspeicher (21) Grenzwerte für das Zählersignal abgelegt sind,...



**Beschreibung**

**[0001]** Die Erfindung betrifft einen Halbleiterbaustein gemäß dem Oberbegriff des Patentanspruchs 1 und ein Verfahren gemäß dem Oberbegriff des Patentanspruchs 11.

## Stand der Technik

**[0002]** Halbleiterbausteine wie z.B. integrierte Schaltungen in Form eines Halbleiterspeicherbausteins nehmen in Bezug auf die Integrationsdichte und die Funktionalität immer weiter zu. Zudem sollen die Lebensdauer erhöht, der Stromverbrauch erniedrigt und der Einsatzbereich der Halbleiterbausteine erweitert werden. Weiterhin wird die Taktrate bei Halbleiterbausteinen zum Verarbeiten von Daten wie z.B. Halbleiterspeicherbausteine erhöht, so dass die Einhaltung einer präzisen Taktrate erforderlich ist.

**[0003]** In dem Artikel "VLSI Performance Compensation for Off-Chip-Drivers and Clock Generation", Dennis T. Cox et al., IEEE, 1989, Custom Integrated Circuits Conference, Kap. 14.3.1, CH 2671-6/89/0000-0079, wird das Problem behandelt, dass sowohl die Treibercharakteristik als auch eine Takterzeugung von Prozessparametern, der Temperatur und der Versorgungsspannung beeinflusst werden. Bei dem Entwurf von Treiberschaltungen ist die Einhaltung einer vorgegebenen Zeitverzögerung, einer maximalen Störsignalerzeugung und einer gewünschten Ausgangsimpedanz erforderlich, obwohl diese Eigenschaften vom verwendeten Herstellungsprozess, der Versorgungsspannung und der Temperatur abhängen. Typische Prozessvariationen bei der Herstellung der integrierten Schaltung können zu Abweichungen in der Zeitverzögerung von typischerweise 0,6 bis  $1,5 \times$  einer normalen Zeitverzögerung verursachen. Eine ähnlich große Bandbreite wird durch eine Änderung der Versorgungsspannung und eine Änderung der Temperatur des Halbleiterbausteins erreicht. Auch die Störsignale, die von einer Treiberschaltung verursacht werden, hängen ebenfalls von dem Herstellungsprozess, der Versorgungsspannung und der Temperatur ab. Ähnliche Probleme treten bei der Erzeugung eines präzisen Taktsignals auf. Ein präzises Taktsignal wird ebenfalls durch den verwendeten Halbleiterprozess, die Versorgungsspannung und die Temperatur des Halbleiterbausteins beeinflusst.

**[0004]** Zur Vermeidung dieser Probleme wird ein Funktionsmeselement vorgeschlagen, das auf dem Halbleiterspeicherbaustein integriert ist. Das Funktionsmeselement erfasst Änderungen im Betriebszustand, die aufgrund des Herstellungsprozesses, der Umgebungstemperatur und der Versorgungsspannung erzeugt werden. Der erfasste Betriebszustand wird vom Funktionsmeselement an eine Treiberschaltung und eine Taktquelle geleitet, um deren

Funktionscharakteristiken zu steuern.

**[0005]** Das Funktionsmeselement weist einen Oszillator als Taktquelle auf, dessen Signal über eine Inverterkette geleitet wird. Dabei wird überwacht, wie weit das Signal in der Inverterkette in einem vorgegebenen Zeitraum weitergeleitet wird. Abhängig von der Anzahl der Inverter, die das Taktsignal während des vorgegebenen Zeitraums durchläuft, wird ein Betriebszustand des Halbleiterbausteins erfasst, der die Verarbeitungsgeschwindigkeit des Halbleiterbausteins zwischen einem sehr langsamen und einem sehr schnellen Betrieb einstuft. In Abhängigkeit von dem ermittelten Betriebszustand werden die Treiberschaltungen und die Taktquelle in ihrem Betriebsverhalten geändert, so dass ein Ausgleich für einen langsamen oder schnellen Betriebszustand erreicht wird. In Abhängigkeit von dem Betriebszustand wird die Treiberschaltung in der Weise kontrolliert, dass die durch die Treiberschaltung erzeugte Verzögerung um typischerweise  $\pm 15\%$  gegenüber einer vorgegebenen Nominalverzögerung variiert. Vorzugsweise wird dazu die Treiberleistung in Bezug auf die zeitliche Ableitung des Stromes, der von der Treiberschaltung abgegeben wird, um  $\pm 30\%$  variiert.

**[0006]** Aus DE 19 803 757 A1 ist ein Bustreiber mit einem Inverter zum Treiben eines vorzugsweise getakteten Signals auf einer Busleitung bekannt, dessen Treiberstärke an Signale von benachbarten, kapazitiv gekoppelten Busleitungen dynamisch angepasst werden kann.

**[0007]** Halbleiterbausteine, wie Halbleiterspeicherbausteine benötigen, abhängig von einem ersten Signal, das ein Eingangssignal darstellt, ein zweites Signal, das eine festgelegte Phasenbeziehung oder eine festgelegte Frequenzbeziehung zum ersten Signal aufweist. Für die Festlegung einer Phasenbeziehung werden Delay-Locked-Loop-Schaltungen verwendet. Eine entsprechende Delay-Locked-Loop-Schaltung ist aus DE 19 910 885 C2 bekannt. Für die Festlegung einer bestimmten Frequenzbeziehung werden Phase-Locked-Loop-Schaltungen verwendet. Eine entsprechende Phase-Locked-Loop-Schaltung ist beispielsweise aus WO 01/63742 A1 bekannt.

**[0008]** Aus DE 198 03 757 A1 ist ein Bustreiber mit einer Inverter zum Treiben eines vorzugsweise getakteten Signals auf einer Busleitung bekannt. Bei einer kapazitiven Kopplung der Busleitung mit mindestens einer benachbarten Busleitung wird im Inverter des Bustreibers eine der Anzahl der kapazitiv gekoppelten Busleitung entsprechende Anzahl von Nebeninvertoren parallel geschaltet. Eine einfache logische Verknüpfung liefern die erforderlichen Ansteuersignale für die Parallelschaltung der Nebeninvertoren. Damit kann bei Auftreten einer entgegengesetzten Flanke auf einer benachbarten Leitung für den Moment

der Flanke ein zusätzlicher Nebeninverter zugeschaltet werden. Der Bustreiber ermöglicht somit eine dynamische Anpassung der Treiberstärke an die Signale von benachbarten, kapazitiv gekoppelten Busleitungen.

**[0009]** Weiterhin ist es vom Saeki, T., A 2.5-ns Clock Access, 250-MHz, 256-Mb, SDRAM with Synchronous Mirror Delay, IEEE Journal of Solid-State-Circuits, Vol. 31, N. 11, Nov. 1996, pages 1656-1668, bekannt, eine SDRAM-Schaltung mit einer synchronen Spiegelverzögerungsschaltung bereitzustellen. Zum Ausgleich von Taktverzögerungen werden eine PLL-Schaltung (Phase-Locked-Loop) oder eine DLL-Schaltung (Delay-Locked-Loop) vorgesehen.

**[0010]** Aus US 6,279,090 B1 ist ein Verfahren und eine Vorrichtung zur Wiedersynchronisierung einer Vielzahl von Taktsignalen zur Verwendung in einem Speicherbaustein beschrieben. Zur Synchronisierung wird eine Phasenverschiebung mit Hilfe eines Phasenverschiebungszählers erfasst und in Abhängigkeit vom Ausgangssignal des Phasenverschiebungszählers werden die Phasen der verschiedenen Taktsignale gesteuert.

**[0011]** Aus EP 0 476 585 A2 ist eine Referenzverzögerungsschaltung bekannt, die eine Verzögerungseinheit aufweist. Die Verzögerungseinheit weist eine Vielzahl von spannungsabhängigen Verzögerungselementen auf. Der Referenzverzögerungsschaltung wird ein Referenzsignal zugeführt, aus dem die Referenzverzögerungsschaltung ein verzögertes Signal generiert. Die Referenzverzögerungsschaltung weist eine Steuereinheit auf, die eine Phasendifferenz zwischen dem Referenzsignal und dem verzögerten Signal erfasst. Abhängig von der Phasendifferenz erzeugt die Referenzverzögerungsschaltung ein Steuersignal, das in Form eines Zählersignals an eine Ladungspumpe weitergegeben wird. Die Ladungspumpe steuert in Abhängigkeit vom zugeführten Zählersignal die Spannung der Verzögerungselemente. Auf diese Weise wird eine Steuerung des zeitlichen Abstandes zwischen dem Referenzsignal und dem verzögerten Signal erreicht.

#### Aufgabenstellung

**[0012]** Die Aufgabe der Erfindung besteht darin, einen Halbleiterspeicherbaustein bereitzustellen, dessen Betriebszustand mit einer einfachen Schaltungsanordnung ermittelt werden kann. Weiterhin besteht die Aufgabe der Erfindung darin, ein Verfahren bereitzustellen, das eine einfache Bewertung des Betriebszustandes eines Halbleiterbausteins ermöglicht.

**[0013]** Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 und durch die Merkmale des Anspruchs 9 gelöst.

**[0014]** Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

**[0015]** Ein einfacher Halbleiterspeicherbaustein zum Verarbeiten von Daten, dessen Betriebszustand ermittelbar ist, wird dadurch erhalten, dass ein Zählerstand eines Zählers einer Regelschaltung, mit der eine vorgegebene Phasen- oder Frequenzbeziehung zwischen zwei Signalen des Halbleiterspeicherbausteins einstellbar ist, einer Auswerteschaltung zugeführt wird. Die Auswerteschaltung führt aufgrund des Zählerstandes eine Bewertung des Betriebszustandes des Halbleiterbausteins durch. Auf diese Weise wird ohne die Ausbildung einer aufwendigen Überwachungseinheit aufgrund des üblicherweise vorliegenden Zählerstandes des Zählers der Betriebszustand des Halbleiterbausteins erfasst. Somit wird die Ausbildung einer aufwendigen Überwachungseinheit vermieden. Die Auswerteschaltung weist einen Datenspeicher auf, in dem Werte für das Zählersignal abgelegt sind, die Betriebszuständen des Halbleiterbausteins zugeordnet sind. Die Auswerteschaltung kann durch einen einfachen Vergleich des Zählersignals mit den abgelegten Werten den Betriebszustand des Halbleiterbausteins ermitteln. Auf diese Weise ist eine einfache Realisierung für die Ermittlung der Betriebszustände des Halbleiterbausteins in Abhängigkeit von den Werten des Zählersignals gegeben.

**[0016]** In Abhängigkeit vom Zählersignal wird wenigstens ein Teil des Halbleiterbausteins in einen veränderten Betriebsmodus geschaltet, der an den Betriebszustand des Halbleiterbausteins angepasst ist. Auf diese Weise wird ein verbessertes Betreiben des Halbleiterbausteins ermöglicht.

**[0017]** Für eine große Ausbeute bei der Herstellung von z.B. DRAM-Speicherbausteinen ist es erforderlich, dass möglichst viele Speicherbausteine eine gewünschte Normfunktionalität aufweisen. Die Normfunktionalität kann eine Vielzahl von Parametern betreffen, vorzugsweise die Schaltgeschwindigkeit der Transistoren des Halbleiterbausteins. Aufgrund von Variationen bei der Qualität des Herstellungsprozesses können Abweichungen in den Normfunktionalitäten des Halbleiterbausteins, insbesondere der Transistoren auftreten, die zu einer schlechteren Ausbeute führen würden.

**[0018]** Weist ein Halbleiterbaustein beispielsweise aufgrund von Transistoren, deren Schaltgeschwindigkeiten von gewünschten Schaltgeschwindigkeiten abweichen, eine Verarbeitungsgeschwindigkeit von Daten auf, die von einer gewünschten Verarbeitungsgeschwindigkeit abweicht, so wird durch eine Veränderung des Betriebszustandes wenigstens einzelner Transistoren erreicht, dass die Schaltgeschwindigkeit der Transistoren in der Weise angepasst wird, dass die Verarbeitungsgeschwindigkeit des Halbleiterbau-

steins in Richtung der gewünschten Verarbeitungsgeschwindigkeit verschoben wird. Auf diese Weise werden herstellungsbedingte, von einer Normfunktionalität abweichende Eigenschaften des Halbleiterbausteins ausgeglichen. Somit wird insgesamt eine bessere Ausbeute von Halbleiterbausteinen mit einer Normfunktionalität bei der Herstellung von Halbleiterbausteinen erreicht.

**[0019]** Vorzugsweise kann bei Erkennen eines langsamen Betriebszustandes des Halbleiterbausteins, der beispielsweise von der Spannungsversorgung oder der Temperatur abhängt, wenigstens ein Teil des Halbleiterbausteins, der die Taktfrequenz des Halbleiterbausteins beeinflusst, in einen schnelleren Betriebsmodus geschaltet werden. Auf diese Weise wird vorzugsweise erreicht, dass ein mittlerer Betriebszustand eingehalten wird, der beispielsweise eine mittlere Taktfrequenz trotz des ungünstigen Betriebszustandes aufweist. Somit wird vermieden, dass aufgrund eines langsamen Betriebszustandes, der beispielsweise durch eine hohe Umgebungstemperatur oder eine zu niedrige Spannungsversorgung verursacht wird, die Funktionsfähigkeit des Halbleiterbausteins negativ beeinflusst wird.

**[0020]** In einem anderen Anwendungsfall ist es vorteilhaft, bei Erkennen eines schnellen Betriebszustandes des Halbleiterbausteins, wenigstens Teile der Halbleiterbausteine, die die Taktfrequenz des Halbleiterbausteins beeinflussen, in einen langsameren Betriebszustand zu schalten. Auf diese Weise wird der Halbleiterbaustein insgesamt in einem verbesserten Betriebsmodus betrieben. Beispielsweise kann durch den langsameren Betriebsmodus ein geringerer Stromverbrauch oder eine geringere Belastung des Halbleiterbausteins oder eine geringere Temperaturentwicklung erreicht werden.

**[0021]** In einer weiteren Ausführungsform der Erfindung erkennt die Auswerteschaltung aufgrund des Zählerstandes einen Betriebszustand des Halbleiterbausteins, bei dem wenigstens Teile des Halbleiterbausteins für die Einhaltung eines vorgegebenen Taktfrequenzbereiches auch mit kleinerer Leistung betrieben werden können. In diesem Zustand schaltet die Auswerteschaltung wenigstens einen Spannungsgenerator des Halbleiterbausteins in einen Betriebszustand mit kleinerer Leistungsaufnahme und kleinerer Leistungsabgabe. Somit wird die gewünschte Taktfrequenz eingehalten und zudem weniger Strom verbraucht.

**[0022]** In einer weiteren bevorzugten Ausführungsform verändert die Auswerteschaltung abhängig vom Zählersignal des digitalen Zählers die Treiberstärke einer Treiberschaltung. Befindet sich beispielsweise der Halbleiterbaustein in einem Betriebszustand, in dem die Funktionalität des Halbleiterbausteins im Grenzbereich zu einer zu schnellen Funktionalität

liegt, so wird die Treiberstärke reduziert. Damit wird die Geschwindigkeit des Halbleiterbausteins in Richtung einer kleineren, aber ausreichenden Geschwindigkeit verschoben.

**[0023]** Befindet sich jedoch der Halbleiterbaustein in einem Betriebszustand, in dem die Funktionalität des Halbleiterbausteins im Bereich zu einer zu langsamen Schaltgeschwindigkeit liegt, so erhöht die Auswerteschaltung die Treiberstärke der Treiberschaltung. Damit wird die Geschwindigkeit des Halbleiterbausteins insgesamt erhöht. Somit wird erreicht, dass die Geschwindigkeit des Halbleiterbausteins unabhängiger von dem Betriebszustand des Halbleiterbausteins ist. Somit wird die Einhaltung eines gewünschten Taktfrequenzbereiches oder die Einhaltung einer gewünschten Taktlänge eines Zeitsignals verbessert.

**[0024]** In einer weiteren Ausführungsform der Erfindung berücksichtigt die Auswerteschaltung die Frequenz eines ersten Signals, das der Regelschaltung zugeführt wird. Abhängig von der Frequenz des ersten Signals werden unterschiedliche Wertebereiche für das Zählersignal festgelegt, die verschiedenen Betriebszuständen des Halbleiterbausteins zugeordnet sind. Auf diese Weise ist eine einfache Verwendung der Regelschaltung für verschiedene Frequenzen möglich.

**[0025]** In einer weiteren Ausführungsform der Erfindung sind im Datenspeicher Werte für das Zählersignal abgelegt, die zusammen mit einer geregelten Betriebsspannung und einer festen Betriebsfrequenz einer Temperatur des Halbleiterbausteins zugeordnet sind. Auf diese Weise kann die Auswerteschaltung aufgrund des Zählerstandes die Temperatur des Halbleiterbausteins erkennen. Weiterhin ist es möglich, bei bekannter Prozesslage, geregelter Betriebsspannung und Betriebsfrequenzen, die nur bestimmte Werte annehmen können, aufgrund des Zählersignals auf die Betriebsfrequenz des Halbleiterbausteins zu schließen. Dazu sind im Datenspeicher entsprechende Daten abgelegt.

#### Ausführungsbeispiel

**[0026]** Die Erfindung wird im Folgenden anhand der Figuren näher erläutert. Es zeigen

**[0027]** [Fig. 1](#) einen Ausschnitt eines Halbleiterbausteins;

**[0028]** [Fig. 2](#) eine Verzögerungsleitung einer PLL-Schaltung;

**[0029]** [Fig. 3](#) eine schematische Darstellung einer DLL-Schaltung;

**[0030]** [Fig. 4](#) eine Auswerteschaltung zum Auswer-

ten eines Zählersignals;

[0031] [Fig. 5](#) ein Diagramm zur Einteilung einer Treiberstärke in Abhängigkeit eines Zählersignals;

[0032] [Fig. 6](#) eine Treiberschaltung mit einstellbarer Treiberstärke;

[0033] und [Fig. 7](#) eine Spannungsgeneratorschaltung mit einstellbarer Leistung.

[0034] Die Erfindung wird im Folgenden anhand eines DDR-SDRAM beschrieben, wobei jedoch die Erfindung auf alle Halbleiterbausteine zum Verarbeiten von Daten angewendet werden kann, die eine Frequenzregelschaltung oder eine Phasenregelschaltung und Schaltungsteile aufweisen, die in der Betriebsweise einstellbar sind und eine Beeinflussung der Taktfrequenz oder der Geschwindigkeit zum Verarbeiten von Daten ermöglichen.

[0035] [Fig. 1](#) zeigt in einer schematischen Darstellung einen Teilbereich eines Halbleiterspeicherbausteins, der vorzugsweise als Double-Datarate-SDRAM **30** ausgebildet ist und die für einen Double-Datarate-SDRAM üblichen Schaltungsteile aufweist. In der [Fig. 1](#) sind jedoch nur die Teile des Halbleiterspeicherbausteins dargestellt, die wesentlich für die Bedeutung der Erfindung sind. Der Halbleiterspeicherbaustein weist eine Speichermatrix mit Speicherzellen auf, in denen Informationen abgespeichert und wieder ausgelesen werden können. Zum Einschreiben und Auslesen von Daten werden Treiberschaltungen verwendet. Für eine schnelle Verarbeitung der Daten ist eine hohe Taktfrequenz erforderlich. Die Taktfrequenz, mit der Daten eingeschrieben oder ausgelesen werden, werden von einem Referenztakt abgeleitet. Der Referenztakt wird von einem Oszillator **1** bereitgestellt und in diesem Ausführungsbeispiel an eine Delay-Locked-Loop-Schaltung **2** weitergeleitet. Die DLL-Schaltung **2** weist eine variable Verzögerungsleitung **3** auf, der das Referenztaktsignal zugeführt wird. Die DLL-Schaltung **2** ermittelt aus dem Referenztaktsignal ein Betriebstaktsignal, das an einem Ausgang **14** der DLL-Schaltung **2** ausgegeben wird. Der Betriebstakt wird im Datenpfad zur Datensynchronisierung verwendet.

[0036] Die Aufgabe der DLL-Schaltung **2** besteht darin, das Betriebstaktsignal in eine festgelegte Phasenbeziehung zum Referenztaktsignal zu bringen.

[0037] Das Referenztaktsignal des Oszillators **1** wird einem Phasendetektor **4** zugeführt. Zugleich wird das Betriebstaktsignal, das von der Verzögerungsleitung **3** ausgegeben wird, über eine Rückleitung **23** zu einer Verzögerungsschaltung **6** geführt.

[0038] Die Verzögerungsschaltung **6** verzögert das Betriebstaktsignal um eine vorgegebene Verzöge-

rungsdauer und führt das verzögerte Betriebstaktsignal einem weiteren Eingang des Phasendetektors **4** zu. Der Phasendetektor **4** ermittelt die Phasendifferenz zwischen dem Referenztaktsignal und dem verzögerten Betriebstaktsignal. Eilt das verzögerte Betriebstaktsignal dem Referenztaktsignal voraus, so gibt der Phasendetektor **4** ein Up-Signal an einen Zähler **5**. Eilt jedoch das Referenztaktsignal dem verzögerten Betriebstaktsignal voraus, so gibt der Phasendetektor **4** ein Down-Signal an den Zähler **5**. Der Zähler **5** weist einen Zählerstand auf und erhöht den Zählerstand um den Wert 1, wenn vom Phasendetektor **4** ein Up-Signal zugeführt wird. Wird jedoch vom Phasendetektor **4** ein Down-Signal zugeführt, so erniedrigt der Zähler **5** den Zählerstand um den Wert 1. Der Zähler **5** gibt den Zählerstand als Zählersignal an die variable Verzögerungsleitung **3** weiter. Die variable Verzögerungsleitung **3** verzögert das Referenztaktsignal um so länger, je größer der Zählerstand des Zählers **5** ist. Dabei ergibt sich aus der variablen Verzögerungszeit, mit der die variable Verzögerungsleitung **3** das Referenztaktsignal verzögert, und der festgelegten Verzögerungsdauer, mit der das Betriebstaktsignal von der Verzögerungsschaltung **6** verzögert wird, die Periodendauer des Referenztaktsignals. Der Zähler **5** gibt den Zählerstand in Form des Zählersignals nicht nur an die variable Verzögerungsleitung **3**, sondern auch an eine Auswerteschaltung **7**.

[0039] [Fig. 2](#) zeigt einen schematischen Aufbau der variablen Verzögerungsleitung **3**. Die variable Verzögerungsleitung **3** weist eine erste Steuerschaltung **8** auf, der das Zählersignal des Zählers **5** zugeführt wird. Zudem weist die variable Verzögerungsleitung **3** eine Kette von Invertern **9** auf, wobei nach jeweils zwei Invertern **9** eine Abzweigung zu einem zweiten Multiplexer **10** geführt ist. In dem gewählten Ausführungsbeispiel sind acht Paare von Invertern **9** zu einer Inverterschaltung **12** zusammengefasst. Zudem sind acht Inverterschaltungen **12** in Serie geschaltet. Jede Inverterschaltung **12** weist acht erste Multiplexer **10** auf. Zudem weist jede Kette einer Inverterschaltung **12** sechzehn Inverter auf. Jede Inverterschaltung **12** ist über einen Ausgang an einen zweiten Multiplexer **11** angeschlossen. Die acht zweiten Multiplexer **11** sind an den Ausgang **14** angeschlossen. Die erste Steuerschaltung **8** ist über eine erste Steuerleitung **15** mit allen ersten und zweiten Multiplexern **10**, **11** verbunden. In Abhängigkeit von dem Steuersignal der ersten Steuerleitung **8** ist ein erster und zweiter Multiplexer **10**, **11** leitend oder sperrend geschaltet.

[0040] Das vom Oszillator **1** erzeugte Referenztaktsignal wird über einen Eingang **13** der Inverterschaltung **12** zugeführt. Die erste Steuerschaltung **8** wählt aufgrund des zugeführten Zählersignals über eine Steuerleitung **15** einen ersten und einen zweiten Multiplexer **10**, **11** aus, über den das Referenztaktsignal

zum Ausgang **14** geleitet werden soll. Weist beispielsweise der Zähler **5** das Zählersignal **1** auf, so wird das Referenztaktsignal nach den ersten beiden Invertern **9** der ersten Inverterschaltung **12** über den entsprechenden ersten Multiplexer **10** und den entsprechenden zweiten Multiplexer **11** zum Ausgang **14** geführt. Somit wird das Referenztaktsignal nur mit der Zeitdauer verzögert, die das Referenztaktsignal benötigt, um durch zwei Inverter **9** zu laufen. Weist jedoch das Zählersignal des Zählers **5** den Wert 2 auf, so wird das Referenztaktsignal erst nach dem Durchlaufen von vier Invertern **9** der ersten Inverterschaltung **12** über den entsprechenden ersten Multiplexer **10** und den entsprechenden zweiten Multiplexer **11**, zum Ausgang **14** geführt. In entsprechender Art und Weise kann vom Zählersignal auch festgelegt werden, dass das Referenztaktsignal alle Inverter **9** aller acht Inverterschaltungen **12** durchlaufen muss, bevor es als Betriebstaktsignal am Ausgang **14** ausgegeben wird. Je größer die Anzahl der Inverter **9** ist, die das Referenztaktsignal durchlaufen muss, desto größer ist die zeitliche Verzögerung, die das Referenztaktsignal erfährt. Auf diese Weise wird eine zeitliche Verschiebung und damit eine Phasenverschiebung erreicht.

**[0041]** Auf diese Weise wird das Referenztaktsignal so lange verzögert, bis das durch die zeitliche Verzögerung aus dem Referenztaktsignal erzeugte Betriebstaktsignal und das Referenztaktsignal keine Phasenverschiebung im Phasendetektor **4** aufweisen.

**[0042]** Anstelle der DLL-Schaltung **2** wird in vielen Schaltungsanordnungen zur Einstellung einer Frequenzbeziehung zwischen einem ersten Signal und einem zweiten Signal eine PLL-Schaltung **27**, d.h. eine Phase-Locked-Loop-Schaltung verwendet.

**[0043]** **Fig. 3** zeigt einen schematischen Aufbau einer PLL-Schaltung **27**. Dabei wird von einem Oszillator **1** ein Referenztaktsignal R mit einer festgelegten Frequenz an einen zweiten Phasendetektor **16** geführt. Der zweite Phasendetektor **16** steht über einen Zähler **5** mit einem Digital/Analog-Wandler **17** in Verbindung. Der D/A-Wandler **17** steht über eine Ausgangsleitung mit einem spannungsgesteuerten Oszillator **18** in Verbindung. Der Oszillator **18** gibt über einen Ausgang ein Betriebstaktsignal mit einer Frequenz aus, die vom Ansteuersignal abhängt, das vom D/A-Wandler an den Oszillator **18** abgegeben wird. Zugleich wird das Betriebstaktsignal B über eine Rückleitung **19** zu einem zweiten Eingang des zweiten Phasendetektors **16** geführt. Der zweite Phasendetektor **16** ermittelt eine Phasendifferenz zwischen dem Betriebstaktsignal B und dem Referenztaktsignal R. Die Aufgabe der PLL-Schaltung besteht darin, die Frequenz zwischen dem Referenztaktsignal und dem Betriebstaktsignal so genau einzustellen, dass eine bestehende Phasenverschiebung sich nicht än-

dert. Dazu wird die Phasenverschiebung zwischen dem Referenztaktsignal und Betriebstaktsignal ermittelt und in Abhängigkeit von der Phasendifferenz eine Stellgröße mit Hilfe eines Zählers **5** festgelegt. Der Ausgang des Zählers **5** wird dem D/A-Wandler **17** zugeführt, der abhängig vom Zählerstand des Zählers **5** den Oszillator **18** ansteuert. Der Oszillator **18** erzeugt eine Ausgangsfrequenz, die in Abhängigkeit von dem Ansteuersignal des D/A-Wandlers **17** festgelegt ist. Der Zähler **5** gibt sein Zählersignal über einen zweiten Ausgang **20** an eine Auswerteschaltung **7**.

**[0044]** Das Zählersignal des Zählers **5** ist bei einer DLL-Schaltung **2** oder einer PLL-Schaltung **27** in Abhängigkeit vom Betriebszustand der Schaltungsanordnung unterschiedlich groß. Der Betriebszustand wird beispielsweise durch die Qualität der Schaltungsanordnung und/oder durch Betriebsbedingungen beeinflusst. Beispielsweise ist das Zählersignal von der Temperatur der Schaltungsanordnung abhängig. Die entsprechende Abhängigkeit zwischen dem Zählersignal und der Temperatur wird experimentell ermittelt und in einem Datenspeicher **21** abgelegt. Der Datenspeicher **21** steht in Verbindung mit der Auswerteschaltung **7**. Vorzugsweise werden Zählerstandbereiche festgelegt, die Temperaturbereichen entsprechen.

**[0045]** Weiterhin ist der Zählerstand des Zählers **5** auch abhängig von der Schaltgeschwindigkeit, insbesondere von der Schaltgeschwindigkeit von Treiberschaltungen der Schaltungsanordnung. Entsprechende experimentelle Zusammenhänge zwischen den Zählerständen des Zählers **5** und einer langsamen, mittleren oder schnellen Schaltgeschwindigkeit der Schaltungsanordnung sind ebenfalls im Datenspeicher **21** abgelegt.

**[0046]** Befindet sich die Schaltungsanordnung beispielsweise in einem Betriebszustand, in dem sehr schnell geschaltet wird und damit eine hohe Taktfrequenz erhalten wird, so weist der Zählerstand z.B. den Wert 20 auf. Befindet sich dagegen die Schaltungsanordnung in einem Betriebszustand, in dem relativ langsam geschaltet wird und damit eine geringere Taktfrequenz erreicht wird, so weist der Zählerstand z.B. den Wert 5 auf. Je nach Ausführungsform der Schaltungsanordnung unterscheiden sich die Zählerstände, wobei jedoch für jede Schaltungsanordnung ein Zusammenhang zwischen den Zählerständen und der Taktfrequenz bzw. der Schaltgeschwindigkeit experimentell festgelegt werden kann. Weiterhin ist auch ein Zusammenhang zwischen dem Zählerstand des Zählers **5** und einer Betriebsfrequenz eines Halbleiterspeicherbausteins experimentell ermittelt und im Datenspeicher **21** abgelegt.

**[0047]** **Fig. 4** zeigt ein Funktionsblockdiagramm, das schematisch die Funktionsweise der Erfindung darstellt. Im Wesentlichen wird aus einer DLL-Schal-

tung **2** oder einer PLL-Schaltung **27** ein Zählerstand eines digitalen Zählers **5** ermittelt, der die Regelgröße der DLL-Schaltung **2** bzw. die Regelgröße der PLL-Schaltung festlegt. Der Zählerstand wird einer Auswerteschaltung **7** zugeführt. Die Auswerteschaltung **7** steht mit einem Datenspeicher **21** in Verbindung. In einer einfachen Ausführungsform ist ein erster Wert  $C_0$  und ein zweiter Wert  $C_1$  für den Zählerstand abgelegt. Unterschreitet der Zählerstand den ersten Wert  $C_0$ , so liegt ein Betriebszustand der Schaltungsanordnung vor, bei dem die Schaltungsanordnung relativ langsam arbeitet und sich damit im unteren Bereich eines zulässigen Taktfrequenzbereiches befindet. Liegt der Zählerstand über dem zweiten Wert  $C_1$ , so liegt ein Betriebszustand der Schaltungsanordnung vor, bei dem sich die Schaltungsanordnung in einem oberen Bereich des zulässigen Frequenzbereichs befindet und relativ schnell arbeitet. In Abhängigkeit von dem Vergleich mit dem ersten und dem zweiten Vergleichswert  $C_0$ ,  $C_1$  ermittelt die Auswerteschaltung **7** in einem Interpretationsblock **22** den Betriebszustand und/oder eine von mehreren Maßnahmen, die aufgrund des Zählerstandes durchzuführen sind, um den Betriebszustand in einen gewünschten Betriebszustand zu verschieben. Befindet sich der Zählerstand zwischen dem ersten und dem zweiten Vergleichswert  $C_0$ ,  $C_1$ , so liegt ein normaler, d.h. ein gewünschter Betriebszustand der Schaltungsanordnung vor.

**[0048]** In einer bevorzugten Ausführungsform sind die Grenzwerte  $C_0$ ,  $C_1$ , die durch den ersten und zweiten Wert festgelegt werden, in Abhängigkeit von der Frequenz des ersten Signals abgelegt, das der DLL-Schaltung **2** oder der PLL-Schaltung **27** zugeführt wird. Die Periodendauer des ersten Signals legt die Zeitdauer fest, die der Zähler **5** zum Zählen hat. Damit wird der eingeregelt Zählerstand des Zählers durch die Frequenz mit beeinflusst. Somit ist eine Verwendung der Erfindung für verschiedene Frequenzen möglich, wenn die Frequenz, mit dem der Zähler **5** getaktet wird, berücksichtigt wird.

**[0049]** In einem gewählten Ausführungsbeispiel passt die Auswerteschaltung **7** in Abhängigkeit vom Zählerstand des Zählers **5** die Treiberstärke wenigstens einer Treiberschaltung der Schaltungsanordnung an. Durch eine Erhöhung der Treiberstärke wird die Schaltgeschwindigkeit der Treiberschaltung auf Kosten des Stromverbrauchs erhöht. Liegt der Zählerstand unter dem ersten Vergleichswert  $C_0$ , so liegt ein langsamer Betriebszustand der Schaltungsanordnung vor, so dass die Auswerteschaltung **7** die Treiberstärke der Treiberschaltung erhöht und vorzugsweise bis zu einem Maximalwert erhöht. Liegt der Zählerstand zwischen dem ersten und dem zweiten Vergleichswert  $C_0$ ,  $C_1$ , so liegt ein normaler Betriebszustand der Schaltungsanordnung vor. Beim normalen Betriebszustand der Schaltungsanordnung stellt die Auswerteschaltung **7** eine mittlere Treiber-

stärke der Treiberschaltung ein. Überschreitet der Zählerstand den zweiten Vergleichswert  $C_1$ , so liegt ein schneller Betriebszustand der Schaltungsanordnung vor. Beim schnellen Betriebszustand der Schaltungsanordnung reduziert die Auswerteschaltung **7** die Treiberstärke der Schaltungsanordnung vorzugsweise bis zu einer minimalen Treiberstärke. Bei einer minimalen Treiberstärke wird weniger Strom verbraucht und zudem die für einen normalen Betriebszustand notwendige Schaltgeschwindigkeit eingehalten.

**[0050]** In [Fig. 5](#) sind Zählerstandbereiche dargestellt, die Treiberstärken zugeordnet sind. Eine entsprechende Zuordnung ist im Datenspeicher **21** abgelegt. Die Auswerteschaltung **7** passt abhängig von dem vorliegenden Zählerstand des Zählers **5** die Treiberstärke der Treiberschaltung entsprechend an, damit ein gewünschter Betriebszustand erreicht wird.

**[0051]** Neben oder anstelle der Treiberstärke einer Treiberschaltung wird von der Auswerteschaltung **7** mindestens ein Spannungsgenerator in entsprechender Weise angepasst. Beispielsweise wird bei einem schnellen Betriebszustand der Schaltungsanordnung die Spannung des Spannungsgenerators reduziert und somit auch die Treiberstärke der Treiberschaltung, die von dem Spannungsgenerator versorgt wird, reduziert. Damit wird insgesamt ein langsamer, aber im Normbereich liegender Betriebszustand der Schaltungsanordnung erreicht und zudem unnötiger Stromverbrauch vermieden.

**[0052]** Die Auswerteschaltung **7** kann auch nur eine Auswertung des Betriebszustandes der Schaltungsanordnung durchführen, die beispielsweise für eine Beurteilung der Funktionsfähigkeit der Schaltungsanordnung verwendet wird. Weiterhin kann die Auswerteschaltung **7** neben einer Treiberschaltung oder einem Spannungsgenerator auch beliebige andere kritische Schaltungsteile der Schaltungsanordnung beeinflussen, so dass insgesamt ein normaler Betriebszustand, d.h. eine geeignete Geschwindigkeit eingehalten wird, so dass eine zu kleine oder zu hohe Geschwindigkeit und/oder ein unnötiger Stromverbrauch vermieden wird.

**[0053]** Die vorliegende Erfindung beschreibt eine Methode, mit der mit relativ geringem Aufwand ein aktueller Betriebszustand einer integrierten Schaltung, insbesondere eines Halbleiterspeicherbausteins detektiert werden kann. Dazu wird eine digitale On-Chip-Frequenz- bzw. Phasenregelschaltung genutzt. Frequenzregelschaltungen sind im Allgemeinen Phase-Locked-Loop-Schaltungen, die eine von außen, z.B. mit Hilfe eines Quarzoszillators angelegte Taktfrequenz vervielfachen. PLL-Schaltungen sind z.B. auf vielen Mikrocontroller-Bausteinen bereits integriert und müssen deshalb nicht zusätzlich ausgebildet werden. Phasenregelschaltungen sind im All-

gemeinen in Form von DLL-Schaltungen realisiert, die die Phase eines internen Signals an ein externes Taktsignal anpassen. DLL-Schaltungen sind Bestandteil jedes dynamischen Speichers mit doppelter Datenrate (DDR-SDRAM). Digitale PLL- und DLL-Schaltungen haben die Eigenschaft, dass zur Regelung der Frequenz bzw. Phase ein die Frequenz bzw. Phase beeinflussender, digitaler Zähler angepasst wird. Der Zählerstand beeinflusst die Frequenz der PLL bzw. die Phase der DLL. Somit wird im Falle einer eingeregelter PLL/DLL der aktuelle Betriebszustand auf einem Zählerstand abgebildet. Durch Auswertung des Zählerstandes kann die integrierte Schaltung derart angepasst werden, dass z.B. einer Betriebsumgebung, die zu einer langsamen Verarbeitungsgeschwindigkeit führen würde, durch Aktivierung eines schnelleren Betriebsmodus mindestens eines Teiles der integrierten Schaltung entgegengewirkt wird.

**[0054]** Die Funktionsweise der DLL-Schaltung besteht darin, ein externes Taktsignal über eine Verzögerungskette laufen zu lassen. Der Pfad, d.h. die Anzahl der zu durchlaufenden Verzögerungsglieder wird derart geregelt, dass die Verzögerung, die durch die Verzögerungskette verursacht wird und eine vorgegebene Verzögerungsdauer genau einer Periodenlänge des Taktsignals entspricht. Ein Verzögerungsglied besteht in dem gewählten Ausführungsbeispiel aus zwei Inverterschaltungen. Da die Verzögerung eines Inverters von den Umgebungsbedingungen wie z.B. der Temperatur, der Betriebsspannung und dem verwendeten Herstellungsprozess abhängt, wird für verschiedene Umgebungsbedingungen eine unterschiedliche Zahl an Verzögerungsgliedern eingestellt. Die Zahl der aktivierten Verzögerungsglieder wird durch einen Zähler angezeigt.

**[0055]** Durch eine Simulation kann beispielsweise der Zählerstand gefunden werden, der sich einstellt, wenn die Umgebungsbedingungen zu einer maximal schnellen Schaltungsanordnung führen. Dies ist beispielsweise bei einer niedrigen Temperatur, einer hohen Betriebsspannung und einem Herstellungsprozess gegeben, der zu sehr schnell schaltenden Transistoren führt. In diesem Fall wird ein maximal großer Zählerstand erreicht. Ebenso gibt es spezifische Zählerstände für einen normalen und einen langsamen Betriebszustand der Schaltungsanordnung. Ein langsamer Betriebszustand der Schaltungsanordnung entspricht einem kleinen Zählerstand.

**[0056]** Anhand des Zählerstandes können Zeit- und/oder Performancekritische Schaltungsteile der Schaltungsanordnung eingestellt werden. Dies kann entweder direkt, d.h. zu jedem Zählerstand gibt es einen eigenen Modus der kritischen Schaltungsteile oder durch Bildung von Performance-Bereichen erfolgen. Beispielsweise wird der Zählerstand in Abschnitte aufgeteilt. Befindet sich die Schaltungsan-

ordnung in einem langsamen Betriebszustand, so werden kritische Schaltungsteile in einen hohen Performance-Modus geschaltet und damit die Umgebungsbedingungen wenigstens teilweise kompensiert.

**[0057]** In einer Weiterführung der Erfindung wird eine statische Ausgangstromkennlinie eines Off-Chip-Treibers angepasst. Befindet sich beispielsweise die Schaltungsanordnung in einem schnellen Betriebszustand, so wird der statische Ausgangstrom der Treiberschaltung reduziert. Befindet sich die Schaltungsanordnung in einem langsamen Betriebszustand, so wird die Treiberstärke erhöht.

**[0058]** Da die Information des aktuellen Betriebszustandes in digitaler Form vorliegt, können diese Signale auf einfache Weise an alle Zeit- und/oder Performance-kritischen Schaltungsteile wie z.B. Off-Chip-Treiber, Clock-Treiber usw. geführt werden, um diese in entsprechender Art und Weise anzupassen.

**[0059]** Vorteilhaft für die Anwendbarkeit der Erfindung ist die Kenntnis der Frequenz des ersten Signals, da der Zählerstand auch von der Periodendauer des ersten Signals abhängt. Die Erfindung ist somit nicht auf eine einzige Taktfrequenz festgelegt, da z.B. eine höhere Taktfrequenz durch Anheben der Zählergrenzen berücksichtigt werden kann. Vorzugsweise sind die Zählergrenzen in Abhängigkeit von den Taktfrequenzen des ersten Signals im Datenspeicher **21** abgelegt.

**[0060]** Eine weitere Anwendung der Erfindung besteht darin, in einer Testphase eines Halbleiterbausteins, bei der die PLL- oder DLL-Schaltung unter definierten Umgebungsbedingungen wie einer Normtemperatur, einer Normspannung und einer bekannten Frequenz arbeitet, so dass der Zählerstand nur noch von Prozessparametern des Herstellungsprozesses abhängt. Dabei könnten dann gegebenenfalls chipindividuelle Schaltungsteile an aktuelle Prozessparameter angepasst werden. Z.B. könnte bei Prozessparametern, die zu einer langsam arbeitenden Schaltungsanordnung führen, generell ein stärkerer Treibermodus festgelegt werden.

**[0061]** Ebenso besteht die Möglichkeit, bei drei gegebenen Größen auf die vierte Größe zu schließen. Z.B. kann bei bekannten Prozessparametern, einer bekannten geregelten Betriebsspannung und einer festen Betriebsfrequenz über den Zählerstand auf die aktuelle Temperatur der Schaltungsanordnung geschlossen werden.

**[0062]** Weiterhin ist es möglich, bei bekannten Prozessparametern, einer bekannten geregelten Betriebsspannung und Betriebsfrequenzen, die nur bestimmte Werte annehmen können, auf die Betriebs-

frequenz zu schließen, wenn sich durch den Temperatureinfluss die Zählerstände für die einzelnen Betriebsfrequenzen nicht überlappen. Bei Speicherbausteinen werden üblicherweise Betriebsfrequenzen von 66 MHz, 100 MHz oder 133 MHz eingesetzt.

[0063] **Fig. 6** zeigt ein einfaches Ausführungsbeispiel einer Treiberschaltung, deren Treiberstärke, d.h. deren Ausgangsstrom insgesamt und vorzugsweise die zeitliche Änderung des Ausgangsstromes in Abhängigkeit von einem Zählersignal des Zählers **5** angepasst werden kann. Dazu sind mehrere Treiber **23** parallel geschaltet, die über einen Eingang **24** mit einem Eingangssignal versorgt werden. Im Falle eines DDR-SDRAM ist das Eingangssignal beispielsweise als Datensignal ausgebildet. Weiterhin ist eine zweite Steuerschaltung **25** vorgesehen, an deren Eingang das Zählersignal des Zählers **5** angelegt wird. Die zweite Steuerschaltung **25** steht über Enable-Leitungen **26** mit den Treibern **23** in Verbindung. In Abhängigkeit von dem Zählersignal des Zählers **5** wird eine unterschiedliche Anzahl von Treibern **23** über Freigabesignale aktiviert. Die Freigabesignale werden von der zweiten Steuerschaltung **25** über die Enable-Leitungen den Treibern zugeführt. Die Treiberschaltungen sind beispielsweise identisch aufgebaut, wobei jedoch abhängig von der gewünschten Anwendung auch unterschiedlich aufgebaute Treiber verwendet werden können. Die Treiber **23** weisen jeweils einen Ausgang auf, die zu einem gemeinsamen Ausgang **26** zusammengefasst sind. Damit wird in Abhängigkeit vom Zählersignal des Zählers **5** das am gemeinsamen Ausgang **26** ausgegebene Signal in der Stromstärke und in der zeitlichen Änderung der Stromstärke in Abhängigkeit vom Zählersignal gesteuert.

[0064] **Fig. 7** zeigt eine Schaltungsanordnung von mehreren Spannungsgeneratoren **28**, die parallel geschaltet sind und über eine dritte Steuerschaltung **29** in Abhängigkeit vom Zählersignal des Zählers **5** oder in unterschiedlicher Anzahl zur Bereitstellung einer Versorgungsspannung ein oder ausgeschaltet werden können. Jeder Spannungsgenerator wird über eine Versorgungsleitung **31** mit Strom versorgt. Durch die Schaltungsanordnung ist die über den gemeinsamen Ausgang abgebbare Leistung steuerbar. In Abhängigkeit von dem Zählerstand des Zählers **5**, der der dritten Steuerschaltung **29** zugeführt wird, schaltet die dritte Steuerschaltung **29** mehr oder weniger Spannungsgeneratoren in einen Betriebszustand, in dem kein Ausgangsstrom oder ein Ausgangsstrom vom Spannungsgenerator bereitgestellt wird. Das Abschalten eines Spannungsgenerators hat den Vorteil, dass Strom eingespart wird. Die Schaltungsanordnung der Spannungsgeneratoren der **Fig. 7** ist entsprechend der Schaltungsanordnung der Treiberschaltungen der **Fig. 6** aufgebaut und funktioniert in analoger Weise.

## Bezugszeichenliste

<b>1</b>	Oszillator
<b>2</b>	DLL-Schaltung
<b>3</b>	Verzögerungsleitung
<b>4</b>	Phasendetektor
<b>5</b>	Zähler
<b>6</b>	Verzögerungsschaltung
<b>7</b>	Auswerteschaltung
<b>8</b>	erste Steuerschaltung
<b>9</b>	Inverter
<b>10</b>	erster Multiplexer
<b>11</b>	zweiter Multiplexer
<b>12</b>	Inverterschaltung
<b>13</b>	Eingang
<b>14</b>	Ausgang
<b>15</b>	Steuerleitung
<b>16</b>	zweiter Phasendetektor
<b>17</b>	D/A-Wandler
<b>18</b>	spannungsgesteuerter Oszillator
<b>19</b>	Rückleitung
<b>20</b>	zweiter Ausgang
<b>21</b>	Datenspeicher
<b>22</b>	Interpretationsblock
<b>23</b>	Treiber
<b>24</b>	Eingang
<b>25</b>	zweite Steuerschaltung
<b>26</b>	gemeinsamer Ausgang
<b>27</b>	PLL-Schaltung
<b>28</b>	Spannungsgenerator
<b>29</b>	Dritte Steuerschaltung
<b>30</b>	DDR SDRAM
<b>31</b>	Vorsorgungsleitung

## Patentansprüche

1. Halbleiterbaustein (**30**) mit einer Speichermatrix mit Speicherzellen, mit Treiberschaltungen (**23**) zum Einschreiben und Auslesen von Daten, mit einer Regelschaltung (**2, 27**) mit einem digitalen Zähler (**5**), die ein zweites Signal in eine vorgegebene Phasen- oder Frequenzbeziehung zu einem ersten Signal bringt, wobei der Phasen- bzw. Frequenzunterschied zwischen dem ersten und zweiten Signal mit Hilfe des Zählers (**5**) erfasst wird, wobei der Zähler (**5**) ein Zählersignal ausgibt, das als Steuersignal von der Regelschaltung (**2, 27**) zum Einstellen der Phase bzw. der Frequenz des zweiten Signals verwendet wird, wobei das erste Signal ein Referenztaktsignal und das zweite Signal ein Betriebstaktsignal für den Halbleiterbaustein (**30**) darstellt, **dadurch gekennzeichnet**, dass das Zählersignal einer Auswerteschaltung (**7**) zugeführt wird, dass die Auswerteschaltung (**7**) aufgrund des Zählerstandes eine Bewertung des Betriebszustandes des Halbleiterbausteins durchführt, dass die Auswerteschaltung (**7**) mit einem Datenspeicher (**21**) verbunden ist, dass im Datenspeicher (**21**) Grenzwerte für das Zählersignal abgelegt sind, die Betriebszustände des

Halbleiterbausteins (30) festlegen, und dass die Auswerteschaltung (7) durch einen Vergleich des zugeführten Zählersignals mit den abgelegten Grenzwerten einen Betriebszustand des Halbleiterbausteins (30) ermittelt, dass die Auswerteschaltung (7) abhängig vom Zählersignal wenigstens außerhalb der Regelschaltung Teile des Halbleiterbausteins (30) in einen veränderten Betriebsmodus schaltet.

2. Halbleiterbaustein nach Anspruch 1, dadurch gekennzeichnet, dass die Auswerteschaltung (7) bei Erkennen eines langsamen Betriebszustandes des Halbleiterbausteins (30) wenigstens Teile des Halbleiterbausteins (30), die die Taktfrequenz des Halbleiterbausteins (30) beeinflussen, in einen schnelleren Betriebsmodus schaltet.

3. Halbleiterbaustein nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Auswerteschaltung bei Erkennen eines schnellen Betriebszustandes des Halbleiterbausteins (30) wenigstens Teile des Halbleiterbausteins (30), die die Taktfrequenz des Halbleiterbausteins (30) beeinflussen, in einen langsameren Betriebszustand schaltet.

4. Halbleiterbaustein nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Auswerteschaltung (7) nach Erkennen eines leistungsarmen Betriebsmodus des Halbleiterbausteins (30) wenigstens einen Spannungsgenerator (28) des Halbleiterbausteins (30) in einen Betriebszustand mit kleinerer Leistungsaufnahme schaltet, in dem der Spannungsgenerator (28) weniger Leistung zur Verfügung stellt.

5. Halbleiterbaustein nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Auswerteschaltung (7) abhängig vom Zählersignal die Treiberstärke der Treiberschaltung (23) des Halbleiterbausteins (30) verändert.

6. Halbleiterbaustein nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Frequenz des ersten Signals ermittelt und an die Auswerteschaltung (7) weitergeleitet wird, dass die Auswerteschaltung (7) neben dem Zählerstand die Frequenz des ersten Signals bei der Beurteilung des Betriebszustandes des Halbleiterbausteins (30) berücksichtigt, und dass die Grenzwerte in Abhängigkeit von der Frequenz festgelegt sind.

7. Halbleiterbaustein nach einem der Ansprüche 1 bis 6, da durch gekennzeichnet, dass die Auswerteschaltung (7) mit einem Datenspeicher (21) verbunden ist, dass im Datenspeicher Werte für das Zählersignal abgelegt sind, die Temperaturbereichen der Halbleiterbaustein entsprechen, und

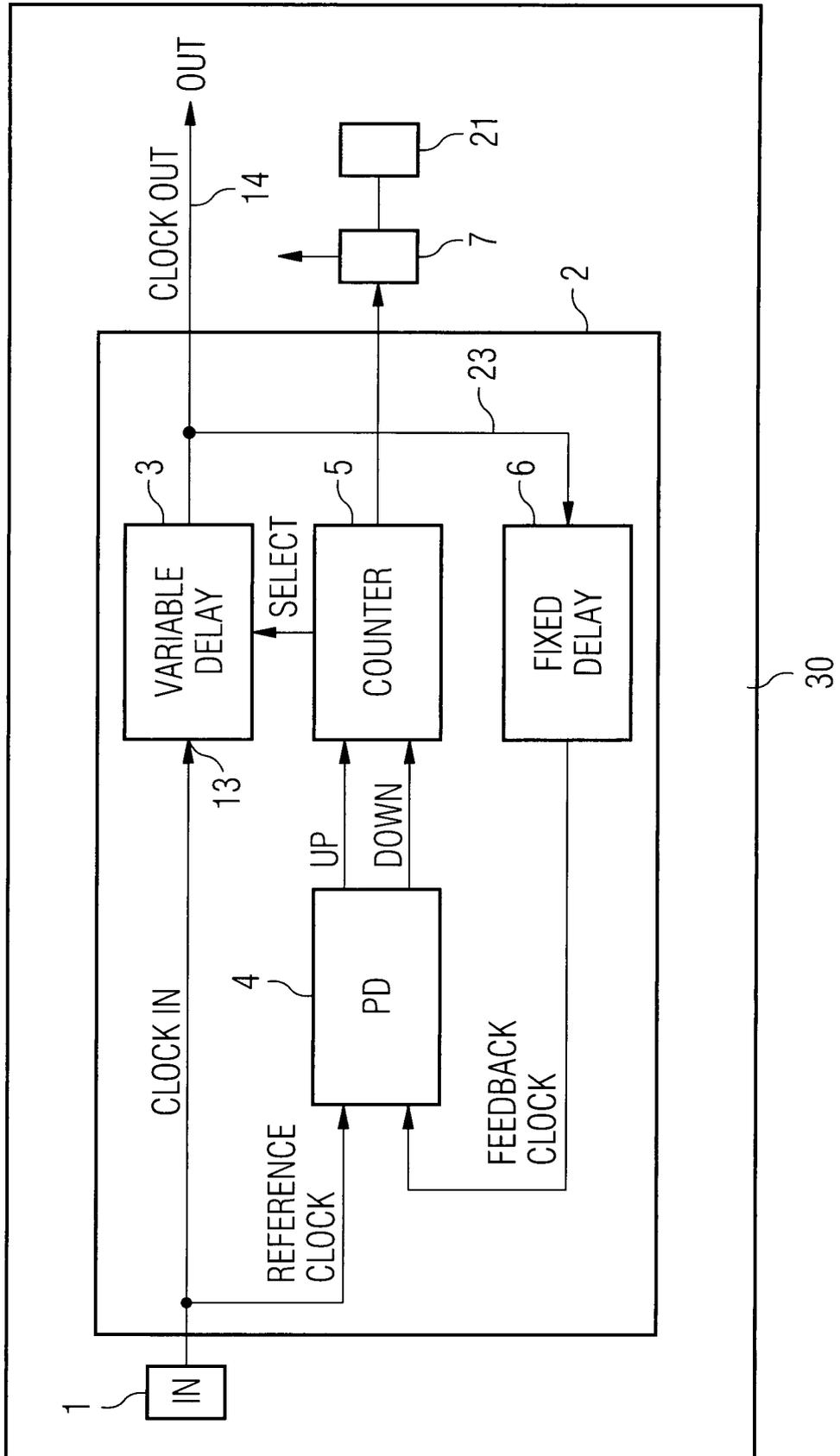
dass die Auswerteschaltung (7) durch einen Vergleich des vom Zähler zugeführten Zählersignals mit den abgelegten Werten des Zählersignals einen Temperaturbereich des Halbleiterbausteins (30) erkennt.

8. Halbleiterbaustein nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Auswerteschaltung (7) mit einem Datenspeicher (21) verbunden ist, dass im Datenspeicher Werte für das Zählersignal abgelegt sind, die Betriebsfrequenzen der Halbleiterbaustein entsprechen, und dass die Auswerteschaltung (7) durch einen Vergleich des vom Zähler zugeführten Zählersignals mit den abgelegten Werten des Zählersignals eine Betriebsfrequenz der Halbleiterbaustein erkennt.

9. Verfahren zum Erfassen eines Betriebszustandes eines Halbleiterspeicherbausteins, wobei der Halbleiterspeicherbaustein eine Regelschaltung zum Einstellen einer Phasenbeziehung oder einer Frequenzbeziehung zwischen zwei Signalen aufweist, wobei die Regelschaltung einen Zähler aufweist, mit dem eine Phasendifferenz oder Frequenzdifferenz der zwei Signale erfasst wird und der Zählerstand des Zählers zur Regelung der Phasen- oder Frequenzbeziehung verwendet wird, wobei die zwei Signale ein Referenzsignal und ein Betriebstaktsignal darstellen, dadurch gekennzeichnet, dass der Zählerstand zur Ermittlung eines Betriebszustandes des Halbleiterbausteins verwendet wird, dass abhängig vom Zählerstand außerhalb der Regelschaltung wenigstens Teile des Halbleiterbausteins, die die Taktfrequenz oder die Genauigkeit der Zeitlage der Taktfrequenz des Betriebstaktsignals des Halbleiterspeicherbausteins beeinflussen, zum Erreichen einer gewünschten Taktfrequenz oder Zeitlage der Taktfrequenz des Betriebstaktsignals angesteuert werden.

Es folgen 4 Blatt Zeichnungen

FIG 1



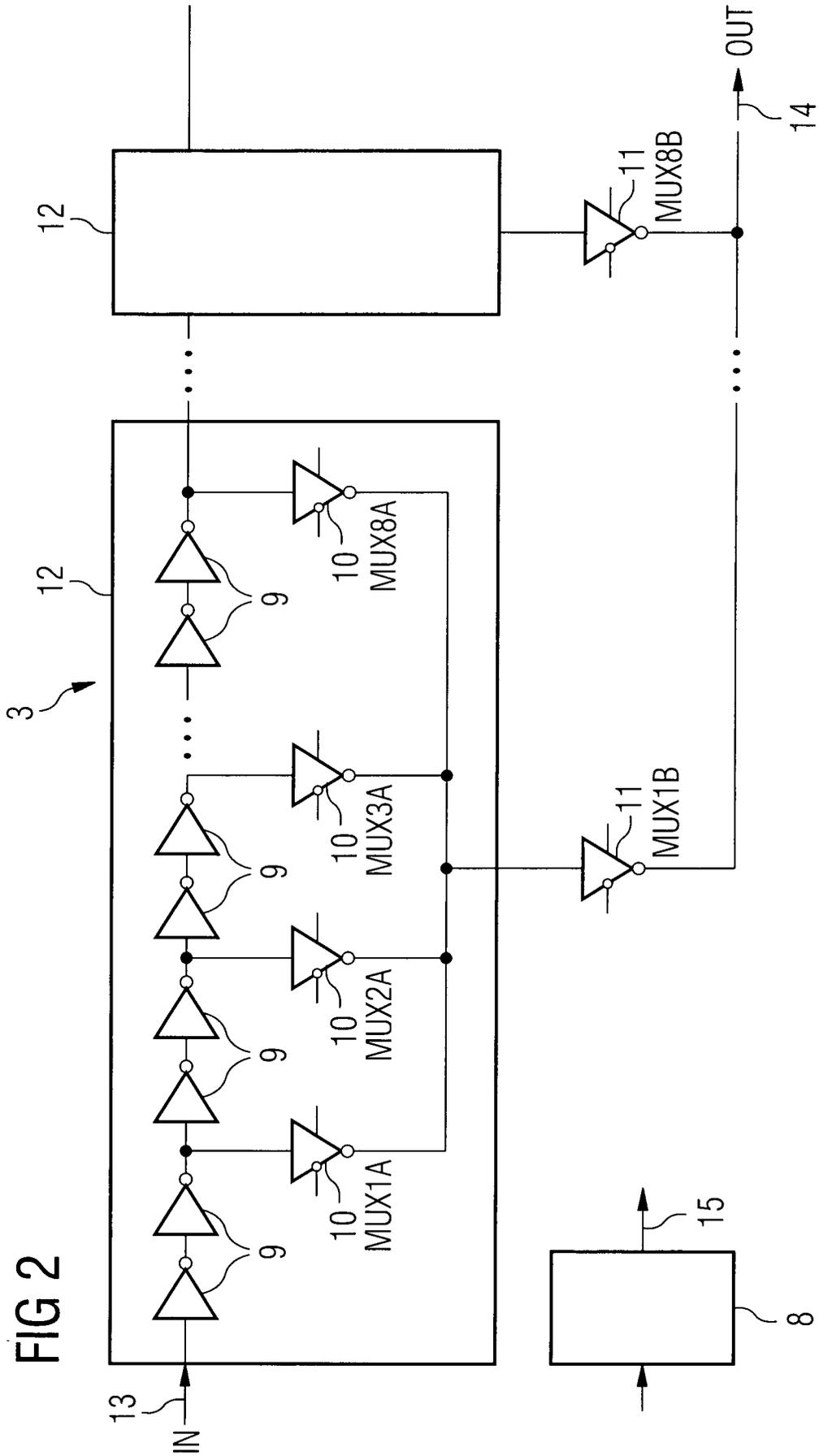


FIG 3

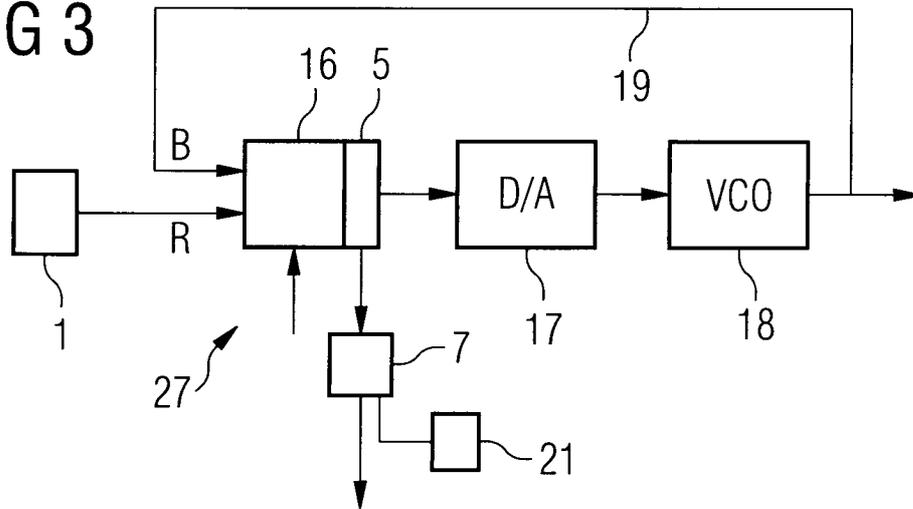


FIG 4

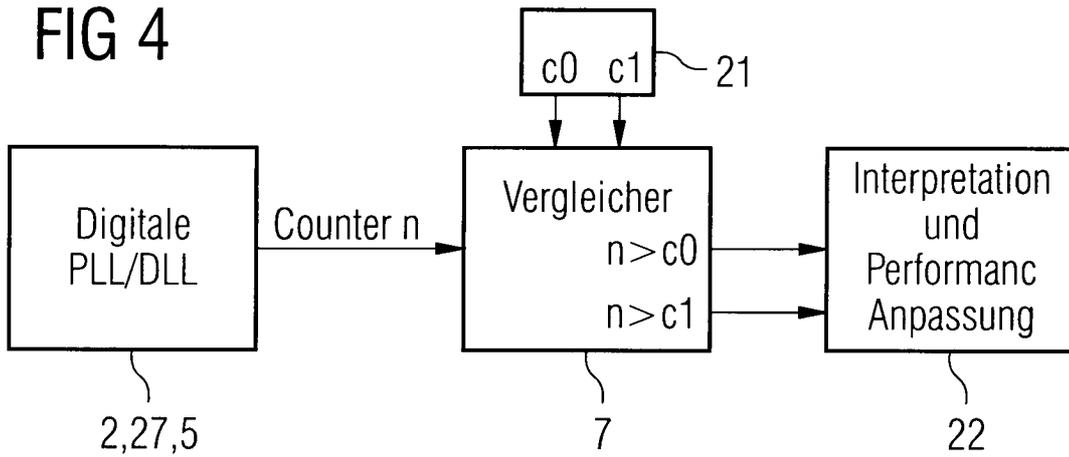


FIG 5

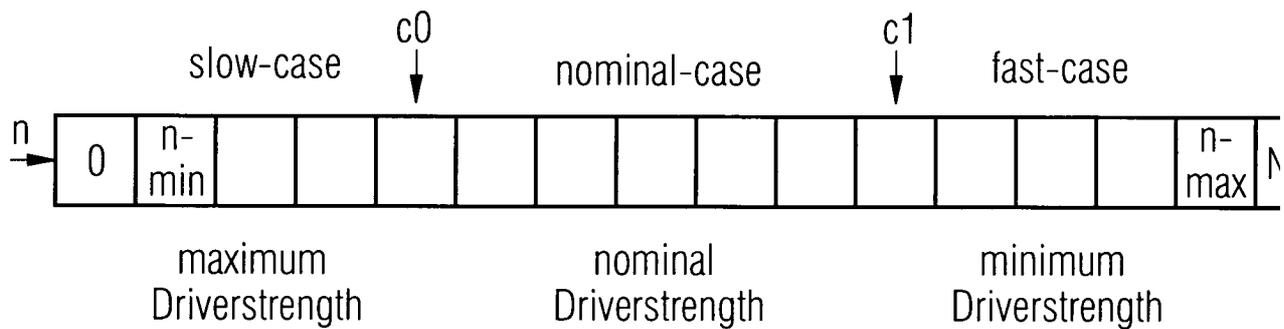


FIG 6

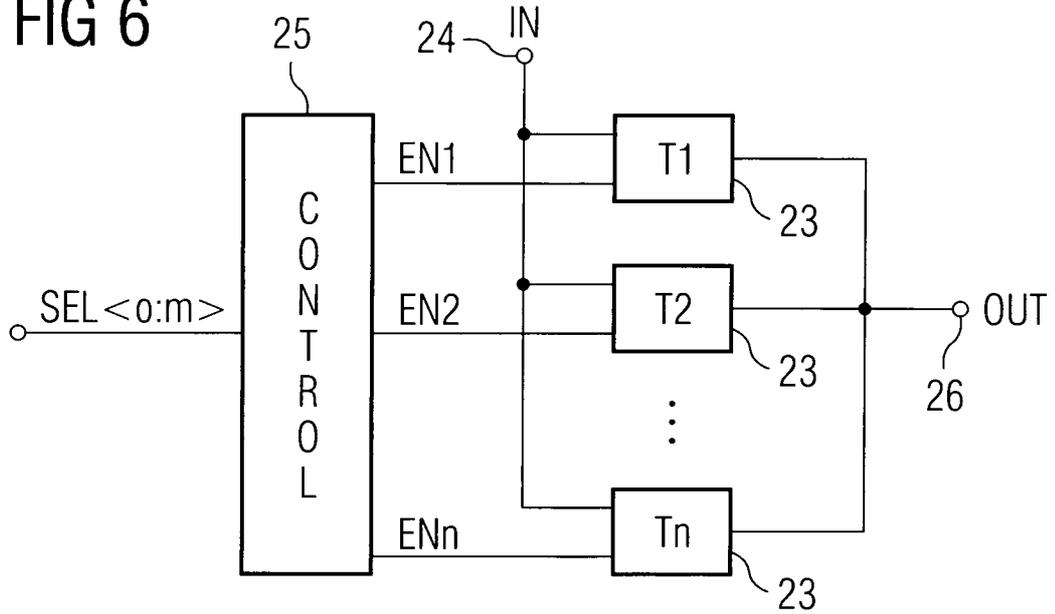


FIG 7

