(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3657727号
(P3657727)
(45)発行日　平成17年6月8日(2005.6.8)　(24)登録日　平成17年3月18日(2005.3.18)

(51)Int.Cl.[7]	F I		
H03H 17/00	H03H	17/00	621C
H03H 17/02	H03H	17/02	671Z
H03M 1/08	H03H	17/02	681B
	H03M	1/08	A

請求項の数 5　(全 10 頁)

(21)出願番号　特願平9-43407
(22)出願日　平成9年2月27日(1997.2.27)
(65)公開番号　特開平10-242802
(43)公開日　平成10年9月11日(1998.9.11)
審査請求日　平成14年8月22日(2002.8.22)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　小林　洋一郎
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内

審査官　畑中　博幸

(56)参考文献　特開平０８－０７０２３５（ＪＰ，Ａ）
特開平０３－０１０４１５（ＪＰ，Ａ）
特開平０８－１３９５６９（ＪＰ，Ａ）
特開平０５－２７５９７２（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】デシメーションフィルタ、半導体集積回路、及び信号処理システム

(57)【特許請求の範囲】

【請求項１】

入力データのデータレートを変換するためのデシメーションフィルタであって、

各データ周期間に、伝達関数を表す係数に相当する回数分立ち上がる第１クロック信号及び第２クロック信号と、上記第１クロック信号及び第２クロック信号に対応するセレクト信号と、を生成する制御回路と、

入力された信号を上記第１クロック信号に同期して保持可能な第１レジスタと、

入力された信号を上記第２クロック信号に同期して保持可能な第２レジスタと、

上記セレクト信号に基づいて、上記第１レジスタ及び上記第２レジスタの出力データを選択的に出力可能なセレクタと、

上記入力データと上記セレクタの出力とを取り込んで、上記伝達関数を表す複数の係数に相当する回数分の加算処理を実行し、その加算処理結果を上記第１レジスタ及び上記第２レジスタに供給する加算器と、を含んで成ることを特徴とするデシメーションフィルタ。

【請求項２】

上記第１クロック信号及び第２クロック信号に対応する第３クロック信号に同期して、上記第１レジスタの出力端子から出力されたデータを保持し、フィルタリング処理結果を出力する第３レジスタをさらに含む請求項１記載のデシメーションフィルタ。

【請求項３】

請求項１又は２のいずれかに記載のデシメーションフィルタが複数個シリーズ接続され

て１チップ化された半導体集積回路。
【請求項４】
アナログ信号をオーバーサンプリングによりディジタル信号に変換するためのＡ／Ｄ変換回路と、上記Ａ／Ｄ変換回路から出力された第１のディジタルデータを上記第１のディジタルデータよりもデータレートの低い第２のディジタルデータに変換する請求項１又は２のいずれかに記載のデシメーションフィルタとを具備して成る１チップ化された半導体集積回路。
【請求項５】
アナログ信号をオーバーサンプリングによりディジタル信号に変換するためのＡ／Ｄ変換回路と、ディジタル信号を処理する信号処理回路とを含む信号処理システムであって、
上記Ａ／Ｄ変換回路と上記信号処理回路との間に、上記Ａ／Ｄ変換回路から出力されたディジタルデータのデータレートを下げるための請求項１又は２のいずれかに記載のデシメーションフィルタを具備して成る信号処理システム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、デシメーションフィルタ、さらにはそれの改良技術に関し、例えば移動体通信用端末におけるベースバンドＬＳＩに適用して有効な技術に関する。
【０００２】
【従来の技術】
移動体通信用ベースバンドＬＳＩにおいては、入力されたアナログ信号をディジタル信号に変換するためのＡ／Ｄ（アナログ／ディジタル）変換回路として、ΔΣ方式のオーバーサンプリング型Ａ／Ｄ変換回路が適用されて、２次の雑音整形が行われることがある。そのように、ΔΣ方式のオーバーサンプリング型Ａ／Ｄ変換回路が適用される場合には、オーバーサンプリング型のＡ／Ｄ変換回路から出力されたデータを通常のサンプリングレートに変換するためのデシメーションフィルタが配置される。このデシメーションフィルタは、量子化雑音と帯域外成分に対して十分な減衰特性を有するとともに、帯域内信号に対しては平坦な通過特性と可能な限り短い伝達遅延特性を有するのが望ましい。
【０００３】
尚、デシメーションフィルタについて記載された文献の例としては、「Candy,J.C.,Wooley,B.A. and Benjamin,O.J.,"A Voiceband Codec with Digital Filtering," IEEE Trans. on Communications, vol.COM-29, no.6,pp.815-830,1981」がある。
【０００４】
【発明が解決しようとする課題】
従来のデシメーションフィルタにおいては、伝達関数の演算のために、ビットシフトによる乗算を行っている。ビットシフトによる乗算は、２のべき乗の乗算はビットをシフトするればよいから比較的に容易であり、従って、４倍、８倍、１６倍、３２倍などのように、２のべき乗のデシメーション比での構成は容易である。しかしながら、例えば５倍、６倍などのように、２のべき乗以外のデシメーション比を実現しようとすると、上記ビットシフトによる乗算ができないから、別に乗算器が必要となる。さらに、フィルタリングのためには上記乗算器の他に加算器や減算器、レジスタが必要であるから、回路規模が大きくなる。
【０００５】
また、入力データのビットが少ない(1～2ビット程度)場合では、係数の乗算をデコーダ回路もしくはＲＯＭ（リードオンリメモリ）にて実現することができる。しかしながら、通信用ＬＳＩなどのように多ビットの入力データに対応させるためには、大規模なデコーダ回路もしくはROM等が必要となり、その場合もデシメーションフィルタの回路規模が大きくなってしまう。
【０００６】
移動体通信用ベースバンドＬＳＩなどのように、移動体通信機器に搭載されるようなＬＳ

Ｉは、消費電力が少なく、サイズが小さいことが望ましいから、そのようなＬＳＩに内蔵されるデシメーションフィルタの回路規模は可能な限り小さくすべきである。

【０００７】

本発明の目的は、２のべき乗はもとより、それ以外のデシメーション比においてもそれに容易に対応可能なデシメーションフィルタを提供することにある。

【０００８】

本発明の別の目的は、そのようなデシメーションフィルタのチップ占有面積の低減を図ることにある。

【０００９】

本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【００１０】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【００１１】

すなわち、同一の入力データについてデシメーションフィルタにおける伝達関数の係数回分の加算処理を行う加算器（Ａ１）と、第１クロック信号（ＣＫＲ１））に同期して上記加算器の出力信号を保持可能な第１レジスタ（Ｒ１）と、第２クロック信号（ＣＫＲ２）に同期して上記加算器の出力信号を保持する第２レジスタ（Ｒ２）と、セレクト信号に基づいて、上記第１レジスタ及び上記第２レジスタの出力データを選択的に上記加算器に伝達することにより、デシメーションフィルタにおける伝達関数の係数回分の加算処理を可能とするセレクタ（Ｓ１）と、基準のクロック信号に基づいて上記第１クロック信号、第２クロック信号、及びセレクト信号を生成するための制御回路（１０）とを含んで、デシメーションフィルタを構成する。

【００１２】

上記した手段によれば、加算器は同一の入力データについてデシメーションフィルタにおける伝達関数の係数回分の加算処理を行う。その加算回数は上記タイミング制御回路から出力される信号のタイミングで制御されるから、この信号のタイミングを変更することにより、任意のデシメーション比を実現することができる。そのように、デシメーションフィルタにおける係数乗算がビットシフトによらないで行えるから、デシメーション比が２のべき乗に制限されないで済む。

【００１３】

また、第３クロック信号に同期して上記第１レジスタの出力端子から出力されたデータを保持するための第３レジスタ（Ｒ３）を設けることができる。

【００１４】

高デシメーション比を容易に実現するには、上記構成のデシメーションフィルタを複数個シリーズ接続すると良い。

【００１５】

さらに、アナログ信号をオーバーサンプリングによりディジタル信号に変換するためのＡ／Ｄ変換回路（４４４）を含んで半導体集積回路や信号処理システム（４１）が形成されるとき、上記Ａ／Ｄ変換回路からの出力データのレートを下げるための回路として、上記したデシメーションフィルを適用することができる。

【００１６】

【発明の実施の形態】

図４には本発明にかかる移動体通信用端末が示される。

【００１７】

図４に示される移動体通信端末は、特に制限されないが、１．９ＧＨｚの高周波での送受信を行うための高周波部４０と、移動体通信のための信号処理を行うベースバンドＬＳＩ４１とを含んで成る。

【００１８】
高周波部４０で受信された高周波信号は１０．８ＭＨｚの中間周波数（ＩＦ）に変換されてからベースバンドＬＳＩ４１に伝達される。また、信号送信のためベースバンドＬＳＩ４１からは９６ｋＨｚの出力信号（Ｉ，ＩＢ，Ｑ，ＱＢ）が高周波部４０に伝達される。
【００１９】
上記ベースバンドＬＳＩ４１は、特に制限されないが、モデム４２、チャネルコーデック４３、及び音声コーデック４とを含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。
【００２０】
モデム４２は、ディジタルデータと無線伝送に適したアナログ信号との間の変換（変調、復調）を行う。変調方式は、π／４シフトＱＰＳＫ（Quadruture Phase Shift Keying）とされる。モデム４２は、送信系と受信系とから成る。
【００２１】
受信系は上記高周波部４０から出力された中間周波数信号を増幅するための増幅器４２１、この増幅器４２１で増幅された信号の位相検出を行うための位相検出回路４２２、及び遅延検波を行うための遅延検波回路４２３を含む。
【００２２】
遅延検波回路４２３の出力信号ＲＤは３８４ｋｂｐｓの速度で後段のチャネルコーデック４３に入力される。送信系は、ＲＯＭに格納された波形データに基づいて上記チャネルコーデック４３からの出力信号ＳＤ（３８４ｂｐｓ）の波形生成を行うための波形生成回路４２７と、この波形生成回路４２７の出力信号をアナログ信号に変換するためのＤ／Ａ変換回路４２６、このＤ／Ａ変換回路４２６の出力信号から高周波数成分を取り除くためのポストフィルタ４２５、及びこのポストフィルタ４２５の出力信号を上記高周波部４０へ伝達するための出力バッファ４２４を含む。
【００２３】
チャネルコーデック４３は、上記モデム４２と音声コーデック４４との間に配置され、ディジタルデータの同期制御、ＴＤＭＡ／ＴＤＤ制御、秘話制御、スクランブル制御、誤り検出及び高周波部の電源制御等を行う。
【００２４】
音声コーデック４４は、音声のディジタル化及びデータ圧縮伸長を行う。圧縮伸長には、ＡＤＰＣＭ（Adaptive Differential Pulse Code Modulation）方式とされ、ディジタル化された音声データを圧縮し、また、そのような圧縮の逆（伸長）を行う。そのような音声コーデック４４は、特に制限されないが、圧縮された音声データを伸長するための伸長器４４１、補完機能を有するインタポレータ４４２、このインタポレータ４４２によって補間されたデータをアナログ信号に変換するためのＤ／Ａ変換回路４４３や、マイクロフォン（マイクと略記する）から入力された音声信号をオーバーサンプリングによりディジタル信号に変換するためのＡ／Ｄ変換回路４４４、Ａ／Ｄ変換回路４４４から出力されたデータを通常のサンプリングレートに変換するためのデシメーションフィルタ４４５、及びこのデシメーションフィルタ４４５の出力データを圧縮するための圧縮回路４４６を含む。この圧縮回路４４６の出力信号はチャネルコーデック４３に伝達される。
【００２５】
図１には上記デシメーションフィルタ４４５が示される。
【００２６】
図１に示されるようにデシメーションフィルタ４４５は、ディジタル信号の加算を行うための加算器Ａ１、それぞれクロック信号ＣＫＲ１，ＣＫＲ２，ＣＫＲ３に同期して入力データを保持するレジスタＲ１，Ｒ２，Ｒ３、セレクト信号ＳＥＬに基づいてデータ選択を行うためのセレクタＳ１、及び各部に供給されるクロック信号をシステムクロックＣＬＫに基づいて生成するためのタイミング制御回路１０を含む。
【００２７】
加算器Ａ１は、入力データＤ＿ＩＮとセレクタＳ１の出力信号とを加算する。セレクタＳ

１は、入力端子Ｈ，Ｌと出力端子Ｙとを有し、タイミング制御回路１０によって生成されたセレクト信号ＳＥＬに基づいて、レジスタＲ１の出力端子Ｑからの出力信号Ｒ１＿ＯＵＴと、レジスタＲ２の出力端子Ｑからの出力信号Ｒ２＿ＯＵＴとを選択的に上記加算器Ａ１に伝達する。上記加算器Ａ１の加算出力信号は上記レジスタＲ１，Ｒ２のデータ入力端子Ｄに伝達される。レジスタＲ１の出力端子Ｑから出力された信号はレジスタＲ３の入力端子Ｄへも伝達される。このレジスタＲ３はデータ出力用とされ、このレジスタＲ３の出力端子Ｑから、このデシメーションフィルタ４４５の出力信号Ｄ＿ＯＵＴが得られる。

【００２８】

図２には上記タイミング制御回路１０の構成例が示される。

【００２９】

図２に示されるようにタイミング制御回路１０は、分周器１０１～１０８と、この分周器１０１～１０６の分周出力を選択するためのセレクタ１０９と、セレクタ１０９により選択された分周出力に基づいてシステムクロックＣＬＫをマスクすることによりクロック信号ＣＫＲ１，ＣＫＲ２を生成するためのアンド（ＡＮＤ）回路１１０，１１１とを含む。上記分周器１０１～１０８の分周比は互いに異なっている。セレクタ１０９で分周器１０１～１０６の分周出力が選択されてマスク信号が形成される。このマスク信号により、システムクロックＣＬＫが部分的にマスクされてクロック信号ＣＫＲ１，ＣＫＲ２が形成される。

【００３０】

上記の構成において、時間的に変化する入力データＤ＿ＩＮのデータレートはｆｓで示され、そのような入力データＤ＿ＩＮは、Ｚ関数を用いると、Zm,....,Z3,Z2,Z1,1のように示される。ここで、mはm個前のデータを意味している。そのような信号入力が行われるとき、２次のデシメーションフィルタ４４５の出力は、デシメーション比を５とすると、

1+2*Z1+3*Z2+4*Z3+5*Z4+4*Z5+3*Z6+2*Z7+Z8……（１）

となり、ｆｓ／５毎にデータが出力される。記号「*」は乗算を意味する。

【００３１】

セレクト信号ＳＥＬがハイレベルのとき、セレクタＳ１により、レジスタＲ１の出力信号Ｒ１＿ＯＵＴが選択的に加算器Ａ１に伝達されて、そのときの入力データＤ＿ＩＮに加算される。また、セレクト信号ＳＥＬがローレベルのとき、セレクタＳＥＬにより、レジスタＲ２の出力信号Ｒ２＿ＯＵＴが選択的に加算器Ａ１に伝達されて、そのときの入力データＤ＿ＩＮに加算される。

【００３２】

図３のタイミングチャートに示すように、レジスタＲ１に入力されるクロック信号ＣＫＲ１のクロッキング回数は、データレートｆｓ内において、５回（区間１）、４回（区間２）３回（区間３）、２回（区間４）、１回（区間５）と順次切り換えられ、そのような動作が繰り返される。区間１でクロック信号ＣＫＲ１のクロッキング回数が５ということは、レジスタＲ１の出力信号Ｒ１＿ＯＵＴがセレクタＳ１で選択されて加算器Ａ１に入力されることにより、Ｚ４が５倍されることを意味する。同様に、区間２では、Ｚ３が４倍され、区間３ではＺ２が３倍され、区間４ではＺ１が２倍され、区間５では１が５倍される。

【００３３】

また、レジスタR2に入力されるクロック信号ＣＫＲ２は、データレートｆｓ内でそのクロッキング回数が、0回（区間１）、1回（区間２）、2回（区間３）、3回（区間４）、4回（区間５）と順次切り換えられ、セレクト信号ＳＥＬがローレベルのとき、レジスタＲ２の出力信号Ｒ２＿ＯＵＴが加算器Ａ１に伝達されて加算処理される。

【００３４】

これにより、それぞれのクロッキング回数に対応する回数だけ、同一の入力データへの加算が実行され、その結果、上記（１）式の係数乗算が実現される。

【００３５】

尚、区間1での最初のクロッキング時には、レジスタR2の出力信号Ｒ２＿ＯＵＴが選択さ

れる。レジスタR2は、上記区間1での最初のクロッキング後から、区間2でのレジスタR2のクロッキングの間にリセットされる。

【００３６】

レジスタR3のクロッキングは、区間5の動作終了後から、区間1の動作開始までに行われる。すなわち、分周器１０７で生成されたｆｓ／５のクロック信号ＣＫＲ３の波形立ち上がりエッジに同期してレジスタＲ１の出力Ｒ１＿OUTがレジスタＲ３においてクロッキングされることによりｆｓ／５毎のデータ出力（D_OUT）が行われる（図３参照）。このとき、レジスタR2の出力R2_OUTは、区間1開始時に、4*Z5+3*Z6+2*Z7+Z8となる。レジスタR1_OUTは、区間5の終了時に、1+2*Z1+3*Z2+4*Z3+5*Z4+(4*Z5+3*Z6+2*Z7+Z8)となるから、このようなレジスタＲ１の出力Ｒ１＿ＯＵＴをレジスタＲ３に伝達し、ｆｓ／５毎に出力することによりデシメーション比を５とした場合のデシメーションフィルタとしての機能が実現される。

【００３７】

上記の例によれば以下の作用効果が得られる。

【００３８】

（１）タイミング制御回路１０によって生成されるクロック信号ＣＫＲ１，ＣＫＲ２，ＣＫＲ３，セレクト信号ＳＥＬのタイミングを変更することにより、デシメーションフィルタにおける伝達関数の係数回分の加算処理が可能とされ、デシメーション比が２のべき乗に制限されない。換言すれば、タイミング制御回路１０によって生成されるクロック信号ＣＫＲ１，ＣＫＲ２，ＣＫＲ３，セレクト信号ＳＥＬのタイミングを変更することにより、任意のデシメーション比を実現することができ、２のべき乗以外のデシメーション比を実現するに当たり、回路の大幅な変更を必要としない。また、係数の乗算をデコーダ回路もしくはＲＯＭで実現するものではないので、回路規模の増大を招くこともない。図１に示されるデシメーションフィルタは、加算器Ａ１、レジスタＲ１，Ｒ２，Ｒ３、セレクタＳ１、及びタイミング制御回路１０によって、比較的シンプルに構成することができる。

【００３９】

（２）上記（１）の作用効果により、そのようなデシメーションフィルタを内蔵して１チップ化されたベースバンドＬＳＩなどの半導体集積回路においては、デシメーションフィルタのチップ占有面積の増大を抑えることができ、また、回路規模の縮小、及び構成素子数の低減が可能であるから、消費電力を抑えることができる。

【００４０】

以上、本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【００４１】

例えば、図１に示されるデシメーションフィルタを複数個結合することにより、高デシメーション比を容易に実現することができる。例えば、図５に示されるように、デシメーション比が１に設定されたデシメーションフィルタ５１と、それの後段に配置され、デシメーション比がｍに設定されたデシメーションフィルタ５２と、それの後段に配置され、デシメーション比がｎに設定されたデシメーションフィルタ５３とが結合されると、全体のデシメーション比は1*m*nとなり、単独の場合に比べてデシメーション比が高くなる。

【００４２】

デシメーションフィルタ５１，５２，５３は、タイミング制御回路１０におけるタイミング制御により、２のべき乗以外のデシメーション比をも容易に実現することができるから、図５に示されるように、複数個のデシメーションフィルタが結合される場合においても、全体のデシメーション比を任意に設定可能であり、２のべき乗に制限されない。

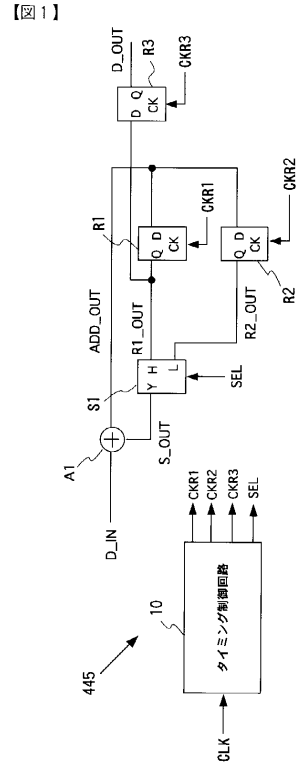
【００４３】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である移動体通信用端末に適用した場合について説明したが、本発明はそれに限定されるものではなく、Ａ／Ｄ変換回路を備えた各種半導体集積回路並びに信号処理システムに広く適

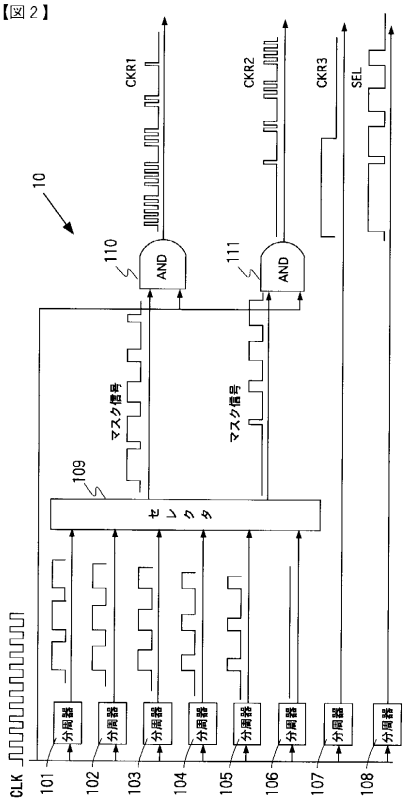
用することができれる。
【００４４】
本発明は、少なくともデータレートを変換することを条件に適用することができる。
【００４５】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。
【００４６】
すなわち、加算器は同一の入力データについてデシメーションフィルタにおける伝達関数の係数回分の加算処理を行い、その加算回数は上記タイミング制御回路から出力される信号のタイミングで制御されるから、この信号のタイミングを変更することにより、任意のデシメーション比を実現することができる。そのように、デシメーションフィルタにおける係数乗算がビットシフトによらないで行えるから、デシメーション比が２のべき乗に制限されないで済む。しかも、２のべき乗以外のデシメーション比を実現するに当たり、回路の大幅な変更を必要としない。また、係数の乗算をデコーダ回路もしくはＲＯＭで実現するものではないので、回路規模の増大を招くこともない。
【００４７】
第３クロック信号に同期して上記第１レジスタの出力端子から出力されたデータを保持するための第３レジスタを設けることにより、デシメーションフィルタリング結果を的確に外部出力することができる。
【００４８】
上記構成のデシメーションフィルタを複数個シリーズ接続することにより、高デシメーション比を容易に実現することができる。
【００４９】
さらに、アナログ信号をオーバーサンプリングによりディジタル信号に変換するためのＡ／Ｄ変換回路を含んで半導体集積回路や信号処理システムが形成されるとき、上記Ａ／Ｄ変換回路からの出力データのレートを下げるための回路として、上記デシメーションフィルを適用することができ、その場合において、デシメーションフィルタの占有面積の縮小を図ることができる。
【図面の簡単な説明】
【図１】本発明にかかるデシメーションフィルタの構成例回路図である。
【図２】上記デシメーションフィルタに含まれるタイミング制御回路の構成例回路図である。
【図３】上記デシメーションフィルタの動作タイミング図である。
【図４】上記デシメーションフィルタを含む移動体通信用端末の構成例ブロック図である。
【図５】上記デシメーションフィルタを複数個シリーズ接続して用いる場合の構成例ブロック図である。
【符号の説明】
１０　タイミング制御回路
５１～５３，４４５　デシメーションフィルタ
４０　高周波部
４２　モデム
４３　チャネルコーデック
４４　音声コーデック
４２１　増幅器
４２２　位相検出回路
４２３　遅延検波回路
４２４　出力バッファ
４２５　ポストフィルタ

４２６　Ｄ／Ａ変換回路
４２７　波形生成回路
４４１　伸長回路
４４２　インポレータ
４４３　Ｄ／Ａ変換回路
４４４　Ａ／Ｄ変換回路
４４６　圧縮回路
Ａ１　加算器
Ｒ１，Ｒ２，Ｒ３　レジスタ
Ｓ１　セレクタ

【図１】

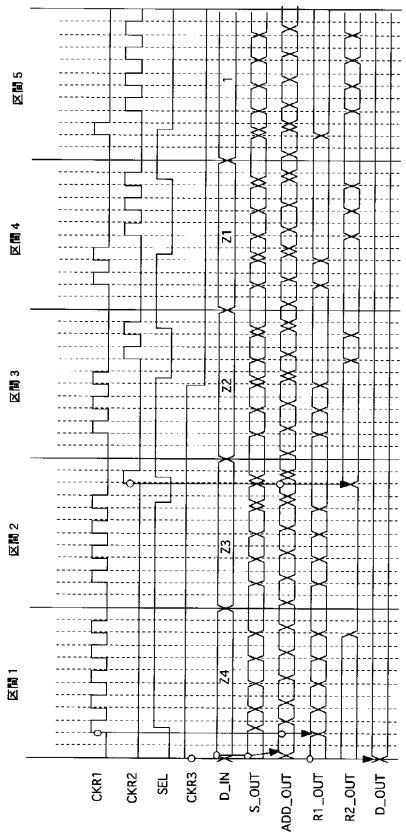


【図２】



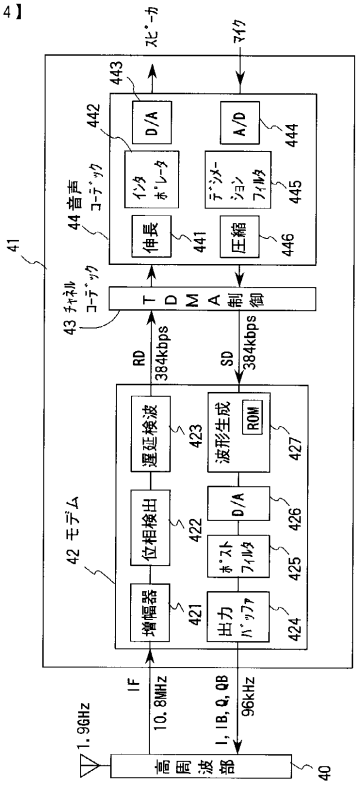
【図３】

【図3】



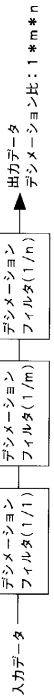
【図４】

【図4】



【図５】

【図5】



フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)

H03H 17/00 621
H03H 17/02 671
H03H 17/02 681
H03M 1/08