

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年9月6日(06.09.2013)



(10) 国際公開番号
WO 2013/128578 A1

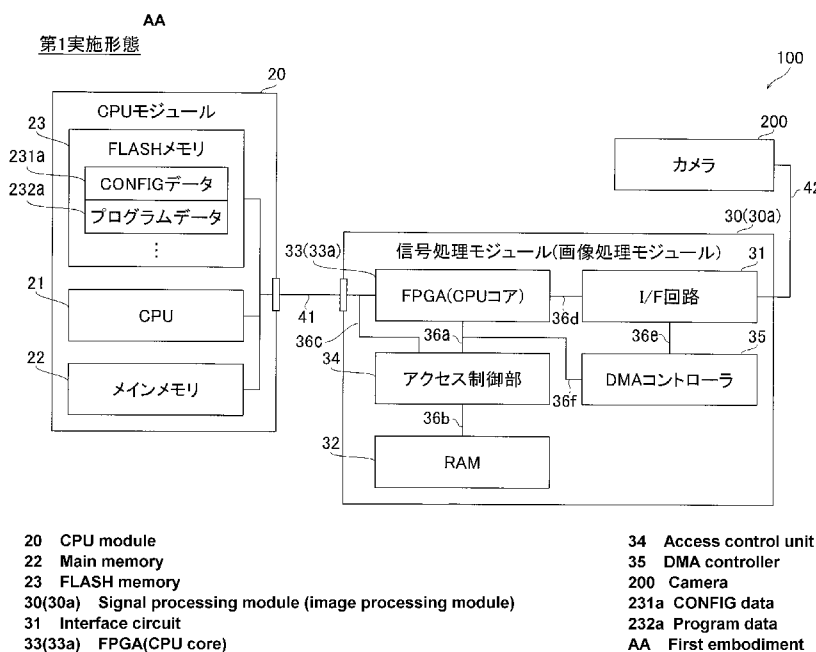
- (51) 国際特許分類:
G06F 9/38 (2006.01) *G06F 15/80* (2006.01)
G06F 11/00 (2006.01) *H03K 19/173* (2006.01)
- (21) 国際出願番号: PCT/JP2012/054969
- (22) 国際出願日: 2012年2月28日(28.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 株式会社安川電機(KABUSHIKI KAISHA YASKAWA DENKI) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石2番1号 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 岩田 吉弘(IWATA, Yoshihiro) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石2番1号 株式会社安川電機内 Fukuoka (JP). 石橋 直義(ISHIBASHI, Naoyoshi) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石2番1号 株式会社安川電機内 Fukuoka (JP). 田中 道春(TANAKA, Michiharu) [JP/JP]; 〒8060004 福岡県北九州市八幡西区黒崎城石2番1号 株式会社安川電機内 Fukuoka (JP).
- (74) 代理人: 宮園 博一(MIYAZONO, Hirokazu); 〒5320011 大阪府大阪市淀川区西中島5丁目13番9号 新大阪MTビル1号館 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: CONTROL APPARATUS AND METHOD FOR CONTROLLING CONTROL APPARATUS

(54) 発明の名称: 制御装置および制御装置の制御方法

[図2]



(57) Abstract: A control apparatus (100) is provided with signal processing modules (30, 30a), which include a field programmable gate array (33), and volatile memory (32) having configuration information of the field programmable gate array stored therein. The field programmable gate array is configured such that the field programmable gate array can access the volatile memory even after configuration is performed.

(57) 要約: この制御装置(100)は、フィールドプログラマブルゲートアレイ(33)と、フィールドプログラマブルゲートアレイのコンフィグレーション情報が記憶される揮発性メモリ(32)を含む信号処理モジュール(30、30a)を備える。フィールドプログラマブルゲートアレイは、コンフィグレーション後においても揮発性メモリにアクセス可能なように構成されている。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 制御装置および制御装置の制御方法

技術分野

[0001] この発明は、制御装置および制御装置の設定方法に関し、特に、フィールドプログラマブルゲートアレイを含む信号処理モジュールを備えた制御装置および制御装置の制御方法に関する。

背景技術

[0002] 従来、フィールドプログラマブルゲートアレイを含む信号処理モジュールを備えた制御装置が知られている。このような制御装置は、たとえば、特開 2000-105759 号公報に開示されている。

[0003] 上記特開 2000-105759 号公報には、FPGA（フィールドプログラマブルゲートアレイ）と、FPGA を CPU コア（演算処理部）としてプログラムするためのロジックデータ（コンフィグレーション情報）が記憶された不揮発性の PROM（プログラマブルリードオンリーメモリ）とを備えた集積回路が開示されている。このような集積回路は、制御装置の信号処理モジュールなどに用いられる。なお、一般に、FPGA を所望の機能を有する回路としてプログラムすることを、コンフィグレーションという。

先行技術文献

特許文献

[0004] 特許文献1：特開 2000-105759 号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記特開 2000-105759 号公報に開示された集積回路では、コンフィグレーション後の FPGA（フィールドプログラマブルゲートアレイ）を CPU コア（演算処理部）として動作させるために、CPU コアの動作プログラムなどを含む種々のデータを記憶するためのメモリを、FPGA のコンフィグレーションに用いるロジックデータ（コンフィグレ

ーション情報）が記憶される不揮発性のPROMとは別個に設ける必要があると考えられる。このため、装置（集積回路を用いた信号処理モジュール）が大型化するという問題点がある。

[0006] この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、装置の小型化を図ることが可能な制御装置および制御装置の制御方法を提供することである。

課題を解決するための手段

[0007] 第1の局面による制御装置は、フィールドプログラマブルゲートアレイと、フィールドプログラマブルゲートアレイのコンフィグレーション情報が記憶される揮発性メモリとを含む信号処理モジュールを備え、フィールドプログラマブルゲートアレイは、コンフィグレーション後においても揮発性メモリにアクセス可能なように構成されている。

[0008] 第1の局面による制御装置では、上記のように、制御装置の信号処理モジュールに、フィールドプログラマブルゲートアレイのコンフィグレーション情報が記憶される揮発性メモリを設け、フィールドプログラマブルゲートアレイを、コンフィグレーション後においても揮発性メモリにアクセス可能なように構成する。これにより、フィールドプログラマブルゲートアレイのコンフィグレーション情報が記憶される揮発性メモリを、コンフィグレーション後のフィールドプログラマブルゲートアレイが動作する際に用いられる種々のデータを記憶するためのメモリとしても用いることができる。その結果、コンフィグレーション後のフィールドプログラマブルゲートアレイが動作する際に用いられる種々のデータを記憶するためのメモリを、フィールドプログラマブルゲートアレイのコンフィグレーション情報が記憶されるメモリとは別個に設ける必要がないので、その分、装置の小型化を図ることができる。

[0009] 第2の局面による制御装置の制御方法は、制御モジュールと、フィールドプログラマブルゲートアレイおよび揮発性メモリを含む信号処理モジュールとを備えた制御装置の制御方法であって、フィールドプログラマブルゲート

アレイのコンフィグレーション情報を制御モジュールから取得して揮発性メモリに記憶するステップと、揮発性メモリに記憶されたコンフィグレーション情報に基づいてコンフィグレーションを行うことにより、フィールドプログラマブルゲートアレイを信号処理モジュールの演算処理部として機能させるステップと、演算処理部から揮発性メモリへのアクセスを可能にして演算処理部により演算処理を行うステップとを備える。

[0010] 第2の局面による制御装置の制御方法では、上記のように、信号処理モジュールの揮発性メモリに記憶されたコンフィグレーション情報に基づいてコンフィグレーションを行うことにより、フィールドプログラマブルゲートアレイを信号処理モジュールの演算処理部として機能させるステップと、演算処理部から揮発性メモリへのアクセスを可能にして演算処理部により演算処理を行うステップとを備える。これにより、フィールドプログラマブルゲートアレイのコンフィグレーション情報が記憶される揮発性メモリを、コンフィグレーション後のフィールドプログラマブルゲートアレイが演算処理部として動作する際に用いられる種々のデータを記憶するためのメモリとしても用いることができる。その結果、コンフィグレーション後のフィールドプログラマブルゲートアレイが演算処理部として動作する際に用いられる種々のデータを記憶するためのメモリを、フィールドプログラマブルゲートアレイのコンフィグレーション情報が記憶されるメモリとは別個に設ける必要がないので、その分、装置の小型化を図ることが可能な制御装置の制御方法を提供することができる。

発明の効果

[0011] 上記制御装置および制御装置の制御方法によれば、装置の小型化を図ることができる。

図面の簡単な説明

[0012] [図1]第1実施形態によるPLC（プログラマブルロジックコントローラ）の全体構成を示したブロック図である。

[図2]第1実施形態によるPLCのCPUモジュールおよび信号処理モジュール

ルの具体的な構成を示したブロック図である。

[図3]第1実施形態によるPLCの電源投入時において信号処理モジュールのFPGA（フィールドプログラマブルゲートアレイ）のコンフィグレーションが行われる際におけるCPUモジュール側の処理フローを示したフローチャートである。

[図4]第1実施形態によるPLCの電源投入時において信号処理モジュールのFPGAのコンフィグレーションが行われる際における信号処理モジュール（画像処理モジュール）側の処理フローを示したフローチャートである。

[図5]第2実施形態によるPLCのCPUモジュールおよび信号処理モジュールの具体的な構成を示したブロック図である。

[図6]第1実施形態の第1変形例によるPLCのCPUモジュールおよび信号処理モジュールの具体的な構成を示したブロック図である。

[図7]第1実施形態の第2変形例によるPLCのCPUモジュールおよび信号処理モジュールの具体的な構成を示したブロック図である。

[図8]第1実施形態の第3変形例によるPLCのCPUモジュールおよび信号処理モジュールの具体的な構成を示したブロック図である。

発明を実施するための形態

[0013] 以下、実施形態を図面に基づいて説明する。

[0014] （第1実施形態）

まず、図1および図2を参照して、第1実施形態によるPLC（プログラマブルロジックコントローラ）100の構成について説明する。なお、PLC 100は、「制御装置」の一例である。

[0015] 図1に示すように、PLC 100は、PLC 100全体に電源を供給するための電源モジュール10と、PLC 100全体の制御を行うためのCPUモジュール20と、電源モジュール10およびCPUモジュール20に接続された複数の信号処理モジュール30とを備えている。なお、CPUモジュール20は、「制御モジュール」の一例である。

[0016] 複数の信号処理モジュール30は、それぞれ、種々の外部入力装置（たと

例えば、図2に示すカメラ200)を接続可能なように構成されており、これら種々の外部入力装置から入力される種々の信号(たとえば、カメラ200から入力される画像データ)に対応する種々の信号処理(たとえば、画像処理)を行うことが可能なように構成されている。なお、複数の信号処理モジュール30は、それぞれ、外部入力装置が接続されるインターフェース部分(図2のI/F回路31参照)以外の構成が共通している。これにより、インターフェース部分の構成を種々に変更するだけで、複数の信号処理モジュール30を種々の外部入力装置に対応させることが可能である。

[0017] ここで、複数の信号処理モジュール30は、それぞれ、RAM(ランダムアクセスメモリ)32と、コンフィグレーションによって所望の機能を有する回路としてプログラムすることが可能なFPGA(フィールドプログラマブルゲートアレイ)33とを有している。なお、第1実施形態では、後述するように、PLC100の電源投入時にFPGA33のコンフィグレーションが行われる。

[0018] 以下では、図2に示すように、複数の信号処理モジュール30(図1参照)のうちの1つの信号処理モジュール30が、カメラ200から入力される画像データに対して画像処理を行う画像処理モジュール30aとして機能する場合について説明する。すなわち、複数の信号処理モジュール30のうちの1つの信号処理モジュール30のFPGA33に対してコンフィグレーションが行われることにより、そのFPGA33が画像処理モジュール30aのCPUコア33aとして機能するようにプログラムされる例について説明する。なお、CPUコア33aは、「演算処理部」の一例である。

[0019] 図2に示すように、CPUモジュール20と、画像処理モジュール30aとして機能する信号処理モジュール30とは、パラレルバス41を介して接続されている。なお、図2には図示していないが、このパラレルバス41には、画像処理モジュール30aとして機能する信号処理モジュール30以外の複数の信号処理モジュール30(図1参照)も接続されている。

[0020] CPUモジュール20は、CPUモジュール20全体の制御を行うための

CPU 21 と、CPU 21 の動作プログラムなどが記憶されたメインメモリ 22 と、不揮発性でかつ書き換え可能なFLASHメモリ 23 とを含むように構成されている。

[0021] ここで、第1実施形態では、FLASHメモリ 23 には、信号処理モジュール 30 のFPGA 33 を画像処理モジュール 30 a のCPUコア 33 a として機能するようにプログラムするための情報（コンフィグレーション情報）を含むCONFIGデータ 231 a と、コンフィグレーション後のFPGA 33 をCPUコア 33 a として動作させるための動作プログラムを含むプログラムデータ 232 a とが記憶されている。なお、図2には図示していないが、FLASHメモリ 23 には、画像処理モジュール 30 a として機能する信号処理モジュール 30 以外の複数の信号処理モジュール 30（図1参照）の各々が有するFPGA 33 に対応するCONFIGデータおよびプログラムデータも記憶されている。また、CONFIGデータとは、FPGA 33 の各素子の論理構成や、配置および配線関係などを決定するための素子構成情報である。

[0022] また、第1実施形態では、CPUモジュール 20 のCPU 21 は、PLC 100 の電源投入時に、FLASHメモリ 23 に記憶されたCONFIGデータ 231 a およびプログラムデータ 232 a を画像処理モジュール 30 a として機能する信号処理モジュール 30 に送信して、CONFIGデータ 231 a およびプログラムデータ 232 a を画像処理モジュール 30 a として機能する信号処理モジュール 30 のRAM 32 に記憶させるように構成されている。そして、CPU 21 は、画像処理モジュール 30 a として機能する信号処理モジュール 30 のRAM 32 にCONFIGデータ 231 a およびプログラムデータ 232 a が記憶された後に、画像処理モジュール 30 a として機能する信号処理モジュール 30 のFPGA 33 にコンフィグレーションを開始するように指示する旨の信号（コンフィグレーション開始指示（図3および図4参照））を出力するように構成されている。

[0023] また、第1実施形態では、CPUモジュール 20 のCPU 21 は、画像処

理モジュール30aとして機能する信号処理モジュール30のFPGA33のコンフィグレーションが行われている際に、そのコンフィグレーションと並行して、自己診断を行うように構成されている。ここで、自己診断とは、メインメモリ22およびFLASHメモリ23に記憶された各データの妥当性の検査や、CPU21の動作に異常がないか否かの検査などである。この自己診断は、画像処理モジュール30aとして機能する信号処理モジュール30を含む複数の信号処理モジュール30（図1参照）の各々のFPGA33のコンフィグレーションが互いに並列に行われる場合には、複数の信号処理モジュール30の各々のFPGA33のコンフィグレーションと並行して行われる。

[0024] なお、第1実施形態では、CPUモジュール20のCPU21は、信号処理モジュール30のFPGA33のコンフィグレーション時において何らかのエラー（コンフィグレーションエラー）が発生した際に信号処理モジュール30から出力されるコンフィグレーションエラー通知（図3および図4参照）が検出された場合に、PLC100全体を停止させてFPGA33のコンフィグレーションを停止させるように構成されている。また、CPUモジュール20のCPU21は、信号処理モジュール30のFPGA33のコンフィグレーションが完了した際に信号処理モジュール30から出力されるコンフィグレーション完了通知（図3および図4参照）が検出された場合に、コンフィグレーション後のFPGA33（CPUコア33a）との間の接続が正常か否かの接続確認を行うように構成されている。

[0025] 図2に示すように、画像処理モジュール30a（信号処理モジュール30）は、I/F回路31と、RAM32と、FPGA33と、アクセス制御部34と、DMA（ダイレクトメモリアクセス）コントローラ35とを含むように構成されている。なお、DMAコントローラ35は、「ダイレクトメモリアクセス制御部」の一例である。

[0026] I/F回路31は、ケーブル42を介してカメラ200を接続可能なように構成されている。このI/F回路31は、カメラ200からケーブル42

を介して入力されるアナログ方式の画像データをデジタル方式の画像データに変換するためのA/D変換器（アナログ／デジタル変換器）などを含むように構成されている。

[0027] RAM 32は、揮発性のランダムアクセスメモリである。このRAM 32は、PLC 100の電源投入時にCPUモジュール20から送信されるCONFIGデータ231aおよびプログラムデータ232aが記憶されるように構成されている。

[0028] FPGA 33は、SRAM方式のフィールドプログラマブルゲートアレイである。このFPGA 33は、RAM 32に記憶されたCONFIGデータ231aに基づいて行われるコンフィグレーションによって、画像処理を行うCPUコア33aとしてプログラムされるように構成されている。そして、このように画像処理を行うCPUコア33aとしてプログラムされたFPGA 33は、RAM 32に記憶されたプログラムデータ232aに基づいて動作するように構成されている。

[0029] ここで、第1実施形態では、コンフィグレーション後のFPGA 33（CPUコア33a）は、RAM 32にアクセス可能なように構成されている。すなわち、RAM 32は、コンフィグレーション後のFPGA 33（CPUコア33a）が画像処理を行う際の作業用メモリとして用いられるように構成されている。なお、RAM 32は、コンフィグレーション後のFPGA 33（CPUコア33a）からだけでなく、CPUモジュール20のCPU 21からもアクセス可能なように構成されている。

[0030] アクセス制御部34は、画像処理モジュール30aとして機能する信号処理モジュール30のRAM 32への外部からのアクセスを制御するために設けられている。具体的には、アクセス制御部34は、FPGA 33がRAM 32にバス36aおよび36bを介してアクセスすることを許可または不許可にしたり、CPUモジュール20のCPU 21がパラレルバス41、バス36cおよび36bを介してRAM 32にアクセスすることを許可または不許可にしたりする機能を有するように構成されている。すなわち、アクセス

制御部 34 は、RAM 32 に接続されたバス 36 b の使用权の競合を調停する機能を有するようにプログラムされた PLD（プログラムロジックデバイス）により構成されている。

[0031] たとえば、アクセス制御部 34 は、PLC 100 の電源投入時において、RAM 32 に接続されたバス 36 b の使用权をバス 36 c 側（CPU モジュール 20 側）に開放するように構成されている。これにより、PLC 100 の電源投入時に CPU モジュール 20 からパラレルバス 41 を介して転送される CONFIG データ 231 a およびプログラムデータ 232 a は、バス 36 c および 36 b を介して RAM 32 側に転送されて RAM 32 に記憶される。

[0032] また、アクセス制御部 34 は、RAM 32 に CONFIG データ 231 a およびプログラムデータ 232 a が記憶された後で、かつ、CPU モジュール 20 からコンフィグレーション開始指示（図 3 および図 4 参照）が出力された際において、RAM 32 に接続されたバス 36 b の使用权をバス 36 a 側（FPGA 33 側）に開放するように構成されている。これにより、FPGA 33 を CPU コア 33 a としてプログラムするためのコンフィグレーションが開始される際には、RAM 32 に記憶された CONFIG データ 231 a がバス 36 b および 36 a を介して FPGA 33 側に転送される。

[0033] なお、第 1 実施形態では、RAM 32 は、上記 PLC 100 の電源投入時に CPU モジュール 20 から送信される CONFIG データ 231 a およびプログラムデータ 232 a だけでなく、カメラ 200 から入力される画像データも記憶することが可能なように構成されている。ここで、画像処理モジュール 30 a には、画像処理モジュール 30 a に接続されるカメラ 200 が CPU コア 33 a を介さずに RAM 32 にアクセス可能にするための DMA コントローラ 35 が設けられている。

[0034] すなわち、第 1 実施形態では、カメラ 200 から入力される画像データは、通常、I/F 回路 31 からバス 36 d を介して CPU コア 33 a に転送され、CPU コア 33 a からバス 36 a、アクセス制御部 34 およびバス 36

bを介してRAM 32に転送される。しかしながら、カメラ200から入力される画像データのデータ量が多い場合、および、その画像データの転送速度が高速である場合には、画像データは、CPUコア33aを経由することなく、I/F回路31からバス36e、DMAコントローラ35、バス36f、バス36a、アクセス制御部34およびバス36bを介してRAM 32に転送される。

[0035] また、第1実施形態では、上記のようなFPGA 33のコンフィグレーション時において何らかのエラー（コンフィグレーションエラー）が発生した場合には、コンフィグレーションエラーが発生した旨を通知するための信号（コンフィグレーションエラー通知（図3および図4参照））がFPGA 33からCPUモジュール20に出力されるように構成されている。また、FPGA 33のコンフィグレーションが完了した場合には、コンフィグレーションが完了した旨を通知するための信号（コンフィグレーション完了通知（図3および図4参照））がFPGA 33からCPUモジュール20に出力されるように構成されている。

[0036] また、上記のようなFPGA 33のコンフィグレーションにおいては、FPGA 33がマスターとして動作してもよいし、FPGA 33がスレーブとして動作してもよい。すなわち、信号処理モジュール30は、FPGA 33が主体となってコンフィグレーションを行うような構成であってもよいし、FPGA 33以外のたとえばアクセス制御部34が主体となってFPGA 33にコンフィグレーションを行わせるような構成であってもよい。

[0037] 次に、図3および図4を参照して、PLC 100の電源投入時において信号処理モジュール30のFPGA 33のコンフィグレーションが行われる際におけるPLC 100の処理フローについてCPUモジュール20側と信号処理モジュール30（画像処理モジュール30a）側とに分けて説明する。

[0038] 以下では、PLC 100が有する複数の信号処理モジュール30のうちの1つの信号処理モジュール30のFPGA 33が、コンフィグレーションによって画像処理モジュール30aのCPUコア33aとして機能するように

プログラムされる例について説明する。

[0039] まず、図3を参照して、PLC100の電源投入時におけるCPUモジュール20側の処理フローについて説明する。

[0040] 図3に示すように、CPUモジュール20側では、まず、ステップS1において、CPUモジュール20の内部に設けられたCPU21の周辺回路（たとえば、バスコントローラなど）が初期化される。そして、ステップS2に進む。

[0041] 次に、ステップS2において、FLASHメモリ23に記憶されたCONF I Gデータ231 aおよびプログラムデータ232 aが信号処理モジュール30のRAM32に向けて送信される。このようにCPUモジュール20から信号処理モジュール30に送信されたCONF I Gデータ231 aおよびプログラムデータ232 aは、信号処理モジュール30のRAM32に記憶される。そして、ステップS3に進む。

[0042] 次に、ステップS3において、コンフィグレーションを開始するように指示する旨の信号（コンフィグレーション開始指示）がCPU21から信号処理モジュール30のFPGA33に向けて出力される。そして、ステップS4に進む。

[0043] 次に、ステップS4において、CPU21による自己診断が行われる。具体的には、メインメモリ22およびFLASHメモリ23に記憶された各データの妥当性の検査や、CPU21の動作に異常がないか否かの検査などが行われる。なお、このステップS4における自己診断処理は、信号処理モジュール30のFPGA33のコンフィグレーション処理（後述する図4のステップS12～S18参照）と並行して行われる。そして、ステップS5に進む。

[0044] なお、第1実施形態では、上記ステップS4における自己診断によって、メインメモリ22およびFLASHメモリ23に記憶された各データに何らかの異常が検出されたり、CPU21の動作に何らかの異常が検出されたりした場合に、PLC100全体を停止させる処理を行うようにCPU21を

構成してもよい。

[0045] 次に、ステップS5において、信号処理モジュール30のFPGA33のコンフィグレーション時において何らかのエラー（コンフィグレーションエラー）が発生した際に信号処理モジュール30から出力されるコンフィグレーションエラー通知（後述する図4のステップS14およびS15参照）がCPUモジュール20側で検出されたか否かが判断される。

[0046] ここで、ステップS5において、コンフィグレーションエラー通知が検出された場合には、ステップS6に進む。そして、ステップS6において、PLC100全体を停止させる処理が行われ、処理が終了される。

[0047] 一方、ステップS5において、コンフィグレーションエラー通知が検出されなかった場合には、ステップS7に進む。そして、ステップS7において、信号処理モジュール30のFPGA33のコンフィグレーションが完了した際に信号処理モジュール30から出力されるコンフィグレーション完了通知（後述する図4のステップS16およびS17参照）が検出されたか否かが判断される。

[0048] ステップS7における処理は、コンフィグレーション完了通知が検出されるまで繰り返される。そして、ステップS7において、コンフィグレーション完了通知が検出された場合には、ステップS8に進む。

[0049] 次に、ステップS8において、コンフィグレーション後のFPGA33（CPUコア33aとの間の接続が正常か否かの接続確認が行われる。そして、処理が終了される。なお、第1実施形態では、このステップS8においてCPUコア33aとの間の接続に何らかの異常が検出された場合に、PLC100全体を停止させる処理を行うようにCPU21を構成してもよい。

[0050] 次に、図4を参照して、PLC100の電源投入時における信号処理モジュール30側の処理フローについて説明する。

[0051] 図4に示すように、信号処理モジュール30側では、まず、ステップS11において、FPGA33内のSRAMなどが初期化される。そして、上記図3のステップS2においてCPUモジュール20から送信されてRAM3

2に記憶され、かつ、上記図3のステップS3においてCPUモジュール20から出力されたコンフィグレーション開始指示が信号処理モジュール30側で検出された場合に、ステップS12に進む。

[0052] 次に、ステップS12において、上記図3のステップS2においてCPUモジュール20から送信されてRAM32に記憶されたCONFIGデータ231aがRAM32から読み出される。そして、ステップS13に進む。

[0053] 次に、ステップS13において、上記ステップS12においてRAM32から読み出されたCONFIGデータ231aに基づいて、FPGA33のコンフィグレーションが開始される。そして、ステップS14に進む。

[0054] 次に、ステップS14において、FPGA33のコンフィグレーション時に何らかのエラー（コンフィグレーションエラー）が発生したか否かが判断される。ここで、ステップS14において、コンフィグレーションエラーが発生したと判断された場合には、ステップS15に進む。そして、ステップS15において、コンフィグレーションエラーが発生した旨を通知するための信号（コンフィグレーションエラー通知）がCPUモジュール20に向けて出力され、処理が終了される。

[0055] 一方、ステップS14において、コンフィグレーションエラーが発生しなかったと判断された場合には、ステップS16に進む。そして、ステップS16において、コンフィグレーションが完了したか否かが判断される。このステップS16の処理は、コンフィグレーションが完了したと判断されるまで繰り返される。

[0056] ステップS16において、コンフィグレーションが完了したと判断された場合には、ステップS17に進む。そして、ステップS17において、コンフィグレーションが完了した旨を通知するための信号（コンフィグレーション完了通知）がCPUモジュール20に向けて出力され、ステップS18に進む。

[0057] そして、ステップS18において、上記図3のステップS2においてCPU21から送信されてRAM32に記憶されたプログラムデータ232aに

基づいて、FPGA 33のCPUコア33aとしての動作が開始され、処理が終了される。なお、上記ステップS12～S18における処理（FPGA 33のコンフィグレーション処理）は、上記図3のステップS4におけるCPUモジュール20の自己診断処理と並行して行われる。

[0058] 第1実施形態では、上記のように、PLC 100の信号処理モジュール30（画像処理モジュール30a）に、PLC 100のCPUモジュール20から取得されたCONF I Gデータ231a（信号処理モジュール30のFPGA 33を画像処理モジュール30aのCPUコア33aとして機能するようにプログラムするためのコンフィグレーション情報）が記憶される揮発性のRAM 32を設ける。そして、コンフィグレーションによってCPUコア33aとして機能させたFPGA 33を、RAM 32にアクセス可能なように構成する。これにより、FPGA 33のCONF I Gデータ231aが記憶される信号処理モジュール30の揮発性のRAM 32を、コンフィグレーション後のFPGA 33がCPUコア33aとして動作する際に用いられる種々のデータを記憶するためのメモリとしても用いることができる。その結果、コンフィグレーション後のFPGA 33がCPUコア33aとして動作する際に用いられる種々のデータを記憶するためのメモリを、FPGA 33のCONF I Gデータ231aが記憶されるメモリとは別個に設ける必要がないので、その分、信号処理モジュール30の小型化を図ることができる。

[0059] また、第1実施形態では、信号処理モジュール30（画像処理モジュール30a）のRAM 32にCPUコア33aのプログラムデータ232aも記憶して、RAM 32に記憶されたプログラムデータ232aに基づいてCPUコア33aを動作させる。これにより、CPUコア33aのプログラムデータ232aを記憶するためのメモリをRAM 32とは別個に設ける必要がないので、信号処理モジュール30の小型化をより図ることができる。

[0060] また、第1実施形態では、上記のように、信号処理モジュール30（画像処理モジュール30a）のRAM 32を、CPUコア33aの作業用メモリ

として用いる。これにより、CPUコア33aの作業用メモリをRAM32とは別個に設ける必要がないので、信号処理モジュール30の小型化をさらに図ることができる。

[0061] また、第1実施形態では、上記のように、信号処理モジュール30（画像処理モジュール30a）のRAM32を、CPUモジュール20のCPU21からもアクセス可能なように構成する。これにより、信号処理モジュール30（画像処理モジュール30a）のRAM32がCPUモジュール20のCPU21からアクセス不可能に構成される場合と異なり、制御の利便性を高めることができる。

[0062] また、第1実施形態では、上記のように、信号処理モジュール30（画像処理モジュール30a）のアクセス制御部34は、RAM32に接続されるバス36bの使用権の競合を調停することにより、RAM32へのアクセスを制御する。これにより、アクセス制御部34によって、RAM32へのアクセスが競合するのを容易に回避することができる。

[0063] また、第1実施形態では、上記のように、信号処理モジュール30（画像処理モジュール30a）のFPGA33のコンフィグレーションを、CPUモジュール20の自己診断と並行して行うように構成する。これにより、信号処理モジュール30（画像処理モジュール30a）のFPGA33のコンフィグレーションと、CPUモジュール20の自己診断とを効率的に行うことができる。

[0064] また、第1実施形態では、上記のように、信号処理モジュール30を複数設け、複数の信号処理モジュール30の各々のFPGA33のコンフィグレーションを、CPUモジュール20の自己診断と並行して行うように構成する。これにより、信号処理モジュール30が複数ある場合でも、複数の信号処理モジュール30の各々のFPGA33のコンフィグレーションと、CPUモジュール20の自己診断とを効率的に行うことができる。

[0065] また、第1実施形態では、上記のように、信号処理モジュール30（画像処理モジュール30a）に、信号処理モジュール30（画像処理モジュール

30a)に接続されるカメラ200がCPUコア33aを介さずにRAM32にアクセス可能にするためのDMAコントローラ35を設ける。これにより、DMAコントローラ35によって、たとえばカメラ200と信号処理モジュール30との間で転送される画像データのデータ量が大きい場合、および、その画像データの転送速度が高速である場合に、その画像データを、CPUコア33aを介さずにカメラ200とRAM32との間で直接転送することができる。その結果、カメラ200と信号処理モジュール30（画像処理モジュール30a）との間の画像データの転送を高速化することができるとともに、画像データの転送時におけるCPUコア33aの負担を軽減することができる。

[0066] また、第1実施形態では、上記のように、信号処理モジュール30（画像処理モジュール30a）のRAM32に、信号処理モジュール30（画像処理モジュール30a）に接続されるカメラ200から入力される画像データも記憶する。これにより、カメラ200から入力される画像データを記憶するためのメモリをRAM32とは別個に設ける必要がないので、信号処理モジュール30の小型化をより図ることができる。

[0067] （第2実施形態）

次に、図5を参照して、第2実施形態によるPLC（プログラマブルロジックコントローラ）101の構成について説明する。この第2実施形態では、信号処理モジュール30にカメラ200が接続されている上記第1実施形態と異なり、信号処理モジュール30にモータ301およびエンコーダ302に接続されたモータ制御装置303が接続されている例について説明する。なお、PLC101は、「制御装置」の一例である。また、モータ制御装置303は、「外部入力装置」の一例である。

[0068] 図5に示すように、第2実施形態によるPLC101の信号処理モジュール30には、モータ301およびエンコーダ302に接続されたモータ制御装置303がケーブル43を介して接続されている。この第2実施形態では、PLC101の電源投入時に行われるコンフィグレーションにより、信号

処理モジュール30のFPGA33が、エンコーダ302からのフィードバックなどに対して信号処理を行うための信号処理モジュール30bのCPUコア33bとして機能するようにプログラムされる。

[0069] ここで、第2実施形態では、信号処理モジュール30のI/F回路31bは、ケーブル43を介してモータ制御装置303に出力されるアナログ信号やPWM信号などに対応する回路を含むように構成されている。

[0070] また、第2実施形態では、PLC101のCPUモジュール20のFLASHメモリ23に、信号処理モジュール30のFPGA33をCPUコア33bとして機能するようにプログラムするための情報（コンフィグレーション情報）を含むCONFIGデータ231bと、コンフィグレーション後のFPGA33をCPUコア33bとして動作させるための動作プログラムを含むプログラムデータ232bとが記憶されている。これらCONFIGデータ231bおよびプログラムデータ232bは、上記第1実施形態と同様に、PLC101の電源投入時にCPUモジュール20側から信号処理モジュール30b側に向けて送信され、信号処理モジュール30bのRAM32に記憶される。

[0071] また、第2実施形態では、上記第1実施形態と同様に、信号処理モジュール30には、揮発性のランダムアクセスメモリであるRAM32と、SRAM方式のフィールドプログラマブルゲートアレイであるFPGA33とが設けられている。FPGA33は、RAM32に記憶されたCONFIGデータ231bに基づいて行われるコンフィグレーションにより、エンコーダ302からのフィードバックなどに対して信号処理（モータ制御）を行うためのCPUコア33bとしてプログラムされるように構成されている。そして、このように信号処理を行うCPUコア33bとしてプログラムされたFPGA33は、RAM32に記憶されたプログラムデータ232bに基づいて動作するように構成されている。

[0072] また、この第2実施形態では、上記第1実施形態と同様に、コンフィグレーション後のFPGA33（CPUコア33b）は、RAM32にアクセス

可能なように構成されている。すなわち、RAM 32は、コンフィグレーション後のFPGA 33（CPUコア33b）がエンコーダ302からのフィードバックなどに対して信号処理を行う際の作業用メモリとして用いられるように構成されている。

[0073] なお、第2実施形態のその他の構成は、上記第1実施形態（図1および図2参照）と同様である。

[0074] また、第2実施形態によるPLC 101の電源投入時における処理フロー（コンフィグレーションによってFPGA 33がCPUコア33bとして機能するようにプログラムされる際における処理フロー）も、上記第1実施形態（図3および図4参照）と同様である。

[0075] また、第2実施形態の効果も、上記第1実施形態と同様である。

[0076] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

[0077] たとえば、上記第1および第2実施形態では、CPUを含むCPUモジュール（制御モジュール）と、FPGA（フィールドプログラマブルゲートアレイ）およびRAM（揮発性メモリ）を含む信号処理モジュールとを備えたPLC（制御装置）を示したが、フィールドプログラマブルゲートアレイおよび揮発性メモリを含む信号処理モジュールを備えた一般的な信号処理装置であってもよい。

[0078] また、上記第1実施形態では、図2に示すように、PLC 100の信号処理モジュール30を、カメラ200が接続される画像処理モジュール30aとして機能させる例を示したが、図6に示した第1実施形態の第1変形例のように、PLC 102の信号処理モジュール30を、カメラ401、A/D変換器（アナログ／デジタル変換器）402、メモリ403および画像処理部404を含む画像処理装置400が接続される信号処理モジュール30cとして機能させてもよい。なお、PLC 102は、「制御装置」の一例であ

る。また、画像処理装置400は、「外部入力装置」の一例である。

[0079] 図6に示した第1変形例では、信号処理モジュール30のFPGA33は、コンフィグレーションにより、画像処理装置404内のA/D変換器402および画像処理部404によって画像処理された後の画像データに対して所定の信号処理を行う信号処理モジュール30cのCPUコア33cとして機能するようにプログラムされる。また、図6に示した第1変形例では、信号処理モジュール30のI/F回路31cは、シリアル通信機能を有する回路を含むように構成されている。

[0080] ここで、図6に示した第1変形例によるコンフィグレーションは、図1～図4に示した上記第1実施形態と同様に、CPUモジュール20のFLASHメモリ23から信号処理モジュール30(30c)の揮発性のRAM32に転送されて記憶されたCONFIGデータ231cに基づいて行われる。また、図6に示した第1変形例によるコンフィグレーション後のFPGA33(CPUコア33c)は、CPUモジュール20のFLASHメモリ23から信号処理モジュール30(30c)のRAM32に転送されて記憶されたプログラムデータ232cに基づいて動作する。

[0081] なお、図6に示した第1変形例においても、図1～図4に示した上記第1実施形態と同様に、コンフィグレーション後のFPGA33(CPUコア33c)は、RAM32にアクセス可能なように構成されている。すなわち、RAM32は、コンフィグレーション後のFPGA33(CPUコア33b)が所定の信号処理を行う際の作業用メモリとして用いられるように構成されている。

[0082] 図6に示した第1変形例では、信号処理モジュール30cには、画像処理装置400の画像処理部404によって画像処理が行われた後のデータが入力されるので、信号処理モジュール30cに入力されるデータのデータ量は比較的小さい。このため、図6に示した第1変形例では、図1～図4に示した上記第1実施形態と異なり、画像処理装置400がFPGA33(CPUコア33b)を介さずにRAM32にアクセス可能にするためのDMAコン

トローラ（ダイレクトメモリアクセス制御部）を信号処理モジュール 30c に設ける必要がないので、装置構成を簡略化することができる。

[0083] また、上記第 1 実施形態では、図 2 に示すように、PLC 100 の信号処理モジュール 30 を、カメラ 200 が接続される画像処理モジュール 30a として機能させる例を示したが、図 7 に示した第 1 実施形態の第 2 変形例のように、PLC 103 の信号処理モジュール 30 を、通信装置 500 が接続される通信処理モジュール 30d として機能させてもよい。なお、PLC 103 は、「制御装置」の一例である。また、通信装置 500 は、「外部入力装置」の一例である。

[0084] 図 7 に示した第 2 変形例では、信号処理モジュール 30 の FPGA 33 は、コンフィグレーションにより、通信装置 500 から入力されるデータなどに対して所定の信号処理を行う通信処理モジュール 30d の CPU コア 33d として機能するようにプログラムされる。また、図 7 に示した第 2 変形例では、信号処理モジュール 30 の I/F 回路 31d は、シリアル通信機能を有する回路を含むように構成されている。

[0085] ここで、図 7 に示した第 2 変形例によるコンフィグレーションは、図 1 ～図 4 に示した上記第 1 実施形態と同様に、CPU モジュール 20 の FLASH メモリ 23 から信号処理モジュール 30d の揮発性の RAM 32 に転送されて記憶された CONFIG データ 231d に基づいて行われる。また、図 7 に示した第 2 変形例によるコンフィグレーション後の FPGA 33（CPU コア 33d）は、CPU モジュール 20 の FLASH メモリ 23 から信号処理モジュール 30d の RAM 32 に転送されて記憶されたプログラムデータ 232d に基づいて動作する。

[0086] なお、図 7 に示した第 2 変形例においても、図 1 ～図 4 に示した上記第 1 実施形態と同様に、コンフィグレーション後の FPGA 33（CPU コア 33d）は、RAM 32 にアクセス可能なように構成されている。すなわち、RAM 32 は、コンフィグレーション後の FPGA 33（CPU コア 33d）が通信装置 500 から入力されるデータなどに対して信号処理を行う際の

作業用メモリとして用いられるように構成されている。

[0087] 図7に示した第2変形例では、通信装置500が高速通信を行う装置である場合には、通信装置500から信号処理モジュール30（通信処理モジュール30d）に入力されるデータのデータ量が比較的大きくなる。このため、この図7に示した第2変形例では、図1～図4に示した上記第1実施形態と同様に、信号処理モジュール30（通信処理モジュール30d）には、DMAコントローラ35が設けられている。これにより、通信装置500から入力されるデータのデータ量が大きい場合、および、そのデータの転送速度が高速である場合には、そのデータ量の大きいデータを、CPUコア33dを介さずに直接RAM32に転送することができる。その結果、信号処理モジュール30（通信処理モジュール30d）内におけるデータの転送を高速化することができるとともに、データの転送時におけるCPUコア33dの負担を軽減することができる。

[0088] また、上記第2実施形態では、図5に示すように、PLC100の信号処理モジュール30を、モータ301およびエンコーダ302に接続されたモータ制御装置303が接続される信号処理モジュール30bとして機能させる例を示したが、図8に示した第1実施形態の第3変形例のように、PLC104の信号処理モジュール30を、エンコーダ302に直接接続される信号処理モジュール30eとして機能させてもよい。なお、PLC104は、「制御装置」の一例である。また、エンコーダ302は、「外部入力装置」の一例である。

[0089] 図8に示した第3変形例では、信号処理モジュール30のFPGA33は、コンフィグレーションにより、エンコーダ302から入力される信号に対して所定の信号処理を行う信号処理モジュール30eのCPUコア33eとして機能するようにプログラムされる。また、図8に示した第3変形例では、信号処理モジュール30のI/F回路31dは、エンコーダ302から入力される信号に対応する回路を含むように構成されている。

[0090] 図8に示した第3変形例によるコンフィグレーションは、図1～図4に示

した上記第1実施形態と同様に、CPUモジュール20のFLASHメモリ23から信号処理モジュール30(30e)の揮発性のRAM32に転送されて記憶されたCONFIGデータ231eに基づいて行われる。また、図8に示した第3変形例によるコンフィグレーション後のFPGA33(CPUコア33e)は、CPUモジュール20のFLASHメモリ23から信号処理モジュール30(30e)のRAM32に転送されて記憶されたプログラムデータ232eに基づいて動作する。

[0091] なお、図8に示した第3変形例においても、図1～図4に示した上記第1実施形態と同様に、コンフィグレーション後のFPGA33(CPUコア33e)は、RAM32にアクセス可能なように構成されている。すなわち、RAM32は、コンフィグレーション後のFPGA33(CPUコア33e)が所定の信号処理を行う際の作業用メモリとして用いられるように構成されている。

[0092] 図8に示した第3変形例では、エンコーダ302から信号処理モジュール30eに入力されるデータは、パルス信号などからなるので、そのデータ量は比較的小さい。このため、図8に示した第3変形例では、図1～図4に示した上記第1実施形態と異なり、エンコーダ302がFPGA33(CPUコア33e)を介さずにRAM32にアクセス可能にするためのDMAコントローラ(ダイレクトメモリアクセス制御部)を信号処理モジュール30eに設ける必要がないので、装置構成を簡略化することができる。

[0093] また、上記第1および第2実施形態では、アクセス制御部34を、RAM32に接続されたバス36bの使用権の競合を調停する機能を有するようにプログラムされたPLD(プログラムロジックデバイス)により構成する例を示したが、PLDではなく、専用のデバイスにより構成してもよい。

請求の範囲

- [請求項1] フィールドプログラマブルゲートアレイ（33）と、前記フィールドプログラマブルゲートアレイのコンフィグレーション情報（231 a、231 b、231 c、231 d、231 e）が記憶される揮発性メモリ（32）とを含む信号処理モジュール（30、30 a、30 b、30 c、30 d、30 e）を備え、
- 前記フィールドプログラマブルゲートアレイは、コンフィグレーション後においても前記揮発性メモリにアクセス可能なように構成されている、制御装置（100、101、102、103、104）。
- [請求項2] 前記フィールドプログラマブルゲートアレイは、前記揮発性メモリに記憶された前記コンフィグレーション情報に基づいてコンフィグレーションが行われることにより、前記信号処理モジュールの演算処理部（33 a、33 b、33 c、33 d、33 e）として機能するように構成されており、
- 前記揮発性メモリは、前記演算処理部の動作プログラム（232 a、232 b、232 c、232 d、232 e）も記憶されるように構成されており、
- 前記演算処理部は、前記揮発性メモリに記憶された前記動作プログラムに基づいて動作するように構成されている、請求項1に記載の制御装置。
- [請求項3] 前記揮発性メモリは、前記演算処理部の作業用メモリとして用いられるように構成されている、請求項2に記載の制御装置。
- [請求項4] CPU（21）を含む制御モジュール（20）をさらに備え、
- 前記揮発性メモリは、前記CPUからもアクセス可能なように構成されている、請求項1～3のいずれか1項に記載の制御装置。
- [請求項5] 前記信号処理モジュールは、前記揮発性メモリへのアクセスを制御するアクセス制御部（34）をさらに含む、請求項1～4のいずれか1項に記載の制御装置。

- [請求項6] 前記アクセス制御部は、前記揮発性メモリに接続されたバス（36b）の使用権の競合を調停することにより、前記揮発性メモリへのアクセスを制御するように構成されている、請求項5に記載の制御装置。
- [請求項7] CPU（21）を含む制御モジュール（20）をさらに備え、前記フィールドプログラマブルゲートアレイのコンフィグレーションは、前記制御モジュールの自己診断と並行して行われるように構成されている、請求項1～6のいずれか1項に記載の制御装置。
- [請求項8] 前記信号処理モジュールは、複数設けられており、複数の前記信号処理モジュールの各々の前記フィールドプログラマブルゲートアレイのコンフィグレーションは、前記制御モジュールの自己診断と並行して行われるように構成されている、請求項7に記載の制御装置。
- [請求項9] 前記フィールドプログラマブルゲートアレイは、前記揮発性メモリに記憶された前記コンフィグレーション情報に基づいてコンフィグレーションが行われることにより、前記信号処理モジュールの演算処理部（33a、33d）として機能するように構成されており、前記信号処理モジュールは、前記信号処理モジュールに接続される外部入力装置（200、500）が、前記演算処理部を介さずに、前記揮発性メモリにアクセス可能にするためのダイレクトメモリアクセス制御部（35）をさらに含む、請求項1～8のいずれか1項に記載の制御装置。
- [請求項10] 前記揮発性メモリは、前記信号処理モジュールに接続される外部入力装置（200、302、303、400、500）から入力されるデータも記憶されるように構成されている、請求項1～9のいずれか1項に記載の制御装置。
- [請求項11] 前記フィールドプログラマブルゲートアレイは、SRAM方式のフィールドプログラマブルゲートアレイである、請求項1～10のいづ

れか1項に記載の制御装置。

[請求項12]

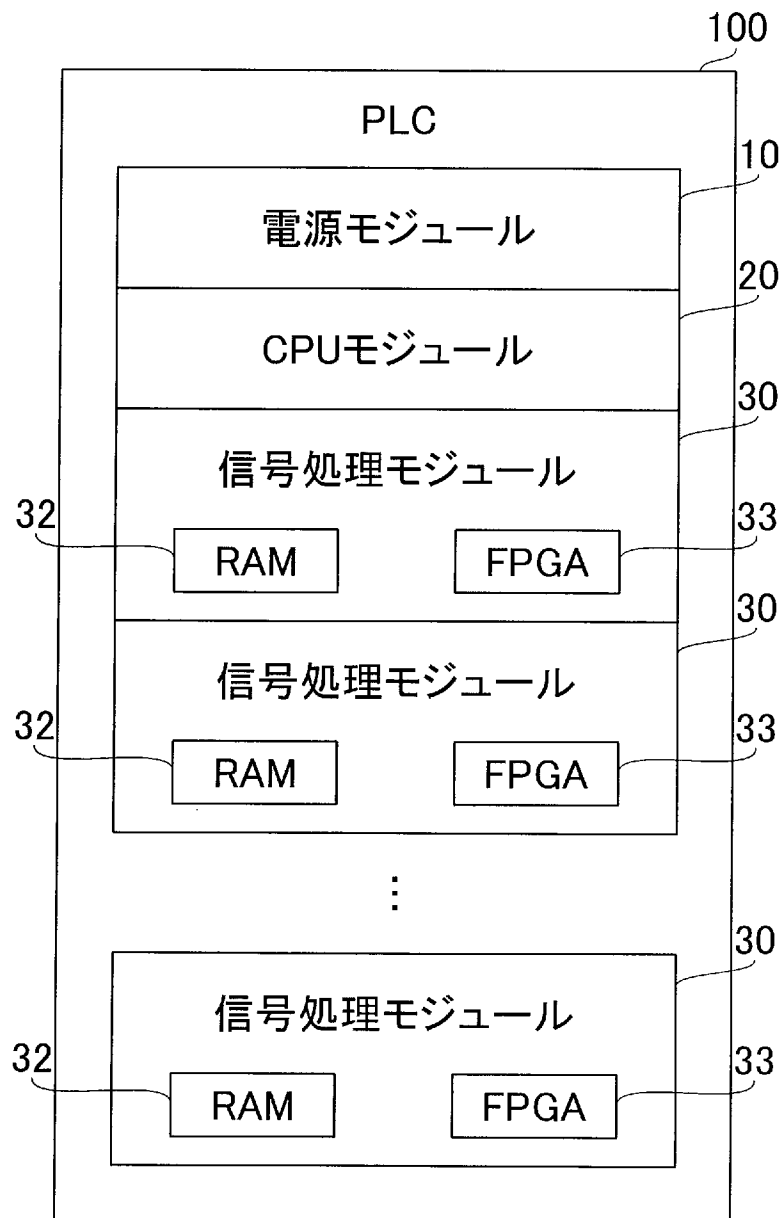
CPU(21)を含む制御モジュール(20)と、フィールドプログラマブルゲートアレイ(33)および揮発性メモリ(32)を含む信号処理モジュール(30、30a、30b、30c、30d、30e)とを備えた制御装置(100、101、102、103、104)の制御方法であって、

前記フィールドプログラマブルゲートアレイのコンフィグレーション情報(231a、231b、231c、231d、231e)を前記制御モジュールから取得して前記揮発性メモリに記憶するステップと、

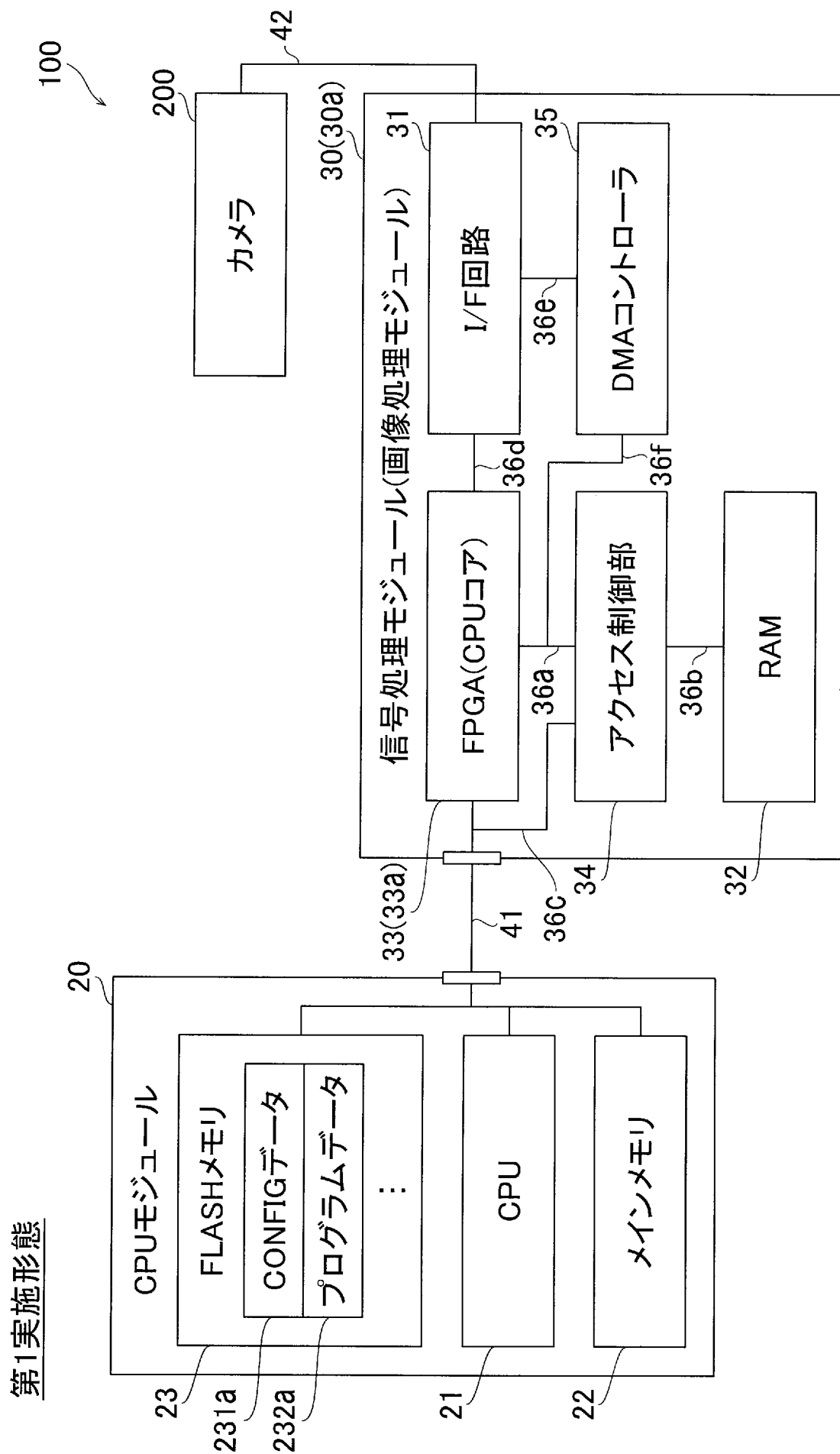
前記揮発性メモリに記憶された前記コンフィグレーション情報に基づいてコンフィグレーションを行うことにより、前記フィールドプログラマブルゲートアレイを前記信号処理モジュールの演算処理部(33a、33b、33c、33d、33e)として機能させるステップと、

前記演算処理部から前記揮発性メモリへのアクセスを可能にして前記演算処理部により演算処理を行うステップとを備えた、制御装置の制御方法。

[図1]

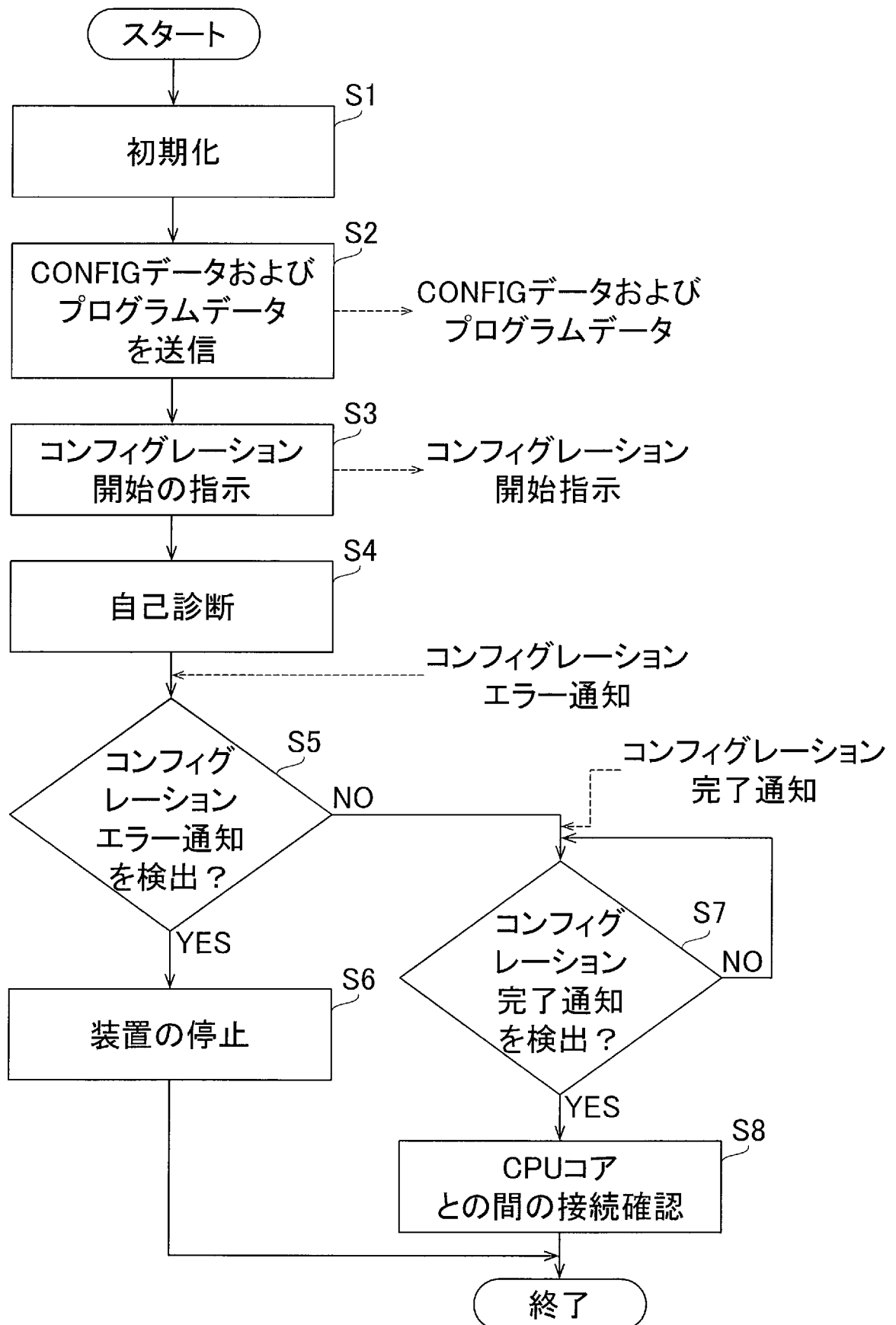


[図2]



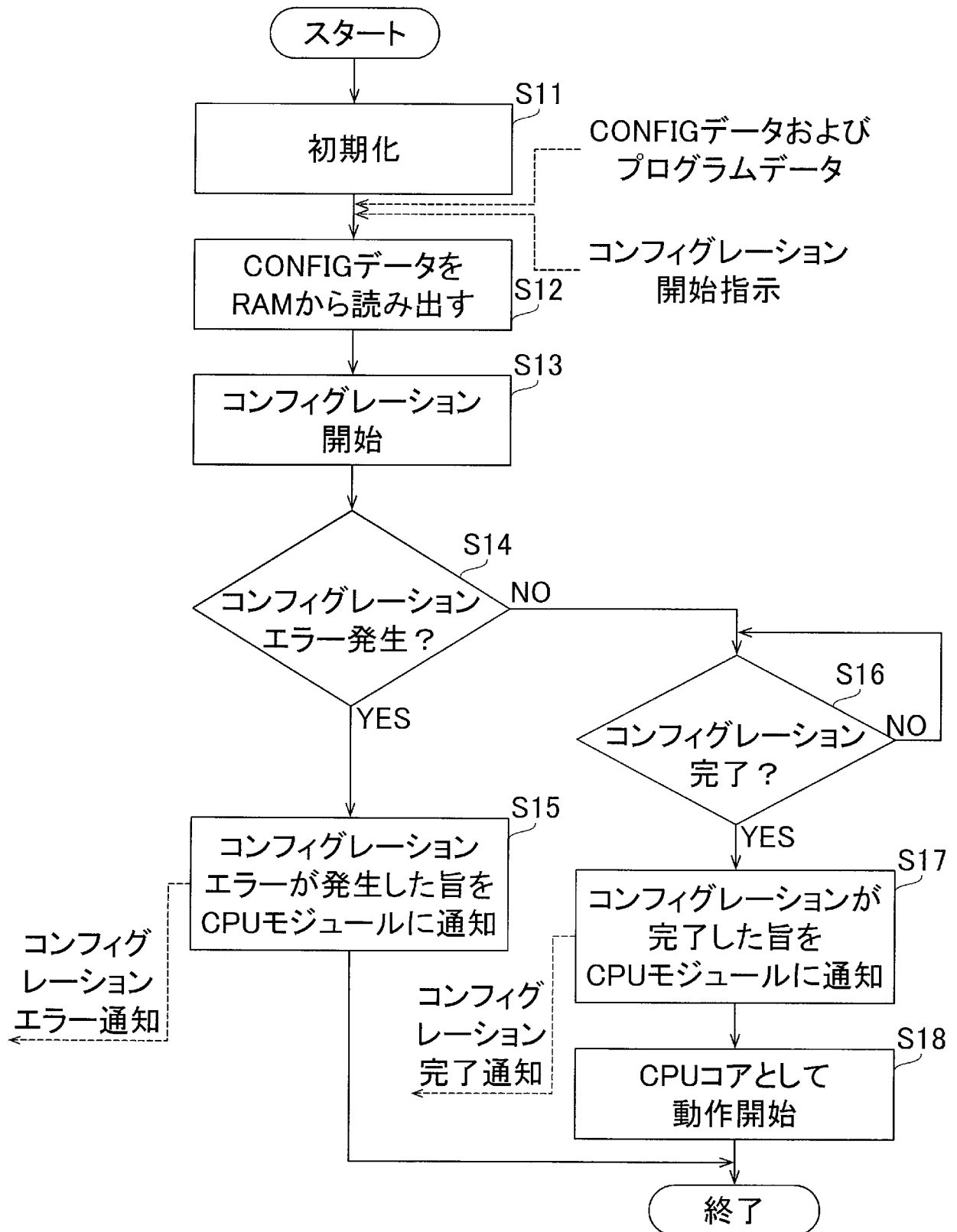
[図3]

CPUモジュール側の処理フロー

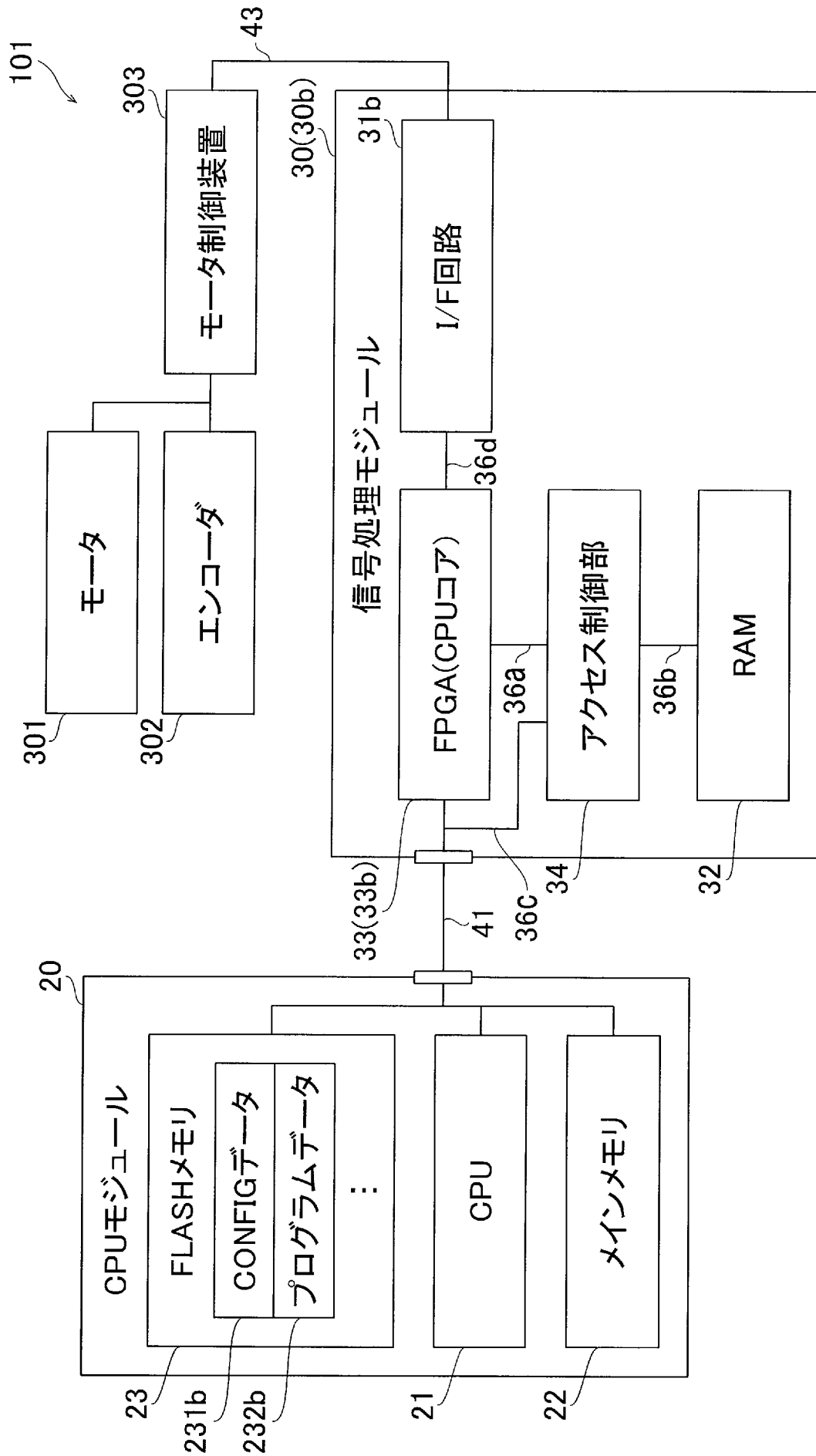


[図4]

信号処理モジュール(画像処理モジュール)側の
処理フロー

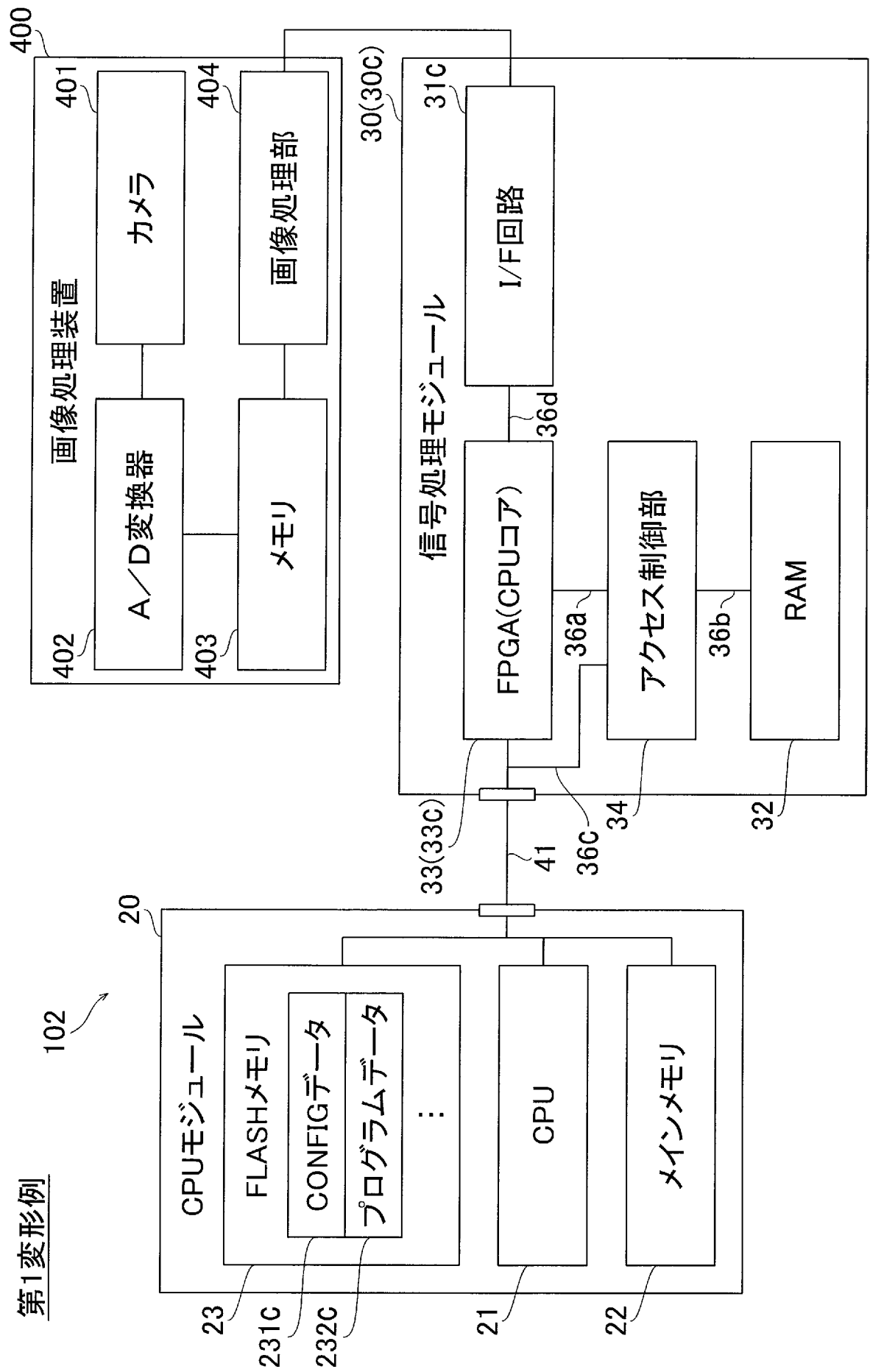


[図5]

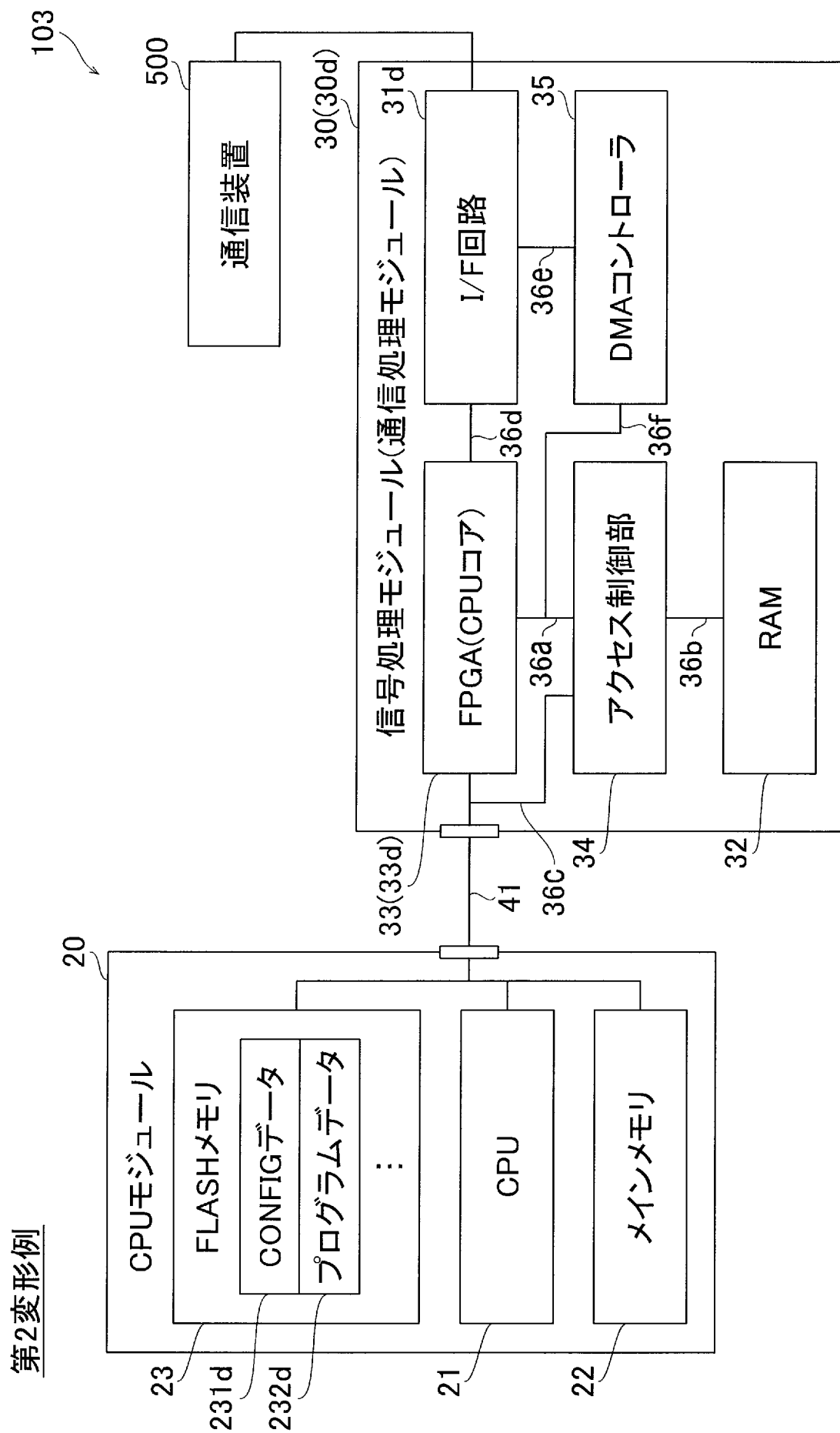


第2実施形態

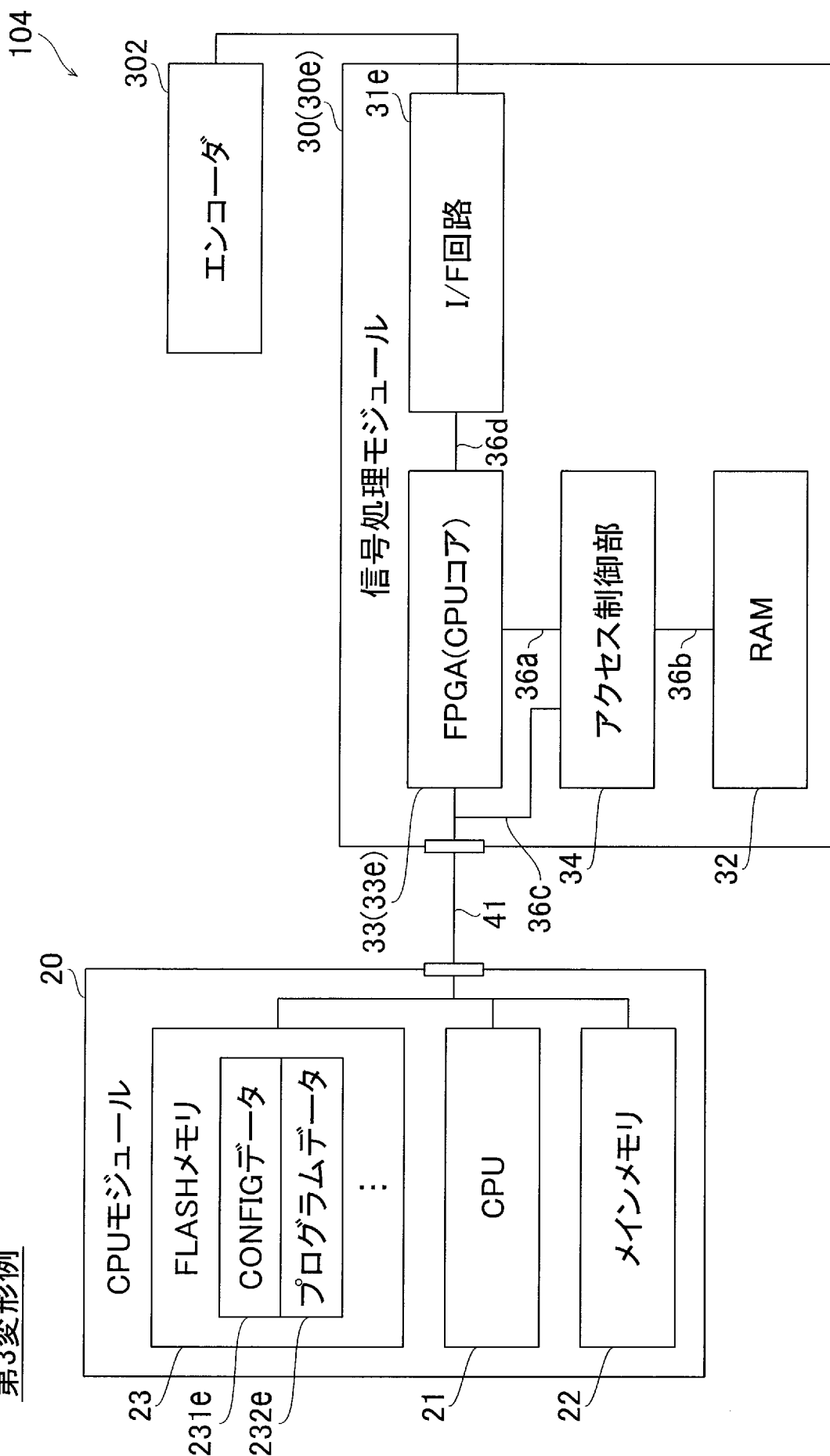
[図6]



[図7]



[図8]



第3変形例

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054969

A. CLASSIFICATION OF SUBJECT MATTER

G06F9/38(2006.01)i, G06F11/00(2006.01)i, G06F15/80(2006.01)i, H03K19/173(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/38, G06F11/00, G06F15/80, H03K19/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2011-8519 A (Fujitsu Semiconductor Ltd.), 13 January 2011 (13.01.2011), paragraphs [0016] to [0032]; fig. 1 to 5 & US 2010/0332795 A1	1, 4-6, 9-12 7, 8 2, 3
X Y A	JP 2009-70226 A (Ricoh Co., Ltd.), 02 April 2009 (02.04.2009), paragraphs [0016] to [0025]; fig. 1 to 6 & US 2009/0077512 A1	1, 4-6, 9-12 7, 8 2, 3
Y	JP 2001-144261 A (Lucent Technologies Inc.), 25 May 2001 (25.05.2001), paragraph [0004] & US 6574761 B1	7, 8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2012 (24.05.12)Date of mailing of the international search report
05 June, 2012 (05.06.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054969

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-353950 A (Lucent Technologies Inc.), 19 December 2000 (19.12.2000), paragraphs [0033] to [0036]; fig. 6 & US 6442732 B1	1-12
A	JP 2008-293226 A (Renesas Technology Corp.), 04 December 2008 (04.12.2008), paragraphs [0027] to [0034]; fig. 1, 2 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F9/38(2006.01)i, G06F11/00(2006.01)i, G06F15/80(2006.01)i, H03K19/173(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F9/38, G06F11/00, G06F15/80, H03K19/173

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2011-8519 A（富士通セミコンダクター株式会社）2011.01.13, 段落16～32、図1～5 & US 2010/0332795 A1	1, 4-6, 9-12 7, 8 2, 3
X Y A	JP 2009-70226 A（株式会社リコー）2009.04.02, 段落16～25、図1～6 & US 2009/0077512 A1	1, 4-6, 9-12 7, 8 2, 3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 1 2

国際調査報告の発送日

0 5 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

三坂 敏夫

電話番号 03-3581-1101 内線 3545

5 B

4 1 7 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-144261 A (ルーセント テクノロジーズ インコーポレーテッド) 2001.05.25, 段落 4 & US 6574761 B1	7, 8
A	JP 2000-353950 A (ルーセント テクノロジーズ インコーポレーテッド) 2000.12.19, 段落 33 ~ 36、図 6 & US 6442732 B1	1-12
A	JP 2008-293226 A (株式会社ルネサステクノロジ) 2008.12.04, 段落 27 ~ 34、図 1、2 (ファミリーなし)	1-12