



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0119451
(43) 공개일자 2019년10월22일

- | | |
|---|---|
| (51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) H01L 29/45 (2006.01)
H01L 29/66 (2006.01) | (71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50 |
| (52) CPC특허분류
H01L 29/778 (2013.01)
H01L 29/45 (2013.01) | (72) 발명자
장지원
울산광역시 울주군 언양읍 유니스트길 50 |
| (21) 출원번호 10-2018-0042916 | (74) 대리인
리앤목특허법인 |
| (22) 출원일자 2018년04월12일
심사청구일자 2018년04월12일 | |

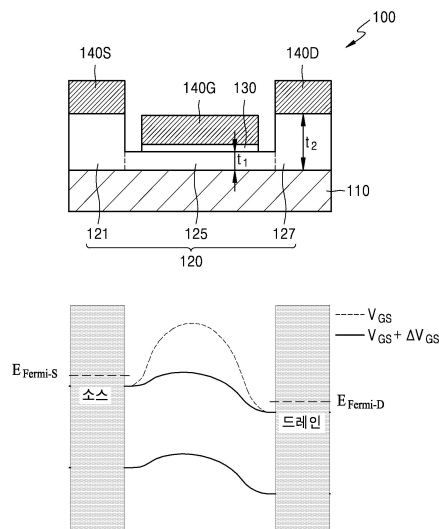
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 전계효과 트랜지스터 및 그 제조방법

(57) 요약

2차원 물질을 포함하는 전계효과 트랜지스터 및 그 제조방법을 개시한다. 본 발명의 일 실시예는, 전계효과 트랜지스터로서, As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소로 구비된 채널영역; 상기 채널영역의 양끝단에 배치되며, 상기 채널영역에 포함된 단일 원소를 포함하는 소스영역 및 드레인영역; 및 상기 채널영역과 중첩되며, 게이트절연층에 의해서 절연된 게이트전극;을 포함하며, 상기 소스영역 및 드레인영역의 두께는 상기 채널영역의 두께보다 큰, 전계효과 트랜지스터를 개시한다.

대표도 - 도2



(52) CPC특허분류

H01L 29/66431 (2013.01)

H01L 2924/01033 (2013.01)

H01L 2924/01051 (2013.01)

H01L 2924/01083 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711062677

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 개인기초연구(미래부)

연구과제명 2차원 물질 기반의 초저전력 소자에 관한 모델링 연구

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2017.03.01 ~ 2018.02.28

명세서

청구범위

청구항 1

전계효과 트랜지스터로서,

As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소로 구비된 채널영역;

상기 채널영역의 양끝단에 배치되며, 상기 채널영역에 포함된 단일 원소를 포함하는 소스영역 및 드레인영역; 및

상기 채널영역과 중첩되며, 게이트절연층에 의해서 절연된 게이트전극;을 포함하며,

상기 소스영역 및 드레인영역의 두께는 상기 채널영역의 두께보다 큰, 전계효과 트랜지스터.

청구항 2

제1항에 있어서,

상기 채널영역은 상기 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소의 단일 층(monolayer)으로 구비되며,

상기 소스영역 및 드레인영역은 상기 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소의 다층구조로 구비되는, 전계효과 트랜지스터.

청구항 3

제1항에 있어서,

상기 소스영역 및 드레인영역의 두께는 상기 채널영역의 두께의 2배 이상인, 전계효과 트랜지스터.

청구항 4

제1항에 있어서,

상기 채널영역, 상기 소스영역, 상기 드레인영역은 일체(一體)로 구비된, 전계효과 트랜지스터.

청구항 5

제1항에 있어서,

상기 소스영역 및 상기 드레인영역은 비도핑되는, 전계효과 트랜지스터.

청구항 6

제1항에 있어서,

상기 소스영역과 접촉하는 소스전극; 및

상기 드레인영역과 접촉하는 드레인영역;을 더 포함하는, 전계효과 트랜지스터.

청구항 7

제6항에 있어서,

상기 소스영역과 상기 소스전극, 상기 드레인영역과 상기 드레인전극은 오믹(ohmic) 접촉을 형성하는, 전계효과 트랜지스터.

청구항 8

제1항에 있어서,

상기 채널영역의 두께는 0.1 nm 내지 0.2 nm인, 전계효과 트랜지스터.

청구항 9

제1항에 있어서,

상기 게이트절연층은 상기 소스영역의 일부 및 상기 드레인영역의 일부를 덮는, 전계효과 트랜지스터.

청구항 10

전계효과 트랜지스터의 제조방법으로,

기판 상에 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소로 구비된 다층구조의 예비-물질층을 형성하는 단계; 및

상기 예비-물질층에서 일부를 단일층만 남도록 식각하여 채널영역을 형성하고, 상기 채널영역 양측에 남겨진 부분으로 소스영역 및 드레인영역을 형성하는 단계;를 포함하는, 전계효과 트랜지스터의 제조방법.

청구항 11

제10항에 있어서,

상기 소스영역 및 드레인영역의 두께는 상기 채널영역의 두께의 2배 이상인, 전계효과 트랜지스터의 제조방법.

청구항 12

제10항에 있어서,

상기 채널영역의 두께는 0.1 nm 내지 0.2 nm인, 전계효과 트랜지스터의 제조방법.

청구항 13

제10항에 있어서,

상기 채널영역을 덮는 게이트절연층을 형성하는 단계;

상기 채널영역과 중첩되도록 상기 게이트절연층 상에 게이트전극을 형성하는 단계;

상기 소스영역에 콘택하는 소스전극을 형성하고, 상기 드레인영역에 콘택하는 드레인전극을 형성하는 단계;를 더 포함하는, 전계효과 트랜지스터의 제조방법.

청구항 14

제13항에 있어서,

상기 소스영역과 상기 소스전극, 상기 드레인영역과 상기 드레인전극은 오믹(ohmic) 콘택을 형성하는, 전계효과 트랜지스터의 제조방법.

청구항 15

제10항에 있어서,

상기 소스영역 및 상기 드레인영역은 비도핑된, 전계효과 트랜지스터의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 전계효과 트랜지스터 및 그 제조방법에 관한 것으로, 보다 구체적으로는 2차원(2D) 물질을 포함하는 전계효과 트랜지스터 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 마이크로 프로세서 및 고집적 회로는, 금속-산화막-반도체 전계 효과 트랜지스터(MOSFET) 등의 소자를

반도체 기판 상에 집적해서 제조된다. 이러한, MOSFETs (Metal- Oxide- Semiconductor- Field- Effect Transistors) 소자의 지속적인 소형화로 인한 누설전류의 증가와 이에 따른 전력소모 증가 문제가 대두되었다.

- [0003] 도 1을 참조하면, 일반적인 MOSFETs 소자(10)는 소스(21)와 드레인(27) 사이에 걸리는 전계에 의해서 소스의 캐리어(전자 혹은 정공)가 게이트(40G)에 의해 조절되는 채널의 전위 장벽을 넘어 드레인으로 움직여 전류가 흐르는 원리를 기반으로 한다.
- [0004] 따라서, 상기 문제의 주된 원인은 MOSFETs 소자(10)의 소형화로 인하여 소스(21)와 드레인(27)의 물리적 거리가 가까워짐에 따라 게이트(40G)에 의한 채널 포텐셜의 제어가 점점 어려워졌기 때문이다.
- [0005] 이를 해결하기 위한 한가지 방법은 소자의 반도체 채널(25) 두께를 얇게 만들어 게이트에 의한 채널 포텐셜 제어를 강화시켜 주는 것이다. 이러한 얇은 두께의 채널(25)을 가지는 MOSFETs를 실현시킬 수 있는 유망한 물질로서, 2차원 물질 (2-Dimensional Material)이 각광을 받고 있다. 2차원 물질은 두께가 수 Å 정도로 매우 얇은 두께의 물질로서, MoS₂, MoSe₂, WS₂, WSe₂, phosphorene 등 매우 다양한 물질들이 있으며, 기존 MOSFETs의 실리콘 채널을 이들로 대체하기 위한 활발한 연구가 진행되고 있다.
- [0006] 하지만 상기의 2차원 물질은 채널 포텐셜에 대한 게이트(40G)의 제어를 용이하게 하기 위해 이상적인 물질이지만, 도핑에 의한 소스(21) 및 드레인(27)의 형성에 어려움이 있어, 소스(21)/드레인(27)과 금속인 소스전극(40S)/드레인전극(40D)의 콘택에서 반도체와 금속 사이에 형성되는 쇼트키(schottky) 콘택이 형성되어 매우 높은 콘택저항을 가지며, 이에 따라 소자의 성능이 제약받고 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 실시예들은 2차원 물질 중 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 모노레이어(monolayer)를 사용하여 채널 포텐셜의 제어를 강화하는 동시에 소스영역/드레인영역과 소스전극/드레인 전극의 콘택저항을 현저히 낮출 수 있는 전계 효과 트랜지스터 및 그 제조방법을 제공하고자 한다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예는, 전계효과 트랜지스터로서, As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소로 구비된 채널영역; 상기 채널영역의 양끝단에 배치되며, 상기 채널영역에 포함된 단일 원소를 포함하는 소스영역 및 드레인영역; 및 상기 채널영역과 중첩되며, 게이트절연층에 의해서 절연된 게이트전극;을 포함하며, 상기 소스영역 및 드레인영역의 두께는 상기 채널영역의 두께보다 큰, 전계효과 트랜지스터를 개시한다.
- [0009] 일 실시예에 있어서, 상기 채널영역은 상기 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소의 단일층(monolayer)으로 구비되며, 상기 소스영역 및 드레인영역은 상기 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소의 다층구조로 구비될 수 있다.
- [0010] 일 실시예에 있어서, 상기 소스영역 및 드레인영역의 두께는 상기 채널영역의 두께의 2배 이상일 수 있다.
- [0011] 일 실시예에 있어서, 상기 채널영역, 상기 소스영역, 상기 드레인영역은 일체(一體)로 구비될 수 있다.
- [0012] 일 실시예에 있어서, 상기 소스영역 및 상기 드레인영역은 비도핑될 수 있다.
- [0013] 일 실시예에 있어서, 상기 소스영역과 콘택하는 소스전극; 및 상기 드레인영역과 콘택하는 드레인영역;을 더 포함할 수 있다.
- [0014] 일 실시예에 있어서, 상기 소스영역과 상기 소스전극, 상기 드레인영역과 상기 드레인전극은 오믹(ohmic) 콘택을 형성할 수 있다.
- [0015] 일 실시예에 있어서, 상기 채널영역의 두께는 0.1 nm 내지 0.2 nm일 수 있다.
- [0016] 일 실시예에 있어서, 상기 게이트절연층은 상기 소스영역의 일부 및 상기 드레인영역의 일부를 덮을 수 있다.
- [0017] 본 발명의 다른 실시예는, 전계효과 트랜지스터의 제조방법으로, 기판 상에 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소로 구비된 다층구조의 예비-물질층을 형성하는 단계; 및 상기 예비-물질층에서 일부를 단일층만 남도록 식각하여 채널영역을 형성하고, 상기 채널영역 양측에 남겨진 부분으로 소

스영역 및 드레인영역을 형성하는 단계;를 포함하는, 전계효과 트랜지스터의 제조방법을 개시한다.

[0018] 일 실시예에 있어서, 상기 소스영역 및 드레인영역의 두께는 상기 채널영역의 두께의 2배 이상일 수 있다.

[0019] 일 실시예에 있어서, 상기 채널영역의 두께는 0.1 nm 내지 0.2 nm일 수 있다.

[0020] 일 실시예에 있어서, 상기 채널영역을 덮는 게이트절연층을 형성하는 단계; 상기 채널영역과 중첩되도록 상기 게이트절연층 상에 게이트전극을 형성하는 단계; 상기 소스영역에 콘택하는 소스전극을 형성하고, 상기 드레인 영역에 콘택하는 드레인전극을 형성하는 단계;를 더 포함할 수 있다.

[0021] 일 실시예에 있어서, 상기 소스영역과 상기 소스전극, 상기 드레인영역과 상기 드레인전극은 오믹(ohmic) 콘택을 형성할 수 있다.

[0022] 일 실시예에 있어서, 상기 소스영역 및 상기 드레인영역은 비도핑될 수 있다.

발명의 효과

[0023] 상기와 같이, 본 발명에 따른 전계효과 트랜지스터는 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 원소를 포함하고 있어, 게이트에 의한 채널 포텐셜 제어를 강화한 동시에 콘택저항을 낮출 수 있다.

[0024] 또한, 소스영역 및 드레인영역의 도전성은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일원소로 이루어진 물질층의 두께로 제어할 수 있고, 도핑과정을 생략할 수 있는 바, 전계효과 트랜지스터의 제조방법이 용이할 수 있다.

도면의 간단한 설명

[0025] 도 1은 종래의 전계효과 트랜지스터의 일 예를 개략적으로 나타낸 단면도이다.

도 2는 본 발명의 일 실시예에 따른 전계효과 트랜지스터의 개략적인 단면도 및 그 동작을 설명하기 위한 에너지밴드 다이어그램을 나타낸다.

도 3은 Sb(antimonene) 원소로 이루어진 단층(monolayer), 2층(bi-layer), 3층(triple layer)에 대한 밴드갭 구조를 시뮬레이션한 결과를 나타낸다.

도 4는 본 발명에 따른 전계효과 트랜지스터의 특성과 도 1에 개시된 일반적인 전계효과 트랜지스터의 특성을 비교하여 나타낸 게이트 전압과 구동 전류와의 관계를 나타낸다.

도 5는 본 발명의 다른 실시예에 따른 전계효과 트랜지스터를 개략적으로 나타낸 단면도이다.

도 6a 내지 도 6e는 본 발명의 실시예들에 따른 전계효과 트랜지스터의 제조방법을 순차적으로 나타낸 단면도이다

발명을 실시하기 위한 구체적인 내용

[0026] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0028] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0029] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0030] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0031] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

- [0032] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0033] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0034] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.
- [0035] 도 2는 본 발명의 일 실시예에 따른 전계효과 트랜지스터(100)의 개략적인 단면도 및 그 동작을 설명하기 위한 에너지밴드 다이어그램을 나타낸다.
- [0036] 도 2를 참조하면, 본 발명의 일 실시예에 따른 전계효과 트랜지스터(100)는 채널영역(125) 및 채널영역(125) 양측에 배치된 소스영역(121) 및 드레인영역(127)을 포함하며, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 상기 채널영역(125)의 두께(t1)보다 크게 구비된다.
- [0037] 상기 소스영역(121), 채널영역(125), 및 드레인영역(127)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소를 포함할 수 있다. 이 때, 채널영역(125)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소가 단일층을 형성하여 2D 물질로 구비되며, 소스영역(121) 및 드레인영역(127)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소가 적층되어 다층구조를 형성할 수 있다.
- [0038] 최근 "2D monoelemental arsenene, antimonene, and bismuthene: beyond black phosphorus M Pumera, Z Sofer - Advanced Materials, 2017 - Wiley Online Library", "Atomically thin arsenene and antimonene: semimetal-semiconductor and indirect-direct band-gap transitions, S Zhang, Z Yan, Y Li, Z Chen, H Zeng - Angewandte Chemie, 2015 - Wiley Online Library" 등의 논문에서는 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)의 단일 원소가 단일층을 형성한 2D 물질은 밴드갭을 갖는 반도체 특성을 보이며, 2층 이상의 다층구조를 형성하는 경우에는 밴드갭이 사라져 도체의 특성을 띄게된다는 연구가 보고되었다.
- [0039] 도 3은 Sb(antimonene) 원소로 이루어진 단일층(monolayer), 2층(bi-layer), 3층(triple layer)에 대한 밴드갭 구조를 시뮬레이션한 결과를 나타낸다.
- [0040] 도 3을 참조하면, 도 3(a)와 같이 단일 구조인 경우에는 가전자대의 최고점과 전도대의 최저점의 에너지 간격, 즉 에너지 밴드갭이 1.405 eV로 나타나 반도체 특성으로 나타낸다.
- [0041] 반면, 도 3(b)와 같이 2층 구조 또는 도 3(c)와 같이 3층 구조로 적층된 다층 구조인 경우에는 가전자대의 최고점과 전도대의 최저점의 간격이 없는, 즉, 에너지 밴드갭이 없는 특성을 보인다. 이는 Sb(antimonene) 원소가 단일층이 아닌 2층 구조 이상의 다층구조인 경우 도체의 성질을 지님을 의미할 수 있다.
- [0042] 마찬가지로 As(arsenene), Bi(bismuthene)의 경우에도 단일층의 경우에는 에너지 밴드갭을 가지나, 2층 이상의 경우에는 에너지 밴드갭이 없는 도체의 성질을 보임에 대해서 확인할 수 있다.
- [0043] 다시말하면, As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)가 단일층을 형성한 2D 물질로 구비되는 경우, 반도체의 특성을 보이며, As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)가 2층 이상의 다층구조를 형성하는 경우에는 반도체 특성이 아닌 도체의 특성을 띄게 된다. 이는 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)의 물질의 두께를 조절함으로써 그 물리적 특성을 조절할 수 있다는 것을 의미한다.
- [0044] 본 발명의 실시예들에 있어서는 이러한 성질을 갖는 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 원소를 이용하여 게이트에 의한 채널 포텐셜 제어를 강화한 동시에 컨택저항을 낮출 수 있는 전계효과 트랜지스터를 개시하고 있다.
- [0045] 다시 도 2를 참조하면, 채널영역(125)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)의 단일층으로 구성되어 밴드갭을 갖는 반도체특성을 보인다. 한편, 소스영역(121) 및 드레인영역(127)은 As(arsenene),

Sb(antimonene), 또는 Bi(bismuthene)의 다층구조로 구성되어 밴드갭이 없는 도체특성을 보인다.

- [0046] 이에 따라, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 채널영역(125)의 두께(t1)보다 큰 값을 갖는다. 즉, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 채널영역(125)의 두께(t1) 보다 2배 이상 클 수 있다. 일부 실시예에서, 채널영역(125)의 두께(t1)는 약 0.1 nm 내지 0.2 nm일 수 있으며, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 약 0.4nm 이상 수 nm 이하 일 수 있다.
- [0047] 이와 같이, 본 발명의 실시예에 의한 전계효과 트랜지스터(100)는 매우 얇은 채널영역(125)를 구비하는 바, 게이트에 의한 채널 포텐셜의 제어가 강화될 수 있다.
- [0048] 한편, 이론적으로 계산된 As(Arsenene) monolayer 두께는 약 1.35 Å(0.135nm) 이고, As(Arsenene) bilayer 두께는 약 4.74 Å(0.474nm) 이다. Sb(Antimonene) monolayer 두께는 약 1.5 Å(0.15nm) 이고, Sb(Antimonene) bilayer 두께는 약 5.3 Å(0.53nm)이다. 그리고, Bi(Bismuthene) monolayer 두께는 약 1.67 Å(0.167nm)이고, bilayer 두께 약 0.63 Å(0.63nm) 이다.
- [0049] 소스영역(121) 및 드레인영역(127)은 두께(t2)의 조절에 의해서 도전 특성을 변화시킬 수 있는 바, 별도의 불순물 도핑없이 도전성을 구비할 수 있다. 따라서, 본 실시예에 따른 소스영역(121) 및 드레인영역(127)은 비도핑될 수 있다. 2차원 물질은 그 두께가 매우 얇은 바, 불순물을 도핑하여 도전성을 띄게하는 것에 한계가 있을 수 있다. 본 발명의 실시예에 의해서는 소스영역(121) 및 드레인영역(127)의 두께만을 조절하여 도전성을 띄게할 수 있는 바, 소스전극(140S), 드레인전극(140D)와의 컨택 저항을 매우 낮게 조절할 수 있다.
- [0050] 한편, 소스영역(121) 및 드레인영역(127)은 도핑될 수도 있다. 소스영역(121) 및 드레인영역(127)에 불순물을 도핑하더라도, 단일층으로 형성된 2차원 물질 보다 그 두께가 두꺼운 바, 도핑효율이 더 향상될 수 있다.
- [0051] 이하, 전계효과 트랜지스터(100)에 포함될 수 있는 구성에 대해서 적층 순서대로 설명하도록 한다.
- [0052] 기판(110)은 상기 2D 물질을 지지하는 것으로 다양한 물질로 형성될 수 있다. 예컨대, 기판(110)은 산화물로 구비되거나 사파이어 기판 등 절연체로 구비될 수 있다. 또한, 기판(110)은 실리콘 기판, 화합물 반도체 기판일 수 있다. 기판(110)은 상기 2D물질이 형성될 수 있는 물질로 구비될 수 있다. 예컨대, 기판(110)은 mica substrate, PdTe₂ 또는 Ag일 수 있다. 기판(110)이 반도체 또는 도체인 경우에는 추후에 제거되어야 하며, 이 경우 터널링 전계효과 트랜지스터(100)는 절연층인 다른 지지체에 의해서 지지될 수 있다.
- [0053] 기판(110) 상에 배치된 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나로 이루어진 물질층(120)은 소스영역(121), 채널영역(125), 및 드레인영역(127)을 구비한다. 전술한 바와 같이, 소스영역(121) 및 드레인영역(127)은 다층구조로 이루어지며, 채널영역(125)은 단층구조로 이루어진다.
- [0054] 상기 채널영역(125) 상부에는 게이트절연층(130)이 배치된다. 게이트절연층(130)은 채널영역(125)와 게이트전극(140G)을 절연시킬 수 있다. 게이트절연층(130)은 산화물 또는 금속 산화물을 포함할 수 있다. 예를 들어, 게이트절연층(130)은 실리콘 산화물, 하프늄 산화물, 지르코늄 산화물, 탄탈륨 산화물 등을 포함할 수 있다. 또는, 상기 게이트절연층(130)은 산화막 및 질화막을 포함하는 다층 구조로 형성될 수 있다. 예를 들어, 상기 게이트절연층(130)은 HfO₂, Al₂O₃, La₂O₃, ZrO₂, HfSiO, HfSiO, HfLaO, LaAlO, SrTiO 으로 구성된 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0055] 게이트전극(140G)은 상기 게이트절연층(130) 상에서 상기 채널영역(125)과 중첩되도록 배치될 수 있다. 소스전극(140S)은 소스영역(121)과 컨택하도록 배치될 수 있으며, 드레인전극(140D)은 드레인영역(127)과 컨택하도록 배치될 수 있다. 상기 게이트전극(140G), 소스전극(140S), 및 드레인전극(140D)은 금속으로 형성되어, 전계효과 트랜지스터(100)에 각각 게이트전압, 소스전압, 드레인전압을 전달할 수 있다.
- [0056] 소스영역(121) 및 드레인영역(127)은 두께(t2)의 조절에 의해서 도전성을 띄는 바, 소스영역(121)과 소스전극(140S)의 컨택은 오믹(ohmic) 컨택을 형성할 수 있다. 또한, 드레인영역(127)과 드레인전극(140D)의 컨택은 오믹(ohmic) 컨택을 형성할 수 있다.
- [0057] 도 4는 본 발명에 따른 전계효과 트랜지스터(100)의 특성(A)과 도 1에 개시된 일반적인 전계효과 트랜지스터(10)의 특성(B)을 비교하여 나타낸 게이트 전압과 구동 전류와의 관계를 나타낸다.
- [0058] 도 4를 참조하면, 본 발명에 따른 전계효과 트랜지스터의 특성(A)은 같은 게이트 전압의 증가에 대해서 급격한 전류의 증가를 보이는 것을 확인할 수 있다. 즉, 본 발명에 따른 전계효과 트랜지스터(A)는 일반적인 전계효과 트랜지스터(B)에 비해 높은 구동 전류($I_{ON}(B) < I_{ON}(A)$)가 구현된다.

- [0059] 도 5는 본 발명의 다른 실시예에 따른 전계효과 트랜지스터(200)를 개략적으로 나타낸 단면도이다. 도 5에 있어서, 도 2와 동일한 참조부호는 동일 부재를 의미하는 바, 중복 설명은 생략한다.
- [0060] 도 5를 참조하면, 전계효과 트랜지스터(200)의 소스영역(121), 채널영역(125), 드레인영역(127)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소를 포함할 수 있다. 이 때, 채널영역(125)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소가 단일층을 형성한 2D 물질로 구비되며, 소스영역(121) 및 드레인영역(127)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소가 적층되어 다층구조를 형성할 수 있다.
- [0061] 채널영역(125)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)의 단일층으로 구성되어 밴드갭을 갖는 반도체특성을 보인다. 한편, 소스영역(121) 및 드레인영역(127)은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)의 다층구조로 구성되어 밴드갭이 없는 도체특성을 보인다.
- [0062] 이에 따라, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 채널영역(125)의 두께(t1)보다 큰 값을 가질 수 있다. 즉, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 채널영역(125)의 두께(t1) 보다 2배 이상 클 수 있다. 일부 실시예에서, 도전영역(123)의 두께(t2)는 약 0.1 nm 내지 0.2 nm일 수 있으며, 채널영역(125)의 두께(t1)는 약 0.4nm 이상 수 nm 이하 일 수 있다.
- [0063] 소스영역(121) 및 드레인영역(127)은 두께(t2)의 조절에 의해서 도전 특성을 변화시킬 수 있는 바, 별도의 불순물 도핑없이 도전성을 구비할 수 있다. 따라서, 본 실시예에 따른 소스영역(121) 및 드레인영역(127)은 비도핑될 수 있다.
- [0064] 또한, 소스영역(121)과 소스전극(140S)의 접촉은 오믹(ohmic) 접촉을 형성할 수 있다. 또한, 드레인영역(127)과 드레인전극(140D)의 접촉은 오믹(ohmic) 접촉을 형성할 수 있다.
- [0065] 본 실시예에서, 게이트절연층(130')은 상기 채널영역(125) 뿐 아니라 채널영역(125)을 모두 덮고, 소스영역(121)의 일부 및 드레인영역(127)의 일부까지 덮을 수 있다. 이와 같은 구조에 의해서, 후속 공정에서 채널영역(125)이 노출되지 않을 수 있는 바, 채널영역(125)이 공정에 의해 손상을 입지 않도록 보호할 수 있다.
- [0066] 도 6a 내지 도 6d는 본 발명의 실시예들에 따른 전계효과 트랜지스터의 제조방법을 순차적으로 나타낸 단면도이다. 여기서는, 도 2의 전계효과 트랜지스터(100)을 예로 들어 설명하도록 한다.
- [0067] 도 6a 및 6b를 참조하면, 기판(110) 상에 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소로 이루어진 다층구조의 예비-물질층(120')을 형성한다. 상기 예비-물질층(120')은 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene) 중 어느 하나의 단일 원소로 이루어진 단일층이 적층된 구조로 형성될 수 있다. 일부 실시예에서, 예비-물질층(120')은 2층 이상 ~ 10층 이하로 구비될 수 있다.
- [0068] 이러한, 예비-물질층(120')은 다양한 방법을 통해서 증착될 수 있다. 예컨대, 예비-물질층(120')은 Epitaxial Growth, van der Waals epitaxy 증착법으로 형성될 수 있다.
- [0069] 도 6c를 참조하면, 예비-물질층(120')을 패터닝하여 물질층(120)을 형성한다. 물질층(120)은 예비-물질층(120') 중 채널영역(125)에 대응되는 영역은 단일층만 남도록 식각하여 2D 물질을 형성하고, 소스영역(121) 및 드레인영역(127)은 식각하지 않고 다층구조를 유지하도록 할 수 있다. 이에 따라, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 채널영역(125)의 두께(t1)보다 2배 이상 크게 구비될 수 있다. 일부 실시예에서, 채널영역(125)의 두께(t1)는 약 0.1 nm 내지 0.2 nm일 수 있으며, 소스영역(121) 및 드레인영역(127)의 두께(t2)는 약 0.4nm 이상 수 nm 이하 일 수 있다.
- [0070] 도 6d를 참조하면, 채널영역(125)을 덮도록 게이트절연층(130)을 형성한다. 상기 게이트절연층(130)은 기판(110) 전면에 절연층을 형성한 후, 패터닝하여 형성될 수 있다. 게이트절연층(130)은 추후에 형성될 게이트전극(140G)과 물질층(120)이 절연될 수 있도록 구비하는 것인 바, 게이트절연층(130)은 채널영역(125) 뿐 아니라 소스영역(121) 및 드레인영역(127)의 일부를 덮도록 형성될 수 있다.
- [0071] 도 6e를 참조하면, 게이트전극(140G), 소스전극(140S), 드레인전극(140D)를 형성한다.
- [0072] 소스전극(140S), 게이트전극(140G), 및 드레인전극(140D)은 기판(110) 전면에 도전층을 형성한 후, 패터닝하여 형성될 수 있다.
- [0073] 상기 게이트전극(140G)은 상기 채널영역(125)에 대응되도록 상기 게이트절연층(130) 상에 형성되며, 상기 소스전극(140S)은 상기 소스영역(121)과 접촉하도록 형성된다. 또한, 드레인전극(140D)은 상기 드레인영역(127)과

접촉하도록 형성한다.

[0074] 상기와 같이, 본 발명의 따른 전계효과 트랜지스터(100, 200)에 포함되는 As(arsenene), Sb(antimonene), 또는 Bi(bismuthene)의 물성은 그 두께를 조절함으로써 제어될 수 있는 바, 부분적 식각을 통해서 고성능의 전계효과 트랜지스터(100, 200)를 제조할 수 있다.

[0075] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0076] 100, 200, 300: 전계효과 트랜지스터

110: 기판

120: 물질층

120': 예비-물질층

121: 소스영역

125: 채널영역

127: 드레인영역

130, 130': 게이트절연층

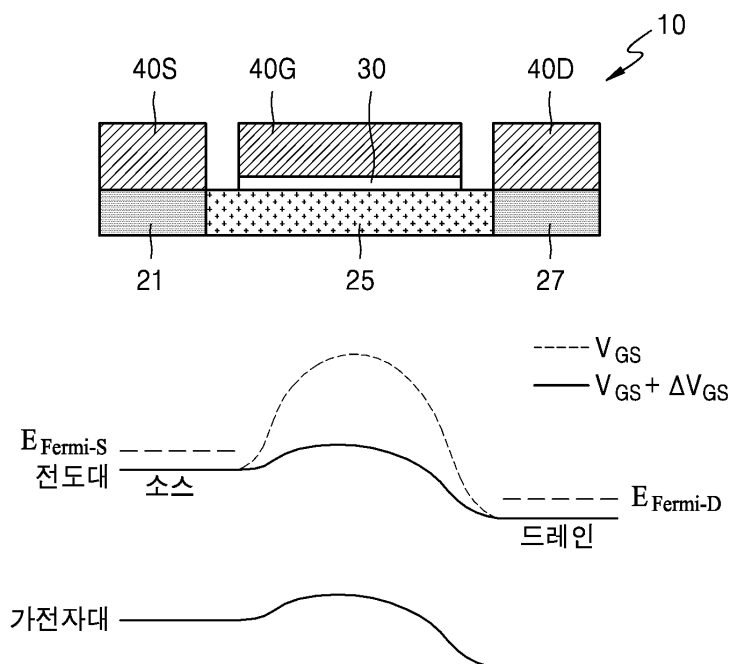
140G: 게이트전극

140D: 드레인전극

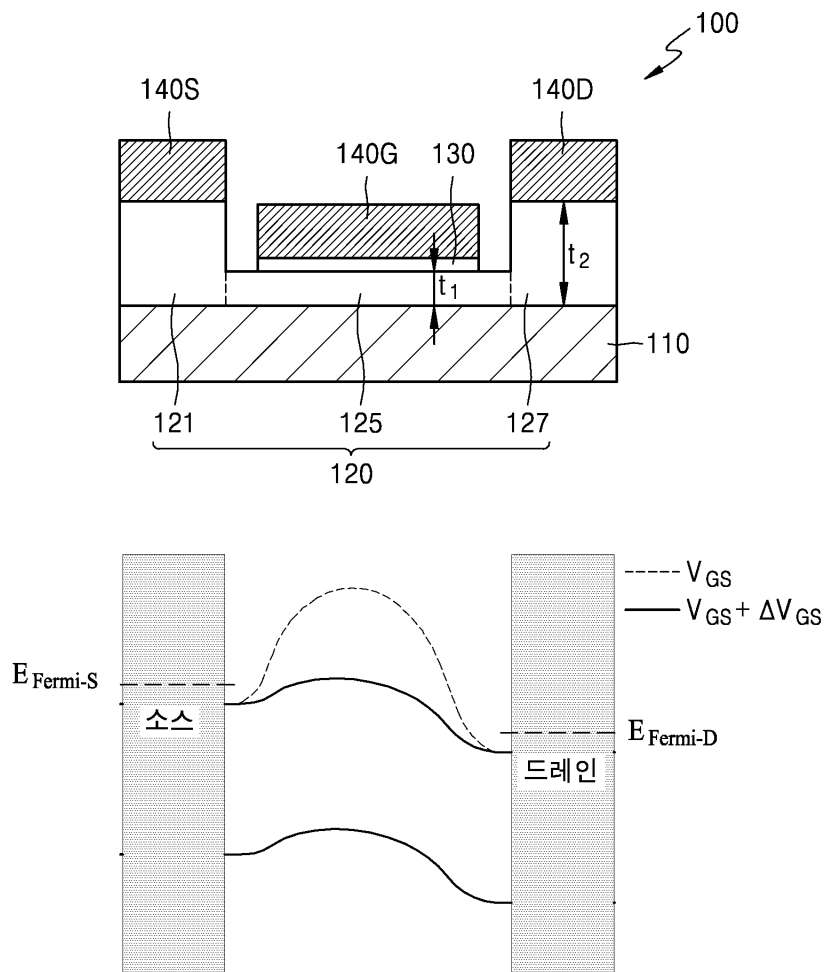
140S: 소스전극

도면

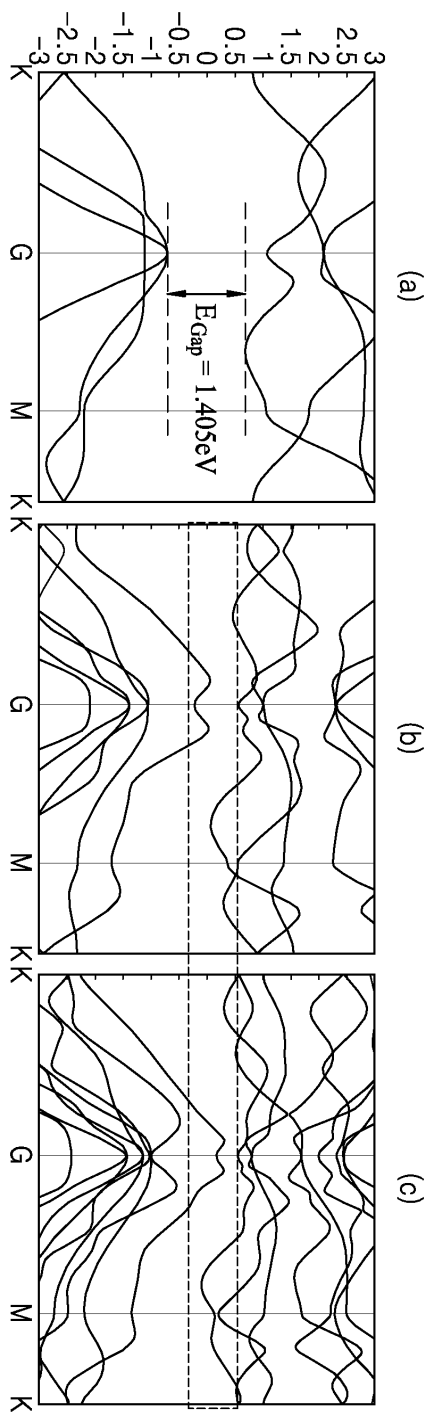
도면1



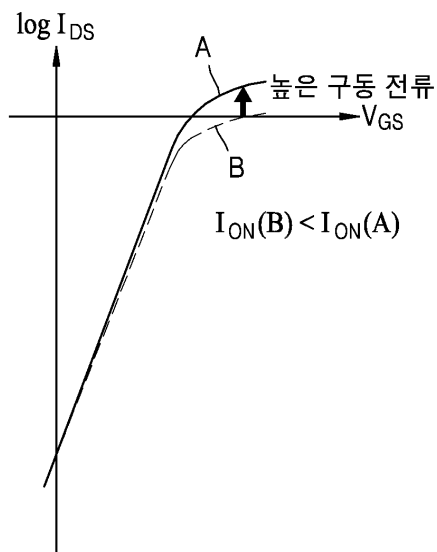
도면2



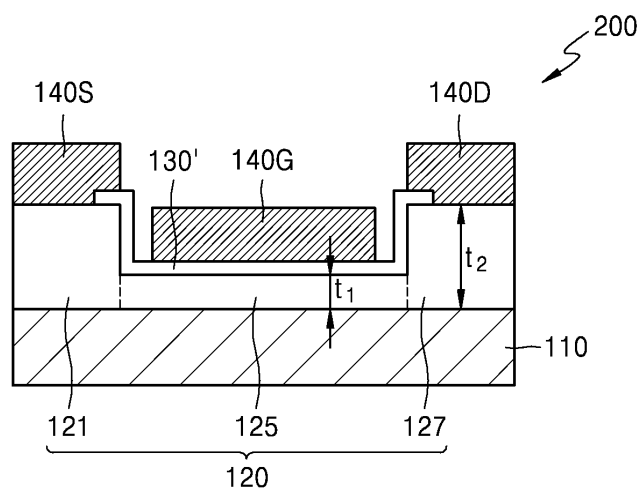
도면3



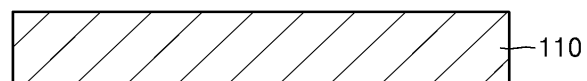
도면4



도면5



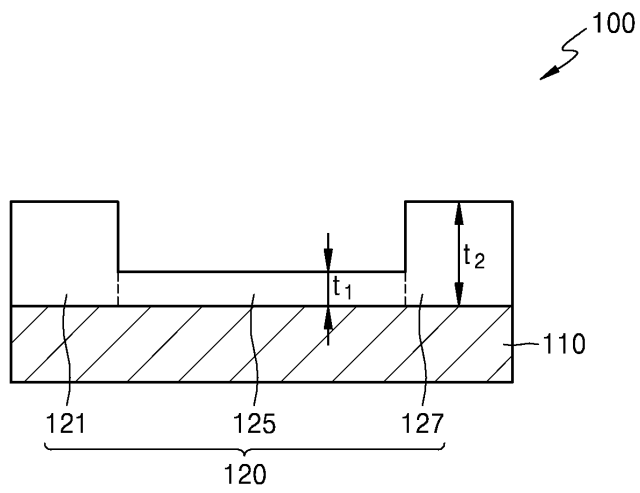
도면6a



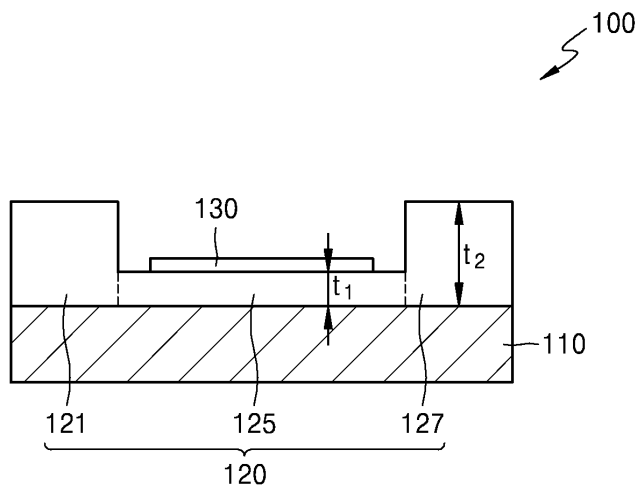
도면6b



도면6c



도면6d



도면6e

