(19) Deutsches Patent- und Markenamt

(10) **DE 11 2020 003 986 T5** 2022.05.12

(12) # Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2021/042103**
in der deutschen Übersetzung (Art. III § 8 Abs. 2 IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2020 003 986.2**
(86) PCT-Aktenzeichen: **PCT/US2020/070346**
(86) PCT-Anmeldetag: **31.07.2020**
(87) PCT-Veröffentlichungstag: **04.03.2021**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **12.05.2022**

(51) Int Cl.: ***H04L 7/033*** (2006.01)

(30) Unionspriorität:

201910784610.8	**23.08.2019**	**CN**
16/588,621	**30.09.2019**	**US**

(71) Anmelder:
Microchip Technology Incorporated, Chandler, AZ, US

(74) Vertreter:
Betten & Resch Patent- und Rechtsanwälte PartGmbB, 80333 München, DE

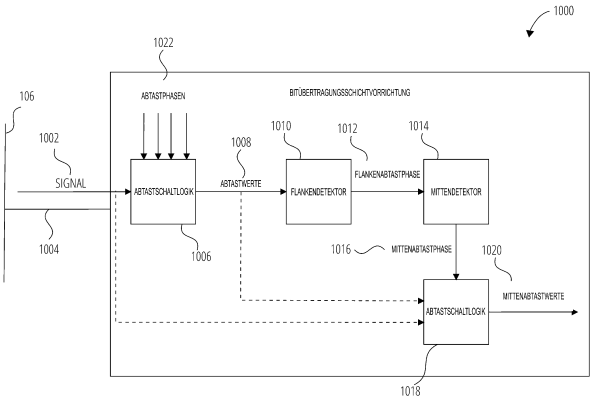
(72) Erfinder:
Yu, Jiachi, Foshan, Guangdong, CN; Chen, Dixon, Shenzhen, Guangdong, CN; Yang, Kevin, Shenzhen, CN

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **SCHNELLE ANFANGSPHASENSUCHE FÜR DIE DIGITALE TAKT- UND DATENRÜCKGEWINNUNG UND VERWANDTE SYSTEME, VORRICHTUNGEN UND VERFAHREN**

(57) Zusammenfassung: Systeme, Vorrichtungen und Verfahren, die sich auf das Auswählen einer Abtastphase eines Signals beziehen, werden offenbart. Ein Verfahren schließt ein Abtasten eines Signals, einschließlich einer Vielzahl von Symbolen, mit einer Vielzahl von unterschiedlichen Abtastphasen ein, um Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen zu erhalten. Das Signal wird von einem gemeinsam genutzten Übertragungsmedium empfangen. Das Verfahren schließt außerdem ein Bestimmen einer Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen, die Flanken der Symbole entspricht, basierend auf den Abtastwerten ein. Das Verfahren schließt ferner ein Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen basierend auf der bestimmten Flankenabtastphase und ein Verwenden der bestimmten Mittenabtastphase, um Werte der Symbole zu bestimmen, ein.



Beschreibung

PRIORITÄTSANSPRUCH

[0001] Diese Anmeldung beansprucht den Vorteil des Anmeldedatums der chinesischen Patentanmeldung mit der laufenden Nr. 201910784610.8, eingereicht am 23. August 2019, für „FAST INITIAL PHASE SEARCH FOR DIGITAL CLOCK AND DATA RECOVERY AND RELATED SYSTEMS, DEVICES, AND METHODS“ und beansprucht den Vorteil des Anmeldedatums der US-Patentanmeldung mit der laufenden Nr. 16/588,621, eingereicht am 30. September 2019, für „FAST INITIAL PHASE SEARCH FOR DIGITAL CLOCK AND DATA RECOVERY AND RELATED SYSTEMS, DEVICES, AND METHODS“, anhängig, deren Offenbarung hiermit in ihrer Gesamtheit durch diese Bezugnahme aufgenommen ist.

TECHNISCHES GEBIET

[0002] Die vorliegende Offenbarung bezieht sich allgemein auf die Einstellung einer Anfangsphase für die digitale Takt- und Datenrückgewinnung (DCDR) und genauer auf die DCDR von Signalen, die durch gemeinsam genutzte Übertragungsmedien von drahtgebundenen lokalen Netzwerken empfangen werden.

STAND DER TECHNIK

[0003] In Datenkommunikationen ist es nützlich, eine geeignete Abtastphase für ein Signal zu identifizieren. Eine Abtastphase nahe der Mitte eines Symbols ist üblicherweise die beste Abtastphase. Da sich eine Abtastphase Übergängen zwischen Symbolen (z. B. Flanken) nähert, können Fehler wahrscheinlicher auftreten, besonders in Umgebungen, die anfällig für Rauschen und Interferenzen sind. Die Automobilumgebung ist eine solche Umgebung, die anfällig für Rauschen und Interferenzen sein kann. Erschwerend kommt hinzu, dass empfangene Pakete von einer Anzahl verschiedener Sender kommen können, deren Symbole möglicherweise nicht zeitlich aneinander ausgerichtet sind. Dadurch kann es erforderlich sein, eine geeignete Abtastphase für jedes der verschiedenen empfangenen Pakete zu finden.

Figurenliste

[0004] Während diese Offenbarung mit Ansprüchen endet, die bestimmte Ausführungsformen besonders hervorheben und eindeutig beanspruchen, können verschiedene Merkmale und Vorteile von Ausführungsformen innerhalb des Schutzumfangs dieser Offenbarung leichter aus der folgenden Beschreibung ermittelt werden, wenn sie in Verbindung mit den beigefügten Zeichnungen gelesen werden, in denen:

Fig. 1 ein Blockdiagramm eines Abschnitts eines Netzwerksegments gemäß einigen Ausführungsformen ist;

Fig. 2 ein Augendiagramm gemäß einigen Ausführungsformen ist;

Fig. 3 ein Symbolabtastdiagramm gemäß einigen Ausführungsformen ist;

Fig. 4 ein Flussdiagramm ist, das ein Verfahren zum Auswählen einer Abtastphase eines Signals aus einer Vielzahl von unterschiedlichen Abtastphasen gemäß einigen Ausführungsformen veranschaulicht;

Fig. 5 ein weiteres Symbolabtastdiagramm gemäß einigen Ausführungsformen ist;

Fig. 6 ein Flussdiagramm ist, das ein Verfahren zum Bestimmen einer Flankenabtastphase gemäß einigen Ausführungsformen veranschaulicht;

Fig. 7 noch ein weiteres Symbolabtastdiagramm gemäß einigen Ausführungsformen ist;

Fig. 8 ein Flussdiagramm ist, das ein Verfahren zum Bestimmen einer Flankenabtastphase gemäß einigen Ausführungsformen veranschaulicht;

Fig. 9 ein Flussdiagramm ist, das noch ein weiteres Verfahren zum Bestimmen einer Flankenabtastphase gemäß einigen Ausführungsformen veranschaulicht;

Fig. 10 ein Blockdiagramm einer Vorrichtung der physikalischen Schicht gemäß einigen Ausführungsformen ist; und

Fig. 11 ein Blockdiagramm einer Rechenvorrichtung ist, die in einigen Ausführungsformen verwendet werden kann.

ART(EN) ZUM AUSFÜHREN DER ERFINDUNG

[0005] In der folgenden detaillierten Beschreibung wird auf die beigefügten Zeichnungen Bezug genommen, die einen Teil hiervon bilden und in denen zur Veranschaulichung spezifische Beispiele von Ausführungsformen gezeigt sind, in denen die vorliegende Offenbarung ausgeführt werden kann. Diese Ausführungsformen werden ausreichend detailliert beschrieben, um es einem Durchschnittsfachmann zu ermöglichen, die vorliegende Offenbarung auszuführen. Es können jedoch auch andere hierin ermöglichte Ausführungsformen verwendet werden, und Änderungen der Struktur, des Materials und des Prozesses können vorgenommen werden, ohne vom Schutzumfang der Offenbarung abzuweichen.

[0006] Die hierin dargestellten Veranschaulichungen sollen keine tatsächlichen Ansichten eines bestimmten Verfahrens oder Systems oder einer bestimmten Vorrichtung oder Struktur sein, sondern sind lediglich idealisierte Darstellungen, die zur Beschreibung der Ausführungsformen der vorliegenden Offenbarung verwendet werden. Ähnliche Strukturen oder Komponenten in den verschiedenen Zeichnungen können in einigen Fällen zur Vereinfachung für den Leser die gleiche oder eine ähnliche Nummerierung beibehalten; die Ähnlichkeit der Nummerierung bedeutet jedoch nicht notwendigerweise, dass die Strukturen oder Komponenten in Größe, Zusammensetzung, Konfiguration oder einer anderen Eigenschaft identisch sind.

[0007] Die folgende Beschreibung kann Beispiele einschließen, um es einem Durchschnittsfachmann zu ermöglichen, die offenbarten Ausführungsformen auszuführen. Die Verwendung der Begriffe „beispielhaft“, „als Beispiel“ und „zum Beispiel“ bedeutet, dass die zugehörige Beschreibung erläuternd ist, und obwohl der Schutzumfang der Offenbarung die Beispiele und ihre rechtlichen Äquivalente umfassen soll, ist die Verwendung solcher Begriffe nicht dazu bestimmt, den Schutzumfang einer Ausführungsform oder dieser Offenbarung auf die spezifizierten Komponenten, Schritte, Merkmale, Funktionen oder dergleichen einzuschränken.

[0008] Es versteht sich, dass die Komponenten der Ausführungsformen, wie sie hierin allgemein beschrieben und in den Zeichnungen veranschaulicht sind, in einer großen Vielfalt unterschiedlicher Konfigurationen angeordnet und ausgelegt werden könnten. Somit soll die folgende Beschreibung verschiedener Ausführungsformen den Schutzumfang der vorliegenden Offenbarung nicht einschränken, sondern ist lediglich repräsentativ für verschiedene Ausführungsformen. Während die verschiedenen Gesichtspunkte der Ausführungsformen in den Zeichnungen dargestellt sein können, sind die Zeichnungen nicht notwendigerweise maßstabsgetreu gezeichnet, sofern nicht ausdrücklich angegeben.

[0009] Des Weiteren sind die gezeigten und beschriebenen spezifischen Implementierungen nur Beispiele und sollten nicht als die einzige Möglichkeit zur Implementierung der vorliegenden Offenbarung ausgelegt werden, sofern hierin nicht anders angegeben. Elemente, Schaltungen und Funktionen können in Blockdiagrammform gezeigt sein, um die vorliegende Offenbarung nicht durch unnötige Details undeutlich werden zu lassen. Umgekehrt sind gezeigte und beschriebene spezifische Implementierungen nur beispielhaft und sollten nicht als die einzige Möglichkeit zur Implementierung der vorliegenden Offenbarung ausgelegt werden, sofern hierin nicht anders angegeben. Außerdem sind Blockdefinitionen und die Aufteilung von Logik zwischen verschiedenen Blöcken beispielhaft für eine spezifische Implementierung. Es ist für den Fachmann ohne Weiteres ersichtlich, dass die vorliegende Offenbarung durch zahlreiche andere Aufteilungslösungen ausgeführt werden kann. Auf Details zu zeitlichen Erwägungen und dergleichen wurde größtenteils verzichtet, soweit solche Details für ein vollständiges Verständnis der vorliegenden Offenbarung nicht erforderlich sind und innerhalb der Fähigkeiten eines Durchschnittsfachmanns liegen.

[0010] Der Durchschnittsfachmann würde verstehen, dass Informationen und Signale unter Verwendung einer Vielfalt verschiedener Technologien und Techniken dargestellt werden können. Einige Zeichnungen können Signale zur Übersichtlichkeit der Darstellung und Beschreibung als ein einzelnes Signal veranschaulichen. Es ist für einen Durchschnittsfachmann ersichtlich, dass das Signal einen Bus von Signalen darstellen kann, wobei der Bus eine Vielfalt von Bitbreiten aufweisen kann und die vorliegende Offenbarung auf einer beliebigen Anzahl von Datensignalen, einschließlich eines einzelnen Datensignals, implementiert werden kann.

[0011] Die verschiedenen veranschaulichenden logischen Blöcke, Module und Schaltungen, die in Verbindung mit den hierin offenbarten Ausführungsformen beschrieben sind, können mit einem Universalprozessor, einem Spezialprozessor, einem Digitalsignalprozessor (DSP), einer integrierten Schaltung (IC), einer anwendungsspezifischen integrierten Schaltung (ASIC), einer feldprogrammierbaren Gatteranordnung (FPGA) oder einer anderen programmierbaren Logikvorrichtung, einer diskreten Gatter- oder Transistorlogik, diskreten Hardwarekomponenten oder einer beliebigen Kombination davon, die zum Durchführen der hierin beschriebenen Funktionen ausgelegt sind, implementiert oder durchgeführt werden. Ein Universalprozessor (der hierin auch als Host-Prozessor oder einfach als Host bezeichnet werden kann) kann ein Mikroprozessor sein, alternativ kann der Prozessor jedoch ein beliebiger herkömmlicher Prozessor, Controller, Mikrocontroller oder Zustandsautomat sein. Ein Prozessor kann auch als eine Kombination von Rechenvorrichtungen, wie eine Kombination aus einem DSP und einem Mikroprozessor, eine Vielzahl von Mikroprozessoren, ein oder mehrere Mikroprozessoren in Verbindung mit einem DSP-Kern oder eine beliebige andere derartige Konfiguration implementiert sein. Ein Universalcomputer einschließlich eines Prozessors wird als Spezialcomputer angesehen, während der Universalcomputer so konfiguriert ist, dass er Rechenanweisungen (z. B. einen Softwarecode) ausführt, die sich auf Ausführungsformen der vorliegenden Offenbarung beziehen.

[0012] Die Ausführungsformen können in Bezug auf einen Prozess beschrieben sein, der als ein Fluss-

diagramm, ein Fließschema, ein Strukturdiagramm oder ein Blockdiagramm dargestellt ist. Obwohl ein Flussdiagramm operationale Handlungen als einen sequentiellen Prozess beschreiben kann, können viele dieser Handlungen in einer anderen Abfolge, parallel oder im Wesentlichen gleichzeitig durchgeführt werden. Außerdem kann die Reihenfolge der Handlungen geändert werden. Ein Prozess kann einem Verfahren, einem Thread, einer Funktion, einer Prozedur, einer Subroutine, einem Unterprogramm, einer anderen Struktur oder Kombinationen davon entsprechen. Des Weiteren können die hierin offenbarten Verfahren in Hardware, Software oder beidem implementiert werden. Bei Implementierung in Software können die Funktionen als eine oder mehrere Anweisungen oder ein Code auf computerlesbaren Medien gespeichert oder übertragen werden. Computerlesbare Medien schließen sowohl Computerspeichermedien als auch Kommunikationsmedien, einschließlich aller Medien, welche die Übertragung eines Computerprogramms von einem Ort zu einem anderen unterstützen, ein.

[0013] Jeder Verweis auf ein Element hierin unter Verwendung einer Bezeichnung, wie „erste/r/s“, „zweite/r/s“ usw. schränkt die Menge oder Reihenfolge dieser Elemente nicht ein, es sei denn, eine solche Einschränkung wird ausdrücklich angegeben. Vielmehr können diese Bezeichnungen hierin als ein zweckmäßiges Verfahren zum Unterscheiden zwischen zwei oder mehr Elementen oder Instanzen eines Elements verwendet werden. Ein Verweis auf ein erstes und ein zweites Element bedeutet also nicht, dass dort nur zwei Elemente eingesetzt werden dürfen oder dass das erste Element dem zweiten Element in irgendeiner Weise vorausgehen muss. Außerdem kann ein Satz von Elementen, sofern nicht anders angegeben, ein oder mehrere Elemente umfassen.

[0014] Wie hierin verwendet, bedeutet der Begriff „im Wesentlichen“ in Bezug auf einen gegebenen Parameter, eine gegebene Eigenschaft oder eine gegebene Bedingung und schließt in einem für den Durchschnittsfachmann verständlichen Ausmaß ein, dass der gegebene Parameter, die gegebene Eigenschaft oder die gegebene Bedingung mit einem geringen Maß an Varianz, wie zum Beispiel innerhalb annehmbarer Fertigungstoleranzen, erfüllt ist. Beispielhaft kann in Abhängigkeit von dem bestimmten Parameter, der bestimmten Eigenschaft oder der bestimmten Bedingung, der bzw. die im Wesentlichen erfüllt ist, der Parameter, die Eigenschaft oder die Bedingung zu mindestens 90 % erfüllt, zu mindestens 95 % erfüllt oder sogar zu mindestens 99 % erfüllt sein.

[0015] Ein Fahrzeug, wie ein Automobil, ein Lastkraftwagen, ein Bus, ein Schiff und/oder ein Flugzeug, kann ein Fahrzeugkommunikationsnetzwerk einschließen. Je nach Anzahl der elektronischen Vorrichtungen im Netzwerk kann die Komplexität eines Fahrzeugkommunikationsnetzwerks unterschiedlich sein. So kann ein modernes Fahrzeugkommunikationsnetzwerk verschiedene Steuermodule zum Beispiel zur Motorsteuerung, Getriebesteuerung, Sicherheitssteuerung (z. B. Antiblockiersystem) und Emissionssteuerung einschließen. Um diese Module zu unterstützen, werden in der Automobilindustrie verschiedene Kommunikationsprotokolle verwendet.

[0016] 10SPE (d. h. 10 MBit/s Single Pair Ethernet) ist eine Netzwerktechnologiespezifikation, die aktuell vom Institute of Electrical and Electronic Engineers als Spezifikation IEEE 802.3cg™ entwickelt wird. 10SPE kann verwendet werden, um in einem Multidrop-Netzwerk eine kollisionsfreie, deterministische Übertragung bereitzustellen. IEEE802.3cg™ definiert 10BASE-T1S (auch bekannt als „cg“) zur Verwendung mit Autosensoren, Audio, anderen Vorrichtungen oder Kombinationen davon. 10BASE-T1S kann auch in Backplanes und Internet der Dinge-Netzwerken (IdD-Netzwerken) verwendet werden. Die cg-Spezifikation richtet sich auf einen Multi-Drop-Bus für 10 Megabits pro Sekunde (MBit/s), der einen Carrier Sense Multiple Access (CSMA) mit Physical Layer Collision Avoidance (PLCA) verwendet.

[0017] In bestimmten Umgebungen, in denen drahtgebundene lokale Netzwerke (z. B. Ethernet) verwendet werden, kann es wünschenswert sein, schnell eine geeignete Abtastphase für ein Signal zu identifizieren. Für die digitale Takt- und Datenrückgewinnung (CDR) (DCDR) basierend auf einem Mehrfachabtasten wird üblicherweise eine relativ große Menge an Trainingsdaten benötigt, um eine akzeptable Abtastphase (z. B. die beste Abtastphase) zu bestimmen. Herkömmlicherweise verwendet CDR für Punkt-zu-Punkt-Verbindungen unterschiedliche Codierschemata und stützt sich vor der Verbindung auf einen erweiterten Digitalsignalverarbeitungstrainingszeitraum (DSP-Trainingszeitraum). Die 10SPE-Rahmenstruktur schließt jedoch eine Rahmenpräambel ein, der ein SYNC-Muster vorangestellt ist, wobei das SYNC-Muster nur zehn Symbole einschließt (z. B. im Code der differenziellen Manchester-Codierung (DME), wobei ein Symbol etwa 40 Nanosekunden ist). Dadurch weist die 10SPE-Rahmenpräambel nicht genügend Daten für ein herkömmliches CDR-Training auf, um die beste Abtastphase zu finden. Weiter erschwerend kommt hinzu, dass 10SPE strenge Tests (z. B. die Tests Bulk Current Injection (BCI) und Direct Power Injection (DPI)) einschließt, die dazu bestimmt sind, eine Gleichtaktstörung (z. B. hohe Gleichtakterzeugungsereignisse) zu erzeugen, die Ethernet-Vorrichtungen möglicherweise bestehen müssen. Aufgrund der Kürze der 10SPE-Rahmenpräambel ist es wünschenswert, die beste Abtastphase innerhalb mehre-

rer Symbole (z. B. weniger als oder gleich zehn Symbole) zu finden.

[0018] Hierin offenbarte Ausführungsformen ermöglichen eine schnelle (z. B. innerhalb von zehn Symbolen oder weniger) und zuverlässige CDR bei Bedingungen, die relativ verrauscht sind und einen relativ hohen Interferenzpegel aufweisen, wodurch hierin offenbarte Ausführungsformen für 10SPE T1S für Automobilumgebungen geeignet sind. Zum Beispiel sind hierin offenbarte Ausführungsformen auf eine DCDR basierend auf einem Mehrfachabtasten gerichtet, das an 10SPE beteiligt ist, um Jitter/die Interferenztoleranz zu verbessern. Außerdem ermöglichen hierin offenbarte Ausführungsformen die Rückgewinnung von Daten aus einem Signal und einem Takt in einigen Bits/Symbolen. Dadurch ermöglichen hierin offenbarte Ausführungsformen eine robuste und zuverlässige CDR in einer sehr verrauschten Umgebung (z. B. der Automobilumgebung), das Bestehen strenger BCI- und DPI-Automobiltests und das Bestimmen der besten Abtastphase innerhalb von etwa zehn Symbolen oder weniger (z. B. innerhalb von acht Symbolen, sechs Symbolen oder sogar innerhalb von 3 oder vier Symbolen), um es der DCDR zu ermöglichen, korrekt zu arbeiten und den vollständigen 10SPE-Rahmen rückzugewinnen. Es werden hierin zwei verschiedene Lösungen offenbart, um herkömmliche Trainingsstufen zu ersetzen, um die beste Abtastphase innerhalb einiger Symbole zu finden.

[0019] Hierin offenbarte Ausführungsformen verwenden Quadraturtakte, um empfangene Signale überabzutasten. Das Überabtasten wird durch die DCDR verwendet, um die Grenzen von Bits (z. B. Symbolen) zu identifizieren. Um die beste Anfangsphase für die DCDR innerhalb einiger Symbole zu finden, wird ein Phasensuchblock eingeführt, um eine Trainingsstufe zu ersetzen, die in herkömmlichen Systemen verwendet wird. Der Phasensuchblock zählt die Anzahl von Flanken jeder Abtastphase und wählt die Phase mit den maximalen Flanken als Anfangsphase aus. Mit dieser Schaltung kann die DCDR-Anfangsphase innerhalb von zehn Symbolen (z. B. Bitzeiten) oder weniger eingestellt werden. Dies ermöglicht ein Sperren der DCDR durch den Start einer Präambel (z. B. unter Verwendung der Bits des SYNC-Musters vor der Präambel - es gibt zwei SYNCs im 10 SPE-Rahmen und es ist hilfreich, eine Sperre innerhalb der ersten SYNC zu erhalten, weil die zweite SYNC verwendet wird, um eine 5B-Grenze für eine 4B5B-Decodierung zu bestimmen), wodurch es der DCDR ermöglicht wird, den vollständigen Rahmen zu decodieren. Dies ist nützlich, weil die Präambelzeit zum Synchronisieren des multiplikativen Entwürflers verwendet wird und in Zukunft für das Betrieb, Verwaltung, Wartung-Feld (OAM-Feld) verwendet werden kann.

[0020] **Fig. 1** ist ein Funktionsblockdiagramm eines Netzwerksegments 100, einschließlich einer Verbindungsschichtvorrichtung, eines gemeinsam genutzten MAC-Übertragungsmediums 106 und einer Bitübertragungsschichtvorrichtung (PHY-Vorrichtung), PHY 102, gemäß einigen Ausführungsformen. Als nicht einschränkende Beispiele kann das Netzwerksegment 100 ein Segment eines Multi-Drop-Netzwerks, ein Segment eines Multi-Drop-Unternetzwerks, ein Segment eines Netzwerks mit gemischten Medien oder eine Kombination davon oder eine Unterkombination davon sein. Als nicht einschränkende Beispiele kann das Netzwerksegment 100, ohne darauf beschränkt zu sein, eines oder mehrere von einem eingebetteten System vom Mikrocontrollertyp, einem Computer vom Benutzertyp, einem Computerserver, einem Notebook-Computer, einem Tablet, einer handgehaltenen Vorrichtung, einer mobilen Vorrichtung, einer drahtlosen Ohrhörervorrichtung oder Kopfhörervorrichtung, einer drahtgebundenen Ohrhörer- oder Kopfhörervorrichtung, einem Einrichtungsuntersystem, einem Beleuchtungsuntersystem, einem Tonuntersystem, Gebäudesteuerungssystemen, einem Wohnungsüberwachungssystem (z. B., ohne darauf beschränkt zu sein, zur Sicherheits- oder Versorgungsnutzung) System, einem Aufzugsystem oder Untersystem, einem Steuerungssystem des öffentlichen Verkehrs (z. B., ohne darauf beschränkt zu sein, für einen oberirdischen Zug, einen unterirdischen Zug, eine Straßenbahn oder einen Bus), einem Automobilsystem oder Automobiluntersystem oder einem industriellen Steuerungssystem sein, Teil davon sein oder diese einschließen.

[0021] Die PHY 102 kann so konfiguriert sein, dass sie mit der MAC 104 eine Schnittstelle aufweist. Als nicht einschränkende Beispiele können die PHY 102 und/oder die MAC 104 beispielsweise Chip-Bausteine sein, die Speicher und/oder Logik einschließen, die zum Ausführen aller oder von Teilen der hier beschriebenen Ausführungsformen konfiguriert sind. Als nicht einschränkende Beispiele können die PHY 102 und die MAC 104 jeweils beispielsweise als separater Chip-Baustein oder separate Schaltungen (z. B. integrierte Schaltungen) in einem einzigen Chip-Baustein (z. B. ein System-in-Package (SIP)) implementiert sein.

[0022] Die PHY 102 bildet außerdem eine Schnittstelle mit dem gemeinsam genutzten Übertragungsmedium 106, einem physischen Medium, das ein Kommunikationspfad für Knoten ist, die Teil des Netzwerksegments 100 oder eines Netzwerks, von dem das Netzwerksegment 100 ein Teil ist, sind, einschließlich Knoten, die die PHY 102 und die MAC 104 einschließen. Als nicht einschränkendes Beispiel kann das gemeinsam genutzte Übertragungsmedium 106 eine einzelne verdrillte Doppelader (z. B. eine nicht abgeschirmte verdrillte Doppelader

oder UTP) sein, wie sie für Einzelpaar-Ethernet verwendet wird.

[0023] Das Netzwerksegment 100 kann in einigen Ausführungsformen in einer Automobilumgebung verwendet werden. Als nicht einschränkendes Beispiel kann das Netzwerksegment 100 konfiguriert sein, um einen oder mehrere Sensoren in einem Fahrzeug mit einem Computer oder einer Steuerung zu verbinden. Ebenfalls als nicht einschränkendes Beispiel kann die PHY 102 in 10BASE-T 1 S-Endpunkten und -Schaltern verwendet werden.

[0024] Die differenzielle Manchester-Codierung (DME) wird verwendet, um Takt und Daten zu codieren. Die PHY 102 kann manchmal als Empfänger eines oder mehrerer solcher codierten Signale dienen, die durch das gemeinsam genutzte Übertragungsmedium 106 empfangen werden können. Der Takt und die Daten des empfangenen Signals werden decodiert. In 10SPE-Systemen wird möglicherweise keine Zeit oder kein Muster für das Training bereitgestellt, um die CDR zu ermöglichen. Entsprechend muss die PHY 102 konfiguriert werden, um schnell eine geeignete Abtastphase zu identifizieren.

[0025] **Fig. 2** ist ein Augendiagramm 200 gemäß einigen Ausführungsformen. Das Augendiagramm 200 schließt ein Signal 206 ein, das zwischen verschiedenen Spannungspegeln, die verschiedenen Logikpegeln entsprechen, ansteigt und abfällt. In dem in **Fig. 2** veranschaulichten Beispiel ist das Signal 206 konfiguriert, um zwischen zwei Spannungen, die einen hohen Logikpegel und einen niedrigen Logikpegel einschließen, zu wechseln.

[0026] Wenn die PHY 102 (**Fig. 1**) das Signal 206 empfängt, tastet die PHY 102 das Signal 206 ab, um für jedes durch das Signal 206 übermittelte Symbol zu bestimmen, ob das Signal 206 auf dem hohen Logikpegel oder auf dem niedrigen Logikpegel ist. Beim Abtasten des Signals 206 wäre die beste Abtastphase an der Mitte 202 jedes Symbols. Die Mitte 202 kann bestimmt werden, wenn die Flanke 204 des Symbols bekannt oder detektiert ist und die Zeitlänge jedes Symbols bekannt ist.

[0027] Hierin offenbarte Ausführungsformen ermöglichen die Detektion der Flanke 204 der Symbole in einem empfangenen Signal 206 durch ein Überabtasten des Signals 206. Als nicht einschränkendes Beispiel kann ein vierfaches Mehrfachabtasten (vier Abtastungen pro Symbol) verwendet werden. Dadurch können vier verschiedene Abtastphasen a, b, c, d verwendet werden, um das Signal 206 abzutasten. Nach der Detektion kann die Flanke 204 verwendet werden, um zu schätzen, welche der vier verschiedenen Abtastphasen a, b, c, d nahe der Mitte 202 sein können.

[0028] Es sollte beachtet werden, dass die Abtastphasen a, b, c, d, wie in **Fig. 2** veranschaulicht, in einigen Ausführungsformen im Wesentlichen gleichmäßig zeitlich beabstandet sein können. In einigen Ausführungsformen können die Abtastphasen a, b, c, d jedoch in ungleichmäßigen Zeitabständen beabstandet sein, ohne von hierin offenbarten Ausführungsformen abzuweichen.

[0029] **Fig. 3** ist ein Symbolabtastdiagramm 300 gemäß einigen Ausführungsformen. Das Symbolabtastdiagramm 300 schließt ein Signal 302 ein. Das Signal 302 schließt Symbole 304, 306, 308, 310, 312, 314, 316 ein. Wie zuvor erörtert, kann das Signal 302 mehrfachabgetastet werden (z. B. mehr als eine Abtastung pro Symbol). In dem Beispiel von **Fig. 3** wird das Signal 302 mit den Abtastphasen a, b, c, d viermal mehrfachabgetastet (vier Abtastungen pro Symbol). Die Abtastphase a weist einen Abtastwert von jedem der Symbole 304-316 auf. Dadurch ist a = [a0 a1 a2 a3 a4 a5 a6 ...]. In ähnlicher Weise weisen die Abtastphasen b, c und d jeweils einen Abtastwert von jedem der Symbole 304-316 auf. Dadurch ist b = [b0 b1 b2 b3 b4 b5 b6 ...], c = [c0 c1 c2 c3 c4 c5 c6 ...] und d = [d0 d1 d2 d3 d4 d5 d6 ...].

[0030] Hierin vorgeschlagen werden zwei verschiedene Lösungen zum Feststellen, welche der Abtastphasen a, b, c und d eine Flankenabtastphase ist, sodass eine Mittenabtastphase bestimmt werden kann.

[0031] **Fig. 4** ist ein Flussdiagramm, das ein Verfahren 400 zum Auswählen einer Abtastphase (z. B. einer Mittenabtastphase) eines Signals (z. B. des Signals 302 von **Fig. 3**) aus einer Vielzahl von unterschiedlichen Abtastphasen (z. B. a, b, c und d von **Fig. 3**) gemäß einigen Ausführungsformen veranschaulicht. Bezug nehmend auf **Fig. 3** und **Fig. 4** zusammen tastet das Verfahren 400 bei Vorgang 402 mit Schaltlogik (z. B. PHY 102 von **Fig. 1**) einer Bitübertragungsschicht eines drahtgebundenen lokalen Netzwerks (z. B. des Netzwerksegments 100 von **Fig. 1**) ein Signal 302 ab, einschließlich einer Vielzahl von Symbolen 304-316 mit einer Vielzahl von unterschiedlichen Abtastphasen a, b, c, d, um Abtastwerte a0-d6 jedes der Vielzahl von Symbolen 304-316 an jeder der Vielzahl von unterschiedlichen Abtastphasen a, b, c, d zu erhalten. Das Signal 302 wird von einem gemeinsam genutzten Übertragungsmedium 106 empfangen, das betreibbar mit der PHY 102 (**Fig. 1**) gekoppelt ist.

[0032] Bei Vorgang 404 bestimmt das Verfahren 400 eine Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen a, b, c, d, die Flanken der Symbole 304 316 entspricht, basierend auf den Abtastwerten a0-d6. Die nachstehenden Erörterungen für **Fig. 5** und **Fig. 6** veranschaulichen zusammen ein erstes Verfahren 600 zum Bestimmen einer

Flankenabtastphase. Nachstehende Ausführungen für **Fig. 7**, **Fig. 8** und **Fig. 9** veranschaulichen zusammen zwei Teilmengen eines zweiten Verfahrens 800, 900 zum Bestimmen einer Flankenabtastphase.

[0033] Bei Vorgang 406 bestimmt das Verfahren 400 eine Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen, die Mitten der Symbole entspricht, basierend auf der bestimmten Flankenabtastphase. In einigen Ausführungsformen umfasst das Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen a, b, c, d, die Mitten der Symbole 304-316 entspricht, basierend auf der Flankenabtastphase ein Bestimmen, dass die Mittenabtastphase eine Abtastphase ist, die etwa eine Hälfte einer Symbolzeitlänge von der Flankenabtastphase ist. Als nicht einschränkendes Beispiel, wenn bestimmt wird, dass eine Flankenabtastphase a ist, kann bestimmt werden, dass entweder b oder c die Mittenabtastphase ist. Ebenfalls als nicht einschränkendes Beispiel, wenn bestimmt wird, dass die Flankenabtastphase die Abtastphase d ist, kann bestimmt werden, dass entweder b oder c die Mittenabtastphase ist.

[0034] Bei Vorgang 408 verwendet das Verfahren 400 die bei Vorgang 406 bestimmte Mittenabtastphase, um Werte der Symbole zu bestimmen. Als nicht einschränkendes Beispiel, wenn bestimmt wird, dass b die Mittenabtastphase ist, kann bestimmt werden, dass die Werte der Symbole 304-316 b = [b0 b1 b2 b3 b4 b5 b6 ...] sind. Ebenfalls als nicht einschränkendes Beispiel, wenn bestimmt wird, dass c die Mittenabtastphase ist, kann bestimmt werden, dass die Werte der Symbole 304-316 c = [c0 c1 c2 c3 c4 c5 c6 ...] sind.

[0035] **Fig. 5** ist ein weiteres Symbolabtastdiagramm 500 gemäß einigen Ausführungsformen. Das Symbolabtastdiagramm 500 schließt das Signal 302, die Symbole 304 316, die Abtastphasen a, b, c, d und die Abtastwerte a0-d6 von **Fig. 3** ein. Zusätzlich gibt **Fig. 5** Werte für die Abtastwerte a0-d6 an. Zum Beispiel a = [1 -1 1 1 -1 1 -1 ...], b = [1 -1 1 1 -1 1 -1 ...], c = [1 -1 1 1 -1 1 -1 ...] und d = [1 -1 1 1 -1 1 -1 ...]. Es wird darauf hingewiesen, dass ein abgetasteter hoher Logikpegel durch eine „1“ dargestellt wird und ein abgetasteter niedriger Logikpegel durch eine „-1“ dargestellt wird. Es wird außerdem darauf hingewiesen, dass für Zwecke von **Fig. 5** und **Fig. 6** ein vorbestimmter Wert verwendet werden kann, um einen hohen Logikpegel darzustellen, und ein negativer Wert des vorbestimmten Werts verwendet werden kann, um einen niedrigen Logikpegel darzustellen.

[0036] Eine Flankenabtastphase kann durch Zählen einer Flanke an jeder Abtastphase a, b, c, d bestimmt werden. Dies kann unter Verwendung des Verfahrens 600 von **Fig. 6** erreicht werden.

[0037] **Fig. 6** ist ein Flussdiagramm, das ein Verfahren 600 zum Bestimmen einer Flankenabtastphase gemäß einigen Ausführungsformen veranschaulicht. Bezug nehmend auf **Fig. 5** und **Fig. 6** zusammen führt das Verfahren 600 bei Vorgang 602 für jede Abtastphase der Vielzahl von unterschiedlichen Abtastphasen a, b, c, d eine Exklusiv-Oder-Berechnung (XOR-Berechnung) zwischen denjenigen der Abtastwerte, die der Abtastphase entsprechen, und denjenigen der Abtastwerte, die einer Abtastphase entsprechen, die unmittelbar zeitlich benachbart zur Abtastphase ist, durch. Zum Beispiel kann eine Flanke jeder Abtastphase entsprechend einer Abtastphase bestimmt werden, die der Abtastphase unmittelbar vorhergeht. Genauer gesagt kann das Folgende berechnet werden:

- e(a,n) = a(n) XOR d(n-1)
- e(b,n) = b(n) XOR a(n)
- e(c,n) = c(n) XOR b(n)
- e(d,n) = d(n) XOR c(n)

wobei e(x,n) eine Flankenberechnung der Abtastphase x für Bit n bezeichnet.

[0038] Das Ergebnis der Berechnung e(a,n) = a(n) XOR d(n-1) wird durch Berechnen von [1 -1 1 1 -1 1 -1 ...] XOR [* 1 -1 1 1 -1 1 ...] erhalten, was zu e(a,n) = [* 1 10 1 1 1 ...] führt, wobei „*“ einen unbekannten Wert bezeichnet. Das Ergebnis der Berechnung e (b,n) = b(n) XOR a(n) wird durch Berechnen von [1 -1 1 1 -1 1 -1 ...] XOR [1 -1 1 1 -1 1 -1 ...] erhalten, was zu e(b,n) = [0 0 0 0 0 0 0 ...] führt. Das Ergebnis der Berechnung e(c,n) = c(n) XOR b(n) wird durch Berechnen von [1 -1 1 1 -1 1 -1 ...] XOR [1 -1 1 1 -1 1 -1 ...] erhalten, was zu e(c,n) = [0 0 0 0 0 0 0 ...] führt. Das Ergebnis der Berechnung e(d,n) = d(n) XOR c(n) wird durch Berechnen von [1 -1 1 1 -1 1 -1 ...] XOR [1 -1 1 1 -1 1 -1 ...] erhalten, was zu e (d,n) = [0 0 0 0 0 0 0 ...] führt.

[0039] Bei Vorgang 604 summiert das Verfahren 600 Ergebnisse für jede XOR-Berechnung, um eine Gesamtflankenanzahl für jede Abtastphase zu erhalten. Die Gesamtflankenanzahl für jede Abtastphase a, b, c, d wird durch Heranziehen einer Summe von jedem der Elemente in e(x) (z. B. e(a,n), e(b,n), e (c,n), e(d,n)) gegeben, was durch die Summe (e(x) = e(x,1)+e(x,2)+e(x,3)+... gegeben wird. Zum Beispiel wird die Gesamtflankenanzahl für die Abtastphase a durch Heranziehen der Summe der Elemente in e(a,n) = [- 1 10 1 1 1] gegeben, was durch 1+1+0+1+1+1 = 5 gegeben wird. Die Gesamtflankenanzahlen für die Abtastphasen b, c, d werden durch Heranziehen einer Summe von jedem der Elemente in e(b,n), e(c,n) und e(d,n) gegeben, die jeweils [0 0 0 0 0 0 0] sind, was dazu führt, dass die Gesamtflankenanzahlen für jedes von b, c und d gleich null sind (Summe von [0 0 0 0 0 0 0] ist 0).

[0040] Bei Vorgang 606 bestimmt das Verfahren 600, dass die Flankenabtastphase die Abtastphase ist, die einer höchsten Summe der Ergebnisse für jede XOR-Berechnung entspricht. Da in diesem Fall die höchste Summe der Ergebnisse der XOR-Berechnungen der Abtastphase a entspricht (Summe von e(a,n) = 5 im Vergleich zur Summe von e(b,n) = 0, Summe von e(c,n) = 0 und Summe von e(d,n) = 0), wird bestimmt, dass die Abtastphase a die Flankenabtastphase ist.

[0041] Es sollte beachtet werden, dass in dem vorstehend Bezug nehmend auf **Fig. 5** erörterten Beispiel die Abtastwerte jeder Abtastphase a, b, c, d mit den Abtastwerten der Abtastphase, die der Abtastphase unmittelbar vorhergeht, XOR-verknüpft wurden (d. h., a(n) wurde mit d(n-1)) XOR-verknüpft, b(n) wurde mit a(n) XOR-verknüpft, c(n) wurde mit b (n) XOR-verknüpft und d(n) wurde mit c(n) XOR-verknüpft. Mit anderen Worten schließt Vorgang 602 in einigen Ausführungsformen ein Durchführen einer XOR-Berechnung zwischen denjenigen der Abtastwerte, die der Abtastphase entsprechen, und denjenigen der Abtastwerte, die einer Abtastphase entsprechen, die der Abtastphase zeitlich unmittelbar vorhergeht, ein.

[0042] In einigen Ausführungsformen können jedoch die Abtastwerte jeder Abtastphase a, b, c, d mit den Abtastwerten der Abtastphase, die der Abtastphase zeitlich unmittelbar folgt, XOR-verknüpft werden (d. h., a(n) kann mit b(n) XOR-verknüpft werden, b(n) kann mit c(n) XOR-verknüpft werden, c(n) kann mit d(n) XOR-verknüpft werden und d(n) kann mit a(n+1) XOR-verknüpft werden). In solchen Ausführungsformen ist e(a,n) = [1 -1 1 1 -1 1 -1 ...] XOR [1 -1 1 1 -1 1 -1 ...] = [0 0 0 0 0 0 0 ...], e (b,n) = [1 -1 1 1 -1 1 -1 ...] XOR [1 -1 1 1 -1 1 -1 ...] = [0 0 0 0 0 0 0 ...], e(c,n) = [1 -1 1 1 -1 1 -1 ...] XOR [1 -1 1 1 -1 1 -1 ...] = [0 0 0 0 0 0 0 ...] und e(d,n) = [1 -1 1 1 -1 1 -1 ...] XOR [-1 1 1 -1 1 -1 * ...] = [1 10 1 1 1 * ...]. Dadurch sind die Summen e(x) für jede der Abtastphasen a, b, c, d 0, 0, 0 bzw. 5. In diesem Fall wird d als die Flankenabtastphase ausgewählt. Mit anderen Worten schließt Vorgang 602 in einigen Ausführungsformen ein Durchführen einer XOR-Berechnung zwischen denjenigen der Abtastwerte, die der Abtastphase entsprechen, und denjenigen der Abtastwerte, die einer Abtastphase entsprechen, die der Abtastphase zeitlich unmittelbar vorhergeht, ein. Es sollte beachtet werden, dass, obwohl +/-1 verwendet werden, um hohe bzw. niedrige Logikpegel zu zeigen, beliebige andere Werte als +/-1 anstelle von +/-1 verwendet werden können (z. B. +/-2, +/-3), ohne von hierin offenbarten Ausführungsformen abzuweichen. Es sollte auch beachtet werden, dass, weil e(x,n) unter Verwendung einer XOR--Berechnung bestimmt wird, dass „1“ und „0“ anstelle +/- 1 verwendet werden können, um das Signal 302 darzustellen, ohne von Ausführungsformen der Offenbarung abzuweichen.

[0043] **Fig. 7** ist noch ein weiteres Symbolabtastdiagramm 700 gemäß einigen Ausführungsformen. Das Symbolabtastdiagramm 700 schließt das Signal 302 von **Fig. 3** ein. Das Signal 302 schließt die Symbole 304-316, die Abtastphasen a, b, c, d und die Abtastwerte a0-d6 von **Fig. 3** ein. Zusätzlich gibt **Fig. 7** Werte für die Abtastwerte a0-d6 an, die ähnlich **Fig. 5** sind. Zum Beispiel a = [1 -1 1 1 -1 1 -1 ...], b = [1 -1 1 1 -1 1 -1 ...], c = [1 -1 1 1 -1 1 -1 ...] und d = [1 -1 1 1 -1 1 -1 ...].

[0044] Eine Flankenabtastphase kann durch Berechnen einer absoluten Summe eines Symbolzeitpunkts an jeder Abtastphase a, b, c, d bestimmt werden. Dies kann unter Verwendung des Verfahrens 800 von **Fig. 8** oder des Verfahrens 900 von **Fig. 9** erreicht werden.

[0045] **Fig. 8** ist ein Flussdiagramm, das ein Verfahren 800 zum Bestimmen einer Flankenabtastphase gemäß einigen Ausführungsformen veranschaulicht. Bezug nehmend auf **Fig. 7** und **Fig. 8** zusammen berechnet das Verfahren 800 bei Vorgang 802 für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen eine Summe des Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums, der dem Abtastwert folgt, um eine Vielzahl von Summen der Abtastwerte zu erhalten. Jede der Vielzahl von Summen entspricht einer anderen der Vielzahl von unterschiedlichen Abtastphasen. Zum Beispiel kann die Vielzahl von Summen wie folgt ausgedrückt werden:

- sum(a,n) = a(n)+b(n)+c(n)+d(n)
- sum(b,n) = b(n)+c(n)+d(n)+a(n+1)
- sum(c,n) = c(n)+d(n)+a(n+1)+b(n+1)
- sum(d,n) = d(n)+a(n+1)+b(n+1)+c(n+1)

[0046] Bei Vorgang 804 bestimmt das Verfahren 800 einen Absolutwert jeder der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten. Dadurch kann die Vielzahl von Absolutwerten wie folgt ausgedrückt werden:

- s(a,n) = abs(sum(a,n))
- s(b,n) = abs(sum(b,n))
- s(c,n) = abs(sum(c,n))
- s(d,n) = abs(sum(d,n))

[0047] Das Durchführen dieser Absolutwertberechnungen für jede Abtastfrequenz und jedes Symbol führt zu der folgenden Vielzahl von Absolutwerten, wie in den unteren vier Zeilen von **Fig. 7** gezeigt:

- s(a,0)=4, s(a,1)=4, s(a,2)=4, s(a,3)=4, s(a,4)=4, s(a,5)=4, s(a,6)=4
- s(b,0)=2, s(b,1)=2, s(b,2)=4, s(b,3)=2, s(a,4)=2, s(b,5)=2, s(b,6)=2
- s(c,0)=0, s(c,1)=0, s(c,2)=4, s(c,3)=0, s(a,4)=0, s(c,5)=0, s(c,6)=0
- s(d,0)=2, s(d,1)=2, s(d,2)=4, s(d,3)=2, s(a,4)=2, s(d,5)=2, s(d,6)=2

[0048] Bei Vorgang 806 berechnet das Verfahren 800 eine Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht. Jede der Vielzahl von Summen von Absolutwerten kann als sum(x) = s(x,1)+s(x,2)+s(x,3)+... gegeben werden, wobei x a, b, c oder d ist. Die Vielzahl von Summen von Absolutwerten für jede Abtastphase a, b, c, d ist nachstehend gezeigt:

- Summe von Absolutwerten der Abtastphase a: 4+4+4+4+4+4+4 = 28
- Summe von Absolutwerten der Abtastphase b: 2+2+4+2+2+2+2 = 16
- Summe von Absolutwerten der Abtastphase c: 0+0+4+0+0+0+0 = 4
- Summe von Absolutwerten der Abtastphase d: 2+2+4+2+2+2+2 = 16

[0049] Bei Vorgang 808 bestimmt das Verfahren 800, dass die Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht. Mit anderen Worten ist es am wahrscheinlichsten, dass die Abtastphase mit der größten Summe von Absolutwerten die Flankenabtastphase ist. In dem vorstehend erörterten Beispiel ist die größte Summe von Absolutwerten 28, entsprechend der Abtastphase a. Entsprechend wird in diesem Beispiel die Abtastphase a als die Flankenabtastphase ausgewählt.

[0050] Es sollte beachtet werden, dass das Verfahren 800 von **Fig. 8** bei Vorgang 802 eine Summe eines Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums verwendet, der dem Abtastwert folgt, um die Vielzahl von Summen von Abtastwerten zu erhalten. Dadurch ist die bei Vorgang 808 bestimmte Flankenabtastphase die erste Abtastphase, die einer Symbolflanke folgt. Es sollte auch beachtet werden, dass in einigen Ausführungsformen, anstatt eine Summe des Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums zu verwenden, der dem Abtastwert folgt, eine Summe des Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums, der dem Abtastwert vorhergeht, verwendet werden kann, um die Vielzahl von Summen von Abtastwerten zu erhalten. **Fig. 9** unten ist auf solche Ausführungsformen gerichtet.

[0051] **Fig. 9** ist ein Flussdiagramm, das noch ein weiteres Verfahren 900 zum Bestimmen einer Flankenabtastphase gemäß einigen Ausführungsformen veranschaulicht. Das Verfahren 900 von **Fig. 9** ist ähnlich dem Verfahren 800 von **Fig. 8**, außer dass Vorgang 902 für Vorgang 802 ersetzt ist. Bei Vorgang 902 berechnet das Verfahren 900 für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen eine Summe des Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums, der dem Abtastwert vorhergeht, um eine Vielzahl von Summen der Abtastwerte zu erhalten. Ähnlich wie bei Vorgang 802 von **Fig. 8** entspricht jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen. Im Gegensatz zu dem Verfahren 800 von **Fig. 8**, weil Vorgang 902 die Summe des Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums verwendet, der dem Abtastwert vorhergeht, ist die bestimmte Flankenabtastphase bei Vorgang 808 von **Fig. 9** die letzte Abtastphase, die innerhalb jedes Symbols auftritt. In dem in **Fig. 7** veranschaulichten Beispiel würde bestimmt werden, dass die Flankenabtastphase die Abtastphase d ist.

[0052] **Fig. 10** ist ein Blockdiagramm einer Bitübertragungsschichtvorrichtung 1000 gemäß einigen Ausführungsformen. In einigen Ausführungsformen kann die PHY 102 (**Fig. 1**) die Bitübertragungsschichtvorrichtung 1000 einschließen. Die Bitübertragungsschichtvorrichtung 1000 schließt einen Eingang 1004 (z. B. einen Stift eines Halbleitervorrichtungsgehäuses, einschließlich der Bitübertragungsschichtvorrichtung 1000) ein, der konfiguriert ist, um ein Signal 1002 von einem gemeinsam genutzten Übertragungsmedium 106 (**Fig. 1**) zu empfangen. Die Bitübertragungsschichtvorrichtung 1000 ist konfiguriert, um eine Mittenabtastphase 1016 des Signals 1002 zu detektieren und das Signal 1002 unter Verwendung der Mittenabtastphase 1016 abzutasten.

[0053] Die Bitübertragungsschichtvorrichtung 1000 schließt eine Abtastschaltlogik 1006 ein, die konfiguriert ist, um das Signal 1002 zu empfangen, das dem Eingang 1004 der Bitübertragungsschichtvorrichtung 1000 von dem gemeinsam genutzten Übertragungsmedium 106 zugeführt werden kann. Die Abtastschaltlogik 1006 ist konfiguriert, um Abtastwerte 1008 des Signals 1002 an einer Vielzahl von unterschiedlichen Abtastphasen 1022 zu messen und die Abtastwerte 1008 an einen Flankendetektor 1010 bereitzustellen.

[0054] Der Flankendetektor 1010 ist konfiguriert, um die Abtastwerte 1008 von der Abtastschaltlogik 1006

zu empfangen und eine Flankenabtastphase 1012 aus der Vielzahl von unterschiedlichen Abtastphasen 1022 mindestens teilweise basierend auf den Abtastwerten 1008 zu bestimmen. Zum Beispiel kann der Flankendetektor 1010 konfiguriert sein, um die Flankenabtastphase 1012 unter Verwendung des Verfahrens 600 von **Fig. 6**, des Verfahrens 800 von **Fig. 8** oder des Verfahrens 900 von **Fig. 9** zu bestimmen. Der Flankendetektor 1010 ist konfiguriert, um eine Flankenabtastphase 1012 an einen Mittendetektor 1014 bereitzustellen.

[0055] Der Mittendetektor 1014 ist konfiguriert, um die Flankenabtastphase 1012 von dem Flankendetektor 1010 zu empfangen und eine Mittenabtastphase 1016 mindestens teilweise basierend auf der Flankenabtastphase 1012 zu bestimmen. Die Abtastschaltlogik 1018 ist konfiguriert, um Mittenabtastwerte 1020 des Signals 1002 bereitzustellen. In einigen Ausführungsformen ist die Abtastschaltlogik 1018 konfiguriert, um die Abtastwerte 1008 zu verwenden, die durch die Abtastschaltlogik 1006 bereitgestellt werden, was es der Abtastschaltlogik 1018 ermöglicht, die Mittenabtastwerte 1020 zu identifizieren, indem lediglich diejenigen der Abtastwerte 1008 ausgewählt werden, die der Mittenabtastphase 1016 entsprechen, ohne das Signal 1002 neu abzutasten. In einigen Ausführungsformen ist die Abtastschaltlogik 1018 konfiguriert, um das Signal 1002 in der Mittenabtastphase 1016, die durch den Mittendetektor 1014 angegeben wird, neu abzutasten.

[0056] In einigen Ausführungsformen schließt die Vorrichtung der physikalischen Schicht 1000 einen oder mehrere Prozessoren ein, die konfiguriert sind, um die Vorgänge der Vorrichtung der physikalischen Schicht 1000 durchzuführen. In einigen Ausführungsformen können einige oder alle der Vorrichtung der physikalischen Schicht 1000 unter Verwendung von Software oder Firmware implementiert werden, die durch eine oder mehrere Datenspeicherungsvorrichtungen gespeichert und durch eine Verarbeitungsschaltlogik ausgeführt werden (siehe die Rechenvorrichtung 1100 von **Fig. 11**). In einigen Ausführungsformen können einige oder alle der Vorrichtung der physikalischen Schicht 1000 unter Verwendung von elektrischen Hardwarekomponenten, wie einer kombinatorischen Logik, implementiert sein. Als nicht einschränkendes Beispiel können einige oder alle der Vorrichtung der physikalischen Schicht 1000 unter Verwendung einer feldprogrammierbaren Gate-Anordnung (FPGA), einer speicherprogrammierbaren Steuerung (SPS), einer anderen Logikvorrichtung oder Kombinationen davon implementiert sein.

[0057] **Fig. 11** ist ein Blockdiagramm einer Rechenvorrichtung 1100, die in einigen Ausführungsformen verwendet werden kann. Die Rechenvorrichtung 1100 schließt einen oder mehrere Prozessoren 1102 (hierin manchmal als „Prozessoren 1102“ bezeichnet) ein, die betreibbar an eine oder mehrere Datenspeicherungsvorrichtungen 1104 (hierin manchmal als „Speicherung“ 1104 bezeichnet) gekoppelt sind. Die Speicherung 1104 schließt darauf gespeicherte computerlesbare Anweisungen ein. Die computerlesbaren Anweisungen sind dazu konfiguriert, die Prozessoren 1102 anzuweisen, Vorgänge der hier offenbarten Ausführungsformen durchzuführen. Zum Beispiel können die computerlesbaren Anweisungen konfiguriert sein, um die Prozessoren 1102 anzuweisen, mindestens einen Abschnitt oder eine Gesamtheit des Verfahrens 400 von **Fig. 4**, des Verfahrens 600 von **Fig. 6**, des Verfahrens 800 von **Fig. 8** und/oder des Verfahrens 900 von **Fig. 9** durchzuführen. Als ein anderes Beispiel können die computerlesbaren Anweisungen konfiguriert sein, um die Prozessoren 1102 anzuweisen, mindestens einen Abschnitt oder eine Gesamtheit der für den Abschnitt PHY 102 von **Fig. 1** erörterten Vorgänge durchzuführen. Als ein weiteres Beispiel können die computerlesbaren Anweisungen konfiguriert sein, um die Prozessoren 1102 anzuweisen, mindestens einen Abschnitt oder eine Gesamtheit der für die Vorrichtung der physikalischen Schicht 1000 von **Fig. 10** erörterten Vorgänge durchzuführen. Als ein spezifisches nicht einschränkendes Beispiel können die computerlesbaren Anweisungen konfiguriert sein, um die Prozessoren 1102 anzuweisen, ein von einem gemeinsam genutzten Übertragungsmedium empfangenes Signal unter Verwendung einer Vielzahl von unterschiedlichen Abtastphasen abzutasten, eine Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen zu bestimmen und eine Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen basierend auf der Flankenabtastphase zu bestimmen.

[0058] Wie in der vorliegenden Offenbarung verwendet, können sich die Begriffe „Modul“ oder „Komponente“ auf spezifische Hardware-Implementierungen beziehen, die konfiguriert sind, um die Aktionen des Moduls oder der Komponente und/oder Softwareobjekte oder Softwareroutinen durchzuführen, die auf Universalhardware (z. B. computerlesbaren Medien, Verarbeitungsvorrichtungen, etc.) des Rechensystems gespeichert und/oder von dieser ausgeführt werden können. In einigen Ausführungsformen können die verschiedenen Komponenten, Module, Engines und Dienste, die in der vorliegenden Offenbarung beschrieben sind, als Objekte oder Prozesse implementiert werden, die auf dem Rechensystem ausgeführt werden (z. B. als separate Threads). Obwohl einige der in der vorliegenden Offenbarung beschriebenen Systeme und Verfahren allgemein als in Software implementiert (gespeichert auf und/oder ausgeführt durch Universalhardware) beschrieben sind, sind spezifische Hardware-Implementierungen oder eine Kombination von Software

und spezifischen Hardware-Implementierungen ebenfalls möglich und werden in Betracht gezogen.

[0059] Begriffe, die in der vorliegenden Offenbarung und insbesondere in den beiliegenden Ansprüchen verwendet werden (z. B. Inhalte der beiliegenden Ansprüche), sind im Allgemeinen als „offene" Begriffe gedacht (z. B. sollte der Begriff „einschließlich" als „einschließlich, jedoch nicht beschränkt auf interpretiert werden, der Begriff „aufweisend" sollte als „mindestens aufweisend" interpretiert werden, der Begriff „schließt ein" sollte als „schließt ein, ist jedoch nicht beschränkt auf interpretiert werden, usw.).

[0060] Darüber hinaus wird, wenn eine bestimmte Anzahl von eingeführten Anspruchsangabe beabsichtigt ist, eine solche Absicht ausdrücklich im Anspruch genannt, und in Ermangelung einer solchen Aufzählung liegt keine solche Absicht vor. Als Verständnishilfe können zum Beispiel die folgenden beiliegenden Ansprüche die Verwendung der einleitenden Phrasen „mindestens eine/r/s" und „eine/r/s oder mehrere" zum Einführen von Anspruchsangaben enthalten. Die Verwendung solcher Phrasen sollte jedoch nicht so ausgelegt werden, dass sie impliziert, dass die Einführung einer Anspruchsangabe durch die unbestimmten Artikel „ein" oder „eine" einen bestimmten Anspruch, der eine solche eingeführte Anspruchsangabe enthält, auf Ausführungsformen beschränkt, die nur eine solche Angabe enthalten, selbst wenn derselbe Anspruch die einleitenden Phrasen „eine/r/s oder mehrere" oder „mindestens eine/r/s" und unbestimmte Artikel wie „ein" und/oder „eine" einschließt (z. B. soll „ein" und/oder „eine" so interpretiert werden, dass es „mindestens ein/e" oder „ein/e oder mehrere" bedeutet); gleiches gilt für die Verwendung bestimmter Artikel, die zur Einführung von Anspruchsangaben verwendet werden.

[0061] Selbst wenn eine bestimmte Anzahl einer eingeführten Anspruchsangabe explizit angegeben ist, wird der Fachmann außerdem erkennen, dass eine solche Angabe so interpretiert werden sollte, dass sie mindestens die angegebene Anzahl bedeutet (z. B. bedeutet die bloße Angabe von „zwei Angaben" ohne andere Modifikatoren mindestens zwei Angaben oder zwei oder mehr Angaben). Des Weiteren ist in den Fällen, in denen eine Konvention analog zu „mindestens eines von A, B und C usw." oder „eines oder mehrere von A, B und C usw." verwendet wird, eine solche Konstruktion im Allgemeinen dazu bestimmt, A allein, B allein, C allein, A und B zusammen, A und C zusammen, B und C zusammen, oder A, B und C zusammen zu bedeuten usw.

[0062] Ferner sollte jedes disjunkte Wort oder jede disjunkte Phrase, das bzw. die zwei oder mehr alternative Begriffe darstellt, sei es in der Beschreibung, den Ansprüchen oder den Zeichnungen, so verstanden werden, dass die Möglichkeit des Einschließens eines der Begriffe, des einen oder des anderen Begriffs oder beider Begriffe in Betracht gezogen wird. Zum Beispiel sollte die Phrase „A oder B" so verstanden werden, dass sie die Möglichkeiten „A" oder „B" oder „A und B" einschließt.

AUSFÜHRUNGSBEISPIELE

[0063] Es folgt eine nicht erschöpfende, nicht einschränkende Liste beispielhafter Ausführungsformen. Bei nicht jeder der nachstehend aufgeführten beispielhaften Ausführungsformen wird einzeln angegeben, dass sie mit allen anderen der nachstehend aufgeführten beispielhaften Ausführungsformen und vorstehend erörterten Ausführungsformen kombinierbar sind. Es ist jedoch vorgesehen, dass diese beispielhaften Ausführungsformen mit allen anderen beispielhaften Ausführungsformen und vorstehend erörterten Ausführungsformen kombinierbar sind, es sei denn, dass es für den Fachmann offensichtlich ist, dass die Ausführungsformen nicht kombinierbar sind.

[0064] Beispiel 1: Bitübertragungsschichtvorrichtung, umfassend: einen Eingang, der konfiguriert ist, um ein Signal, einschließlich einer Vielzahl von Symbolen, von einem gemeinsam genutzten Übertragungsmedium eines drahtgebundenen lokalen Netzwerks zu empfangen; und einen oder mehrere Prozessoren, die konfiguriert sind zum: Abtasten des Signals unter Verwendung einer Vielzahl von unterschiedlichen Abtastphasen, um Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen zu erhalten; Bestimmen einer Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die erhaltenen Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen; Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die bestimmte Flankenabtastphase und Verwenden der bestimmten Mittenabtastphase, um Werte jedes der Vielzahl von Symbolen zu bestimmen.

[0065] Beispiel 2: Bitübertragungsschichtvorrichtung von Beispiel 1, wobei der eine oder die mehreren Prozessoren konfiguriert sind, um die Flankenabtastphase zu bestimmen durch: Durchführen, für jede Abtastphase der Vielzahl von unterschiedlichen Abtastphasen, einer Exklusiv-Oder-Berechnung (XOR-Berechnung) zwischen denjenigen der Abtastwerte, die einer Abtastphase entsprechen, und denjenigen der Abtastwerte, die einer Abtastphase entsprechen, die unmittelbar zeitlich benachbart zur Abtastphase ist; Summieren von Ergebnissen für jede XOR-Berechnung und Bestimmen, dass die

Flankenabtastphase einer höchsten Summe von Ergebnissen für die XOR-Berechnung entspricht.

[0066] Beispiel 3: Bitübertragungsschichtvorrichtung von Beispiel 2, wobei die Abtastphase, die unmittelbar zeitlich benachbart zur Abtastphase ist, eine vorhergehende Abtastphase umfasst, die der Abtastphase zeitlich unmittelbar vorhergeht.

[0067] Beispiel 4: Bitübertragungsschichtvorrichtung von Beispiel 1, wobei der eine oder die mehreren Prozessoren die Flankenabtastphase bestimmen, indem sie konfiguriert sind zum: Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe eines Abtastwerts und jedes von anderen Abtastwerten innerhalb eines Symbolzeitraums, der dem Abtastwert folgt, um eine Vielzahl von Summen von Abtastwerten zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; Bestimmen eines Absolutwerts jeder Summe der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten; Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und Bestimmen, dass eine Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

[0068] Beispiel 5: Bitübertragungsschichtvorrichtung von Beispiel 1, wobei der eine oder die mehreren Prozessoren die Flankenabtastphase bestimmen, indem sie konfiguriert sind zum: Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe eines Abtastwerts und jedes von anderen Abtastwerten innerhalb eines Symbolzeitraums, der dem Abtastwert vorhergeht, um eine Vielzahl von Summen von Abtastwerten zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; Bestimmen eines Absolutwerts jeder Summe der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten; Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und Bestimmen, dass eine Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

[0069] Beispiel 6: Bitübertragungsschichtvorrichtung nach einem der Beispiele 1-5, wobei die Vielzahl von unterschiedlichen Abtastphasen in im Wesentlichen gleichen Zeitintervallen beabstandet ist.

[0070] Beispiel 7: Bitübertragungsschichtvorrichtung nach einem der Beispiele 1-6, ferner umfassend: eine Abtastschaltlogik, die konfiguriert ist, um die Abtastwerte des Signals zu bestimmen; einen Flankendetektor, der konfiguriert ist, um die Flankenabtastphase mindestens teilweise basierend auf den Abtastwerten zu bestimmen; und einen Mittendetektor, der konfiguriert ist, um die Mittenabtastphase mindestens teilweise basierend auf der bestimmten Flankenabtastphase zu bestimmen.

[0071] Beispiel 8: Bitübertragungsschichtvorrichtung nach einem der Beispiele 1-7, ferner umfassend ein computerlesbares Medium, das betreibbar mit dem einen oder den mehreren Prozessoren gekoppelt ist, wobei das computerlesbare Medium darauf gespeicherte computerlesbare Anweisungen aufweist, wobei die computerlesbaren Anweisungen konfiguriert sind, um den einen oder die mehreren Prozessoren anzuweisen, mindestens einen Abschnitt des Verfahrens von Beispiel 1 durchzuführen.

[0072] Beispiel 9: Verfahren zum Auswählen einer Abtastphase eines Signals aus einer Vielzahl von unterschiedlichen Abtastphasen, das Verfahren umfassend: Abtasten eines Signals, einschließlich einer Vielzahl von Symbolen, mit einer Vielzahl von unterschiedlichen Abtastphasen, um Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen zu erhalten, wobei das Signal von einem gemeinsam genutzten Übertragungsmedium eines drahtgebundenen lokalen Netzwerks empfangen wird; Bestimmen einer Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die erhaltenen Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen; Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die bestimmte Flankenabtastphase und Verwenden der bestimmten Mittenabtastphase, um Werte der Symbole zu bestimmen.

[0073] Beispiel 10: Verfahren von Beispiel 9, wobei das Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen ein Bestimmen umfasst, dass die Mittenabtastphase eine Abtastphase ist, die etwa eine Hälfte einer Symbolzeitlänge von der bestimmten Flankenabtastphase ist.

[0074] Beispiel 11: Verfahren nach einem der Beispiele 9 und 10, wobei das Bestimmen der Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen umfasst: Durchführen, für jede Abtastphase der Vielzahl von unterschiedlichen Abtastphasen, einer Exklusiv-Oder-Berechnung (XOR-Berechnung) zwischen denjenigen der Abtastwerte, die der Abtastphase entsprechen, und denjenigen der Abtastwerte, die einer Abtastphase entsprechen, die unmittelbar zeitlich benachbart zur Abtastphase ist; Summieren von Ergebnissen für jede XOR-Berechnung und Bestimmen, dass die Flankenabtastphase die Abtastphase ist, die einer höchsten Summe der Ergebnisse für die XOR-Berechnung entspricht.

[0075] Beispiel 12: Verfahren von Beispiel 11, wobei die Abtastphase, die unmittelbar zeitlich benachbart zur Abtastphase ist, eine vorhergehende Abtastphase umfasst, die der Abtastphase zeitlich unmittelbar vorhergeht.

[0076] Beispiel 13: Verfahren nach einem der Beispiele 9 und 10, wobei das Bestimmen der Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen umfasst: Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe des Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums, der dem Abtastwert folgt, um eine Vielzahl von Summen der Abtastwerte zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; Bestimmen eines Absolutwerts jeder der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten; Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und Bestimmen, dass eine Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

[0077] Beispiel 14: Verfahren nach einem der Beispiele 9 und 10, wobei das Bestimmen der Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen umfasst: Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe von jedem von dem Abtastwert und jedem der Abtastwerte innerhalb eines Symbolzeitraums, der dem Abtastwert vorhergeht, um eine Vielzahl von Summen der Abtastwerte zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; Bestimmen eines Absolutwerts jeder der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten; Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und Bestimmen, dass eine Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

[0078] Beispiel 15: Verfahren von Beispiel 14, wobei eine Anzahl der Vielzahl von unterschiedlichen Abtastphasen vier verschiedene Abtastphasen umfasst und die Mittenabtastphase als eine von zwei Abtastphasen ausgewählt ist, die der Flankenabtastphase zeitlich unmittelbar vorhergeht.

[0079] Beispiel 16: Nicht-transitorisches computerlesbares Speicherungsmedium, das computerlesbare Speicherungsmedium einschließlich Anweisungen, die, wenn sie durch einen oder mehrere Prozessoren ausgeführt werden, den einen oder die mehreren Prozessoren veranlassen zum: Abtasten eines Signals, einschließlich einer Vielzahl von Symbolen, mit einer Vielzahl von unterschiedlichen Abtastphasen, um Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen zu erhalten, wobei das Signal von einem gemeinsam genutzten Übertragungsmedium eines drahtgebundenen lokalen Netzwerks empfangen wird; Bestimmen einer Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen basierend auf den Abtastwerten; Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen basierend auf der bestimmten Flankenabtastphase und Verwenden der bestimmten Mittenabtastphase, um Werte der Symbole zu bestimmen.

ABSCHLIESSENDE ERKLÄRUNG

[0080] Während die vorliegende Offenbarung hierin in Bezug auf bestimmte veranschaulichte Ausführungsformen beschrieben wurde, wird der Fachmann erkennen und anerkennen, dass die vorliegende Erfindung nicht darauf beschränkt ist. Vielmehr können viele Ergänzungen, Streichungen und Modifikationen an den veranschaulichten und beschriebenen Ausführungsformen vorgenommen werden, ohne vom Schutzumfang der Erfindung, wie er im nachfolgend zusammen mit ihren rechtlichen Äquivalenten beansprucht wird, abzuweichen. Zusätzlich können Merkmale von einer Ausführungsform mit Merkmalen einer anderen Ausführungsform kombiniert werden, während sie immer noch innerhalb des Schutz-

umfangs der Erfindung enthalten sind, wie er vom Erfinder in Betracht gezogen wird.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Zitierte Patentliteratur

- CN 201910784610 [0001]
- US 16/588621 [0001]

Patentansprüche

1. Bitübertragungsschichtvorrichtung, umfassend:
einen Eingang, der konfiguriert ist, um ein Signal, einschließlich einer Vielzahl von Symbolen, von einem gemeinsam genutzten Übertragungsmedium eines drahtgebundenen lokalen Netzwerks zu empfangen; und
einen oder mehrere Prozessoren, die konfiguriert sind zum:
Abtasten des Signals unter Verwendung einer Vielzahl von unterschiedlichen Abtastphasen, um Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen zu erhalten;
Bestimmen einer Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die erhaltenen Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen;
Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die bestimmte Flankenabtastphase und
Verwenden der bestimmten Mittenabtastphase, um Werte jedes der Vielzahl von Symbolen zu bestimmen.

2. Bitübertragungsschichtvorrichtung nach Anspruch 1, wobei der eine oder die mehreren Prozessoren konfiguriert sind, um die Flankenabtastphase zu bestimmen durch:
Durchführen, für jede Abtastphase der Vielzahl von unterschiedlichen Abtastphasen, einer Exklusiv-Oder-Berechnung (XOR-Berechnung) zwischen denjenigen der Abtastwerte, die einer Abtastphase entsprechen, und denjenigen der Abtastwerte, die einer Abtastphase entsprechen, die unmittelbar zeitlich benachbart zur Abtastphase ist;
Summieren von Ergebnissen für jede XOR-Berechnung und
Bestimmen, dass die Flankenabtastphase einer höchsten Summe von Ergebnissen für die XOR-Berechnung entspricht.

3. Bitübertragungsschichtvorrichtung nach Anspruch 2, wobei die Abtastphase, die unmittelbar zeitlich benachbart zur Abtastphase ist, eine vorhergehende Abtastphase umfasst, die der Abtastphase zeitlich unmittelbar vorhergeht.

4. Bitübertragungsschichtvorrichtung nach Anspruch 1, wobei der eine oder die mehreren Prozessoren die Flankenabtastphase bestimmen, indem sie konfiguriert sind zum:
Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe eines Abtastwerts und jedes von anderen Abtastwerten innerhalb eines Symbolzeitraums, der dem Abtastwert folgt, um eine Vielzahl von Summen von Abtastwerten zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht;
Bestimmen eines Absolutwerts jeder Summe der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten;
Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und
Bestimmen, dass eine Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

5. Bitübertragungsschichtvorrichtung nach Anspruch 1, wobei der eine oder die mehreren Prozessoren die Flankenabtastphase bestimmen, indem sie konfiguriert sind zum:
Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe eines Abtastwerts und jedes von anderen Abtastwerten innerhalb eines Symbolzeitraums, der dem Abtastwert vorhergeht, um eine Vielzahl von Summen von Abtastwerten zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht;
Bestimmen eines Absolutwerts jeder Summe der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten;
Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und
Bestimmen, dass die Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

6. Bitübertragungsschichtvorrichtung nach Anspruch 1, wobei die Vielzahl von unterschiedlichen Abtastphasen in im Wesentlichen gleichen Zeitintervallen beabstandet ist.

7. Bitübertragungsschichtvorrichtung nach Anspruch 1, ferner umfassend:
eine Abtastschaltlogik, die konfiguriert ist, um die Abtastwerte des Signals zu bestimmen;
einen Flankendetektor, der konfiguriert ist, um die Flankenabtastphase mindestens teilweise basierend auf den Abtastwerten zu bestimmen; und
einen Mittendetektor, der konfiguriert ist, um die Mit-

tenabtastphase mindestens teilweise basierend auf der bestimmten Flankenabtastphase zu bestimmen.

8. Bitübertragungsschichtvorrichtung nach Anspruch 1, ferner umfassend ein computerlesbares Medium, das betreibbar mit dem einen oder den mehreren Prozessoren gekoppelt ist, wobei das computerlesbare Medium darauf gespeicherte computerlesbare Anweisungen aufweist, wobei die computerlesbaren Anweisungen konfiguriert sind, um den einen oder die mehreren Prozessoren anzuweisen, mindestens einen Abschnitt von Funktionen des einen oder der mehreren Prozessoren durchzuführen.

9. Verfahren zum Auswählen einer Abtastphase eines Signals aus einer Vielzahl von unterschiedlichen Abtastphasen, das Verfahren umfassend:
Abtasten eines Signals, einschließlich einer Vielzahl von Symbolen, mit einer Vielzahl von unterschiedlichen Abtastphasen, um Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen zu erhalten, wobei das Signal von einem gemeinsam genutzten Übertragungsmedium eines drahtgebundenen lokalen Netzwerks empfangen wird;
Bestimmen einer Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die erhaltenen Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen;
Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen als Reaktion auf die bestimmte Flankenabtastphase und
Verwenden der bestimmten Mittenabtastphase, um Werte der Symbole zu bestimmen.

10. Verfahren nach Anspruch 9, wobei das Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen ein Bestimmen umfasst, dass die Mittenabtastphase eine Abtastphase ist, die etwa eine Hälfte einer Symbolzeitlänge von der bestimmten Flankenabtastphase ist.

11. Verfahren nach Anspruch 9, wobei das Bestimmen der Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen umfasst:
Durchführen, für jede Abtastphase der Vielzahl von unterschiedlichen Abtastphasen, einer Exklusiv-Oder-Berechnung (XOR-Berechnung) zwischen denjenigen der Abtastwerte, die der Abtastphase entsprechen, und denjenigen der Abtastwerte, die einer Abtastphase entsprechen, die unmittelbar zeitlich benachbart zur Abtastphase ist;
Summieren von Ergebnissen für jede XOR-Berechnung und
Bestimmen, dass die Flankenabtastphase die Abtastphase ist, die einer höchsten Summe der Ergebnisse für die XOR-Berechnung entspricht.

12. Verfahren nach Anspruch 11, wobei die Abtastphase, die unmittelbar zeitlich benachbart zur Abtastphase ist, eine vorhergehende Abtastphase umfasst, die der Abtastphase zeitlich unmittelbar vorhergeht.

13. Verfahren nach Anspruch 9, wobei das Bestimmen der Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen umfasst:
Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe des Abtastwerts und jedes der anderen Abtastwerte innerhalb eines Symbolzeitraums, der dem Abtastwert folgt, um eine Vielzahl von Summen der Abtastwerte zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht;
Bestimmen eines Absolutwerts jeder der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten;
Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und
Bestimmen, dass die Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

14. Verfahren nach Anspruch 9, wobei das Bestimmen der Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen umfasst:
Berechnen, für jeden Abtastwert jeder der Vielzahl von unterschiedlichen Abtastphasen, einer Summe von jedem von dem Abtastwert und jedem der Abtastwerte innerhalb eines Symbolzeitraums, der dem Abtastwert vorhergeht, um eine Vielzahl von Summen der Abtastwerte zu erhalten, wobei jede der Vielzahl von Summen einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht;
Bestimmen eines Absolutwerts jeder der Vielzahl von Summen für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen zu erhalten;
Berechnen einer Summe der Vielzahl von Absolutwerten für jede der Vielzahl von unterschiedlichen Abtastphasen, um eine Vielzahl von Summen von Absolutwerten zu erhalten, wobei jede der Vielzahl von Summen von Absolutwerten einer anderen der Vielzahl von unterschiedlichen Abtastphasen entspricht; und Bestimmen, dass die Flankenabtastphase eine Abtastphase ist, die einer größten Summe der Vielzahl von Summen von Absolutwerten entspricht.

15. Verfahren nach Anspruch 14, wobei eine Anzahl der Vielzahl von unterschiedlichen Abtastphasen vier verschiedene Abtastphasen umfasst und die Mittenabtastphase als eine von zwei Abtastphasen ausgewählt ist, die der Flankenabtastphase zeitlich unmittelbar vorhergeht.

16. Nicht-transitorisches computerlesbares Speicherungsmedium, das computerlesbare Speicherungsmedium einschließlich Anweisungen, die, wenn sie durch einen oder mehrere Prozessoren ausgeführt werden, den einen oder die mehreren Prozessoren veranlassen zum:
Abtasten eines Signals, einschließlich einer Vielzahl von Symbolen, mit einer Vielzahl von unterschiedlichen Abtastphasen, um Abtastwerte jedes der Vielzahl von Symbolen an jeder der Vielzahl von unterschiedlichen Abtastphasen zu erhalten, wobei das Signal von einem gemeinsam genutzten Übertragungsmedium eines drahtgebundenen lokalen Netzwerks empfangen wird;
Bestimmen einer Flankenabtastphase der Vielzahl von unterschiedlichen Abtastphasen basierend auf den Abtastwerten;
Bestimmen einer Mittenabtastphase der Vielzahl von unterschiedlichen Abtastphasen basierend auf der bestimmten Flankenabtastphase und
Verwenden der bestimmten Mittenabtastphase, um Werte der Symbole zu bestimmen.

Es folgen 11 Seiten Zeichnungen

Anhängende Zeichnungen

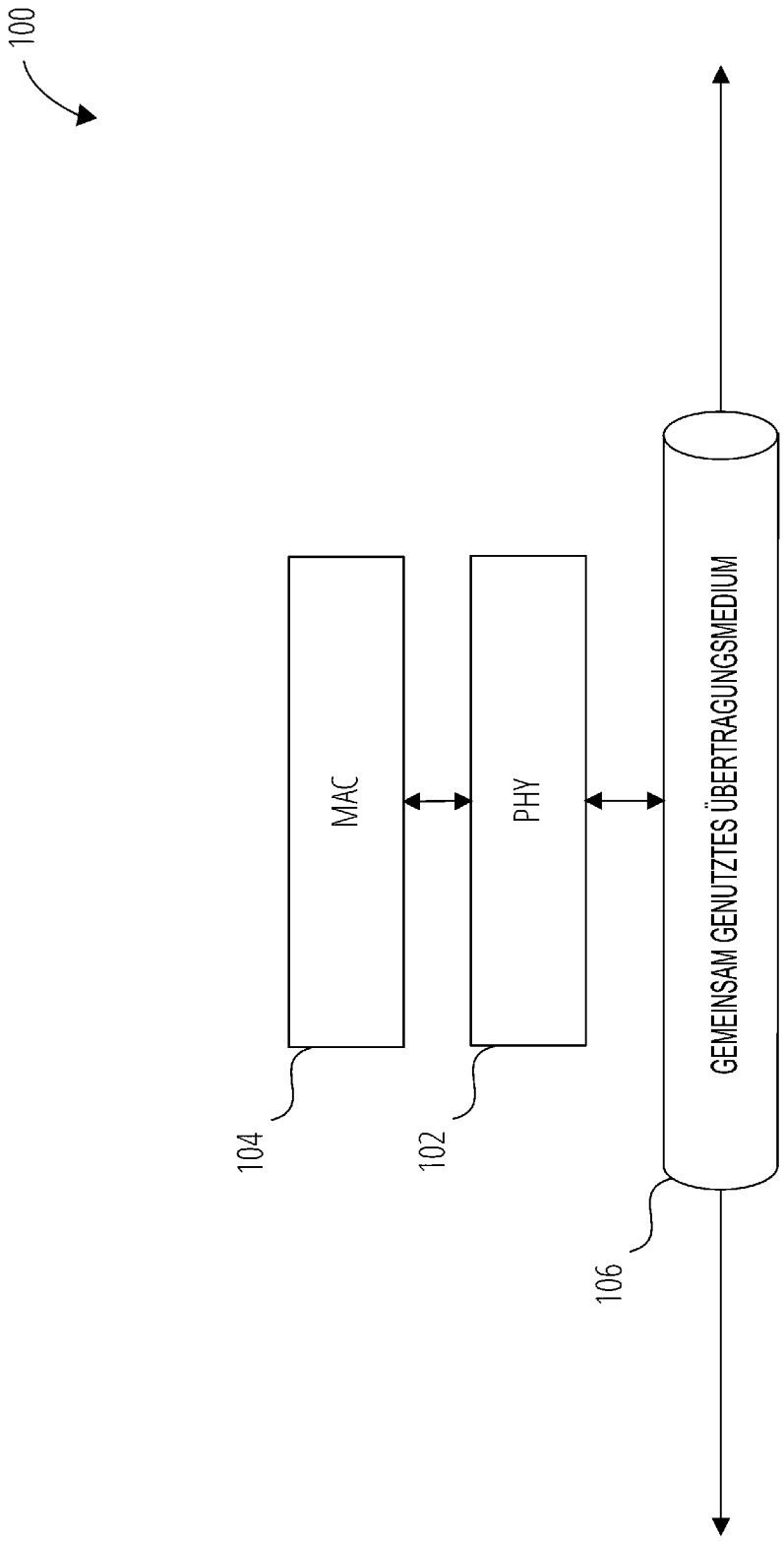


FIG. 1

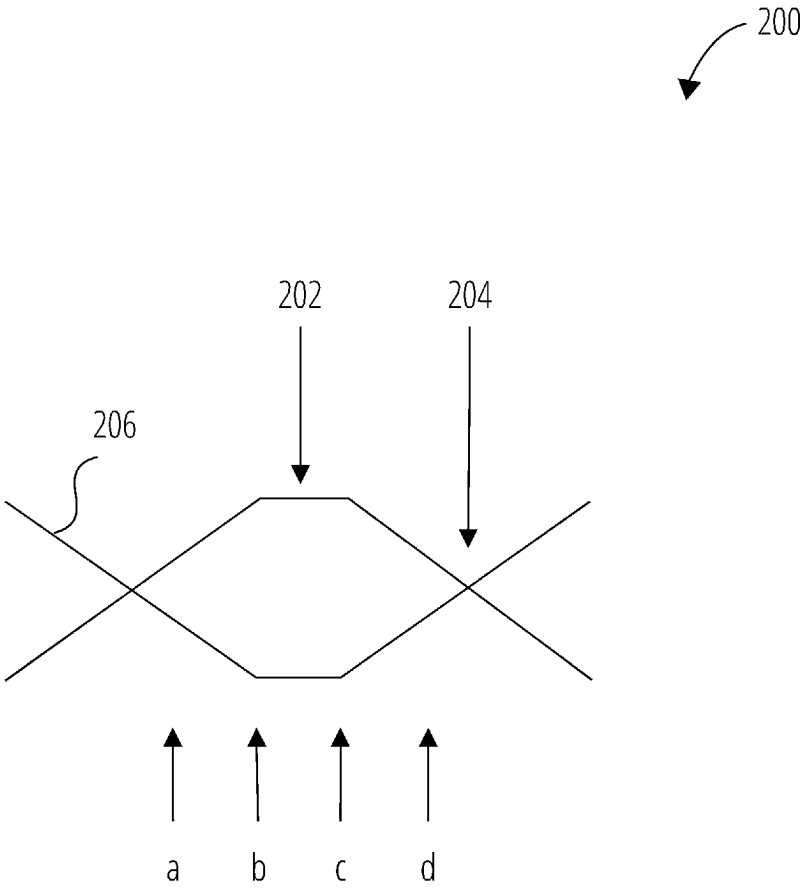


FIG. 2

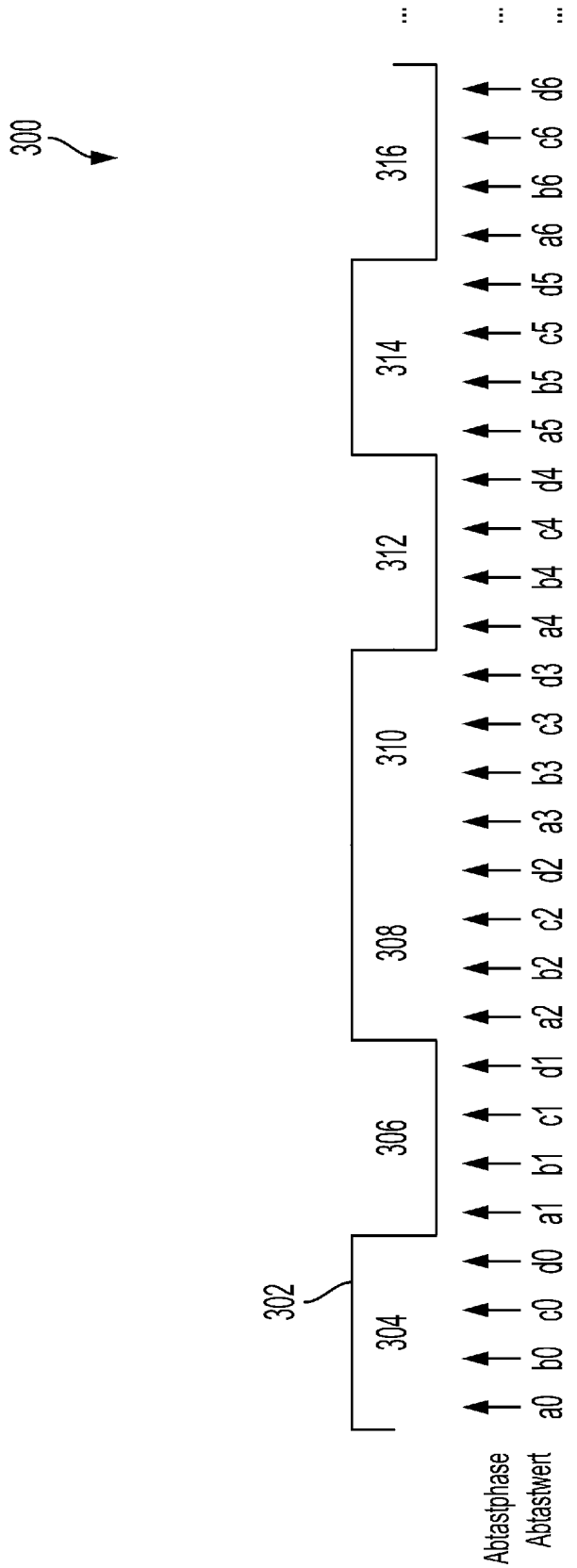

300
302
304
306
308
310
312
314
316
Abtastphase
Abtastwert
a0 b0 c0 d0 a1 b1 c1 d1 a2 b2 c2 d2 a3 b3 c3 d3 a4 b4 c4 d4 a5 b5 c5 d5 a6 b6 c6 d6
... ...

FIG. 3

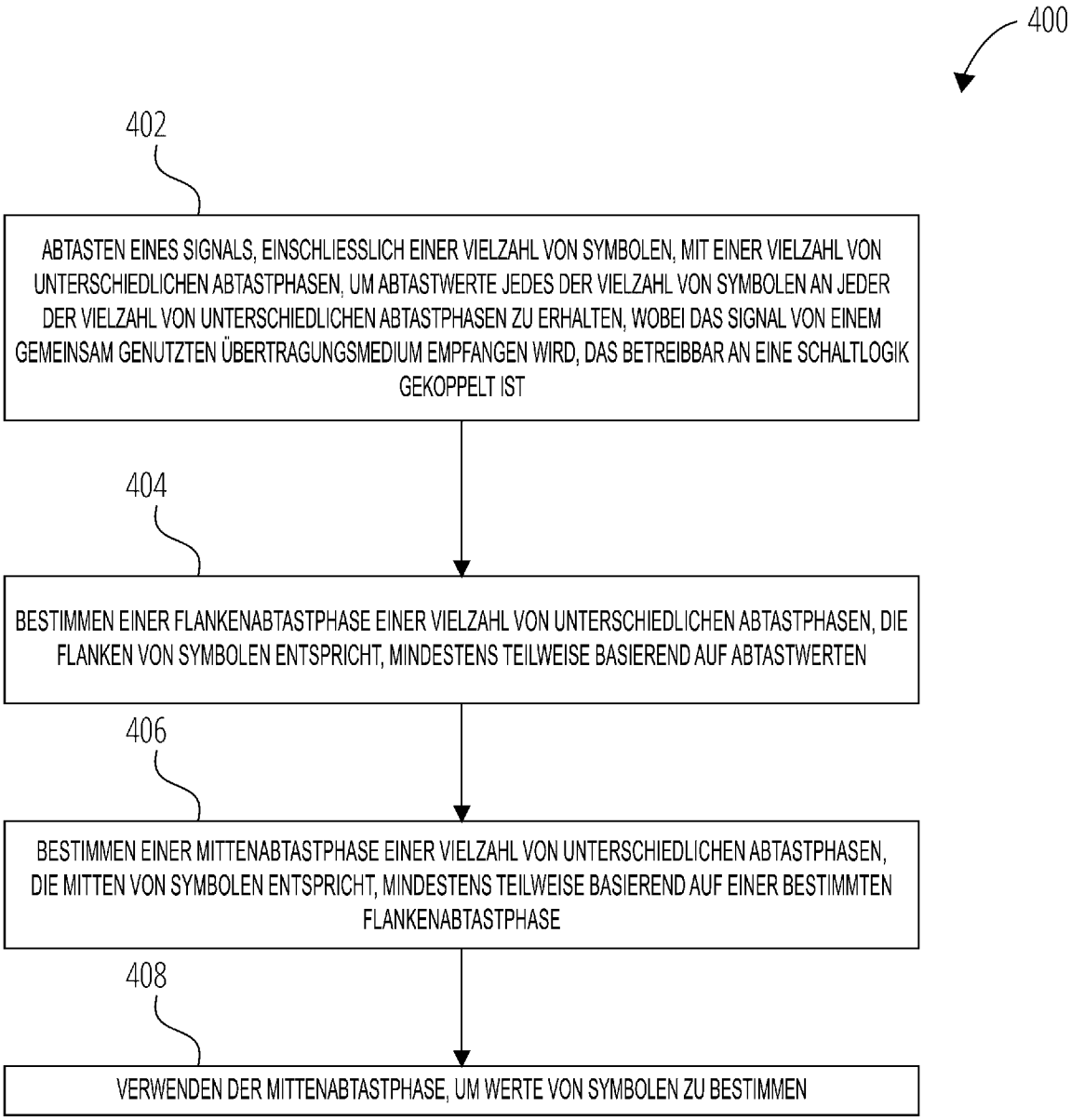

400
402
ABTASTEN EINES SIGNALS, EINSCHLIESSLICH EINER VIELZAHL VON SYMBOLEN, MIT EINER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, UM ABTASTWERTE JEDES DER VIELZAHL VON SYMBOLEN AN JEDER DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN ZU ERHALTEN, WOBEI DAS SIGNAL VON EINEM GEMEINSAM GENUTZTEN ÜBERTRAGUNGSMEDIUM EMPFANGEN WIRD, DAS BETREIBBAR AN EINE SCHALTLOGIK GEKOPPELT IST
404
BESTIMMEN EINER FLANKENABTASTPHASE EINER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, DIE FLANKEN VON SYMBOLEN ENTSPRICHT, MINDESTENS TEILWEISE BASIEREND AUF ABTASTWERTEN
406
BESTIMMEN EINER MITTENABTASTPHASE EINER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, DIE MITTEN VON SYMBOLEN ENTSPRICHT, MINDESTENS TEILWEISE BASIEREND AUF EINER BESTIMMTEN FLANKENABTASTPHASE
408
VERWENDEN DER MITTENABTASTPHASE, UM WERTE VON SYMBOLEN ZU BESTIMMEN

FIG. 4

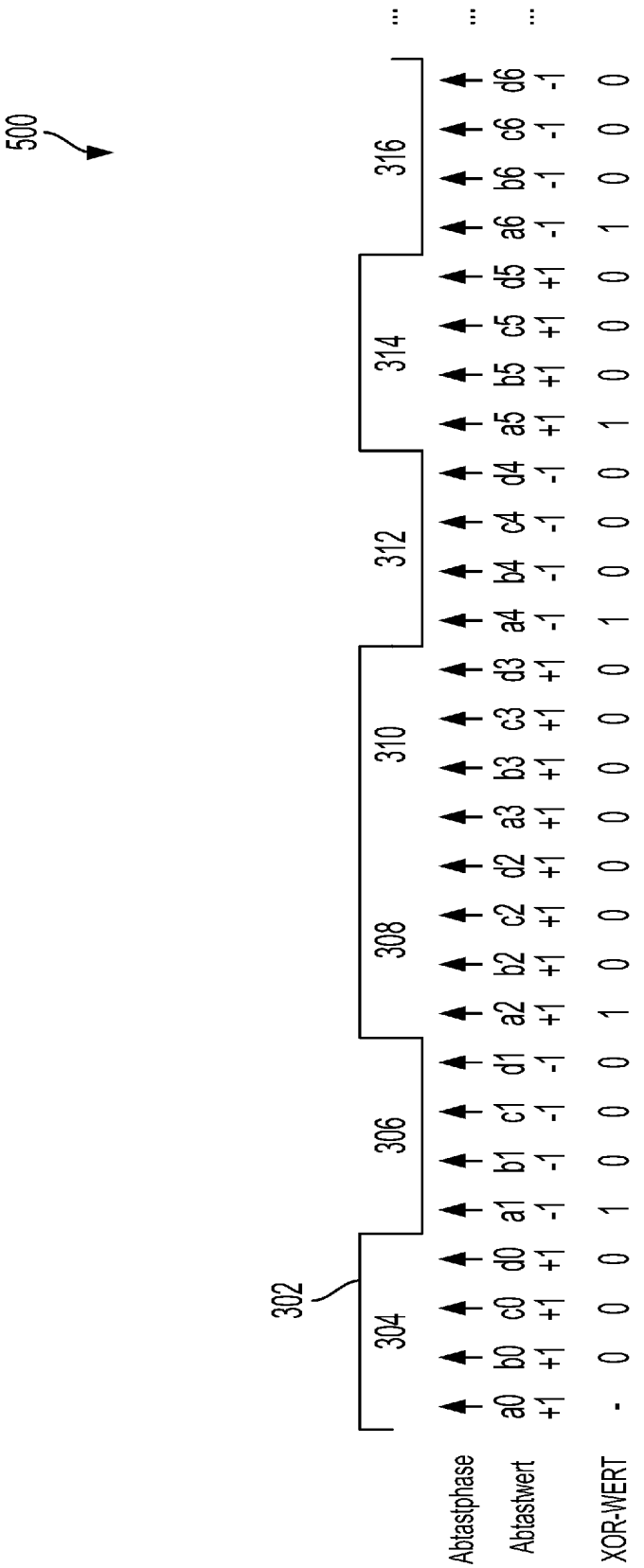

500
302
304
306
308
310
312
314
316
Abtastphase
Abtastwert
XOR-WERT
a0 b0 c0 d0 a1 b1 c1 d1 a2 b2 c2 d2 a3 b3 c3 d3 a4 b4 c4 d4 a5 b5 c5 d5 a6 b6 c6 d6
+1 +1 +1 +1 -1 -1 -1 -1 +1 +1 +1 +1 +1 +1 +1 +1 -1 -1 -1 -1 +1 +1 +1 +1 -1 -1 -1 -1
- 0 0 0 1 0 0 0 1 0 0 0 0 0 0 0 1 0 0 0 1 0 0 0 1 0 0 0

FIG. 5

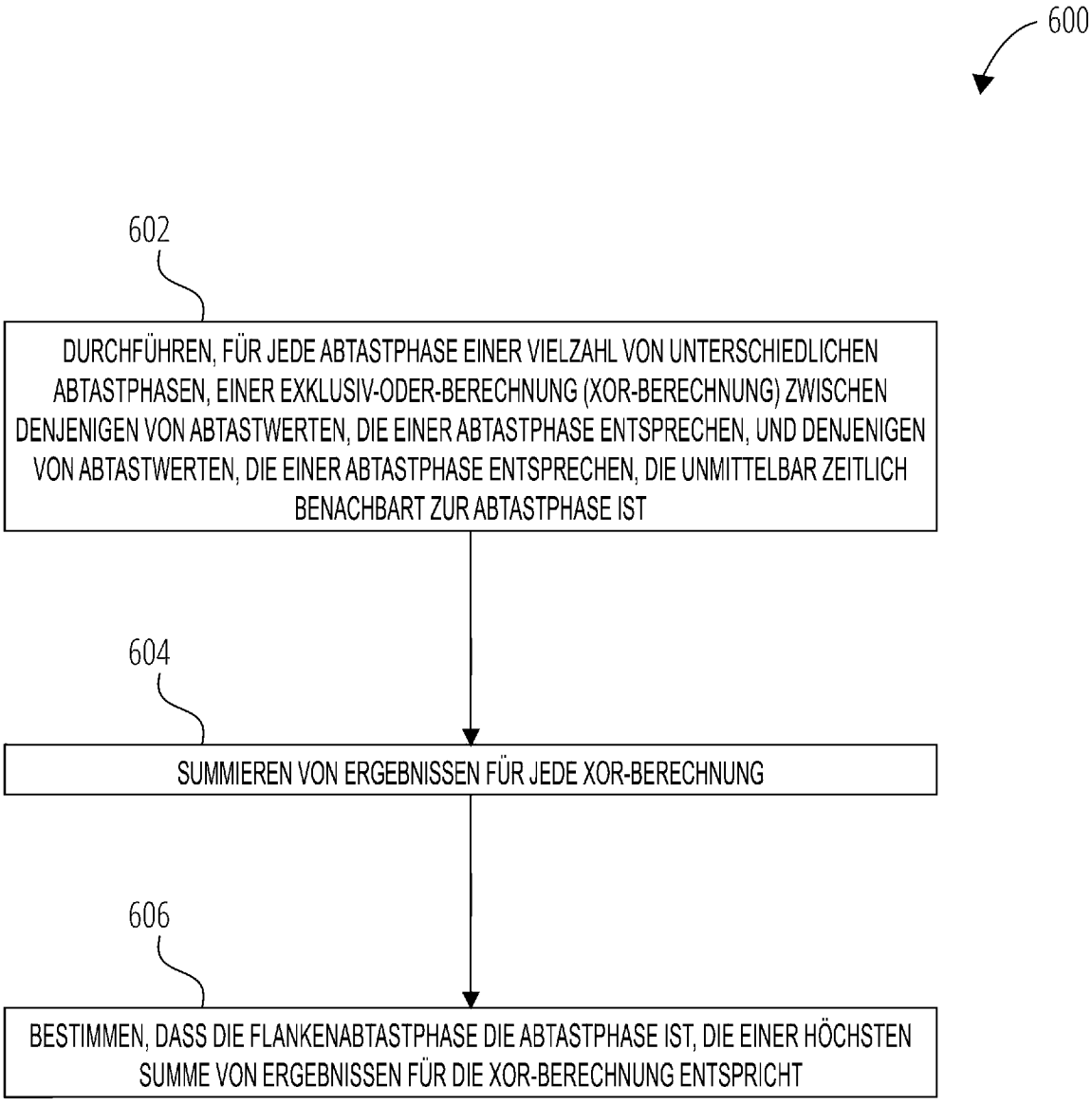

600
602
DURCHFÜHREN, FÜR JEDE ABTASTPHASE EINER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, EINER EXKLUSIV-ODER-BERECHNUNG (XOR-BERECHNUNG) ZWISCHEN DENJENIGEN VON ABTASTWERTEN, DIE EINER ABTASTPHASE ENTSPRECHEN, UND DENJENIGEN VON ABTASTWERTEN, DIE EINER ABTASTPHASE ENTSPRECHEN, DIE UNMITTELBAR ZEITLICH BENACHBART ZUR ABTASTPHASE IST
604
SUMMIEREN VON ERGEBNISSEN FÜR JEDE XOR-BERECHNUNG
606
BESTIMMEN, DASS DIE FLANKENABTASTPHASE DIE ABTASTPHASE IST, DIE EINER HÖCHSTEN SUMME VON ERGEBNISSEN FÜR DIE XOR-BERECHNUNG ENTSPRICHT

FIG. 6

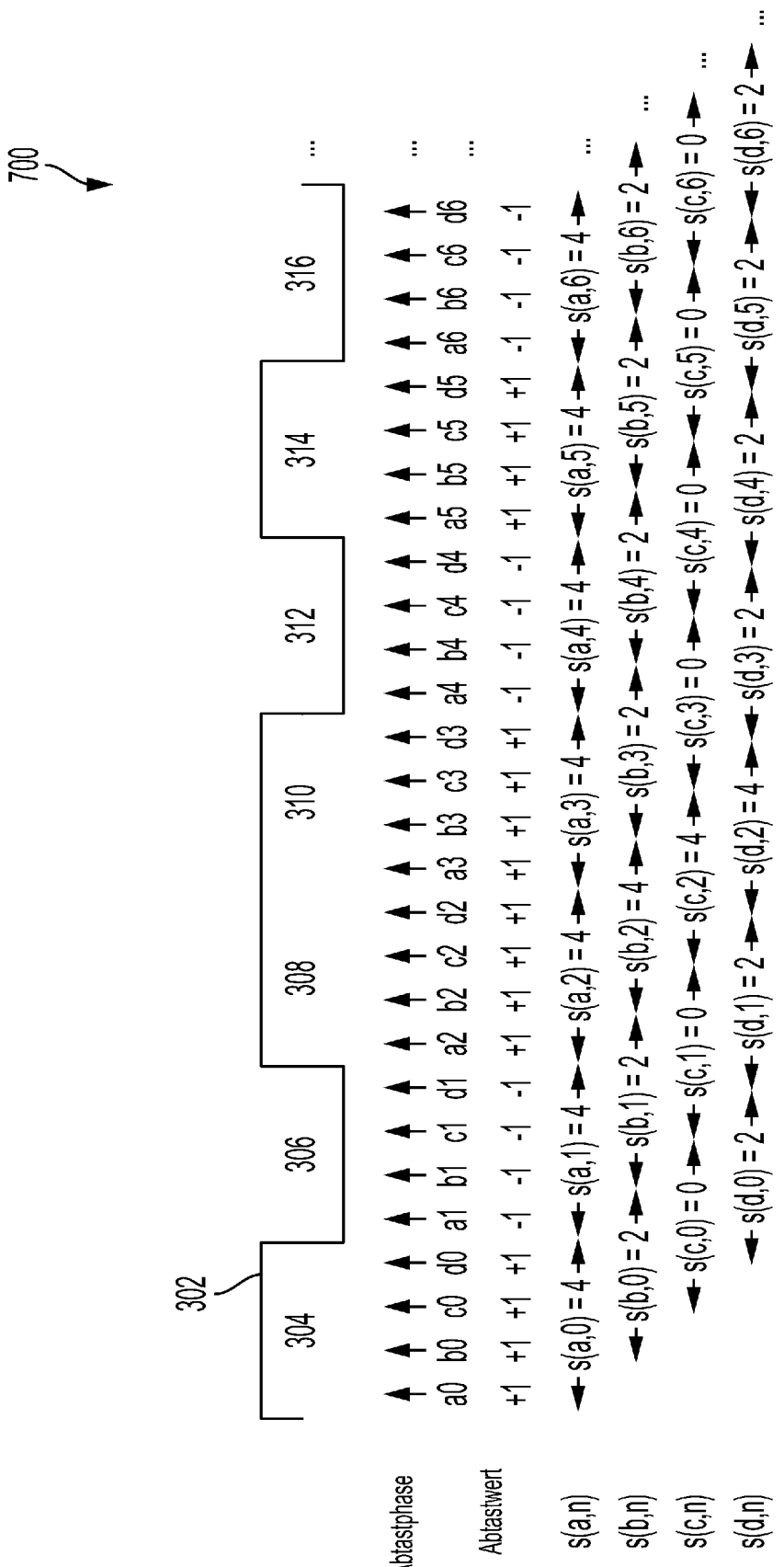

700
302
304
306
308
310
312
314
316
Abtastphase
Abtastwert
s(a,n)
s(b,n)
s(c,n)
s(d,n)
s(a,0) = 4
s(a,1) = 4
s(a,2) = 4
s(a,3) = 4
s(a,4) = 4
s(a,5) = 4
s(a,6) = 4
s(b,0) = 2
s(b,1) = 2
s(b,2) = 4
s(b,3) = 2
s(b,4) = 2
s(b,5) = 2
s(b,6) = 2
s(c,0) = 0
s(c,1) = 0
s(c,2) = 4
s(c,3) = 0
s(c,4) = 0
s(c,5) = 0
s(c,6) = 0
s(d,0) = 2
s(d,1) = 2
s(d,2) = 4
s(d,3) = 2
s(d,4) = 2
s(d,5) = 2
s(d,6) = 2

FIG. 7

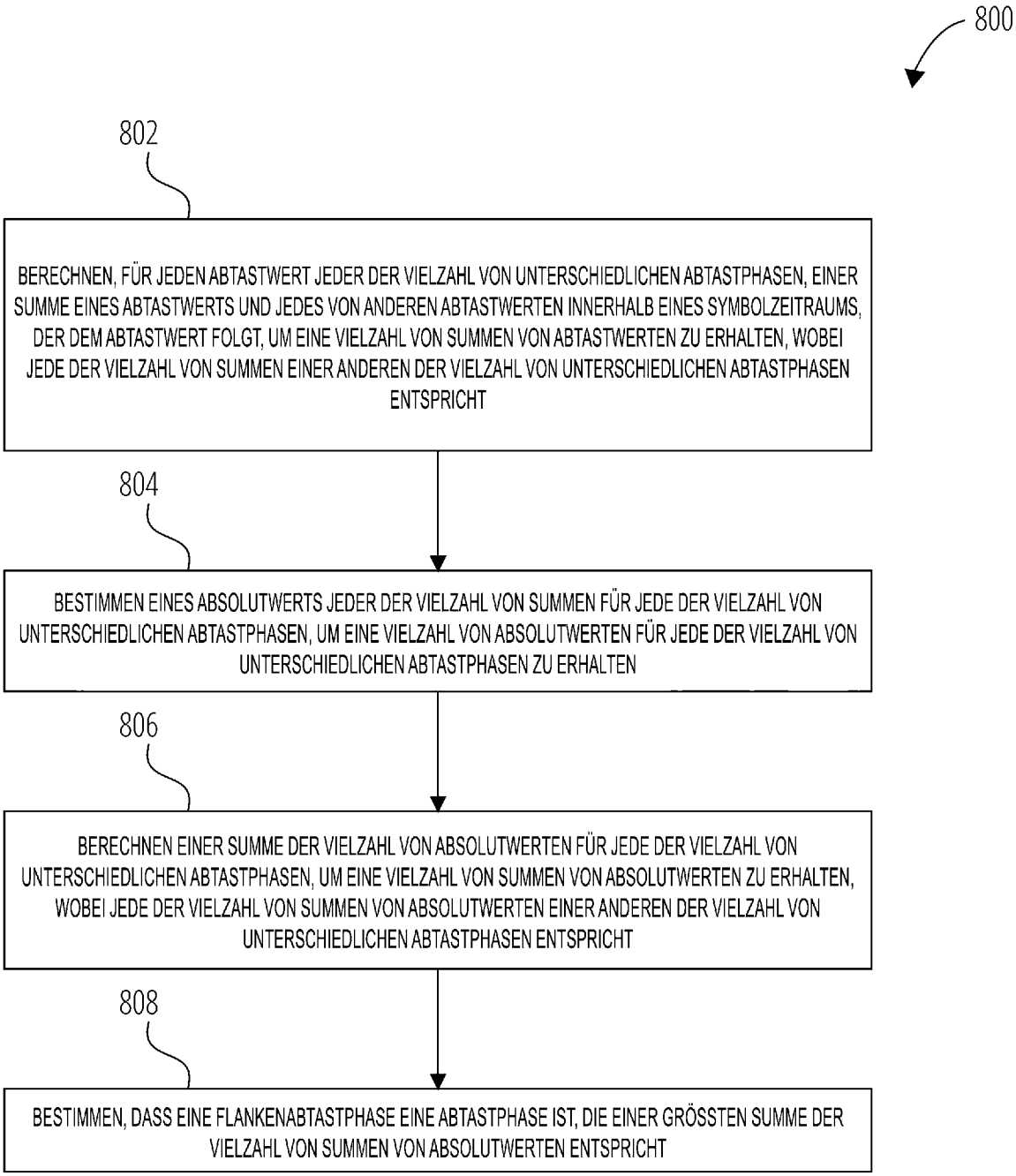

800
802
BERECHNEN, FÜR JEDEN ABTASTWERT JEDER DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, EINER SUMME EINES ABTASTWERTS UND JEDES VON ANDEREN ABTASTWERTEN INNERHALB EINES SYMBOLZEITRAUMS, DER DEM ABTASTWERT FOLGT, UM EINE VIELZAHL VON SUMMEN VON ABTASTWERTEN ZU ERHALTEN, WOBEI JEDE DER VIELZAHL VON SUMMEN EINER ANDEREN DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN ENTSPRICHT
804
BESTIMMEN EINES ABSOLUTWERTS JEDER DER VIELZAHL VON SUMMEN FÜR JEDE DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, UM EINE VIELZAHL VON ABSOLUTWERTEN FÜR JEDE DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN ZU ERHALTEN
806
BERECHNEN EINER SUMME DER VIELZAHL VON ABSOLUTWERTEN FÜR JEDE DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, UM EINE VIELZAHL VON SUMMEN VON ABSOLUTWERTEN ZU ERHALTEN, WOBEI JEDE DER VIELZAHL VON SUMMEN VON ABSOLUTWERTEN EINER ANDEREN DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN ENTSPRICHT
808
BESTIMMEN, DASS EINE FLANKENABTASTPHASE EINE ABTASTPHASE IST, DIE EINER GRÖSSTEN SUMME DER VIELZAHL VON SUMMEN VON ABSOLUTWERTEN ENTSPRICHT

FIG. 8

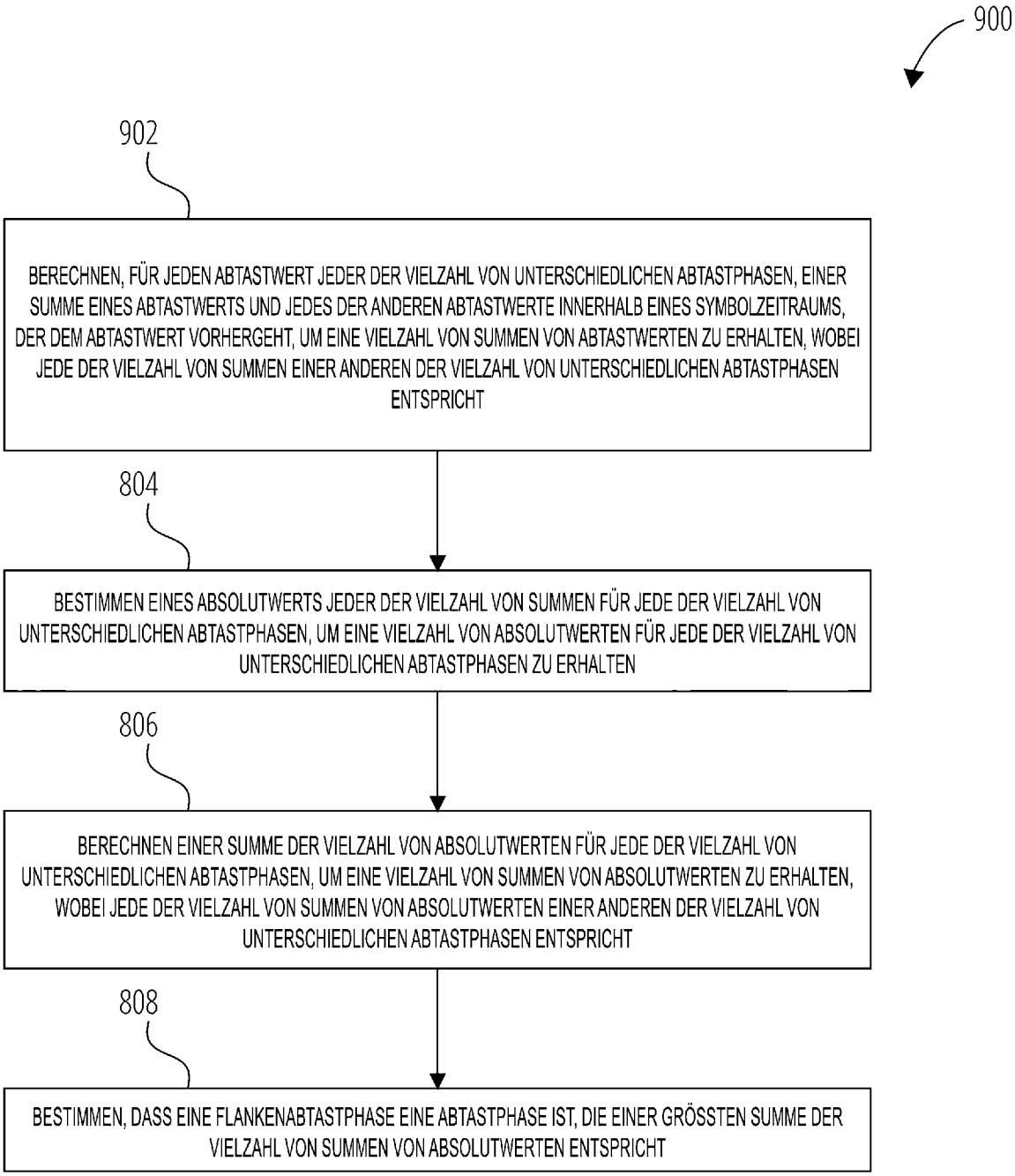

900
902
BERECHNEN, FÜR JEDEN ABTASTWERT JEDER DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, EINER SUMME EINES ABTASTWERTS UND JEDES DER ANDEREN ABTASTWERTE INNERHALB EINES SYMBOLZEITRAUMS, DER DEM ABTASTWERT VORHERGEHT, UM EINE VIELZAHL VON SUMMEN VON ABTASTWERTEN ZU ERHALTEN, WOBEI JEDE DER VIELZAHL VON SUMMEN EINER ANDEREN DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN ENTSPRICHT
804
BESTIMMEN EINES ABSOLUTWERTS JEDER DER VIELZAHL VON SUMMEN FÜR JEDE DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, UM EINE VIELZAHL VON ABSOLUTWERTEN FÜR JEDE DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN ZU ERHALTEN
806
BERECHNEN EINER SUMME DER VIELZAHL VON ABSOLUTWERTEN FÜR JEDE DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN, UM EINE VIELZAHL VON SUMMEN VON ABSOLUTWERTEN ZU ERHALTEN, WOBEI JEDE DER VIELZAHL VON SUMMEN VON ABSOLUTWERTEN EINER ANDEREN DER VIELZAHL VON UNTERSCHIEDLICHEN ABTASTPHASEN ENTSPRICHT
808
BESTIMMEN, DASS EINE FLANKENABTASTPHASE EINE ABTASTPHASE IST, DIE EINER GRÖSSTEN SUMME DER VIELZAHL VON SUMMEN VON ABSOLUTWERTEN ENTSPRICHT

FIG. 9

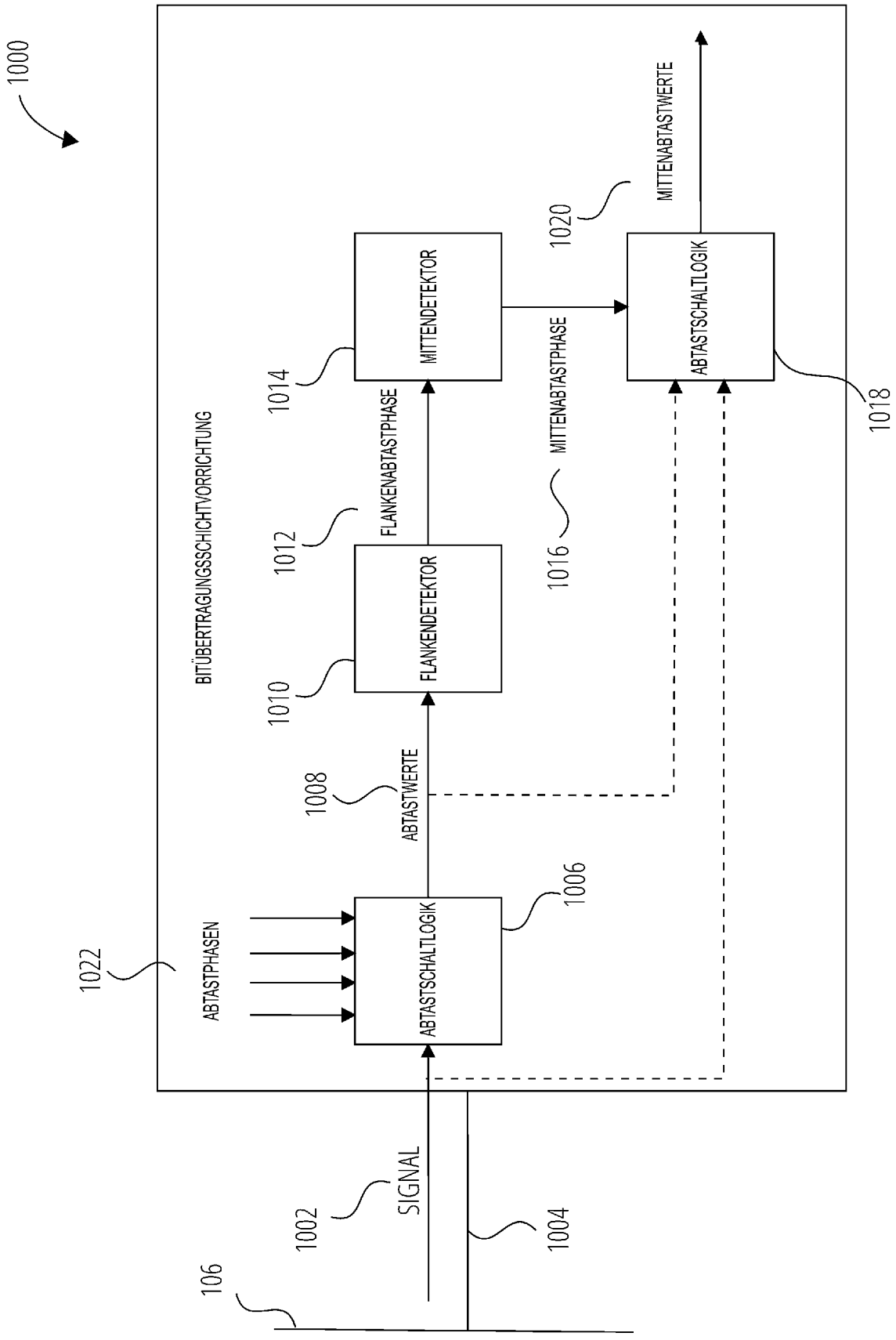

1000
BITÜBERTRAGUNGSSCHICHTVORRICHTUNG
1022
ABTASTPHASEN
ABTASTSCHALTLOGIK
1006
ABTASTWERTE
1008
FLANKENDETEKTOR
1010
FLANKENABTASTPHASE
1012
MITTENDETEKTOR
1014
MITTENABTASTPHASE
1016
ABTASTSCHALTLOGIK
1018
MITTENABTASTWERTE
1020
SIGNAL
1002
1004
106

FIG. 10

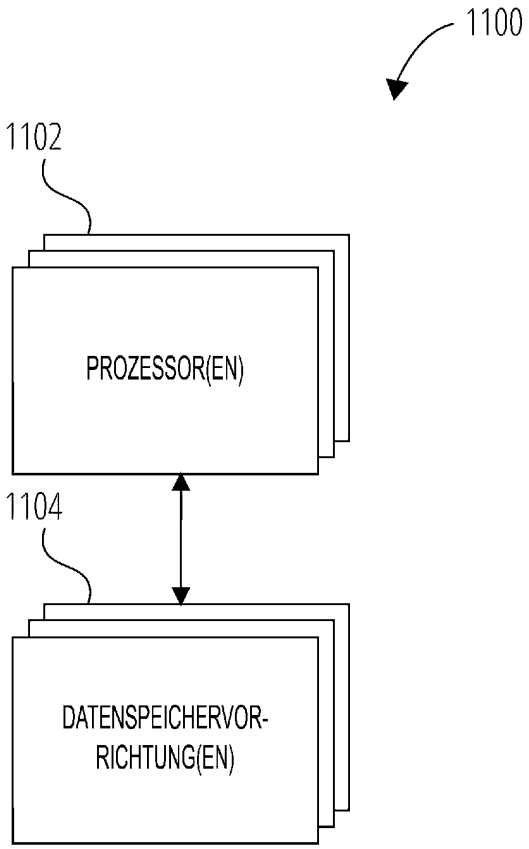


FIG. 11

 Das Dokument wurde durch die Firma Luminess hergestellt.