(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 5/14

(45) 공고일자 1999년03월30일
(11) 등록번호 특0172370
(24) 등록일자 1998년10월23일

(21) 출원번호 특1995-067794
(22) 출원일자 1995년12월30일
(65) 공개번호 특1997-051108
(43) 공개일자 1997년07월29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 경계현
경기도 안양시 동안구 신촌동 무궁화 진흥아파트 503동 702호
(74) 대리인 이건주

심사관 : 김용주

(54) 다단펌핑 머지드 펌핑전압 발생회로

요약

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 반도체 메모리장치에 관한 것으로, 특히 메모리장치의 내부 동작전원전압보다 높은 전압을 발생하는 반도체 메모리장치의 펌핑전압 발생회로에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제

종래의 펌핑전압 발생회로는 하기의 문제점을 발생하게 된다. 첫째로, 상기 펌핑전압 발생회로는 스탠바이상태와 액티브상태에서 별도로 사용되는 두가지의 회로들로 나누어져 있다. 이와 같이 둘로 나뉘어진 이유는 스탠바이상태와 액티브상태시 공급해야 할 전하양이 다르기 때문이다. 실제적으로, 액태브상태에서는 동작회로들 및 소자들의 갯수가 늘어나 공급 하여야 할 전하량이 스탠바이상태보다 급격히 늘어나게 된다. 둘째로, 많은 양의 전하를 공급하는 대용량의 액티브 펌핑전압 발생회로가 하나의 매스터클럭에 의해 동작하므로 일시적으로 충방전되는 전하량이 많아지게 되므로써 파워잡음(power noise)이 커지게 된다. 셋째로, 상기 액티브 펌핑전압 발생회로의 펌핑수단이 다량의 전하를 일시에 공급할 목적으로 대용량의 캐패시터를 구비하게 되고, 이에 따라 상기 대용량의 캐패시터를 충방전시켜야 되기때문에 펌핑효율이 저하되고, 대용량의캐패시터를 배치해야 하므로써 고집적을 저해하게 된다. 넷째로, 펌핑동작시 대용량의 캐패시터가 동작되므로써 펌핑에 요구되는 시간이 길어지게 되어 고속동작을 저해하게 된다. 이러한 문제점들을 해소하여 집적화 및 고속동작에 유리하면서, 펌핑효율을 높인 반도체 메모리장치의 펌핑전압 발생회로를 구현하는 것이 본 발명의 과제이다.

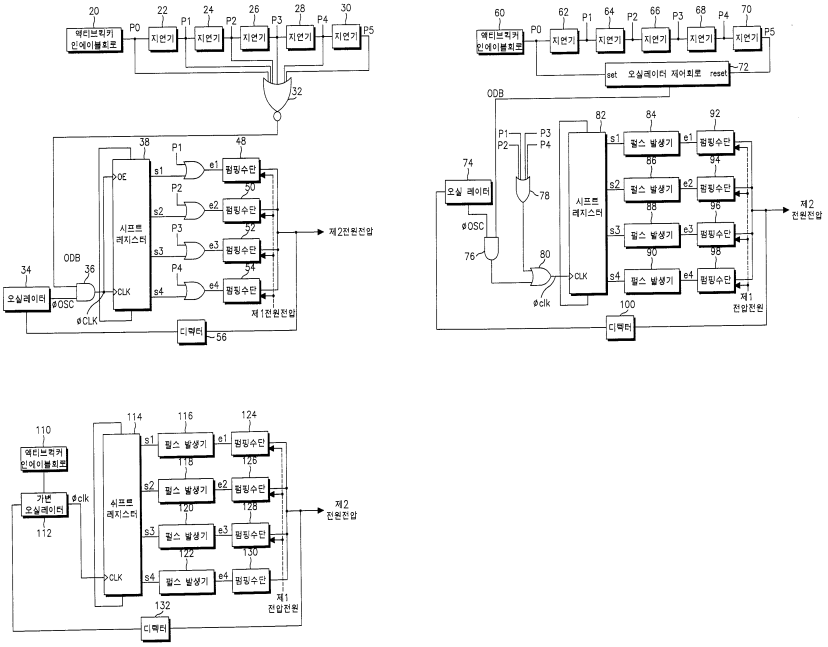
3. 발명의 해결방법의 요지

액태브상태에서 소정의 매스터클럭을 출력하는 액티브킥커 인에이블회로와, 상기 액티브킥커 인에이블회로의 출력에 응답하여 소정시간씩 지연하는 복수개의 지연기들과, 소정주기의 펄스신호를 출력하는 오실레이터와, 상기 액티브킥커 인에이블회로 및 상기 지연기들의 출력신호의 논리 조합된 출력과 상기 오실레이터의 출력을 논리조합하여 순차적인 제어신호를 출력하고 상기 순차적인 제어신호와 상기 지연기들중 일부의 출력신호를 논리조합하여 순차적인 인에이블신호를 출력하는 펌핑구동수단과, 상기 펌핑구동수단의 순차적인 이에이블신호에 응답하여 입력전압을 펌핑하는 복수개의 펌핑수단과, 상기 펌핑수단의 출력단과 상기 오실레이터의 궤환경로에 접속된 디텍터로 구성되며, 스탠바이상태에서는 제1갯수의 펌핑수단이 순차적으로 구동되고, 액티브상태에서는 상기 제1갯수의 펌핑수단이 연속적으로 구동됨을 특징으로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로를 구현하므로써 상기 과제를 달성하게 된다.

4. 발명의 중요한 용도

고집적, 고속동작용 반도체 메모리장치와 펌핑효율을 개선한 펌핑전압 발생회로.

대표도



명세서

[발명의 명칭]

다단펌핑 머지드 펌핑전압 발생회로

[도면의 간단한 설명]

제1도는 종래기술에 따른 일반적인 반도체 메모리장치의 스탠바이 펌핑전압 발생회로의 블럭도.

제2도는 종래기술에 따른 일반적인 반도체 메모리장치의 액티브 펌핑전압 발생회로의 블럭도.

제3도는 본 발명의 일실시예에 따른 다단펌핑 머지드 펌핑전압 발생회로의 회로도.

제4도는 제3도에 따른 동작타이밍도.

제5도는 본 발명의 다른 실시예에 따른 다단펌핑 머지드 펌핑전압 발생회로의 회로도.

제6도는 제5도에 따른 동작타이밍도.

제7도는 본 발명의 또 다른 실시예에 따른 다단펌핑 머지드 펌핑전압 발생회로의 회로도.

제8도는 제7도에 따른 동작타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로, 특히 메모리장치의 동작 전원전압보다 높은 전압을 발생하는 반도체 메모리장치의 펌핑전압 발생회로에 관한 것이다.

다이나믹 랜덤 액세스 메모리와 같은 반도체 메모리장치의 고집적화는 지속적이며 급속하게 진척되고 있다. 이러한 고집적 반도체 메모리장치에서 집적화되기 이전에 사용하던 전원전압을 집적화된 소자들 및 회로들에 그대로 인가하는 경우, 상기 전원전압으로 인하여 발생되는 강전계에 의하여 집적화된 소자들 및 회로들에게 심한 스트레스(stress)가 가해져 상기 소자들 및 회로들이 파괴될 위험성이 높아지기 때문에 고집적 반도체 메모리장치에서 동작전원전압의 강하는 불가피하다. 그러나, 상대적으로 낮아진 전원전압을 사용하는 경우에도 고전압레벨이 필요한 경우는 빈번하게 발생되는 데, 이러한 필요를 충족하기 위하여 칩외부의 외부전원전압으로 상기 고전압레벨이 필요한 회로들 및 소자들에 직접 사용하기도 하고, 고전압을 발생하는 펌핑전압 발생회로를 칩내부에 탑재하여 상기 외부전원전압레벨이상의 높은 전압을 사용하기도 한다. 인에이블동작시 워드라인으로 공급되는 워드라인전압이나, 공유센스앰프구조의 메모리장치에서 분리게이트를 선택적으로 단속하는 데 사용되는 분리게이트 제어신호는 모두 상술한 펌핑전압 발생회로에서 출력되는 고전압을 사용하는 대표적인 예이다. 이와 같은 높은 레벨의 전압을 발생하는 펌핑전압 발생회로에 대해서는 당분야에 다양하게 설계된 다수의 펌핑전압 발생회로들이 광범위하게 사용되고 있다. 통상적으로 상기 펌핑전압 발생회로는 스탠바이 펌핑전압 발생회로와 액티브 펌핑전압 발생회로로 나누어 스탠바이(standby)상태에서와 액티브(active)상태에서 서로 다른 양의 전하를 상기 고전압이 필요한 회로들 및 소자들로 공급하게 된다. 실제적으로 액티브상태에서 사용되는 전하의 양이 스탠바이상태에서 사용되는 전하의 양에 비하여 많다.

제1도는 종래기술에 따른 일반적인 반도체 메모리장치의 스탠바이 펌핑전압 발생회로의 블럭도이고, 제2도는 종래기술에 따른 일반적인 반도체 메모리장치의 액티브 펌핑전압 발생회로의 블럭도이다.

제1도를 참조하면, 오실레이터(10)의 출력단은 펌핑수단(12)의 입력단과 접속된다. 상기 펌핑수단(12)의 전원전압단자로는 제1전원전압 예를들면, 칩내부의 동작전원전압으로 사용되는 내부전원전압이 입력된다. 상기 핌핑수단(12)의 출력단으로는 제2전원전압 예를 들면, 외부전원전압레벨이상의 소망하는 고전압이 출력된다. 상기 펌핑수단(12)의 출력단과 오실레이터(10)사이의 궤환경로에는 디텍터(14)가 접속된다.

제2도를 참조하면, 액티브킥커 인에이블회로(16)의 출력단은 펌핑수단(18)의 입력단과 접속된다. 상기 펌핑수단(18)의 전원전압단자로는 제1전원전압 예를 들면, 칩내부의 동작전원전압으로 사용되는 내부전원전압이 입력된다. 상기 펌핑수단(18)의 출력단으로는 제2전원전압 예를들면, 외부전원전압레벨이상의 고전압이 출력된다.

제1도에서, 오실레이터(10)는 주기적으로 펄스를 발생시키는 동작을 수행하고, 펌핑수단(12)은 상기 오실레이터(10)에서 출력되는 펄스열형태의 출력신호에 응답하여 제1전원전압레벨을 제2전원전압레벨로 승압하는 역할을 수행하게 된다. 상기 제1도에서 디텍터(14)는 상기 펌핑수단(12)에서 출력되는 제2전원전압레벨을 감지하여 상기 제2전원전압레벨이 미리 설정된 전압레벨이상이 되는 것을 방지할 목적으로 오실레이터(10)의 동작을 제어하게 된다. 상기 제1도와 같은 스탠바이 펌핑전압 발생회로는 반도체 메모리장치가 스탠바이상태에 있을 때, 상기 제2전원전압레벨을 상기 제1전원전압레벨이상으로 펌핑시키는 역할을 수행한다.

제2도에서 액티브킥커 인에이블회로(16)는 반도체 메모리장치내부에서 고전압을 사용하는 회로들의 사용상태에 따라 적정주기의 매스터클럭(master clock)을 발생하게 된다. 그리고 펌핑수단(18)은 상기 액티브킥커 인에이블회로(16)에서 출력되는 매스터클럭에 응답하여 상기 제1전원전압레벨을 제2전원전압레벨로 승압하는 동작을 수행하게 된다. 상기 제2도와 같은 액티브 펌핑전압 발생회로는 메모리장치가 액티브상태에 있을 때, 상기 메모리장치의 전하사용정도에 따라 대용량의 전하를 발생회로 및 액티브 펌핑전압 발생회로의 구성 및 동작은 당분야에 널리 알려져 있고, 각 개별회로들에 대해서도 다양한 구성의 회로들이 공개되어 있으므로 블럭도로만 도시하였다.

그러나, 제1도 및 제2도에서와 같은 종래기술에 따른 펌핑전압 발생회로는 하기의 문제점을 가지게 된다. 첫째로, 상기 펌핑전압 발생회로는 스탠바이상태와 액티브상태에서 별도로 사용되는 두가지의 회로들로 나누어져 있다. 이와 같이 둘로 나뉘어진 이유는 스탠바이상태와 액티브상태시 공급해야 할 전하양이 다르기 때문이다. 실제적으로, 액티브상태에서는 동작회로들 및 소자들의 갯수가 늘어나 공급하여야 할 전하량이 스탠바이상태에서보다 급격히 늘어나게 된다. 둘째로, 많은 양의 전하를 공급하는 대용량의 액티브 펌핑전압 발생회로가 하나의 매스터클럭에 의해 동작하므로 일시적으로 충방전되는 전하량이 많아지게 되므로써 파워잡음(power noise)이 커지게 된다. 셋째로, 상기 액티브 펌핑전압 발생회로의 펌핑수단이 대용량의 전하를 일시에 공급할 목적으로 대용량의 캐패시터를 구비하게 되고, 이에 따라 상기 대용량의 캐패시터를 충방전시켜야 되기 때문에 펌핑효율이 저하되고, 대용량의 캐패시터를 배치해야 하므로써 고집적에 불리하게 된다. 넷째로, 펌핑동작시 대용량의 캐패시터가 동작하게 되므로써 펌핑에 요구되는 시간이 길어지게 되어 고속동작을 저해하게 된다.

따라서 본 발명의 목적은 스탠바이상태와 액티브상태시 동일하게 사용할 수 있는 반도체 메모리장치의 펌핑전압 발생회로를 제공하는 데 있다.

본 발명의 다른 목적은 소용량의 캐패시터를 다단으로 접속하여 연속적으로 펌핑동작을 수행하여 펌핑효율을 높인 반도체 메모리장치의 펌핑전압 발생회로를 제공하는 데 있다.

본 발명의 또 다른 목적은 파워잡음을 줄인 반도체 메모리장치를 제공하는 데 있다.

본 발명의 또 다른 목적은 고속동작에 유리한 반도체 메모리장치를 제공하는 데 있다.

본 발명의 또 다른 목적은 고집적에 유리한 반도체 메모리장치를 제공하는 데 있다.

상기 본 발명의 목적들을 달성하기 위하여 본 발명에 따른 다단펌핑 머지드 펌핑전압 발생회로는, 액티브상태에서 소정의 매스터클럭을 출력하는 액티브킥커 인에이블회로와, 상기 액티브킥커 인에이블회로의 출력에 응답하여 소정시간씩 지연하는 복수개의 지연기들과, 소정주기의 펄스신호를 출력하는 오실레이터와, 상기 액티브킥커 인에이블회로 및 상기 지연기들의 출력신호의 논리조합된 출력과 상기 오실레이터의 출력을 논리조합하여 순차적인 제어신호를 출력하고 상기 순차적인 제어신호와 상기 지연기들중 일부의 출력신호를 논리조합하여 순차적인 인에이블신호를 출력하는 펌핑구동수단과, 상기 펌핑구동수단의 순차적인 인에이블신호에 응답하여 입력전압을 펌핑하는 복수개의 펌핑수단과, 상기 펌핑수단의 출력단과 상기 오실레이터의 궤환경로에 접속된 디텍터로 구성되며, 스탠바이상태에서는 제1갯수의 펌핑수단이 순차적으로 구동되고, 액티브상태에서는 상기 제1갯수의 펌핑수단이 연속적으로 구동됨을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명에 따른 반도체 메모리장치의 펌핑전압 발생회로에 대한 바람직한 실시예를 설명하겠다.

제3도는 본 발명의 일실시예에 따른 다단펌핑 머지드 펌핑전압 발생회로의 회로도이다.

제3도를 참조하면, 액티브킥커 인에이블회로(20)의 출력단에서는 펄스신호 P0가 출력되며, 상기 액티브킥커 인에이블회로(20)의 출력단은 지연기(22)의 입력단 및 제1게이팅수단 즉, 노아게이트(32)의 제1입력단에 공통으로 접속된다. 상기 지연기(22)의 출력단에서는 펄스신호 P1가 출력되며, 상기 지연기(22)의 출력단은 지연기(24)의 입력단 및 노아게이트(32)의 제2입력단에 공통으로 접속된다. 상기 지연기(24)의 출력단에서는 펄스신호 P2가 출력되며, 상기 지연기(24)의 출력단은 지연기(26)의 입력단 및 노아게이트(32)의 제3입력단에 공통으로 접속된다. 상기 지연기(26)의 출력단에서는 펄스신호 P3가 출력되며, 상기 지연기(26)의 출력단은 지연기(28)의 입력단 및 노아게이트(32)의 제4입력단에 공통으로 접속된다. 상기 지연기(28)의 출력단에서는 펄스신호 P4가 출력되며, 상기 지연기(28)의 출력단은 지연기(30)의 입력단 및 노아게이트(32)의 제5입력단에 공통으로 접속된다. 상기 지연기(30)의 출력단에서는 펄스신호 P5가 출력되며, 상기 지연기(30)의 출력단은 노아게이트(32)의 제6입력단에 접속된다. 상기 제1게이팅수단 즉, 노아게이트(32)의 출력단은 제2게이팅수단 즉, 앤드게이트(36)의 제1입력단과 접속된다. 오실레이터(34)

의 출력단에서는 펄스열형태의 출력신호 φOSC가 출력되며, 상기 오실레이터(34)의 출력단은 상기 앤드게이트(36)의 제2입력단과 접속된다. 상기 앤드게이트(36)의 출력단에서는 클럭신호 φCLK가 출력되고, 상기 클럭신호 φCLK는 시프트 레지스터(38)의 출력인에이블단자 OE와 클럭입력단자 CLK에 공통으로 입력된다. 상기 시프트 레지스터(38)의 출력단에서는 출력신호 S1-S4가 출력되고, 상기 출력신호 S1-S4는 제3게이팅수단들 즉, 오아게이트들(40-46)의 제2입력단들과 각각 접속된다. 상기 오아게이트들(40-46)의 제1입력단들은 상기 지연기들(22-28)의 출력인 펄스신호 P1-P4가 접속된다. 상기 오아게이트들(40-46)의 출력단에서는 인에이블신호들 e1-e4가 각각 출력되고, 상기 인에이블신호들 e1-e4는 펌핑수단들(48-54)의 입력단들과 각각 접속된다. 상기 노아게이트(32), 앤드게이트(36), 시프트 레지스터(38) 및 오아게이트들(40-46)은 상기 펌핑수단들(48-54)의 구동을 제어하게 된다. 상기 펌핑수단들(48-54)의 다른 전원단자들로는 제1전원전압 예를 들면, 칩내부의 동작전원전압으로 사용되는 내부전원전압이 접속된다. 상기 펌핑수단들(48-54)의 출력단들은 서로 접속되어 제2전원전압 예를 들면, 외부전원전압레벨이상의 펌핑전압이 출력된다. 상기 펌핑전압이 출력되는 출력단은 디텍터(56)의 입력단에 접속되며, 상기 디텍터(56)의 출력단은 상기 오실레이터(34)의 입력단에 피드백(feedback)되어 접속된다.

제4도는 제3도에 따른 동작타이밍도이다.

스탠바이상태에서 액티브킥커 인에이블회로(20) 및 지연기들(22-30)의 출력은 모두 '로우'상태가 된다. 따라서 스탠바이상태에서 노아게이트(32)의 출력 즉, 제어신호 ODB는 '하이'상태를 유지하게 된다. 이 상태에서 오실레이터(34)에서 펄스열형태의 출력신호 φOSC가 출력되면, 앤드게이트(36)의 출력은 상기 오실레이터(34)의 출력신호 φOSC와 동일한 펄스열형태의 출력신호 φCLK를 출력하게 된다. 이에 따라 시프트 레지스터(38)에서는 상기 앤드게이트(36)의 출력신호 φCLK에 대응되는 출력신호를 출력하게 된다. 제4도에 나타난 것과 같이 출력신호 S2와 S3가 인에이블된다. 이러한 출력신호 S2와 S3는 노아게이트(42)와 노아게이트(44)로 입력되어 펄스신호 P2와 펄스신호 P3와 논리조합된다. 이에 따라 상기 노아게이트들(42, 44)에서는 인에이블신호 e2와 e3가 출력되어 펌핑수단들(50, 52)의 입력단으로 각각 입력되어 펌핑된다. 이에 따라 상기 펌핑수단들(50, 52)의 출력에 의해 펌핑된 제2전원전압이 출력된다.

한편, 액티브상태에서 액티브킥커 인에이블회로(20)에서는 펄스신호 P0가 출력된다. 상기 펄스신호 P0의 입력에 따라 지연기들(22-30)에서는 펄스신호들 P1-P5가 출력된다. 상기 펄스신호들 P0-P5는 노아게이트(32)의 입력단으로 전달된다. 따라서 상시 노아게이트(32)의 출력단에서 전달되는 제어신호 ODB는 '로우'상태를 소정시간동안 유지하게 된다. 이때 상기 액티브킥커 인에이블회로(20)으로 입력되는 매스터클럭의 펄스폭은 가장 긴 시간의 지연수단보다 길게 설계한다. 이렇게 되면 상기 제어신호 ODB는 펄스신호 P0가 '하이'상태로 천이된 후부터 펄스신호 P5가 '로우'상태로 천이될 때까지 '로우'상태가 되어 시프트 레지스터(38)의 동작을 멈추게 한다. 따라서 상기 시프트 레지스터(38)의 출력신호들 S1-S4는 '로우'상태를 유지하게 된다. 한편 펄스신호들 P1-P4는 상기 시프트 레지스터(38)의 출력신호들 S1-S4와 노아게이트들(40-46)에서 논리조합된다. 이에 따라 인에이블신호 e1-e4는 상기 펄스신호들 P1-P4에 대응되는 신호를 출력하게 된다. 이에 따라 출력라인으로 전달되는 출력신호는 4번 펌핑작용을 수행하여 대전하를 전달하게 된다.

제4도는 본 발명의 다른 실시예에 따른 다단펌핑 머지드 펌핑전압 발생회로의 회로도이다.

제5도를 참조하면, 액티브킥커 인에이블회로(60)의 출력단에서는 펄스신호 P0가 출력되며, 상기 액티브킥커 인에이블회로(60)의 출력단은 지연기(62)의 입력단 및 오실레이터 제어회로(72)의 세트단자에 공통으로 접속된다. 상기 지연기(62)의 출력단에서는 펄스신호 P1가 출력되며, 상기 지연기(62)의 출력단은 지연기(64)의 입력단에 접속된다. 상기 지연기(64)의 출력단에서는 펄스신호 P2가 출력되며, 상기 지연기(64)의 출력단은 지연기(66)의 입력단에 접속된다. 상기 지연기(66)의 출력단에서는 펄스신호 P3가 출력되며, 상기 지연기(66)의 출력단은 지연기(68)의 입력단에 접속된다. 상기 지연기(68)의 출력단에서는 펄스신호 P4가 출력되며, 상기 지연기(68)의 출력단은 지연기(70)의 입력단에 접속된다. 상기 지연기(70)의 출력단에서는 펄스신호 P5가 출력되며, 상기 지연기(70)의 출력단은 상기 오실레이터 제어회로(72)의 리세트단자에 접속된다. 상기 오실레이터 제어회로(72)의 출력단은 제1게이팅수단 즉, 앤드게이트(76)의 제1입력단과 접속된다. 오실레이터(74)의 출력단에서는 펄스열형태의 출력신호 φOSC가 출력되며, 상기 오실레이터(74)의 출력단은 상기 앤드게이트(76)의 제2입력단과 접속된다. 상기 앤드게이트(76)의 출력단은 제3게이팅수단 즉, 오아게이트(80)의 제2입력단과 접속된다. 상기 지연기들(62-68)의 출력신호인 펄스신호들 P1-P4는 제2게이팅수단 즉, 오아게이트(78)의 입력단에 각각 접속된다. 상기 제2게이팅수단 즉, 오아게이트(78)의 출력단은 상기 제3게이팅수단 즉, 오아게이트(80)의 제1입력단과 접속된다. 상기 오아게이트(80)의 출력단에서는 클럭신호 φCLK가 출력되며, 상기 오아게이트(80)의 출력단은 시프트 레지스터(82)의 클럭입력단자에 접속된다. 상기 시프트 레지스터(82)의 출력단에서는 출력신호 S1-S4가 출력되며, 상기 출력신호들 S1-S4은 펄스발생회로들(84-90)의 입력단들에 각각 접속된다. 상기 펄스발생회로들(84-90)의 출력단에서는 인에이블신호들 e1-e4가 출력되며, 상기 펄스발생회로들(84-90)의 출력단들은 펌핑수단들(92-98)의 입력단들과 각각 접속된다. 상기에서 오실레이터 제어회로(72), 앤드게이트(76), 오아게이트들(78, 80), 시프트 레지스터(82) 및 펄스발생회로들(84-90)은 펌핑수단들의 구동을 제어하는 역할을 수행하게 된다. 상기 펌핑수단들(48-54)의 다른 전원단자들로는 제1전원전압 예를들면, 칩내부의 동작전원전압으로 사용되는 내부전원전압이 접속된다. 상기 펌핑수단들(92-98)의 출력단들은 서로 접속되어 제2전원전압 예를 들면, 외부전원전압레벨이상의 펌핑전압이 출력된다. 상기 펌핑전압이 출력되는 출력단은 디텍터(100)의 입력단에 접속되며, 상기 디텍터(100)의 출력단은 상기 오실레이터(74)의 입력단에 피드백되어 접속된다.

제6도는 제5도에 따른 동작타이밍도이다.

스탠바이상태에서 액티브킥커 인에이블회로(60) 및 지연기들(62-70)의 출력은 모두 '로우'상태가 된다. 따라서 스탠바이상태에서 오실레이터 제어회로(72)의 출력 즉, 제어신호 ODB는 '하이'상태를 유지하게 된다. 이상태에서 오실레이터(74)에서 펄스열형태의 출력신호 φOSC가 출력되면, 앤드게이트(76)의 출력은 상기 오실레이터(74)의 출력신호 φOSC와 동일한 펄스열형태의 신호를 출력하게 되고, 상기 펄스신호 P1-P4의 출력이 모두 '로우'상태이므로 오아게이트(78)의 출력은 항상 '로우'상태를 유지하게 된다. 이렇게 되면 오아게이트(80)의 출력단에서는 상기 앤드게이트(76)의 출력과 동일한 클럭신호 φCLK를 출력하게

된다. 이에 따라 시프트 레지스터(82)에서는 상기 오아게이트(80)의 출력신호 φCLK에 대응되는 출력신호를 출력하게 된다. 상기 클럭신호 φCLK에 응답하여 제6도에 나타난 것과 같이 출력신호 S2와 S3가 인에이블된다. 이러한 출력신호 S2와 S3는 펄스발생회로들(86, 88)에 입력되어 인에이블신호 e2, e3가 출력되고, 이러한 인에이블신호 e2, e3의 입력에 응답하여 펌핑수단들(94, 96)에서는 펌핑된 제2전원전압이 출력된다.

한편, 액티브상태에서 액티브킥커 인에이블회로(60)에서는 펄스신호 P0가 출력된다. 상기 펄스신호 P0의 입력에 따라 지연기들(22-30)에서는 펄스신호들 P1-P5가 출력된다. 상기 펄스신호들 P0-P5는 오실레이터 제어회로(72)의 입력단으로 전달된다. 따라서 상기 오실레이터 제어회로(72)의 출력단에서 전달되는 제어신호 ODB는 '로우'상태를 소정시간동안 유지하게 된다. 이때 상기 액티브킥커 인에이블회로(60)로 입력되는 매스트클럭의 펄스폭은 가장 짧은 시간의 지연수단보다 짧게 설계한다. 이렇게 되면 상기 제어신호 ODB는 펄스신호 P0가 '하이'상태로 천이된후부터 펄스신호 P5가 '로우' 상태로 천이될 때까지 '로우'상태가 되어 시프트 레지스터(82)의 출력을 단속한다. 동시에 펄스신호들 P1-P4가 오아게이트(78)에서 논리조합되어 시프트 레지스터(82)의 클럭입력단자로 입력되어 상기 시프트 레지스터(82)에서는 출력신호 S1-S4가 순차적으로 '하이'상태로 출력된다. 이러한 출력신호들 S1-S4는 펄스발생회로들(84-90)로 입력되어 소정의 폭을 가지는 인에이블신호들 e1-e4가 출력된다. 이에 따라 출력라인으로 전달되는 출력신호는 4번 펌핑작용을 수행하여 대전하를 전달하게 된다.

제7도는 본 발명의 또 다른 실시예에 따른 다단펌핑 머지드 펌핑전압 발생회로의 회로도이다.

제7도에서 액티브킥커 인에이블회로(110)의 출력은 가변오실레이터(112)의 제1입력단과 접속된다. 상기 가변오실레이터(112)의 출력단에서는 클럭신호 φCLK가 출력되고, 상기 가변오실레이터(112)의 출력단은 시프트 레지스터(114)의 클럭입력단자에 접속된다. 상기 시프트 레지스터(114)의 출력단에서는 출력신호 S1-S4가 출력되며, 상기 시프트 레지스터(114)의 출력신호들 S1-S4는 펄스발생회로들(116-122)의 일력단들과 각각접속된다. 상기 펄스발생회로들(116-122)의 출력단에서는 인에이블신호 e1-e4가 출력되고, 상기 출력신호들 e1-e4은 펌핑수단들(124-130)의 입력단들과 접속된다. 상기 시프트 레지스터(114)와 펄스발생회로들(116-122)은 가변오실레이터(112)의 출력에 응답하여 상기 펌핑수단들(124-130)을 제어하는 역할을 수행하게 된다. 상기 펌핑수단들(124-130)의 전원입력단자에는 제1전원전압이 접속된다. 상기 펌핑수단들(124-130)의 출력단들은 서로 접속되고 상기 출력단에서는 제2전원전압이 출력된다. 상기 펌핑수단들(124-130)의 출력단들은 디텍터(132)의 입력단과 접속되고, 상기 디텍터(132)의 출력단은 상기 가변오실레이터(112)의 제2입력단에 피드백되어 접속된다.

제8도는 제7도에 따른 동작타이밍도이다.

제7도로 도시한 실시예에서는 가변오실레이터(112)를 사용하여 상기 가변오실레이터(의 펄스구간폭을 가변적으로 설정하게 된다. 즉, 스탠바이상태에서는 펄스구간이 넓게 잡혀있고, 액티브상태에서는 펄스구간이 좁게 잡혀있다. 이에 따라 출력라인으로 전달되는 출력신호는 스탠바이상태에서는 1번 펌핑동작을 수행하여 펌핑전압을 공급하게 되고, 액티브상태에서는 연속적으로 4번 펌핑작용을 수행하여 대전하를 전달하게 된다. 그외 나머지 동작과정은 제3도 및 제5도로 도시한 본 발명의 실시예들의 동작과 유사하다.

본 발명에서는 액티브상태에서와 스탠바이상태에서 펌핑전압의 공급이 하나의 회로로써 구현된다. 즉, 머지드(merged) 펌핑전압 발생회로이다. 또한 본 발명에서 구현한 펌핑전압 발생회로에서는, 스탠바이상태에서 오실레이터의 출력에 응답하여 순차적인 펌핑동작을 수행하고, 액티브상태에서 연속적으로 다단펌핑동작(multi-pumping)을 수행하게 된다. 이른바 다단펌핑 머지드 펌핑전압 발생회로(multi-pumping merged pumping voltage generator)가 구현되는 것이다.

이상에서와 같이 본 발명의 실시예에 따른 다단펌핑 머지드 펌핑 전압 발생회로가 구현됨으로써 스탠바이상태에서와 액티브상태에서 하나의 회로로 펌핑전압을 칩내부로 공급하게 되고, 종래와 같이 대용량을 지니는 캐패시터가 필요하지 않게 됨으로써 급격한 전하의충방전을 억제하게 되어 파워잡음을 현저하게 줄일 수 있게 된다. 또, 소용량의 캐패시터를 다수개 설치하여 액티브상태시 복수번 펌핑동작을 수행하므로써 펌핑효율면에서도 유리하고, 소용량의 캐패시터사용으로 인하여 집적화에도 도움을 주게 된다. 마지막으로 본 발명에 따른 펌핑전압 발생회로를 구현하므로써 펌핑에 걸리는 시간을 줄일 수 있게 되므로써 반도체 메모리장치의 동작속도를 고속으로 가져갈 수 있게 된다.

(57) 청구의 범위

청구항 1

반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로에 있어서, 액티브상태에서 소정의 매스터클럭을 출력하는 액티브킥커 인에이블회로와, 상기 액티브킥커 인에이블회로의 출력에 응답하여 소정시간씩 지연하는 복수개의 지연기들과, 소정주기의 펄스신호를 출력하는 오실레이터와, 상기 액티브킥커 인에블회로 및 상기 지연기들의 출력신호의 논리조합된 출력과 상기 오실레이터의 출력을 논리조합하여 순차적인 제어신호를 출력하고 상기 순차적인 제어신호와 상기 지연기들중 일부의 출력신호를 논리조합하여 순차적인 인에이블신호를 출력하는 펌핑구동수단과, 상기 펌핑구동수단의 순차적인 인에이블신호에 응답하여 입력전압을 펌핑하는 복수개의 펌핑수단과, 상기 펌핑수단의 출력과 상기 오실레이터의 궤환경로에 접속된 디텍터로 구성되며, 스탠바이상태에서는 제1갯수의 펌핑수단이 순차적으로 구동되고, 액티브상태에서는 상기 제1갯수의 펌핑수단이 연속적으로 구동됨을 특징으로하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로

청구항 2

제1항에 있어서, 상기 펌핑구동수단이 상기 액티브킥커 인에이블회로 및 상기 지연기들의 출력신호들을 논리조합하는 제1게이팅수단과 상기 오실레이터의 출력신호를 논리조합하는 제2게이팅수단의 출력에 응답하여 순차적인 제어신호를 출력하는 시프터 레지스터와, 상기 시프트 레지스터에서 출력되는 순차적인 제어신호와 상기 지연기들중 일부의 출력신호를 논리조합하는 복수개의 제3게이팅수단들로 구성됨을 특징으

로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로.

청구항 3

제2항에 있어서, 상기 제1, 제2 및 제3게이팅수단이 각각 노아게이트, 앤드게이트 및 오아게이트임을 특징으로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로

청구항 4

제1항에 있어서, 상기 복수개의 펌핑수단이 4개로 구성됨을 특징으로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로.

청구항 5

반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로에 있어서, 액티브상태에서 소정의 매스터클럭을 출력하는 액티브킥커 인에이블회로와, 상기 액티브킥커 인에블회로의 출력에 응답하여 소정시간씩 지연하는 복수개의 지연기들과, 소정주기의 펄스신호를 출력하는 오실레이터와, 상기 액티브킥커 인에이블회로 및 소정 지연기의 출력신호에 응답하여 출력되는 소정의 제어신호와 상기 오실레이터의 출력을 논리조합하고 상기 논리조합된 출력과 상기 지연기들중 일부의 출력의 논리조합된 출력을 논리조합하여 순차적인 제어신호를 출력하는 펌핑구동수단과, 상기 펌핑구동수단의 순차적인 인에이블신호에 응답하여 입력전압을 펌핑하는 복수개의 펌핑수단과, 상기 펌핑수단의 출력단과 상기 오실레이터의 궤환경로에 접속된 디텍터로 구성되며, 스탠바이상태에서는 제1갯수의 펌핑수단이 순차적으로 구동되고, 액티브상태에서는 상기 제1갯수의 펌핑수단이 연속적으로 구동됨을 특징으로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로.

청구항 6

제5항에 있어서, 상기 펌핑구동수단이 상기 액티브킥커 인에이블회로의 출력신호와 상기 지연기들중 소정의 지연기출력을 입력하여 오실레이터의 구동을 제어하는 오실레이터 제어회로와, 상기 오실레이터 제어회로의 출력과 상기 오실레이터의 출력신호를 논리조합하는 제1게이팅수단과, 상기 지연기들중 일부 지연기들의 출력을 논리조합하는 제2게이팅수단과, 상기 제1게이팅수단 및 제2게이팅수단과, 상기 제 1게이팅수단 및 제2게이팅수단의 출력을 논리조합하는 제3게이팅수단과, 상기 제3게이팅수단의 출력에 응답하여 순차적인 제어신호를 출력하는 시프터 레지스터와, 상기 시프트 레지스터에서 출력되는 순차적인 제어신호에 응답하여 복수개의 인에이블신호를 출력하는 복수개의 펄스발생수단들로 구성됨을 특징으로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로.

청구항 7

제6항에 있어서, 상기 제1게이팅수단이 앤드게이트이고, 제2 및 제3게이팅수단이 오아게이트임을 특징으로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로.

청구항 8

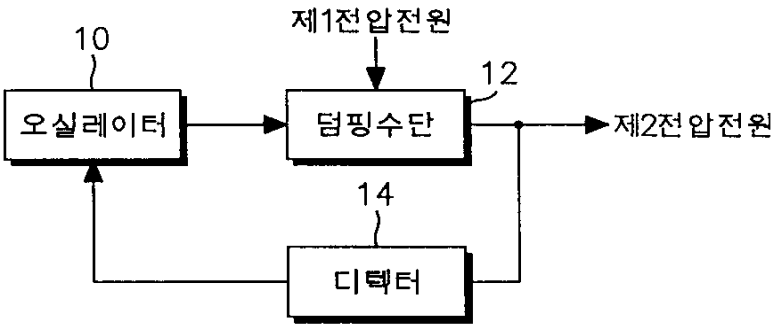
반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로에 있어서, 액티브상태에서 소정의 매스터클럭을 출력하는 액티브킥커 인에이블회로와, 상기 액티브킥커 인에이블회로의 출력에 응답하여 상기액티브킥커 인에이블회로의 출력에 따라 가변적인 주기의 펄스신호를 출력하는 가변오실레이터와, 상기 가변오실레이터의 출력에 응답하여 순차적인 제어신호를 출력하고 상기 순차적인 제어신호를 입력하여 펄스형태의 순차적인 인에이블신호를 출력하는 펌핑구동수단과, 상기 펌핑구동수단의 순차적인 인에이블신호에 응답하여 입력전압을 펌핑하는 복수개의 펌핑수단과, 상기 펌핑수단의 출력단과 상기 오실레이터의 궤환경로에 접속된 디텍터로 구성되며, 스탠바이상태에서는 제1갯수의 펌핑수단이 순차적으로 구동되고, 액티브상태에서는 상기 제1갯수의 펌핑수단이 연속적으로 구동됨을 특징으로 하는 반도체 메모리 장치의 다단펌핑 머지드 펌핑전압 발생회로.

청구항 9

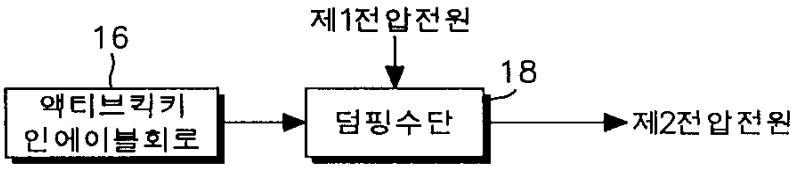
제8항에 있어서, 상기 펌핑구동수단이 상기 가변오실레이터의 출력에 응답하여 순차적인 제어신호를 출력하는 시프트 레지스터와, 상기 시프트 레지스터에서 출력되는 제어신호에 응답하여 펄스형태의 순차적인 인에이블신호를 출력하는 복수개의 펄스발생회로로 구성됨을 특징으로 하는 반도체 메모리장치의 다단펌핑 머지드 펌핑전압 발생회로

도면

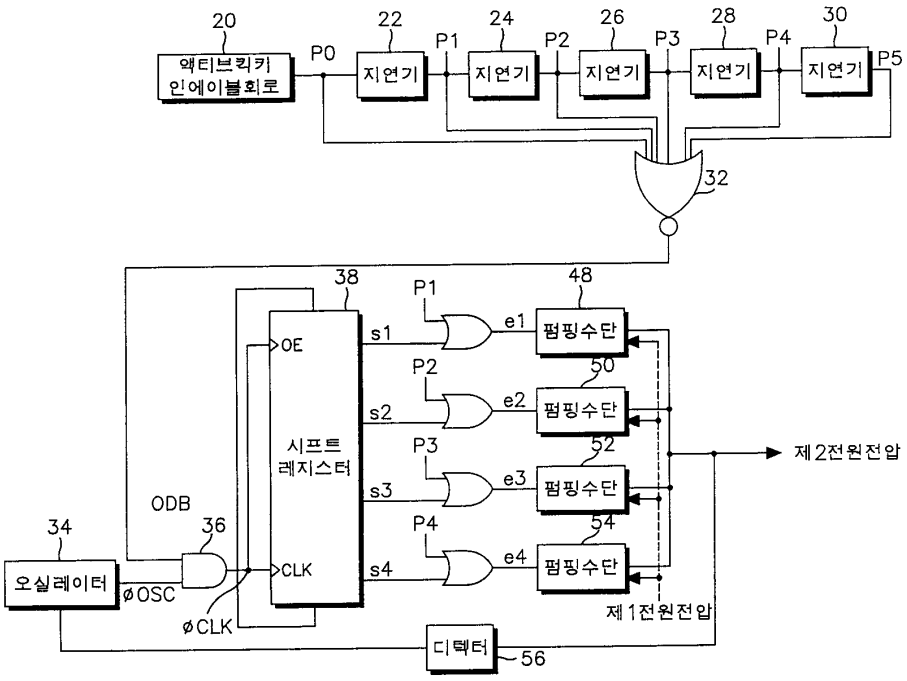
도면1


10
제1전압전원
12
오실레이터
덤핑수단
제2전압전원
14
디텍터

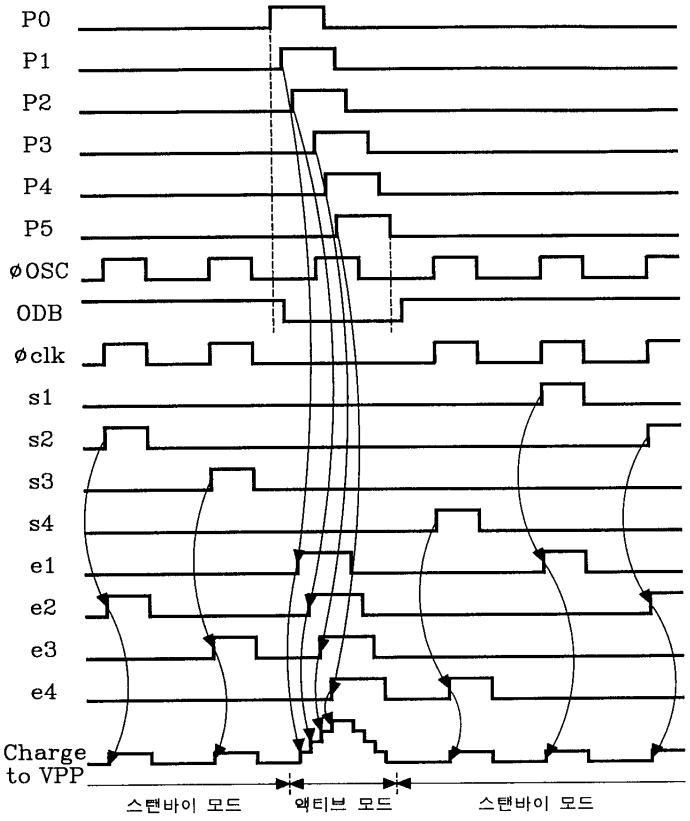
도면2


16
제1전압전원
18
액티브킥키
인에이블회로
덤핑수단
제2전압전원

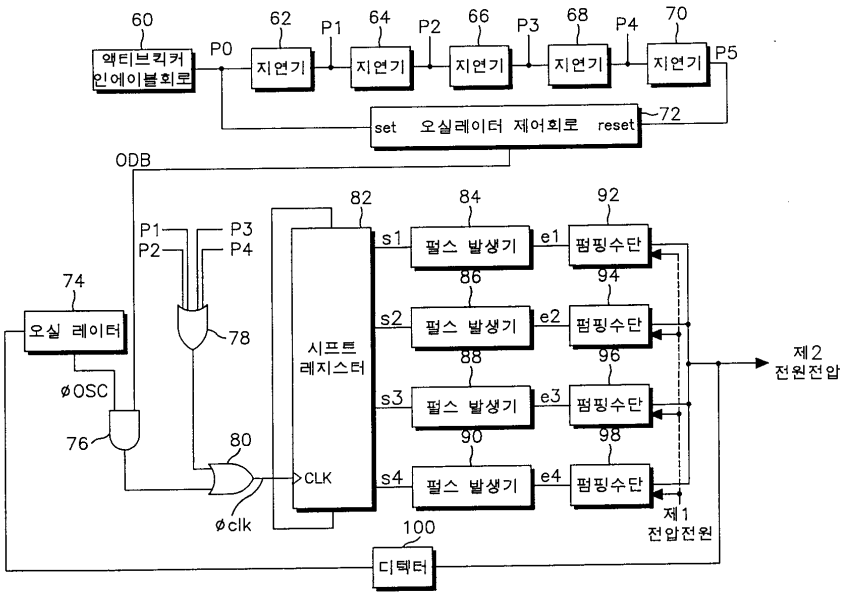
도면3


20
액티브킥키
인에이블회로
P0
22
지연기
P1
24
지연기
P2
26
지연기
P3
28
지연기
P4
30
지연기
P5
32
38
P1
48
s1
e1
펌핑수단
OE
P2
50
s2
e2
펌핑수단
시프트
레지스터
P3
52
s3
e3
펌핑수단
제2전원전압
ODB
34
36
P4
54
오실레이터
øOSC
CLK
s4
e4
펌핑수단
제1전원전압
øCLK
디텍터
56

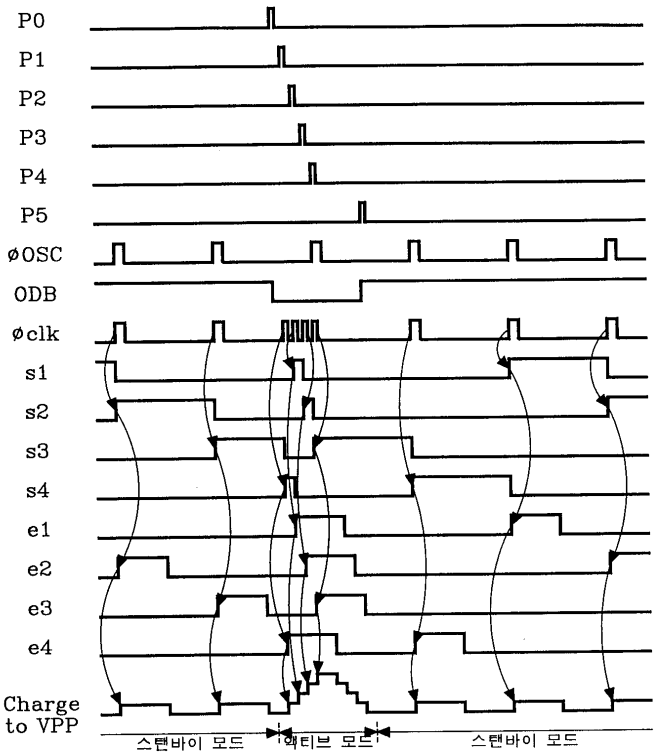
도면4


P0
P1
P2
P3
P4
P5
øOSC
ODB
øclk
s1
s2
s3
s4
e1
e2
e3
e4
Charge to VPP
스탠바이 모드
액티브 모드
스탠바이 모드

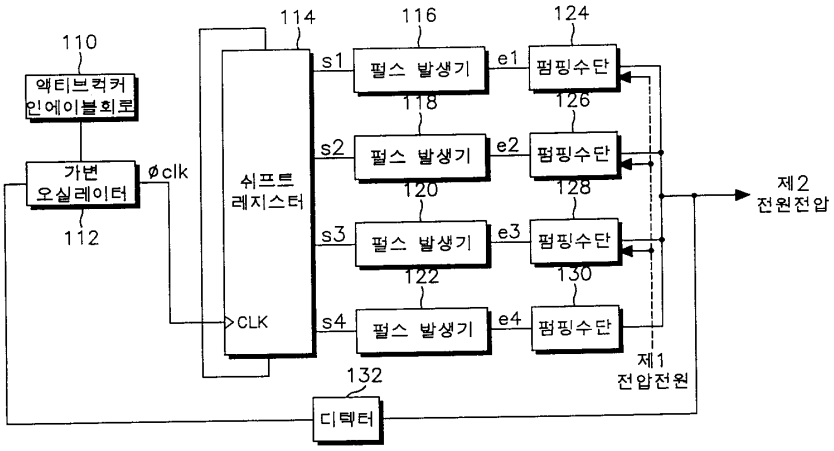
도면5


60
액티브킥커 인에이블회로
62
64
66
68
70
P0
P1
P2
P3
P4
P5
지연기
set
오실레이터 제어회로
reset
72
ODB
74
오실 레이터
øOSC
76
78
80
øclk
82
시프트 레지스터
CLK
s1
s2
s3
s4
84
86
88
90
펄스 발생기
e1
e2
e3
e4
92
94
96
98
펌핑수단
제2 전원전압
제1 전압전원
100
디텍터

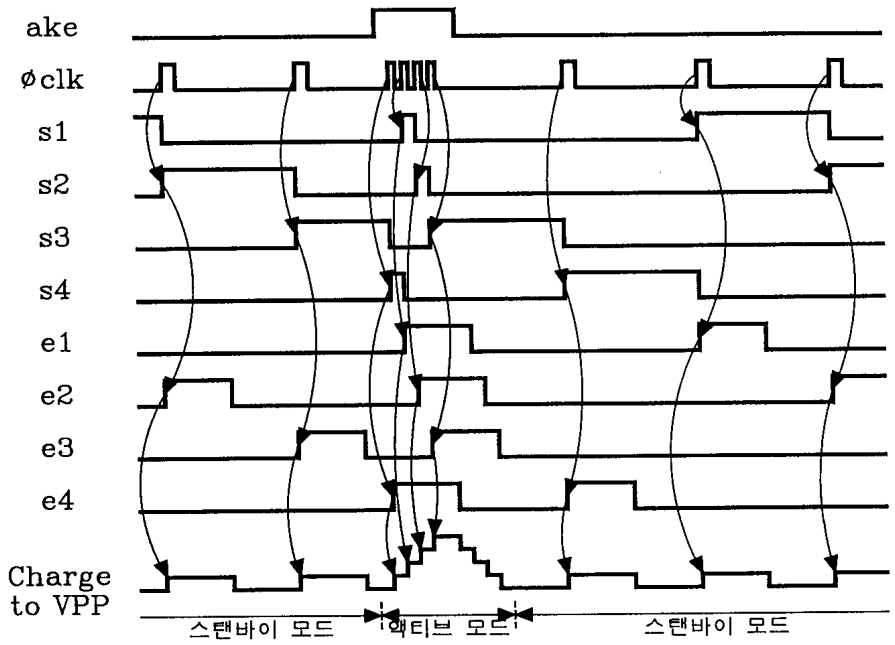
도면6


P0
P1
P2
P3
P4
P5
øOSC
ODB
øclk
s1
s2
s3
s4
e1
e2
e3
e4
Charge to VPP
스탠바이 모드
액티브 모드
스탠바이 모드

도면7


110
액티브커런트 인에이블회로
가변 오실레이터
112
øclk
114
쉬프트 레지스터
CLK
116
s1
펄스 발생기
118
s2
펄스 발생기
120
s3
펄스 발생기
122
s4
펄스 발생기
124
e1
펌핑수단
126
e2
펌핑수단
128
e3
펌핑수단
130
e4
펌핑수단
제1 전압전원
제2 전원전압
132
디텍터

도면8


ake
øclk
s1
s2
s3
s4
e1
e2
e3
e4
Charge
to VPP
스탠바이 모드
액티브 모드
스탠바이 모드