

(21) 申請案號：099139772

(22) 申請日：中華民國 99 (2010) 年 11 月 18 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30) 優先權：2009/11/20 日本

2009-264991

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)  
日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 河江大輔 KAWAE, DAISUKE (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：21 共 97 頁

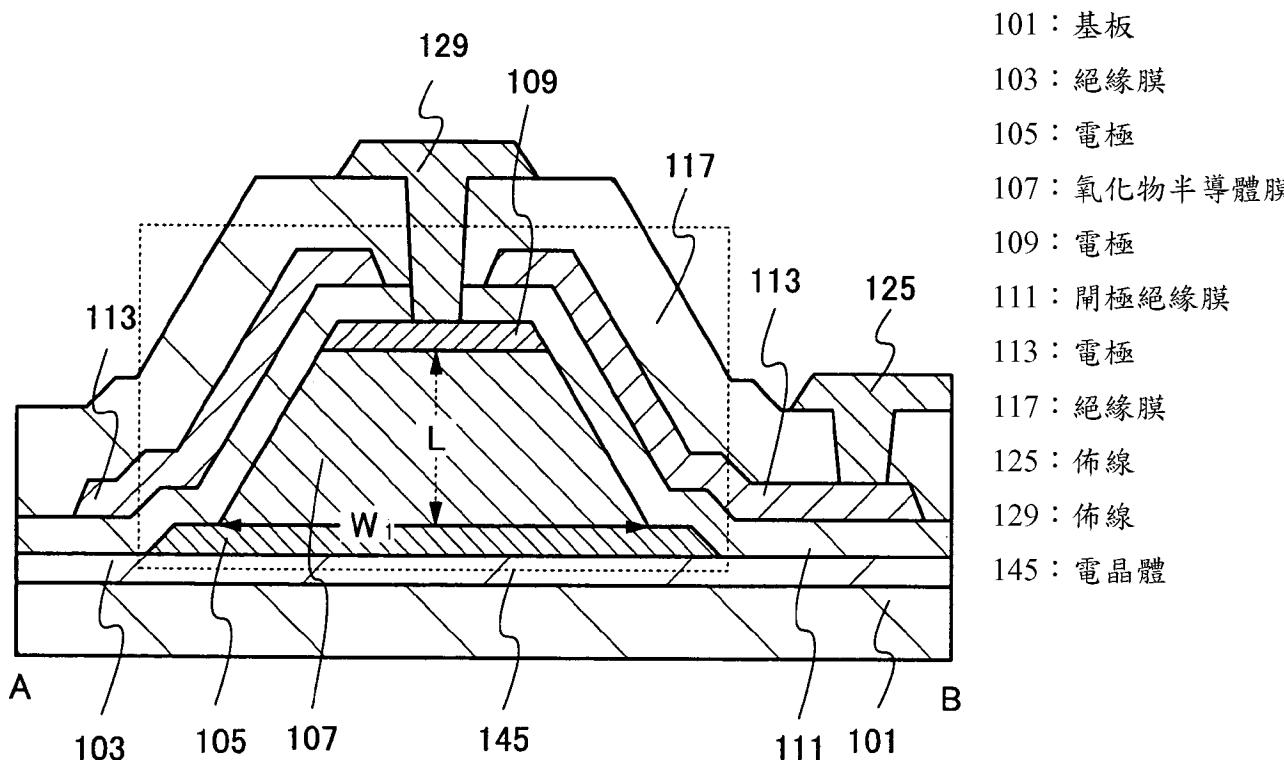
(54) 名稱

電晶體

TRANSISTOR

(57) 摘要

本發明所提供的係用於高功率應用之半導體裝置，該半導體裝置包含具有高生產率之新穎的半導體材料。選擇性地，所提供的係具有新穎結構之半導體裝置，其中使用該新穎的半導體材料。所提供的係包含使用氧化物半導體所形成之通道形成區的垂直電晶體，該氧化物半導體具有比矽半導體更寬的能隙，且係藉由將用作氧化物半導體中之電子施體(施體)的雜質去除而為本徵的半導體或實質本徵的半導體。該氧化物半導體的厚度係大於或等於 1 微米，較佳地大於 3 微米，或更佳地大於或等於 10 微米。



(21) 申請案號：099139772

(22) 申請日：中華民國 99 (2010) 年 11 月 18 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30) 優先權：2009/11/20 日本

2009-264991

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)  
日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ; 河江大輔 KAWAE, DAISUKE (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：21 共 97 頁

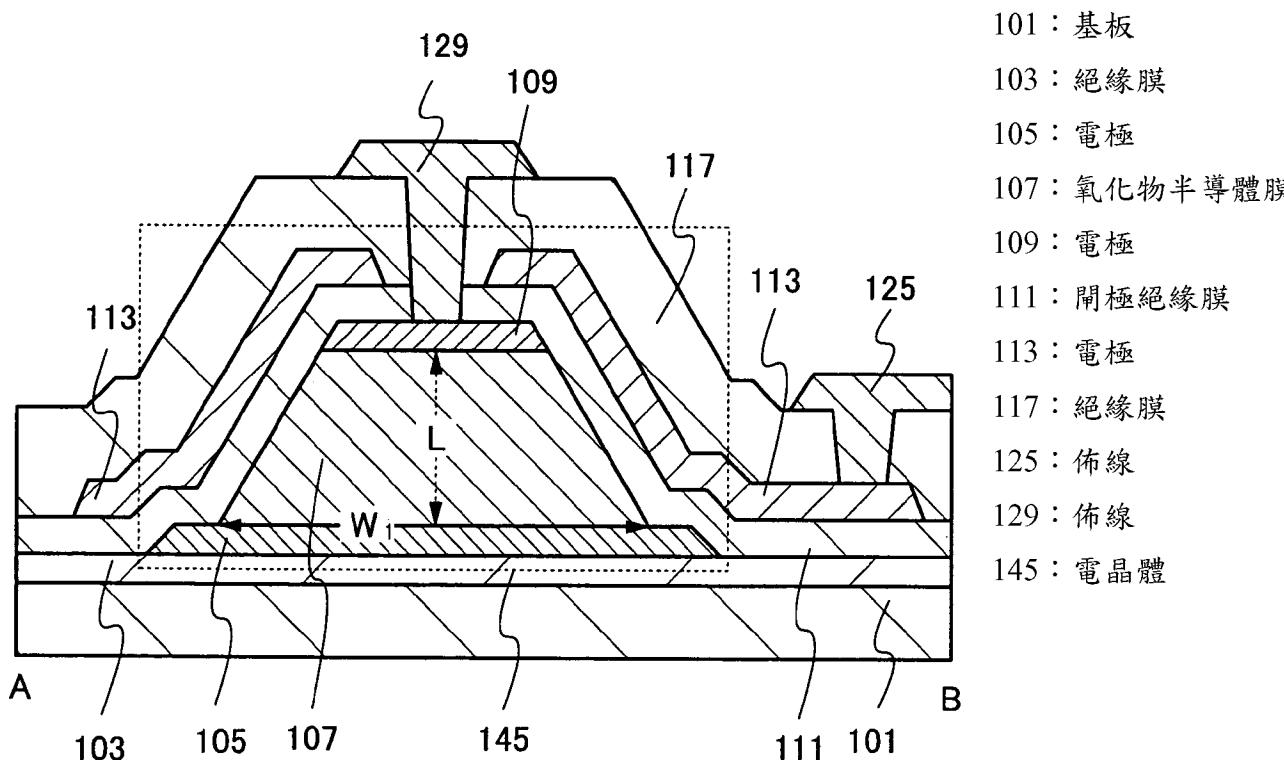
(54) 名稱

電晶體

TRANSISTOR

(57) 摘要

本發明所提供的係用於高功率應用之半導體裝置，該半導體裝置包含具有高生產率之新穎的半導體材料。選擇性地，所提供的係具有新穎結構之半導體裝置，其中使用該新穎的半導體材料。所提供的係包含使用氧化物半導體所形成之通道形成區的垂直電晶體，該氧化物半導體具有比矽半導體更寬的能隙，且係藉由將用作氧化物半導體中之電子施體(施體)的雜質去除而為本徵的半導體或實質本徵的半導體。該氧化物半導體的厚度係大於或等於 1 微米，較佳地大於 3 微米，或更佳地大於或等於 10 微米。



## 六、發明說明：

### 【發明所屬之技術領域】

本發明之技術領域有關各包含氧化物半導體的電晶體，以及各包含該等電晶體之任一者的半導體裝置。

### 【先前技術】

藉由使用形成於具有絕緣表面的基板上之薄的半導體膜之薄膜電晶體（TFT）的形成技術已引起注意。薄膜電晶體係使用於由液晶電視所代表的顯示裝置。矽基半導體材料係已知為用於可施加至薄膜電晶體之薄的半導體膜的材料，且此外，當作可施加至薄膜電晶體的另一材料，氧化物半導體已引起注意。

做為該氧化物半導體的材料，氧化鋅或包含氧化鋅的材料係已知的。進一步地，揭示有使用具有低於 $10^{18} \text{ cm}^{-3}$ 之電子載子密度的非晶氧化物（氧化物半導體）所形成的薄膜電晶體（專利文獻1至3）。

### [參考]

#### [專利文獻]

[專利文獻1]日本公開專利申請案第2006-165527號

[專利文獻2]日本公開專利申請案第2006-165528號

[專利文獻3]日本公開專利申請案第2006-165529號

### 【發明內容】

使用於高功率應用之半導體裝置的電晶體需具有高耐壓、高轉換效率、及高速開關的特徵。現今，矽係使用為用於該半導體裝置的半導體材料；然而，由上述觀點而言，需要可進一步增進該等特徵之新穎的半導體材料。

做為可增進上述特徵之半導體材料的實例，可給定碳化矽。因為碳化矽具有大約 0.18 奈米（nm）之小的原子間距離於 Si-C 鍵之中、高的鍵能、及具有矽之能隙的大約三倍寬之大的能隙，所以已知的是，碳化矽係有利於增加半導體裝置的耐壓、降低電功率的損失、及其類似者。

然而，碳化矽會因為其之特徵而難以融化；因此，碳化矽無法藉由使用以製造矽晶圓之具有高生產率的諸如柴可拉斯基（CZ）長晶法或其類似方法的方法來予以製造。此外，亦存在有其中碳化矽具有所謂微管之缺陷的問題。由於該等問題，所以使用碳化矽之半導體裝置的商業化受到延遲。

鑑於上述問題，本發明一實施例之目的在於提供用於高功率應用之半導體裝置，其中使用具有高生產率之新穎的半導體材料。另一目的在於提供具有新穎結構之半導體裝置，其中使用該新穎的半導體材料。

本發明之一實施例係包含使用氧化物半導體所形成之通道形成區的垂直電晶體，該氧化物半導體具有比矽半導體更寬的能隙，且係藉由將可用作氧化物半導體中之電子施體（施體）的雜質去除而為本徵半導體或實質本徵半導體，其中該氧化物半導體的厚度係大於或等於 1 微米（ $\mu\text{m}$

) ，較佳地大於 3 微米，或更佳地，大於或等於 10 微米，且與該氧化物半導體接觸之電極的其中一者之末端部分被設置於比該氧化物半導體之末端部分更內側。

本發明之一實施例係一種垂直電晶體，包含使用氧化物半導體所形成之通道形成區，該氧化物半導體具有比矽半導體更寬的能隙，且係藉由將可用作氧化物半導體中之電子施體（施體）的雜質去除而為本徵半導體或實質本徵半導體，其中該氧化物半導體的厚度係大於或等於 1 微米，較佳地大於 3 微米，或更佳地，大於或等於 10 微米，與該氧化物半導體接觸之電極的其中一者之末端部分被設置於比該氧化物半導體之末端部分更內側，以及晶體區係形成於與閘極絕緣膜接觸之該氧化物半導體的區域中。

也就是說，本發明之一實施例係一種垂直電晶體，包含使用氧化物半導體所形成之通道形成區，其中包含於該氧化物半導體中的氫係較佳地降低至低於或等於  $1 \times 10^{16} \text{ cm}^{-3}$  之氫濃度，且包含於該氧化物半導體中的氫或 OH 基被去除，以及載子密度係低於  $1 \times 10^{14} \text{ cm}^{-3}$ ，較佳地低於  $1 \times 10^{12} \text{ cm}^{-3}$ ，更佳地低於其係低於或等於測量極限之  $1 \times 10^{11} \text{ cm}^{-3}$ 。

該氧化物半導體的能隙係大於或等於 2 eV，較佳地大於或等於 2.5 eV，更佳地大於或等於 3 eV，例如，用作施體之氫的雜質係盡可能多地被降低，以致使載子密度低於  $1 \times 10^{14} \text{ cm}^{-3}$ ，較佳地低於  $1 \times 10^{12} \text{ cm}^{-3}$ ，更佳地低於其係低於或等於測量極限之  $1 \times 10^{11} \text{ cm}^{-3}$ 。

藉由使用此高度純化的氧化物半導體於電晶體的通道形成區，不僅可將通道形成於與閘極絕緣膜接觸之該氧化物半導體的表面，而且可將通道形成於該氧化物半導體的內部（在氧化物半導體膜的整個區域中）。在截止狀態中，空乏層散佈於該氧化物半導體內部的較深區域中；因此，可降低該截止狀態中所流動之截止狀態的電流量。進一步地，耐壓會增加，且熱載子劣化不可能會發生；因而，可製造出可施加高壓之用於高功率應用的半導體裝置。

注意的是，在本發明之一實施例中，電晶體的閘極電極具有環形形狀，且包圍源極電極、氧化物半導體膜、及汲極電極，而以閘極絕緣膜介入其間。因此，通道寬度大。

本發明一實施例之電晶體可為絕緣閘極場效應電晶體（IGFET）或功率MOSFET。

藉由包含其中氫濃度降低且純度增加之氧化物半導體的本發明一實施例，可有利地操作電晶體。尤其，可增加耐壓，可抑制短通道效應，以及可增加開/關率。因此，透過該電晶體的使用，可製造出用於高功率應用的半導體裝置。

### 【實施方式】

將參照附圖來敘述本發明的實施例。注意的是，本發明並未受限於以下的說明，且熟習於本項技藝之該等人士將易於瞭解的是，各式各樣之改變及修正可予以完成而不

會背離本發明的精神和範疇。因此，本發明不應被解讀為受限於下文實施例中之說明。注意的是，在下文中所敘述之本發明的結構中，相同的部分或具有相似功能的部分係藉由相同的參考符號而表示於不同的圖式之中，且其說明將不再重複。

注意的是，在此說明書中所描繪的各圖式中，針對簡明之緣故，各組件的尺寸、層厚度、或區域係誇大於某些情況中。因此，本發明之實施例不應受限於該等比例。

而且，請注意的是，在此說明書中之諸如“第一”、“第二”、及“第三”的用語係使用以避免組件之間的混淆，且並非在數目上設定限制。因此，例如“第一”之用語可以以“第二”、“第三”、或其類似者來予以適當地置換。

亦請注意的是，電壓意指兩點之電位間的差異，且電位意指靜電場中之給定點的單位電荷之靜電能量（電性位能）。概括地，在一點的電位與參考電位（例如，接地電位）之間的差異係僅稱為電位或電壓，且在許多情況中，電位及電壓係使用成為同義字。因而，在此說明書中，可將電位改述成為電壓，以及可將電壓改撰成為電位，除非另有指明。

#### ( 實施例 1 )

在此實施例中，將參照第 1A 及 1B 圖來敘述電晶體的結構。

第 1A 圖係電晶體 145 的頂視圖，以及第 1B 圖對應於沿

著第1A圖中之虛線A-B所取得的橫剖面視圖。

如第1B圖中所描繪地，第一電極105、氧化物半導體膜107、及第二電極109係堆疊於形成在基板101上的絕緣膜103之上。注意的是，第二電極109係堆疊於氧化物半導體膜107的整個頂部表面之上，且與之接觸。閘極絕緣膜111係設置以便覆蓋第一電極105、氧化物半導體膜107、及第二電極109。在閘極絕緣膜111之上，第三電極113係形成以便面向該氧化物半導體膜之至少側表面。作用為層間絕緣膜的絕緣膜117係設置於閘極絕緣膜111及第三電極113之上。形成開口於絕緣膜117之中，且形成透過開口而連接至第一電極105的佈線131（請參閱第1A圖）、透過開口而連接至第二電極109的佈線129、以及透過開口而連接至第三電極113的佈線125。注意的是，在此說明書中，膜的“頂部表面”指示在平行於基板101的一對表面中之與基板101相反的表面。

第一電極105作用成為電晶體145之源極電極及汲極電極的其中一者。第二電極109作用成為電晶體145之源極電極及汲極電極的另一者。第三電極113作用成為電晶體145之閘極電極。

在此實施例中，作用成為閘極電極的第三電極113具有環形形狀。當作用成為閘極電極的第三電極113具有環形形狀時，可增加電晶體的通道寬度。在此實施例的電晶體中，通道長度L係氧化物半導體膜的厚度。此外，通道寬度W係與第一電極或第二電極接觸之氧化物半導體膜的

末端部分之長度。注意的是，在此實施例中，W係與第一電極及第二電極的其中一者接觸之氧化物半導體膜的末端部分之長度，該者具有比另一者更大的面積且係與氧化物半導體膜接觸。在此實施例中，因為電晶體之氧化物半導體膜的頂部表面之形狀係具有側邊 $W_1$ 及側邊 $W_2$ 之矩形，所以通道寬度W係 $2W_1$ 及 $2W_2$ 的總和。注意的是，在其中電晶體之氧化物半導體膜的頂部表面之形狀係圓形的情況中，通道寬度W係 $2\pi r$ ，其中r係氧化物半導體膜的半徑。

此外，氧化物半導體膜107的厚度係大於或等於1微米，較佳地大於3微米，更佳地大於或等於10微米。

此實施例之電晶體的氧化物半導體膜係本徵半導體，其中本徵載子密度極低；因此，在該電晶體中，空乏層的最大寬度極大，且空乏層散佈在該氧化物半導體膜的內部。

注意的是，電晶體係具有至少三個端子的元件：閘極、汲極、及源極。電晶體具有通道形成區於汲極區與源極區之間，且電流可透過汲極區、通道形成區、及源極區而流動。在此，因為源極及汲極係可根據電晶體的結構、操作條件、及其類似者而互換，所以難以界定何者係源極或汲極。因此，在某些情況中，用作源極及汲極的區域並不一定被稱為源極及汲極。在此情況中，例如源極及汲極的其中一者可稱為第一端子，且其之另一者可稱為第二端子。選擇性地，源極及汲極的其中一者可稱為第一電極，且其之另一者可稱為第二電極。選擇性地，源極及汲極的其

中一者可稱爲第一區，且其之另一者可稱爲第二區。

基板 101 至少具有足夠的熱阻以耐受將於稍後被執行之熱處理係必要的。做爲基板 101，可使用鎳硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃之玻璃基板。

做爲玻璃基板，在其中於稍後被執行之熱處理的溫度係高的情況中，較佳地使用應變點係  $730^{\circ}\text{C}$  或更高的玻璃基板。做爲玻璃基板，例如係使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鎳硼矽酸鹽玻璃之玻璃材料。通常，玻璃基板係熱阻的，且係藉由包含氧化鋯 ( $\text{BaO}$ ) 比氧化硼更大量而更爲實用。因此，較佳地使用包含  $\text{BaO}$  及  $\text{B}_2\text{O}_3$  使得  $\text{BaO}$  的量比  $\text{B}_2\text{O}_3$  的量更大之玻璃基板。

注意的是，取代上述之玻璃基板，可使用諸如陶瓷基板、石英基板、或藍寶石基板之使用絕緣物所形成的基板。選擇性地，可使用結晶化玻璃或其類似物。

絕緣膜 103 係使用諸如氧化矽膜或氮氧化矽膜之氧化物絕緣膜；或諸如氮化矽膜、氧化氮化矽膜、氮化鋁膜、或氮化氮化鋁膜之氮化物絕緣膜所形成。此外，該絕緣膜 103 可具有堆疊的結構，例如其中一或多個氮化物絕緣膜及一或多個氧化物絕緣膜係以該順序而堆疊於基板 101 上的堆疊結構。

第一電極 105 及第二電極 109 係使用選擇自鋁、鉻、銅、鉬、鈦、鉬、鎢、及釔之金屬元素；包含該等金屬元素的任一者做爲成分之合金；包含該等金屬元素組合之合金；或其類似物而形成。選擇性地，可使用選擇自錳、鎂、

鋯、及鈦之一或更多個金屬元素。此外，第一電極 105 可具有單層結構，或具備二或更多層的堆疊結構。例如，可給定包含矽之鋁膜的單層結構，其中鈦膜係堆疊於鋁膜之上的雙層結構，其中鈦膜係堆疊於鎢膜之上的雙層結構，其中鈦膜、鋁膜、及鈦膜係以該順序而堆疊的三層結構，及其類似結構。選擇性地，可使用包含鋁以及選擇自鈦、鉭、鎢、鉬、鉻、釤、及釔之一或更多個元素之膜、合金膜、或氮化物膜。

第一電極 105 及第二電極 109 可使用諸如氧化銻錫，包含氧化鎢之氧化銻，包含氧化鎢之氧化銻鋅，包含氧化鈦之氧化銻，包含氧化鈦之氧化銻錫、氧化銻鋅、或添加氧化矽之氧化銻錫的透光導電材料而形成。而且，可具有使用上述透光導電材料及上述金屬元素所形成的堆疊層結構。

做為氧化物半導體膜 107，可使用以下之氧化物半導體膜的任一者：其係四元金屬氧化物之  $In-Sn-Ga-Zn-O$  膜；其係三元金屬氧化物膜之  $In-Ga-Zn-O$  膜、 $In-Sn-Zn-O$  膜、 $In-Al-Zn-O$  膜、 $Sn-Ga-Zn-O$  膜、 $Al-Ga-Zn-O$  膜、或  $Sn-Al-Zn-O$  膜；其係二元金屬氧化物膜之  $In-Zn-O$  膜、 $Sn-Zn-O$  膜、 $Al-Zn-O$  膜、 $Zn-Mg-O$  膜、 $Sn-Mg-O$  膜、或  $In-Mg-O$  膜； $In-O$  膜； $Sn-O$  膜； $Zn-O$  膜；及其類似物。進一步地，可將  $SiO_2$  包含於上述氧化物半導體膜之中。

做為氧化物半導體膜 107，可使用藉由  $InMO_3(ZnO)_m$  ( $m > 0$ ) 所表示的薄膜。在此，M 代表選擇自 Ga、Al、Mn、

及 Co 之一或更多個金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、或其類似物。其之組成公式係由  $InMO_3(ZnO)_m$  ( $m > 0$ ) 表示，其中至少 Ga 係包含為 M 之氧化物半導體膜稱為上述之 In-Ga-Zn-O 氧化物半導體，且其之薄膜亦稱為 In-Ga-Zn-O 膜。

在此實施例中所使用的氧化物半導體膜 107 中，係將包含於氧化物半導體膜中的氫降低，或較佳地予以去除。也就是說，該氧化物半導體膜 107 被高度地純化，以致盡可能少地包含並非該氧化物半導體膜之主要成分的雜質。在此情況中之氧化物半導體膜 107 中的氫濃度係較佳地低於或等於  $1 \times 10^{16} \text{ cm}^{-3}$ 。此外，在氧化物半導體膜 107 中之載子密度係低於  $1 \times 10^{14} \text{ cm}^{-3}$ ，較佳地低於  $1 \times 10^{12} \text{ cm}^{-3}$ ，更佳地低於其係低於或等於測量極限的  $1 \times 10^{11} \text{ cm}^{-3}$ 。也就是說，在氧化物半導體膜中的載子密度係盡可能地接近零。再者，該氧化物半導體的能隙係大於或等於 2 eV，較佳地大於或等於 2.5 eV，更佳地大於或等於 3 eV。在氧化物半導體膜中之氫的濃度可藉由二次離子質譜測量術 (SIMS) 來加以測量。載子密度則可藉由霍爾效應 (Hall effect) 測量法而測量。

氧化物半導體膜 107 的厚度係大於或等於 1 微米，較佳地大於 3 微米，更佳地大於或等於 10 微米。藉由增加氧化物半導體膜 107 的厚度，可降低短通道效應（例如，在臨限電壓中的變化或在開/關率的降低），以致可製造出用於高功率應用的半導體裝置。

閘極絕緣膜 111 可以以氧化矽膜、氮化矽膜、氮氧化矽膜、氧化氮化矽膜，及氧化鋁膜之單層或一或多個的堆疊層而形成。與氧化物半導體膜 107 接觸之閘極絕緣膜 111 的部分較佳地包含氧，且更佳地，係使用氧化矽膜而形成。藉由使用氧化矽膜，可供應氧給氧化物半導體膜 107，使得可增進特徵。

閘極絕緣膜 111 係使用諸如鉻矽酸鹽 ( $\text{HfSiO}_x$ )、添加 N 之鉻矽酸鹽 ( $\text{HfSiO}_x\text{N}_y$ )、鉻鋁酸鹽 ( $\text{HfAlO}_x$ )、氧化鉻、或氧化鈇之高 k 材料而形成，以致使閘極漏電流可降低。進一步地，可使用其中堆疊高 k 材料以及氧化矽膜、氮化矽膜、氮氧化矽膜、氧化氮化矽膜、及氧化鋁膜之一或多個的堆疊結構。閘極絕緣膜 111 的厚度係較佳地大於或等於 50 奈米且小於或等於 500 奈米。大的厚度之閘極絕緣膜 111 可降低閘極漏電流。

作用成爲閘極電極的第三電極 113 係使用選擇自鋁、鉻、銅、鉭、鈦、鉬、及鎢之金屬元素；包含該等金屬元素的任一者做爲成分之合金；包含該等金屬元素組合之合金膜；或其類似物而形成。進一步地，可使用選擇自錳、鎂、鋯、及鈹之一或多個金屬元素。此外，第三電極 113 可具有單層結構或具備二或多層的堆疊結構。例如，可給定包含矽之鋁膜的單層結構，其中鈦膜係堆疊於鋁膜之上的雙層結構，其中鈦膜、鋁膜、及鈦膜係以此順序而堆疊的三層結構，及其類似結構。選擇性地，可使用包含鋁以及選擇自鈦、鉭、鎢、鉬、鉻、鎵、及釩之一或複

數個元素之膜、合金膜、或氮化物膜。

作用成爲閘極電極的第三電極 113 可使用諸如氧化銦  
錫、包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含  
氧化鈦之氧化銦、包含氧化鈦之氧化銦錫、氧化銦鋅、或  
添加氧化矽之氧化銦錫的透光導電材料而形成。而且，可  
具有使用上述透光導電材料及上述金屬元素所形成的堆疊  
層結構。

其次，將參照能帶圖來敘述包含氧化物半導體膜 107  
之電晶體的操作。

第 4 圖係其中使用氧化物半導體之垂直電晶體的縱向  
橫剖面視圖。氧化物半導體層 (OS) 係形成於汲極電極 (D)  
之上，以及源極電極 (S) 係形成於氧化物半導體層 (OS)  
之上。閘極絕緣膜 (GI) 係設置於汲極電極、氧化物  
半導體層、及源極電極之上，以及閘極電極 (GEI) 係設  
置於其上。

第 5A 及 5B 圖係沿著第 4 圖中之線 A-A' 所取得的橫剖面  
中之能帶圖（示意圖）。第 5A 圖描繪其中施加至源極之電  
壓的電位係相等於施加至汲極 ( $V_D = 0V$ ) 之電壓的電位之  
情況，以及第 5B 圖描繪其中正電壓係施加至閘極電極 ( $V_G > 0$ )  
且相對於源極之正電位係施加至第 4 圖中的汲極 ( $V_D > 0$ )  
之情況。

第 7 圖係在其中閘極電壓係 0V 的情況中，沿著第 4 圖中  
之 B-B' 所取得的橫剖面中之能帶圖（示意圖）。第 8A 圖描  
繪其中正電位 ( $+V_G$ ) 係施加至閘極 (G1) 的情況，亦即

，其中電晶體係在其中載子（電子）流動於源極與汲極之間的導通狀態中之情況。第 8B 圖描繪其中負電位 ( $-V_G$ ) 係施加至閘極 (G1) 的情況，亦即，其中電晶體係在截止狀態中之情況。

第 6 圖顯示真空能階與金屬的功函數 ( $\phi_M$ ) 之間的關係，以及真空能階與氧化物半導體的電子親合力 ( $\chi$ ) 之間的關係。

在金屬中的自由電子退化，且費米 (Fermi) 能階係位於導電帶之中。另一方面，習知的氧化物半導體係典型 n型半導體，其中費米能階 ( $E_F$ ) 遠離位在能隙中央的本徵費米能階 ( $E_i$ )，且係位於較靠近導電帶。注意的是，已知部分的氫會在氧化物半導體中用作施體，且係致使氧化物半導體成為 n型半導體之一因子。

對照地，本發明之氧化物半導體係本徵 (i型) 半導體或實質本徵半導體，其係藉由自氧化物半導體去除 n型雜質的氫，且使該氧化物半導體高度純化，以致可盡可能多地防止並非氧化物半導體之主要成分的雜質包含於其中，而獲得。也就是說，此實施例之氧化物半導體具有其中，其係藉由盡可能多地去除諸如氫或水之雜質而被高度純化，以取代雜質的添加，而被製成 i型 (本徵) 半導體或被製成接近其之特性。此使費米能階 ( $E_F$ ) 能變成在與本徵費米能階 ( $E_i$ ) 相同的能階處。

在其中該氧化物半導體的能隙 ( $E_g$ ) 係 3.15 eV 的情況中，電子親合力 ( $\chi$ ) 會變成 4.3 eV。包含於源極電極及

汲極電極中之鈦 (Ti) 的功函數係實質相等於氧化物半導體的電子親合力 ( $\chi$ )。在該情況中，電子的肖特基 (Schottky) 障層並不會形成於金屬與氧化物半導體之間的介面處。

也就是說，在其中金屬的功函數 ( $\phi_M$ ) 與氧化物半導體的電子親合力 ( $\chi$ ) 係彼此互相相等，且金屬與氧化物半導體係彼此互相接觸的情況中，可獲得如第 5A 圖中所描繪的能帶圖（示意圖）。

在第 5B 圖中，黑色圓 (●) 代表電子，且當正電位被施加至汲極時，電子會注入至障層 ( $h$ ) 上的氧化物半導體之內，且朝向汲極流動。在該情況中，障層 ( $h$ ) 的高度根據閘極電壓及汲極電壓而改變；在其中施加正汲極電壓的情況中，該障層 ( $h$ ) 的高度係小於其中未施加電壓的第 5A 圖中之障層的高度，亦即，小於能隙 ( $E_g$ ) 的  $1/2$ 。

該氧化物半導體層的厚度係大於或等於 1 微米，較佳地大於 3 微米，更佳地大於或等於 10 微米，且本徵載子密度低。因而，在其中施加正電位 ( $+V_G$ ) 至閘極 (G1) 的情況中，如第 8A 圖中所描繪地，在氧化物半導體層之表面的能帶曲度會變小，導電帶的下端接近費米能階，且就能量而言，整個氧化物半導體層係穩定的。因此，不僅在閘極絕緣膜的附近，而且在氧化物半導體的整個區域中，電子更容易流動；結果，通道被形成在氧化物半導體之整個區域且更大量的電流可流動。對照地，在其中施加負電位

( $-V_G$ ) 至閘極 ( $G_1$ ) 的情況中，少數載子之電洞實質地為零，且電流量極小；因而，在每單位面積之通道中的電流係低於或等於  $100 \text{ aA}/\mu\text{m}$ ，較佳地低於或等於  $10 \text{ aA}/\mu\text{m}$ ，更佳地低於或等於接近零的  $1 \text{ aA}/\mu\text{m}$ 。

接著，將說明氧化物半導體的本徵載子密度。

包含於半導體中之本徵載子密度  $n_i$  係藉由依據波茲曼 (Boltzmann) 分佈公式（請參閱公式1）的費米迪拉克 (Fermi-Dirac) 統計之費米迪拉克分佈的近似法而計算。

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right) \quad (\text{公式1})$$

藉由近似式所獲得的本徵載子密度  $n_i$  係導電帶中之狀態的有效密度  $N_c$ ，價能帶中之狀態的有效密度  $N_v$ ，及能隙  $E_g$  之關係式。依據公式1，矽的本徵載子密度  $n_i$  係  $1.4 \times 10^{10} \text{ cm}^{-3}$ ，以及氧化物半導體（在此，In-Ga-Zn-O膜）的本徵載子密度  $n_i$  係  $1.2 \times 10^7 \text{ cm}^{-3}$ 。可發現的是，與矽的本徵載子密度相較地，氧化物半導體的本徵載子密度極低。

其次，將說明在其中施加負電位 ( $-V_G$ ) 至閘極 ( $G_1$ ) 的情況中之空乏層的寬度及德拜 (Debye) 長度於下文。

當施加電壓至使用具有施體密度  $N_d$  之半導體、絕緣物、及金屬所形成的MOS電晶體時，在該半導體中所形成之空乏層的最大寬度  $T_{D MAX}$  可藉由公式2而計算。

$$T_{D MAX} = \sqrt{\frac{2\epsilon_s \epsilon_0 (2\phi_F)}{qN_d}} \quad (\text{公式2})$$

空乏層的最大寬度可表示為施體密度及費米電位的函數，且費米電位  $\phi_F$  可藉由公式 3 而計算。

$$\phi_F = \frac{kT}{q} \ln \frac{N_d}{n_i} \quad (\text{公式3})$$

MOS電晶體的德拜長度  $L_D$  可藉由公式 4 而計算。

$$L_D = \sqrt{\frac{\epsilon_s \epsilon_0 kT}{q^2 N_d}} \quad (\text{公式4})$$

注意的是， $\epsilon_s$ 、 $\epsilon_0$ 、 $N_d$ 、 $q$ 、 $k$  及  $T$  分別代表氧化物半導體的電介質常數、真空電容率、施體密度、基本電荷、波茲曼常數、及溫度。

第 9A 及 9B 圖顯示使用矽的 MOS 電晶體之空乏層的最大寬度及德拜長度，以及使用當矽之  $n_i$ （本徵載子密度），其之  $\epsilon_s$ 、氧化物半導體的  $n_i$ 、及其之  $\epsilon_s$  係分別設定為  $1.4 \times 10^{10} \text{ cm}^{-3}$ 、11.9、 $1.2 \times 10^{17} \text{ cm}^{-3}$ 、及 10 時之氧化物半導體的 MOS 電晶體之空乏層的最大寬度及德拜長度之計算結果。在此，使用於計算之該等電晶體各具有其中通道係平行於基板表面而形成的水平電晶體結構。注意的是，在此，空乏層的最大寬度對應於垂直基板所散佈之空乏層的寬度。而且，請注意的是，在垂直 MOS 電晶體中的空乏層係以與水平 MOS 電晶體中的空乏層之散佈相似的方式而散佈。

當使用矽時，施體密度對應於雜質（P）的密度。當使用氧化物半導體時，氧缺乏及氫用作施體。

第 9A 圖顯示當施體密度係自  $1 \times 10^{12} \text{ cm}^{-3}$  至  $1 \times 10^{18} \text{ cm}^{-3}$

時之氧化物半導體（亦稱爲 OS）或矽（亦稱爲 Si）的空乏層之最大寬度及德拜長度。粗體實線 161 代表氧化物半導體之空乏層的最大寬度，以及粗體虛線 163 代表矽之空乏層的最大寬度。細體實線 165 代表氧化物半導體的德拜長度，以及細體虛線 167 代表矽的德拜長度。

第 9B 圖顯示當施體密度係自  $1 \times 10^{-5} \text{ cm}^{-3}$  至  $1 \times 10^1 \text{ cm}^{-3}$  時之氧化物半導體的最大寬度及德拜長度。注意的是，此範圍之密度係低於矽之本徵載子密度 ( $n_i = 1.4 \times 10^{10} \text{ cm}^{-3}$ )，以致僅顯示氧化物半導體的計算結果。粗體實線代表氧化物半導體之空乏層的最大寬度，以及細體實線代表氧化物半導體的德拜長度。

依據第 9A 及 9B 圖，可發現的是，當施體密度減少時，空乏層的最大寬度會增加，且德拜長度亦會增加。而且，可發現的是，空乏層的最大寬度  $T_{D MAX}$  根據本徵載子密度  $n_i$ ，且當使用具有比當使用矽時更低的  $n_i$  之氧化物半導體時，空乏層會散佈更大。同時，可發現的是，當氧化物半導體從 n 型半導體變成更接近 i 型半導體時，換言之，當施體密度 ( $N_d$ ) 變成更低時，空乏層的最大寬度會從數十微米到數千微米地急劇增加，德拜長度亦會從數微米到數百微米地急劇增加，且空乏層會散佈在氧化物半導體的整個區域之中，如第 9B 圖中所示。

依據上述，因為氧化物半導體具有寬的能隙及低的本徵載子密度，所以空乏層的最大厚度及德拜長度會增加，且空乏層會散佈在截止狀態中之氧化物半導體的整個區域

之中；因而，截止狀態電流可降低至盡可能接近零的值。

藉由高度純化氧化物半導體而製成本徵（i型）半導體或實質本徵半導體，以致使並非氧化物半導體之主要成分的雜質盡可能多地不被包含，則可使伴隨閘極絕緣膜之介面特徵變得顯著。因此，閘極絕緣膜係較佳地使用可與氧化物半導體形成有利介面的材料而形成。例如，較佳地使用藉由使用以範圍自VHF帶至微波帶的電源供應頻率所產生之高密度電漿的CVD法所形成的，或藉由濺鍍法所形成的密質絕緣膜。進一步地，為了要獲得有利的介面於閘極絕緣膜與閘極電極之間，可在閘極絕緣膜的表面上形成密質絕緣膜，該密質絕緣膜可藉由使用透過範圍自VHF帶至微波帶的電源供應頻率所產生之高密度電漿的CVD法而形成。

藉由以此方式而高度純化氧化物半導體，以致使並非氧化物半導體之主要成分的雜質盡可能多地不被包含，則可製造出具有高導通狀態電流、低截止狀態電流、高開/關率、及有利操作特徵的電晶體。

在此，將敘述使用氧化物半導體之電晶體的汲極耐壓。

當在半導體中的電場到達某一臨限值時，碰撞離子化會發生，藉由該高電場所加速的載子會衝擊空乏層中的晶格，因而產生電子及電洞對。當甚至電場變得更高時，由碰撞離子化所產生的電子及電洞對會進一步由該電場所加速，且重複該碰撞離子化，而引起其中電流會指數地增加

之雪崩崩潰。該碰撞離子化係因爲載子（電子及電洞）具有大於或等於半導體之能隙的動能而發生。已知的是，顯示碰撞離子化之機率的碰撞離子化係數具有依據能隙的相互關係，以及當能隙增加時，碰撞離子化不似會發生。

因爲氧化物半導體的能隙係  $3.15\text{ eV}$ ，其係大於矽之能隙 ( $1.12\text{ eV}$ )，所以可預期雪崩崩潰不像會發生似地。因此，可預期當施加高的電場時，導通狀態電流之指數地突然的增加似不會發生。

接著，將說明使用氧化物半導體之電晶體的熱載子之變質。

熱載子之變質意指電晶體特徵的劣化，例如臨限電壓或閘極漏電流的變化，其係因爲被加速成爲快速的電子由於注入於通道中之汲極附近的閘極氧化物膜中而變成固定電荷之現象，或因爲被加速成爲快速的電子形成陷阱能階於閘極絕緣膜與氧化物半導體膜間的界面處之現象的緣故。該熱載子之變質的因素係通道熱電子注入 (CHE注入) 及汲極雪崩熱載子注入 (DAHC注入)。

因爲矽的能隙窄，所以電子會由於雪崩崩潰而像雪崩一樣地產生，且被加速成爲快速而越過障層至閘極絕緣膜的電子會在數目上增加。然而，在此實施例中所敘述的氧化物半導體具有寬的能隙；因此，雪崩崩潰不像會發生，且對熱載子之變質的阻止會比矽更高。注意的是，其係具有高耐壓的材料之一的碳化矽之能隙與氧化物半導體之能隙係彼此互相相等；因此，可預期氧化物半導體的耐壓會

像 SiC 的耐壓一樣地高。

依據上述，使用氧化物半導體的電晶體具有高的汲極耐壓；特定地，此電晶體可具有大於或等於 100V、較佳地大於或等於 500V、更佳地大於或等於 1kV 的汲極耐壓。

下文將敘述其係電晶體的典型實例之使用碳化矽的電晶體與使用氧化物半導體的電晶體之間的比較。在此，係使用 4H-SiC 做為碳化矽。

氧化物半導體與 4H-SiC 具有若干共同的情勢。一實例係本徵載子密度。當使用費米迪拉克分佈於正常溫度時，氧化物半導體的本徵載子密度被估計為大約  $10^{-7} \text{ cm}^{-3}$ ，其係與 4H-SiC 的載子密度（亦即， $6.7 \times 10^{-11} \text{ cm}^{-3}$ ）一樣地極低。

此外，氧化物半導體的能隙係 3.0 eV 至 3.5 eV，以及 4H-SiC 的能隙係 3.26 eV，其意指該氧化物半導體及碳化矽係寬隙的半導體。

然而，使用氧化物半導體及碳化矽之電晶體的製造溫度係大大地不同。在使用碳化矽的情況中，用於活化之熱處理需在 1500°C 至 2000°C。對照地，在使用氧化物半導體的情況中，氧化物半導體可藉由在 300°C 至 500°C 之熱處理而形成（低於或等於玻璃躍遷溫度，且最大係大約 700°C），此允許電晶體被製造於大尺寸的基板之上。此外，可增進輸貫量。

SiC-MOSFET 的製造方法包含以可為施體或受體之雜質（例如，磷或硼）來摻雜的步驟，及用於活化之高溫的

熱處理步驟。在此，應注意的是，氧化物半導體具有相對高的電子親合力。因而，藉由選擇具有適當功函數之金屬用於電極，可形成歐姆接觸於氧化物半導體與電極之間，而無需電晶體的製造方法中之以雜質來摻雜的步驟。以此方式，可實現方法的簡化，因為 $n^+$ 區易於形成於接觸部分中。

注意的是，在諸如能隙中之狀態的密度（DOS）之氧化物半導體性質上已完成不少的研究；然而，該等研究並不包含充分降低能隙中之DOS本身的概念。在此實施例中，高度純化的氧化物半導體係藉由自氧化物半導體來去除會誘導DOS之水或氫而形成。此係根據充分降低DOS本身的概念。因此，可製造出優異的工業產品。

進一步地，亦可藉由供應氧至由於缺少氧所產生之金屬的懸浮鍵以及降低由於氧缺乏的DOS，而形成更高純化（i型）的氧化物半導體。例如，包含過量氧的氧化物膜係與通道形成區密接而形成，且氧係供應自該氧化膜，可藉以降低由於氧缺乏的DOS。

氧化物半導體的缺陷可謂為由於因過量的氫而在導電帶下面0.1eV至0.2eV之淺能階，因氧之缺少的深能階，或其類似者所造成。氫被劇烈地減少及氧被足夠地供給以消除此缺陷的技術想法無誤。

通常，氧化物半導體被視為n型半導體；然而，在此實施例中，i型半導體係藉由去除，特別地，水或氫之雜質而實現。在此觀點中，本發明之一實施例可說是包含新

穎的技術概念，因為與諸如摻雜有雜質之矽的 i 型半導體不同。

藉由將氧化物半導體製成爲 i 型半導體，可獲得電晶體之有利的溫度特徵；典型地，就電晶體之電流對電壓的特徵而言，導通狀態電流、截止狀態電流、場效應遷移率、S 值、及臨限電壓在範圍自 -25 °C 至 150 °C 的溫度幾乎不會變動，且電流對電壓的特徵幾乎不會由於溫度而變質。

在使用此實施例中所敘述之氧化物半導體的電晶體中，通道處的遷移率係稍低於使用碳化矽的電晶體中之通道處的遷移率；然而，電晶體的電流值及元件特徵可藉由增加汲極電壓及通道寬度 (W) 而增進。

此實施例之技術概念在於，雜質並未被添加至氧化物半導體，且相反地，氧化物半導體本身係藉由有意地去除其中所不欲存在之諸如水或氫的雜質而予以高度純化。換言之，氧化物半導體係藉由去除會形成施體能階之水或氫、降低氧缺乏、及充分供應氧化物半導體之主要成分的氧，而被高度純化。

當沈積氧化物半導體時，在  $10^{20} \text{ cm}^{-3}$  之密度的氫係使用二次離子質譜測量術 (SIMS) 而測量。該氧化物半導體係藉由對氧化物半導體有意地去除會形成施體能階的水或氫，且進一步藉由添加在去除水或氫之同時被去除的氧（氧化物半導體的成分之一），而被高度地純化且製成爲 i 型（本徵）半導體。

在此實施例中，於氧化物半導體中之水和氫的量係較

佳地盡可能地小，且於氧化物半導體中之載子的數目亦係較佳地盡可能地小。換言之，低於  $1 \times 10^{14} \text{ cm}^{-3}$ ，較佳地低於  $1 \times 10^{12} \text{ cm}^{-3}$ ，更佳地低於其係低於或等於測量極限之  $1 \times 10^{11} \text{ cm}^{-3}$  係所欲的。進一步地，在此實施例的技術概念中，理想的載子密度係 0 或接近 0。再者，在電晶體中，氧化物半導體作用為其中供應自源極的載子（電子）藉由降低或較佳地消除氧化物半導體的載子而流動的路徑。因而，氧化物半導體係高度純化的 i 型（本徵）半導體且包含極小數目的載子或無載子，以及截止狀態電流可在其中電晶體係在截止狀態的狀態中為極小，其係此實施例的技術概念。

此外，當氧化物半導體作用成為路徑，且氧化物半導體本身為高度純化的 i 型（本徵）半導體以便包含極小數目的載子或無載子時，載子係供應自源極及汲極電極。當與氧化物半導體的電子親合力  $\chi$ 、其之費米能階（理想地，對應於本徵費米能階）、及源極或汲極電極之材料的功函數相較時，障層高度主要成為供應程度的因素。

另一方面，其中通道係與基板實質平行而形成的水平電晶體需要源極和汲極以及通道，以致使基板中之由電晶體所占有的面積會增加，而妨礙小型化。然而，源極、通道、及汲極係堆疊於垂直電晶體中，在基板表面中之占有面積可藉以降低。因而，可使電晶體小型化。

如上述，氧化物半導體係高度地純化，使得典型地，氫、水、氫氧基、或氫化物之並非氧化物半導體膜的主要

成分之雜質可被盡可能少地包含，而電晶體的良好操作可藉以獲得。尤其，可增加耐壓、可抑制短通道效應、以及可增加開/關率。

( 實施例 2 )

在此實施例中，將參照第 2A 及 2B 圖以及第 3 圖來敘述具有比實施例 1 中之該等結構更高的可靠度及更高的場效應遷移率之電晶體的結構。

如第 2A 圖中所描繪之設置在第一電極 105 與第二電極 109 之間的氧化物半導體膜 151a 包含晶體區 157 於表面部分之中。在氧化物半導體膜 151a 與閘極絕緣膜 111 間之介面附近的放大視圖係描繪於第 2B 圖之中。

氧化物半導體膜 151a 包含：非晶區 155，其主要包含非晶氧化物半導體；以及晶體區 157，係形成於氧化物半導體膜 151a 的表面部分中。注意的是，該表面部分指示位於距離氧化物半導體的頂部表面 10% 或更少之氧化物半導體膜厚度的距離（深度）之區域。

請注意的是，非晶區 155 主要包含非晶氧化物半導體膜。亦請注意的是，“主要”之文字意指例如，其中占有 50% 或更多之區域的狀態。在此情況中，其意指其中非晶氧化物半導體膜占有非晶區 155 之體積百分比（或重量百分比）的 50% 或更多。也就是說，在某些情況中之非晶區包含除了非晶氧化物半導體膜之外的氧化物半導體膜之晶體，且其含量的百分比係較佳地少於體積百分比（或重量

百分比) 的 50%。然而，該含量的百分比並未受限於上述。

在其中使用 In-Ga-Zn-O 氧化物半導體膜做為氧化物半導體膜的材料時，上述之非晶區 155 的組成係設定使得 Zn 含量（原子百分比）大於 In 或 Ga 含量（原子百分比）。透過此組成之使用，可易於形成預定組成的晶體區 157。

在表面部分中之晶體區 157 的晶體中，c 軸係對氧化物半導體膜 151a 的頂部表面幾乎垂直而取向，且該等晶體係彼此互相鄰接。例如，在使用 In-Ga-Zn-O 基氧化物半導體材料的情況中，於晶體區 157 的晶體中， $\text{InGaZnO}_4$  之該等晶體的 c 軸係對氧化物半導體膜 151a 的表面幾乎垂直而取向。注意的是，“表面部分（表面之附近）”意指位於距離表面 20 奈米或更小之距離（深度）的區域。

$\text{InGaZnO}_4$  的晶體包含 In、Ga、及 Zn 之任一者，且可視為具有與 a 軸及 b 軸平行之層的堆疊結構（請參閱第 3 圖）。也就是說， $\text{InGaZnO}_4$  之晶體具有其中包含 In 之第一層、包含 In 之第二層、及包含 In 之第三層係以 c 軸方向而堆疊的結構。

因為  $\text{InGaZnO}_4$  之晶體的導電率係主要由 In 所控制，所以各包含 In 而與平行於 a 軸及 b 軸之方向相關連的第一至第三層之電性特徵係有利的。此係因為 In 之一的 5s 軌道與鄰接 In 的 5s 軌道重疊於各包含 In 之第一至第三層的一或更多者之中，以致使載子路徑形成之故。

當取向該等晶體時，在氧化物半導體膜 151a 的電性特

徵上之功效亦會升高。特定地，可增進平行於氧化物半導體膜 151a 的頂部表面之方向中的電性特徵。此係因為  $\text{InGaZnO}_4$  之晶體的 c 軸係幾乎垂直於氧化物半導體膜 151a 而被定向，且電流以平行於  $\text{InGaZnO}_4$  的晶體中之 a 軸及 b 軸的方向流動之故。

晶體區 157 的晶體結構並未受限於上述結構，且該晶體區 157 可包含另一結構之晶體。例如，在使用 In-Ga-Zn-O 基之氧化物半導體材料的情況中，除了  $\text{InGaZnO}_4$  的晶體之外，可包含  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 、 $\text{InGaZn}_5\text{O}_8$ 、或其類似物的晶體。不用多說地，其中  $\text{InGaZnO}_4$  的晶體存在於整個晶體區 157 之中的結構係更有效且係更佳的。

如上述，當氧化物半導體膜 151a 具有晶體區 157 於表面部分之中時，可獲得有利的電性特徵。尤其，在其中晶體區 157 包含其中 c 軸係幾乎垂直於氧化物半導體膜 151a 的頂部表面而取向之  $\text{InGaZnO}_4$  的晶體之情況中，在氧化物半導體膜 151a 的表面部分中之載子遷移率會由於  $\text{InGaZnO}_4$  之晶體的電性特徵而增加。因而，包含氧化物半導體膜 151a 之電晶體的場效應遷移率會增加，且有利的電性特徵可被達成。

進一步地，晶體區 157 係比非晶區 155 更安定；因此，當晶體區 157 係包含於氧化物半導體膜 151a 的表面部分之中時，可降低進入至非晶區 155 的雜質（例如，氫、水、氫氧基、氫化物、或其類似物）。因而，可增加氧化物半導體膜 151a 的可靠度。

透過上述步驟，可降低氧化物半導體膜中之氫的濃度，且可使氧化物半導體膜高度地純化。因而，可使氧化物半導體膜安定化。此外，在低於或等於玻璃躍遷溫度之溫度的熱處理可以以寬的能隙來形成其中載子密度極低的氧化物半導體膜。因此，電晶體可使用大尺寸的基板而予以製造，以致可使生產率增加。此外，藉由使用其中氫濃度降低，且其係高度純化的氧化物半導體膜，可製造出具有高耐壓、對短通道效應之高阻礙、及高開/關率的電晶體。

### ( 實 施 例 3 )

在此實施例中，將參照第 1A 及 1B 圖來敘述具有高的熱阻之電晶體。

藉由使用具有高散熱性質的基板做為第 1A 及 1B 圖中所描繪之基板 101，可製造出具有高的熱阻之電晶體。具有高散熱性質之基板包含半導體基板、金屬基板、塑膠基板、及其類似物。做為半導體基板的典型實例，可給定諸如矽基板或碳化矽基板之單晶半導體基板、多晶半導體基板、諸如鎗化矽基板之化合物半導體基板、及其類似物。做為金屬基板的典型實例，可給定鋁基板、銅基板、不鏽鋼基板、及其類似物。做為塑膠基板的典型實例，可給定包含碳纖維、金屬纖維、金屬片、或其類似物之塑膠基板。注意的是，半導體基板、金屬基板、及塑膠基板並未受限於上述基板，且只要具有高的散熱性質，則可適當地使用

任 何 基 板 。

藉由使用具有高的熱傳導率之絕緣膜做為第 1A 及 1B 圖中所描繪的絕緣膜 103，可製造出具有高的熱阻之電晶體。具有高的熱傳導率之絕緣膜包含氮化鋁膜、氧化氮化鋁膜、氮化矽膜、及其類似物。

半導體膜可形成於第 1A 及 1B 圖中所描繪的第一電極 105 與 絝緣膜 103 之間。做為半導體膜的典型實例，可給定矽膜、鍆膜、碳化矽膜、似碳鑽石（DLC）膜、及其類似物。

注意的是，藉由使用一或更多個上述組件，可製造出具有高的熱阻之電晶體。

#### （ 實 施 例 4 ）

在此實施例中，將敘述包含第一電極 105 及第二電極 109 的電晶體，而該電極係使用具有不同功函數之電晶體而形成。

在此實施例中，第一電極 105 及第二電極 109 的其中一者係使用具有低於或等於氧化物半導體的電子親合力之功函數的導電材料而形成，以及該第一電極 105 及第二電極 109 的另一者係使用具有高於氧化物半導體的電子親合力之功函數的導電材料而形成。

例如，在其中氧化物半導體的電子親合力 ( $\chi$ ) 係 4.3 eV 的情況中，做為具有高於氧化物半導體的電子親合力之功函數的導電材料，可使用鎢 (W)、鉬 (Mo)、鉻

(Cr)、鐵(Fe)、銦錫氧化物(ITO)、或其類似物。做為具有低於或等於氧化物半導體的電子親合力之功函數的導電材料，可使用鈦(Ti)、鈇(Y)、鋁(Al)、鎂(Mg)、銀(Ag)、鋯(Zr)、或其類似物。

首先，所敘述係其中作用為汲極的電極係使用具有高於氧化物半導體的電子親合力之功函數的導電材料而形成，且其中作用為源極的電極係使用具有低於或等於氧化物半導體的電子親合力之功函數的導電材料而形成的情況。

在用以形成作用為汲極的電極之導電材料的功函數 $\phi_{md}$ ，用以形成作用為源極的電極之導電材料的功函數 $\phi_{ms}$ ，及電子親合力 $\chi$ 之間的關係係設定以便表示成爲公式5：

$$\phi_{ms} \leq \chi < \phi_{md} \quad (\text{公式 } 5)$$

例如，可發現的是，作用成爲源極的電極之導電材料的功函數係低於或等於氧化物半導體的電子親合力；因此，可降低電晶體之導通狀態中的障層（例如，在第5B圖中之h），可實現導通狀態於低的閘極電壓，以及可流動大量的電流。

在另一情況中，功函數 $\phi_{md}$ 、電子親合力 $\chi$ 、及功函數 $\phi_{ms}$ 之間的關係係設定以便表示成爲公式6：

$$\phi_{md} \leq \chi < \phi_{ms} \quad (\text{公式 } 6)$$

例如，可發現的是，因爲作用成爲源極的電極之導電材料的功函數係高於氧化物半導體的電子親合力，所以電晶體的障層會變高。因而，可降低截止狀態中的電流量。

注意的是，作用成爲源極之電極可爲第一電極 105 及第二電極 109 的其中一者，以及作用成爲汲極之電極可爲該第一電極 105 及第二電極 109 的另一者。

依據上述，藉由使用具有低於或等於氧化物半導體的電子親合力之功函數的導電材料而形成第一電極 105 及第二電極 109 的其中一者，以及藉由使用具有高於氧化物半導體的電子親合力之功函數的導電材料而形成第一電極 105 及第二電極 109 的另一者，可增進電晶體之導通狀態特徵或截止狀態。

#### ( 實施例 5 )

在此實施例中，將參照第 10A 至 10C 圖來敘述第 1A 及 1B 圖中所描繪的電晶體或第 2A 及 2B 圖中所描繪的電晶體之製造方法。

如第 10A 圖中所描繪地，絕緣膜 103 係形成於基板 101 之上，且第一電極 105 係形成於絕緣膜 103 之上。第一電極 105 作用成爲電晶體之源極電極及汲極電極的其中一者。

絕緣膜 103 可藉由濺鍍法、CVD 法、塗佈法、或其類似方法而形成。

注意的是，當絕緣膜 103 係藉由濺鍍法而形成時，絕緣膜 103 係較佳地形成於其中留在處理室中之氫、水、氫氧基、氫化物、或其類似物被去除的情況中。此係用以防止氫、水、氫氧基、氫化物、或其類似物被包含於絕緣膜 103 中。誘捕真空泵係較佳地使用以去除留在處理室中之

氫、水、氫氧基、氫化物、或其類似物。例如，低溫泵、離子泵、或鈦昇華泵係較佳地使用做為誘捕真空泵。抽空單元可為設置有冷凝管之滑輪泵。因為氫、水、氫氧基、氫化物、或其類似物係抽空於使用低溫泵而抽空的處理室中，所以在該處理室中所形成的絕緣膜 103 中，可降低包含於絕緣膜 103 中之雜質的濃度。

做為使用於絕緣膜 103 之形成的濺鍍氣體，係使用諸如氫、水、氫氧基、或氫化物之雜質被去除至雜質濃度係由“ppm”或“ppb”的單位所代表之層次的高純度氣體。

濺鍍法之實例包含其中使用高頻電源於濺鍍電源供應器的 RF 濺鍍法，其中使用 DC 電源的 DC 濺鍍法，及其中偏壓係以脈波方式而施加的脈波式 DC 濆鍍法。RF 濆鍍法係主要使用於其中形成絕緣膜的情況中，以及 DC 濆鍍法係主要使用於其中形成金屬膜的情況中。

此外，亦具有其中可設定不同材料之複數個靶極的多源濺鍍設備。透過該多源濺鍍設備，可將不同材料的膜形成為被堆疊於同一室之中，可藉由在同一室中之同時放電而形成複數種材料的膜。

選擇性地，可使用設置有磁鐵系統於室內部且使用於磁控管濺鍍法的濺鍍設備，或使用於其中使用透過微波之使用所產生的電漿而無需使用輝光放電之 ECR 濆鍍法的濺鍍設備。

進一步地，可使用其中靶極物質及濺鍍氣體成分係在沈積期間相互化學反應而形成其之薄的化合物膜之反應性

濺鍍法，或其中電壓亦在沈積期間被施加至基板的偏壓濺鍍法來做為濺鍍法。

做為此說明書中之濺鍍，可適當地使用上述之濺鍍裝置及濺鍍方法。

在此實施例中，將基板 101 轉移至處理室。將去除氫、水、氫氧基、氫化物、或其類似物之包含高純度氧的濺鍍氣體引導進入處理室之內，且使用矽靶極而形成氧化矽膜於基板 101 上，做為絕緣膜 103。注意的是，當形成絕緣膜 103 時，可將基板 101 加熱。

例如，氧化矽膜係在以下情形之下，透過 RF 濺鍍法而形成：使用石英（較佳地，合成石英）；基板溫度係 108 °C；基板與靶極之間的距離（T-S 距離）係 60 毫米（mm）；壓力係 0.4 帕（Pa）；高頻電力係 1.5 千瓦（kW）；以及氛圍係包含氧或氬的氛圍（25 sccm 的氧流動速率：25 sccm 的氬流動速率 = 1 : 1）。膜厚度可為 100 奈米（nm）。注意的是，可使用矽靶極以取代石英（較佳地，合成石英）。注意的是，氧或氮和氬的混合氣體被使用做為濺鍍氣體。

例如，當絕緣膜 103 係使用堆疊之結構而形成時，氮化矽膜係使用矽靶極及去除氫、水、氫氧基、氫化物、或其類似物之包含高純度氮的濺鍍氣體，而形成於氧化矽膜與基板之間。而且，在此情況中，例如在氧化矽膜的情況中，較佳地，在其中將留在處理室中之氫、水、氫氧基、氫化物、或其類似物去除的情況中形成氮化矽膜。注意的

是，在該處理中，可將基板 101 加熱。

在其中氮化矽膜及氧化矽膜係堆疊成爲絕緣膜 103 的情況中，該氮化矽膜及氧化矽膜可透過共同的矽靶極之使用而形成於同一處理室中。首先，氮化矽膜係以此方式而形成，亦即，引入包含氮之濺鍍氣體且使用安裝在處理室之上的矽靶極。然後，氧化矽膜係以此方式而形成，亦即，將氣體切換至包含氧之濺鍍氣體且使用相同的矽靶極。該氮化矽膜及氧化矽膜可連續形成而無需暴露至空氣；因此，可防止諸如氫、水、氫氧基、或氫化物之雜質附著於氮化矽膜的表面上。

第一電極 105 可以以此方式形成，亦即，導電膜係藉由濺鍍法、CVD 法、真空蒸鍍法而形成於基板 101 上，阻體罩幕係以光微影術步驟而形成於導電膜上，以導電膜係使用該阻體罩幕而蝕刻。選擇性地，第一電極 105 係藉由印刷法或噴墨法所形成，而不使用光微影術步驟，以致可減少步驟的數目。注意的是，第一電極 105 的末端部分較佳地具有錐形形狀，使得可增進透過稍後將被形成之閘極絕緣膜的作用範圍。當形成於第一電極 105 的末端部分與絕緣膜 103 之間的角度大於或等於 30 度且小於或等於 60 度（較佳地，大於或等於 40 度且小於或等於 50 度）時，可增進透過稍後將被形成之閘極絕緣膜的作用範圍。

在此實施例中，做爲要用作第一電極 105 的導電膜，鈦膜係藉由濺鍍法而形成爲 50 奈米的厚度，鋁膜係形成爲 100 奈米的厚度，以及鈦膜係形成爲 50 奈米的厚度。接著

，蝕刻係使用以光微影術步驟所形成的阻體罩幕而執行，藉以形成第一電極 105。

其次，如第 10B 圖中所描繪地，氧化物半導體膜 107 及第二電極 109 係形成於第一電極 105 之上。氧化物半導體膜 107 作用成爲電晶體的通道形成區，以及第二電極 109 作用成爲源極電極及汲極電極的另一者。

在此，將敘述氧化物半導體膜 107 及第二電極 109 的形成方法。

氧化物半導體膜係藉由濺鍍法、塗佈法、印刷法、或其類似方法而形成於基板 101 及第一電極 105 之上。接著，將導電膜形成於氧化物半導體膜之上。在此實施例中，氧化物半導體膜係藉由濺鍍法而形成。

爲了要使氫盡可能少地包含於氧化物半導體膜 107 之中，較佳地，將形成第一電極 105 於上的基板 101 預加熱於濺鍍設備的預加熱室之中，以致使吸附至基板 101 上之諸如氫、水、氫氧基、或氫化物之雜質被排除且排出，而成爲預處理。注意的是，低溫泵係較佳地設置用於預加熱室，做爲抽空單元。注意的是，此預加熱室可予以省略。此外，此預加熱可在稍後形成的閘極絕緣膜 111 之形成前，被執行於基板 101 上；或可在稍後形成的第三電極 113 之形成前，被執行於基板 101 上。

注意的是，在氧化物半導體膜係藉由濺鍍法而形成之前，較佳地執行其中電漿係藉由氬氣之引入而產生的逆濺鍍法，且去除附著至第一電極 105 表面的粒子，使得可降

低第一電極 105 與氧化物半導體膜間之介面處的電阻。該逆濺鍍法意指其中無需施加電壓至靶極側，而是在氬氛圍中使用高頻電源以供施加電壓至基板側之用，以致使電漿產生而修正基板的表面之方法。注意的是，可使用氮氛圍、氮氣圍、或其類似氛圍以取代氬氛圍。

在此實施例中，氧化物半導體膜係藉由使用 In-Ga-Zn-O 為主之金屬氧化物靶極的濺鍍法而形成。該氧化物半導體膜可藉由在稀有氣體（典型地，氬）氛圍、氧氛圍、或包含稀有氣體（典型地，氬）和氧之氛圍中的濺鍍法而形成。在使用濺鍍法的情況中，可使用包含高於或等於 2 重量百分比及低於或等於 10 重量百分比之  $\text{SiO}_2$  的靶極。

做為使用於氧化物半導體膜之形成的濺鍍氣體，可使用諸如氬、水、氫氧基、或氫化物之雜質被去除至雜質濃度係由“ppm”或“ppb”的單位所表示之層次的高純度氣體。

做為藉由濺鍍法而形成氧化物半導體膜的靶極，可使用包含氧化鋅做為其主要成分之金屬氧化物靶極。做為金屬氧化物靶極之另一實例，可使用包含 In、Ga、及 Zn 之金屬氧化物靶極（組成比： $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [克分子比]）。選擇性地，做為包含 In、Ga、及 Zn 之金屬氧化物靶極，可使用具有諸如  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$  [原子比] 或  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 4$  [原子比] 之組成比的靶極。金屬氧化物靶極的充填因子係大於或等於 90% 且小於或等於 100%，較佳地，大於或等於 95% 且小於或等於 99.9%。藉由使用具有高充填因子之金屬氧化物靶極，可形成密質氧化物半

導體膜。

氧化物半導體膜係以此方式而形成於基板 101 上，亦即，保持基板於維持在降低壓力狀態中的處理室中，去除留在處理室中的水分，引入去除氫、水、氫氧基、氫化物、或其類似物的濺鍍氣體，以及使用金屬氧化物做為靶極。較佳地，可使用誘捕真空泵以供去除留在處理室中之氫、水、氫氧基、氫化物、或其類似物之用。例如，較佳地使用低溫泵、離子泵、或鈦昇華泵。抽空單元可為設置有冷凝管的渦輪泵。例如，氫、水、氫氧基、氫化物、或其類似物（較佳地，包含碳原子的化合物）係使用低溫泵而自處理室排氣。因此，可降低形成於此室中之氧化物半導體膜中所含的雜質之濃度。該氧化物半導體膜可以以其中基板被加熱的狀態而形成。

在此實施例中，做為氧化物半導體膜之膜形成情形的實例，係使用以下的情形：基板的溫度係室溫；基板與靶極之間的距離係 110 毫米；壓力係 0.4 帕；直流（DC）功率係 0.5 千瓦；以及氛圍係氧和氬（氧對氬之流動速率比係 15 sccm : 30 sccm）。注意的是，較佳地使用脈波式直流（DC）電源，在該情況中，可降低膜形成中所形成的粉末物質（亦稱為粒子或灰塵），且可使膜厚度均勻。氧化物半導體膜的厚度係大於或等於 1 微米，較佳地大於 3 微米，更佳地大於或等於 10 微米。注意的是，較佳的厚度會根據氧化物半導體膜材料而變化；因而，適當的厚度可根據材料而決定。

第二電極 109 可使用用於第一電極 105 所使用的材料及方法而適當地形成。在此，做為要用作第二電極 109 之導電膜，50 奈米厚的鈦膜、100 奈米厚的鋁膜、及 50 奈米厚的鈦膜係以此順序而堆疊。

接著，阻體罩幕係以光微影術步驟而形成於導電膜之上，要用作第二電極 109 的導電膜以及要用作氧化物半導體膜 107 的氧化物半導體膜係使用該阻體罩幕而蝕刻，藉以形成島狀導電膜第二電極 109 及島狀氧化物半導體膜 107。藉由使用噴墨法而形成阻體罩幕以取代在光微影術步驟中所形成之阻體罩幕，則可減少步驟的數目。較佳的是，形成於第一電極 105 的表面與第二電極 109 及氧化物半導體膜 107 的末端部分之間的角度係由於蝕刻而大於或等於 30 度且小於或等於 60 度，較佳地大於或等於 40 度且小於或等於 50 度，使得可稍後將被形成之閘極絕緣膜的覆蓋率可改良。

注意的是，在此，導電膜及氧化物半導體膜的蝕刻可藉由乾蝕刻、濕蝕刻、或濕蝕刻和乾蝕刻二者而執行。為了要形成各具有所欲形狀的氧化物半導體膜 107 及第二電極 109，可根據材料而適當地調整蝕刻情形（蝕刻劑、蝕刻時間、溫度、及其類似者）。

當要用作第二電極 109 及氧化物半導體膜之各導電膜的蝕刻速率係與第一電極 105 的蝕刻速率不同時，可選擇使得第一電極 105 的蝕刻速率低以及要用作第二電極 109 及氧化物半導體膜之各導電膜的蝕刻速率高之情形。選擇性

地，當選擇使得氧化物半導體膜的蝕刻速率低且要用作第二電極 109 之導電膜的蝕刻速率高之情形時，則可蝕刻用作第二電極 109 之導電膜；然後，選擇使得第一電極 105 的蝕刻速率低且氧化物半導體的蝕刻速率高之情形。

做為使用於氧化物半導體膜之濕蝕刻的蝕刻劑，可使用磷酸、醋酸、及硝酸的混合溶液，過氧化氫氨溶液（過氧化氫：氨水：水 = 5 : 2 : 2），或其類似溶液。此外，亦可使用 ITO07N（由 KANTO CHEMICAL CO., INC.）所生產。

在濕蝕刻後之蝕刻劑係藉由清潔法而與所蝕刻掉的材料一起被去除。包含蝕刻劑及所蝕刻掉的材料之廢棄液體可予以純化，且該材料可予以再使用。諸如包含於氧化物半導體膜中之銻的材料可在蝕刻後自廢棄液體來予以回收且再循環，以致可有效地使用該等資源且可降低成本。

做為使用於氧化物半導體膜之乾蝕刻的蝕刻氣體，較佳地，使用包含氯之氣體（諸如氯氣 ( $\text{Cl}_2$ )、三氯化硼 ( $\text{BCl}_3$ )、四氯化矽 ( $\text{SiCl}_4$ )、或四氯化碳 ( $\text{CCl}_4$ ) 之氯基氣體）。

選擇性地，可使用包含氟之氣體（諸如四氟化碳 ( $\text{CF}_4$ )、六氟化硫 ( $\text{SF}_6$ )、三氟化氮 ( $\text{NF}_3$ )、或三氟甲烷 ( $\text{CHF}_3$ ) 之氟基氣體）；溴化氫 ( $\text{HBr}$ )；氧氣 ( $\text{O}_2$ )；添加諸如氦 ( $\text{He}$ ) 或氩 ( $\text{Ar}$ ) 之稀有氣體的任何該等氣體；或其類似氣體。

做為乾蝕刻法，可使用平行板 RIE（反應性離子蝕刻

) 法或 ICP (電感耦合式電漿) 蝕刻法。為了要蝕刻該等膜成爲所欲的形狀，可適當地調整蝕刻情形（施加至螺旋形電極之電量，施加至基板側的電極之電量，基板側之電極的溫度，或其類似者）。

在此實施例中，要用作第二電極 109 之導電膜係使用過氧化氫氨混合液做爲蝕刻劑而蝕刻，且然後，氧化物半導體膜係使用其中混合磷酸、醋酸、及硝酸之溶液而蝕刻，藉以形成氧化物半導體膜 107。

接著，在此實施例中，執行第一熱處理。第一熱處理的溫度係高於或等於  $400^{\circ}\text{C}$  且低於或等於  $750^{\circ}\text{C}$ ，較佳地，高於或等於  $400^{\circ}\text{C}$  且低於基板的應變點。在此，將基板引入至熱處理設備之一的電爐之內，以及在諸如氮氛圍或稀有氣體氛圍的惰性氣體氛圍中，執行  $450^{\circ}\text{C}$  之熱處理於氧化物半導體膜之上，1小時，且然後，不使該氧化物半導體膜暴露至空氣。因而，可防止氫、水、氫氧基、氫化物、或其類似物混合至氧化物半導體膜之內，可降低氫濃度，且可使氧化物半導體膜高度純化，藉以獲得 i 型氧化物半導體膜或實質 i 型氧化物半導體膜。也就是說，氧化物半導體膜 107 之脫水及脫氫的至少一者可藉由此第一熱處理而予以執行。

注意的是，在第一熱處理中，較佳的是，氫、水、氫氧基、氫化物、或其類似物不包含於氮或諸如氦、氖、或氬之稀有氣體中。選擇性地，在熱處理設備中所引入之氮或諸如氦、氖、或氬之稀有氣體的純度較佳地係 6N (

99.9999%）或更高，更佳地係7N（99.99999%）或更高（亦即，雜質的濃度係1ppm或更低，較佳地係0.1ppm或更低）。

根據第一熱處理之情形或用於氧化物半導體膜的材料，可使氧化物半導體膜保持未結晶化且可形成第1B圖中所描繪的氧化物半導體膜107。該等情形的一者係高於或等於400°C且低於550°C，較佳地，高於或等於400°C且低於500°C的加熱溫度。在In-Ga-Zn-O基氧化物半導體係藉由濺鍍法而沈積的情況中，該等情形的其中一者在於其中Zn含量（原子百分比）對In含量（原子百分比）及對Ga含量（原子百分比）的比例係小於1（典型地，In：Ga：Zn=1：1：0.5）的靶極，以致氧化物半導體膜並未被結晶化且變成第1B圖中所描繪的氧化物半導體膜107。

第一熱處理的其他情形或用於氧化物半導體膜的材料可致使氧化物半導體膜的結晶化，且可形成包含晶體的氧化物半導體膜。例如，包含晶體而該晶體具有90%或更高，或80%或更高的結晶度之氧化物半導體膜係形成於某些情況中。

根據第一熱處理之情形或用於氧化物半導體膜的材料，氧化物半導體膜具有晶體區於非晶氧化物半導體膜的表面部分中。該等情形的一者係高於或等於500°C且低於或等於750°C，較佳地，高於或等於550°C且低於基板之應變點的加熱溫度。在In-Ga-Zn-O基氧化物半導體係藉由濺鍍法而沈積的情形中，該等情形的其中一者在於其中Zn含量

(原子百分比) 對 In 含量 (原子百分比) 及對 Ga 含量 (原子百分比) 的比例係大於或等於 1 (典型地, In : Ga : Zn = 1 : 1 : 1) 的靶極, 以致具有晶體區 157 於氧化物半導體膜的表面部分中之氧化物半導體膜 151a 係如第 2B 圖中所描繪地形成。

此外, 用於氧化物半導體膜的第一熱處理可在該氧化物半導體膜被處理成爲島狀氧化物半導體膜之前, 執行於該氧化物半導體膜之上。在該情況中, 該基板係在第一熱處理後自加熱設備取出, 且然後, 執行光微影術步驟。

注意的是, 在氧化物半導體膜之上具有脫水或脫氫功效的熱處理可在形成該氧化物半導體膜之後; 在將用作第二電極的導電膜堆疊於氧化物半導體膜上之後; 在形成閘極絕緣膜於第一電極、氧化物半導體膜、及第二電極上之後; 或在形成閘極電極之後, 被執行。

接著, 如第 10C 圖中所描繪地, 閘極絕緣膜 111 係形成於第一電極 105、氧化物半導體膜 107、及第二電極 109 之上。

藉由雜質之去除而被製成爲 i 型半導體或實質 i 型半導體的氧化物半導體膜 (其中氫濃度降低之高度純化的氧化物半導體膜) 係高度靈敏於介面狀態及介面電荷; 因而, 在氧化物半導體膜與閘極絕緣膜 111 之間的介面係重要的。因此, 與高度純化的氧化物半導體膜接觸之閘極絕緣膜 111 需要高的品質。

例如, 較佳地使用透過微波 (2.45 GHz) 之使用的高

密 度 電 漆 CVD，因 為 具 有 高 耐 壓 之 密 質 及 高 品 質 的 絶 緣 膜 之 形 成 係 可 能 的 。此 係 因 為 當 其 中 氢 濃 度 降 低 之 高 度 純 化 的 氧 化 物 半 導 體 膜 與 高 品 質 的 閘 極 絶 緣 膜 係 緊 密 接 觸 時 ， 介 面 狀 態 可 降 低 且 介 面 品 質 可 係 有 利 的 。

不 用 多 說 地 ， 可 使 用 諸 如 漑 鍍 法 及 電 漆 CVD 法 之 其 他 的 膜 形 成 方 法 ， 只 要 可 形 成 有 利 於 成 為 閘 極 絶 緣 膜 的 絶 緣 膜 即 可 。可 使 用 膜 品 質 係 在 形 成 閘 極 絶 緣 膜 之 後 藉 由 热 處 理 而 增 進 的 閘 極 絶 緣 膜 ， 或 與 氧 化 物 半 導 體 膜 之 介 面 的 特 徵 被 改 善 之 絶 緣 膜 。無 論 如 何 ， 可 使 用 任 何 的 絶 緣 膜 ， 只 要 該 絶 緣 膜 具 有 致 能 該 絶 緣 膜 與 氧 化 物 半 導 體 膜 間 之 介 面 的 介 面 狀 態 密 度 的 降 低 及 適 當 介 面 的 形 成 ， 以 及 具 備 成 為 閘 極 絶 緣 膜 之 有 利 的 膜 品 質 之 特 徵 即 可 。

在  $85^{\circ}\text{C}$  ,  $2 \times 10^6 \text{ V/cm}$  , 12 小 時 的 閘 極 偏 壓 - 溫 度 應 力 測 試 (BT 測 試) 中 ， 當 添加 雜 質 至 氧 化 物 半 導 體 膜 時 ， 在 雜 質 與 氧 化 物 半 導 體 膜 的 主 要 成 分 之 間 的 鍵 會 由 於 強 的 電 場 (B : 偏 壓) 及 高 的 溫 度 (T : 溫 度) 而 被 切 斷 ， 且 所 產 生 的 懸 浮 鍵 會 造 成 臨 限 電 壓 ( $V_{th}$ ) 的 漂 移 。

對 照 地 ， 本 發 明 可 如 上 述 地 藉 由 盡 可 能 多 地 去 除 氧 化 物 半 導 體 膜 中 之 雜 質 ， 特 別 地 ， 去 除 氢 、 水 、 及 其 類 似 物 ， 以 獲 得 有 利 的 介 面 特 徵 於 氧 化 物 半 導 體 膜 與 閘 極 絶 緣 膜 之 間 ， 而 獲 得 對 BT 測 試 穩 定 的 電 晶 體 。

注 意 的 是 ， 當 閘 極 絶 緣 膜 111 係 藉 由 漑 鍍 法 而 形 成 時 ， 可 使 閘 極 絶 緣 膜 111 中 之 氢 的 濃 度 降 低 。在 其 中 氧 化 砂 膜 係 藉 由 漑 鍍 法 而 形 成 的 情 況 中 ， 砂 靶 極 或 石 英 靶 極 係 使

用做為靶極，且氧或氮及氬的混合氣體被使用做為濺鍍氣體。

注意的是，可將鹵素元素（例如，氟或氯）包含於與氧化物半導體膜接觸而設置的絕緣膜中，或鹵素元素可在氧化物半導體膜暴露的狀態中，藉由在包含鹵素元素之氣體氛圍中的電漿處理而包含於氧化物半導體膜中，藉以去除可存在於氧化物半導體膜中，或氧化物半導體膜和設置以與該氧化物半導體膜接觸之絕緣膜間的介面處之諸如氫、水、氫氧基、或氫化物（亦稱為氫化合物）的雜質。當絕緣膜包含鹵素元素時，在絕緣膜中之鹵素元素濃度可大約為  $5 \times 10^{18} \text{ cm}^{-3}$  至  $1 \times 10^{20} \text{ cm}^{-3}$ 。

如上述地，在其中鹵素元素係包含於氧化物半導體膜中，或在氧化物半導體膜和與該氧化物半導體膜接觸的絕緣膜間之介面處，且與該氧化物半導體膜接觸而設置之該絕緣膜係氧化物絕緣膜的情況中，在其中該氧化物半導體膜並未與該氧化物絕緣膜接觸之側的氧化物絕緣膜係較佳地以氮絕緣膜來覆蓋。也就是說，氮化矽膜或其類似物可設置於與氧化物半導體膜接觸的氧化物絕緣膜之上，且與其接觸。具有此結構，可降低進入至氧化物絕緣膜之諸氫、水、氫氧基、或氫化物的雜質。

閘極絕緣膜 111 可具有其中氧化矽膜及氮化矽膜係以此順序而堆疊於第一電極 105、氧化物半導體膜 107、及第二電極 109 之上的結構。例如，具有 100 奈米之總厚度的閘極絕緣膜可以以此方式而形成，亦即，具有大於或等於 5

奈米且小於或等於300奈米之厚度的氧化矽膜( $\text{SiO}_x$ ( $x>0$ ))係形成爲第一閘極絕緣膜，以及具有大於或等於50奈米且小於或等於200奈米之厚度的氮化矽膜( $\text{SiN}_y$ ( $y>0$ ))係由濺鍍法而堆疊於第一閘極絕緣膜上，做爲第二閘極絕緣膜的方式。在此實施例中，100奈米厚的氧化矽膜係在壓力係0.4帕，高頻電力係1.5千瓦，以及包含氧和氬之氛圍(25 sccm的氧流動速率：25 sccm的氬流動速率=1：1)被使用的情形下，藉由RF濺鍍法而形成。

接著，第二熱處理(較佳地，在高於或等於200°C且低於或等於400°C，例如，高於或等於250°C且低於或等於350°C處)係執行於惰性氣體氛圍或氧氣體氛圍中。藉由該熱處理，可將氧供應至由於第一熱處理而產生的氧缺乏，使得可降低氧缺乏，而用作施體，以滿足化學計量比例，且使氧化物半導體膜107成爲i型半導體或實質i型半導體。注意的是，可在以下之任一者的形成後才執行第二熱處理：第三電極113、絕緣膜117、以及佈線125及129。藉由該熱處理，可使包含於氧化物半導體膜中的氬或水擴散至閘極絕緣膜之內。

接著，形成作用爲閘極電極的第三電極113於閘極絕緣膜111之上。

第三電極113可以以此方式而形成，亦即，要用作第三電極113的導電膜係藉由濺鍍法、CVD法、或真空蒸鍍法而形成於閘極絕緣膜111之上，阻體罩幕係在光微影術步驟中形成於該導電膜之上，以及導電膜係使用該阻體罩

幕而蝕刻的方式。

在此實施例中，於具有 150 奈米之厚度的鈦膜係藉由濺鍍法而形成之後，蝕刻係使用光微影術步驟中所形成的阻體罩幕而執行，以致使第三電極 113 形成。

透過上述步驟，可製造出包含高度純化且氫濃度降低之氧化物半導體膜 107 的電晶體 145。

其次，如第 11A 圖中所描繪地，在將絕緣膜 117 形成於閘極絕緣膜 111 及第三電極 113 上之後，可形成接觸孔 119 及 123。

絕緣膜 117 係使用諸如氧化矽膜、氮氧化矽膜、氧化鋁膜、或氮氧化鋁膜之氧化物絕緣膜；或諸如氮化矽膜、氧化氮化矽膜、氮化鋁膜、或氧化氮化鋁膜之氮化物絕緣膜而形成。選擇性地，可將氧化物絕緣膜及氮化物絕緣膜堆疊。

絕緣膜 117 係藉由濺鍍法、CVD 法、或其類似方法而形成。注意的是，當絕緣膜 117 係藉由濺鍍法而形成時，絕緣膜可以以此方式而形成，亦即，加熱基板 101 到 100 °C 至 400 °C 的溫度，引入其中去除氫、水、氫氧基、氫化物、或其類似物且包含高純度之氮的濺鍍氣體，以及使用矽靶極之方式。而且，在此情況中，絕緣膜係較佳地形成於其中將留在處理室中之氫、水、氫氧基、氫化物、或其類似物去除的狀態中。

在絕緣膜 117 的形成之後，熱處理可進一步以高於或等於 100 °C 且低於或等於 200 °C 而執行於空氣中，大於或等

於 1 小 時 且 小 於 或 等 於 30 小 時 。 透 過 此 热 處 理 ， 可 獲 得 常 態 截 止 之 電 晶 體 。 因 而 ， 可 增 加 顯 示 裝 置 或 半 導 體 裝 置 的 可 靠 度 。

阻 體 罩 幕 係 形 成 於 光 微 影 術 步 駟 中 ， 且 閘 極 絶 緣 膜 111 及 絶 緣 膜 117 的 一 部 分 係 藉 由 選 擇 性 蝕 刻 而 予 以 去 除 ， 藉 以 形 成 到 達 第 一 電 極 105 、 第 二 電 極 109 、 及 第 三 電 極 113 的 接 觸 孔 119 及 123 。

接 著 ， 在 形 成 導 電 膜 於 閘 極 絶 緣 膜 111 上 以 及 接 觸 孔 119 及 123 中 之 後 ， 蝏 刻 係 使 用 光 微 影 術 步 駟 中 所 形 成 的 阻 體 罩 幕 而 執 行 ， 藉 以 形 成 佈 線 125 及 129 ( 請 參 閱 第 11B 圖 ) 。 注意 的 是 ， 阻 體 罩 幕 可 藉 由 噴 墨 法 而 形 成 。 當 阻 體 罩 幕 係 藉 由 噴 墨 法 而 形 成 時 ， 則 不 使 用 光 罩 ； 因 此 ， 可 降 低 生 產 成 本 。

佈 線 125 及 129 可 以 以 與 第 一 電 極 105 之 方 式 相 似 的 方 式 而 形 成 。

注 意 的 是 ， 可 將 用 於 平 坦 化 之 平 坦 化 絶 緣 膜 設 置 於 第 三 電 極 113 與 該 等 佈 線 125 及 129 之 間 。 可 紿 定 諸 如 聚 鹼 乙 胺 、 丙 烯 酸 、 苯 并 環 丁 烯 、 聚 鹼 胺 、 或 環 氧 之 具 有 熱 阻 的 有 機 材 料 做 為 該 平 坦 化 絶 緣 膜 的 典 型 實 例 。 除 了 該 等 有 機 材 料 之 外 ， 亦 可 使 用 低 電 介 質 常 數 之 材 料 ( 低  $k$  之 材 料 ) 、 砂 氧 烷 基 之 樹 脂 、 磷 砂 酸 鹽 玻 璃 ( PSG ) 、 硼 砂 酸 鹽 玻 璃 ( BPSG ) 、 或 其 類 似 物 。 注 意 的 是 ， 該 平 坦 化 絶 緣 膜 可 藉 由 堆 叠 使 用 該 等 材 料 所 形 成 之 複 數 個 絶 緣 膜 而 被 形 成 。

注意的是，矽氧烷基樹脂對應於使用矽氧烷基材料做為起始材料所形成之包含 Si-O-Si 鍵的樹脂。該矽氧烷基樹脂可包含有機基（例如，烷基或芳基）或氟基，做為替代基。此外，該有機基可包含氟基。

在用以形成該平坦化絕緣膜的方法上並無特殊的限制。該平坦化絕緣膜可根據材料，藉由諸如濺鍍法、SOG 法、旋塗法、浸漬法、噴塗法、或微滴排放法（例如，噴墨法、絲網印刷法、或平版印刷法）之方法，或諸如手術刀、滾塗器、簾塗器、或刀塗器之工具，而被形成。

透過上述之步驟，可降低氧化物半導體膜中之氫的濃度，且可使氧化物半導體膜高度地純化。因而，可使氧化物半導體膜安定化。此外，在低於或等於玻璃躍遷溫度的溫度之熱處理可形成具有其中載子密度極低之寬能隙的氧化物半導體膜。因此，可使用大尺寸的基板來製造電晶體，以致可增加生產率。此外，藉由使用其中氫濃度降低且係高度純化的氧化物半導體膜，可製造出具有高的耐壓、對於短通道效應之高的阻礙、以及高開/關率的電晶體。

此實施例可與其他實施例中所述之任何結構適當地結合而實施。

#### ( 實施例 6 )

在此實施例中，將參照第 10A 至 10C 圖及第 12 圖來敘述實施例 2 中之電晶體的製造方法。

在與實施例 5 中之方式相似的方式中，如第 10A 圖中所

描繪地，將絕緣膜 103 及第一電極 105 形成於基板 101 上。接著，如第 10B 圖中所描繪地，將氧化物半導體膜 107 及第二電極 109 形成於第一電極 105 之上。

接著，執行第一熱處理。在此實施例中之第一熱處理係與上述實施例中之第一熱處理不同。該熱處理可形成如第 12 圖中所描繪之其中晶體區 157 係形成於表面部分中的氧化物半導體膜 151a。

在此實施例中，第一熱處理係以用以藉由來自諸如電阻加熱器的加熱器之熱傳導及熱輻射的至少一者而加熱將被處理之物件的設備來加以執行。在此，較佳的是，該熱處理係執行於高於或等於 500°C 且低於或等於 750°C，更佳地，高於或等於 550°C 且低於基板的應變點。注意的是，雖然來自本發明之主要部分對於熱處理溫度的上限並無要求，但該熱處理溫度的上限需在基板 101 之可允許的溫度範圍之內。較佳地，用於熱處理的時間係大於或等於 1 分鐘且小於或等於 10 分鐘。透過 RTA 處理，可以以短時間來執行熱處理；因而，可降低熱在基板 101 上的反效應。換言之，當與其中熱處理係執行長時間之情況相較時，可升高熱處理溫度的上限。進一步地，預定結構的晶體區可選擇性地形成於氧化物半導體膜之表面附近。

做為可使用於此實施例中之加熱設備，可使用諸如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備之 RTA（快速熱退火）設備，或其類似物。LRTA 設備係用以藉由來自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳

弧燈、高壓鈉燈、或高壓水銀燈的燈所發射出之光（電磁波）的輻射而加熱將被處理之物件的設備。GRTA設備係用於使用高溫氣體之熱處理的設備。做為該氣體，係使用並不會由於熱處理而與將被處理的物件反應之諸如氮或諸如氬之稀有氣體的惰性氣體。

例如，第一熱處理可使用GRTA，其中基板係移入至被加熱到 $650^{\circ}\text{C}$ 至 $700^{\circ}\text{C}$ 的高溫之諸如氮或稀有氣體的惰性氣體氛圍之內，並加熱於該處數分鐘，且然後，基板自加熱至高溫的惰性氣體移出。透過GRTA，可達成短週期時間之高溫熱處理。

注意的是，在第一熱處理中，較佳地氬、水、氫氧化物、氫化物、或其類似物不包含於氮或諸如氮、氖、或氬之稀有氣體中。選擇性地，所引入於熱處理設備中之氮或諸如氮、氖、或氬之稀有氣體的純度較佳地係6N（99.9999%）或更高，更佳地係7N（99.99999%）或更高（亦即，雜質的濃度係1ppm或更低，較佳地，0.1ppm或更低）。

注意的是，上述之熱處理可執行於任何時序，只要其係執行於氧化物半導體膜形成之後即可；然而，為了要增進脫水或脫氫，較佳地，該熱處理係在其他組件形成於氧化物半導體膜<sup>107</sup>的表面上之前執行。此外，可執行該熱處理複數次，以取代僅執行一次。

之後，閘極絕緣膜及作用為閘極電極的第三電極係以與實施例5中之方式相似的方式而形成，以便完成該電晶體。

因為氧化物半導體膜 151a 包含晶體區 157 於表面上，所以源極與汲極間之電阻會降低，且在氧化物半導體膜 151a 的表面處之載子遷移率會增加。因而，包含氧化物半導體膜 151a 之電晶體可具有高的場效應遷移率和有利的電性特徵。

進一步地，晶體區 157 係比非晶區 155 更穩定；因此，當晶體區 157 係包含於氧化物半導體膜 151 的表面附近時，可降低進入至非晶區 155 之內的雜質（例如，氫、水、氫氧基、氫化物、或其類似物）。因而，可增加氧化物半導體膜 151a 的可靠度。

透過上述之步驟，可降低氧化物半導體膜中之氫的濃度，且可使氧化物半導體膜高度地純化。因而，可使氧化物半導體膜安定化。此外，在低於或等於玻璃躍遷溫度的溫度之熱處理可形成具有其中載子密度極低之寬能隙的氧化物半導體膜。因此，可使用大尺寸的基板來製造電晶體，以致可增加生產率。此外，藉由使用其中氫濃度降低且係高度純化的氧化物半導體膜，可製造出具有高的耐壓、對於短通道效應之高的阻礙、以及高開/關率的電晶體。

此實施例可與其他實施例中所述之任何結構適當地結合而實施。

#### ( 實施例 7 )

在此實施例中，將參照第 10A 至 10C 圖來敘述第 1A 及 1B 圖中所描繪之電晶體的製造方法。

在與實施例 5 中之方式相似的方式中，如第 10A 圖中所描繪地，將絕緣膜 103 形成於基板 101 上，且形成島狀第一電極 105。

接著，如第 10B 圖中所描繪地，將氧化物半導體膜 107 及島狀第二電極 109 形成於島狀第一電極 105 之上。

注意的是，在藉由濺鍍法以形成氧化物半導體膜之前，較佳地，執行其中電漿係藉由引入氬氣而產生的逆濺鍍法，且去除附著至第一電極 105 之表面的粒子，使得第一電極 105 與氧化物半導體膜間之介面處的電阻可降低。注意的是，可使用氮氛圍、氦氛圍、或其類似氛圍來取代氬氛圍。

氧化物半導體膜係藉由濺鍍法而形成於基板 101 及第一電極 105 之上。接著，將導電膜形成於氧化物半導體膜之上。

在此實施例中，氧化物半導體膜係藉由使用 In-Ga-Zn-O 基金屬氧化物靶極的濺鍍法而形成。在此實施例中，基板係保持在維持於降低壓力狀態中的處理室內部，且基板被加熱至高於或等於室溫且低於 400 °C。該氧化物半導體膜係以此方式而形成於基板 101 及第一電極 105 之上，亦即，在其中留在處理室中之氫、水、氫氧基、氫化物、或其類似物被去除的狀態中，引入去除氫、水、氫氧基、氫化物、或其類似物的濺鍍氣體，且使用金屬氧化物做為靶極的方式。較佳地，使用誘捕真空泵以去除留在處理室中之氫、水、氫氧基、氫化物、或其類似物。例如，較佳地使

用低溫泵、離子泵、或鈦昇華泵。抽空單元可為設置有冷凝管之渦輪泵。在以低溫泵抽空的處理室中，可去除氫、水、氫氧基、氫化物（更佳地，包括含碳原子的化合物）或其類似物；因而，形成於該處理室中的氧化物半導體膜之中雜質濃度可藉以降低。此外，藉由執行濺鍍法於其中留在處理室中之氫、水、氫氧基、氫化物、或其類似物係透過低溫泵而去除的狀態中，則即使在室溫至低於 $400^{\circ}\text{C}$ 之基板溫度時，亦可降低可用作施體之諸如氫原子或水的雜質，且可形成其中化學計量比例符合要求的*i*型氧化物半導體膜或實質*i*型氧化物半導體膜。

在此實施例中，係使用沈積情形使得基板與靶極之間的距離係100毫米，壓力係0.6帕，直流（DC）電源供應係0.5千瓦，以及氛圍係氧（氧流動的比例係100%）氛圍。注意的是，較佳地使用脈波式直流（DC）電源；在該情況中，可降低在膜形成中所產生之粉末物質（亦稱為粒子或灰塵），且可使膜厚度均勻。該氧化物半導體膜的厚度係較佳地大於或等於30奈米且小於或等於3000奈米。注意的是，較佳的厚度會根據所使用的氧化物半導體膜材料而變化；因此，適當的厚度可根據材料而被決定。

其次，要用作第二電極109的導電膜係使用形成第一電極105所使用之材料及方法而形成。

接著，在與實施例5之方式相似的方式中，將用作第二電極109之導電膜及用作氧化物半導體膜107之氧化物半導體膜蝕刻，以致使第二電極109及氧化物半導體膜107形

成。為了要形成各具有所欲形狀的氧化物半導體膜 107 及第二電極 109，可依據材料而適當地調整蝕刻情形（蝕刻劑、蝕刻時間、溫度、或其類似者）。

接著，如第 10C 圖中所描繪地，在與實施例 5 中之方式相似的方式中，將閘極絕緣膜 111 形成於第一電極 105、氧化物半導體膜 107、及第二電極 109 之上。注意的是，因為包含於氧化物半導體膜之中之氫濃度係在此實施例中降低，所以實施例 6 中所敘述之第一熱處理無需一定要在閘極絕緣膜 111 的形成之前執行。做為閘極絕緣膜 111，具有有利的介面特徵於閘極絕緣膜 111 與氧化物半導體膜 107 間的閘極絕緣膜係較佳的。較佳地，閘極絕緣膜 111 係藉由使用微波 (2.45 GHz) 之高密度電漿 CVD 法而形成；在該情況中，閘極絕緣膜 111 可為密質的，且可具有高的耐壓和高的品質。此外，可使用諸如濺鍍法或電漿 CVD 法之外的膜形成方法，只要該方法可使良好品質的絕緣膜能形成為閘極絕緣膜即可。進一步地，藉由濺鍍法或電漿 CVD 法所形成的絕緣膜之表面係較佳地以使用微波 (2.45 GHz) 所產生之高密度電漿來加以照射；在該情況中，閘極絕緣膜 111 可更為密質，且可具有更高的耐壓和更高的品質。

注意的是，在形成閘極絕緣膜 111 之前，較佳地執行逆濺鍍，使得附著至氧化物半導體膜 107 之至少表面的阻體殘留物及其類似物被去除。

進一步地，在形成閘極絕緣膜 111 之前，附著至氧化物半導體膜之暴露表面的氫、水、氫氧基、氫化物、或其

類似物可藉由使用諸如  $N_2O$ 、 $N_2$ 、或  $Ar$  之氣體的電漿處理來予以去除。該電漿處理亦可使用氧和氬的混合氣體。在其中執行電漿處理的情況中，較佳地，將與氧化物半導體膜的一部分接觸之閘極絕緣膜 111 係無需暴露至空氣地形成。

進一步地，較佳的是，形成直至第一電極 105 到第二電極 109 且包含第一電極 105 到第二電極 109 之組件於上的基板 101 係在濺鍍設備中之預加熱室中預加熱，做為要排除及抽空吸附在基板 101 上之氫、水、氫氧基、氫化物、或其類似物的預處理，使得氫、水、氫氧基、氫化物、或其類似物盡可能少地包含於閘極絕緣膜 111 中。選擇性地，較佳的是，基板 101 係在形成閘極絕緣膜 111 之後，預加熱於濺鍍設備中之預加熱室中，以便排除及抽空吸附在基板 101 上的氫、水、氫氧基、氫化物、或其類似物。該預加熱之溫度係高於或等於  $100^\circ C$  且低於或等於  $400^\circ C$ ，較佳地高於或等於  $150^\circ C$  且低於或等於  $300^\circ C$ 。注意的是，做為設置用於預加熱室的抽空裝置，低溫泵係較佳的。注意的是，此預加熱處理可予以省略。

閘極絕緣膜 111 可具有其中氧化矽膜及氮化矽膜係以此順序而堆疊於第一電極 105、氧化物半導體膜 107、及第二電極 109 之上的結構。例如，閘極絕緣膜可以以此方式而形成，亦即，具有大於或等於 5 奈米且小於或等於 300 奈米之厚度的氧化矽膜 ( $SiO_x$  ( $x > 0$ )) 係藉由濺鍍法而形成為第一閘極絕緣膜，以及具有大於或等於 50 奈米且小於

或等於 200 奈米之厚度的氮化矽膜 ( $\text{SiN}_y$  ( $y > 0$ )) 係堆疊於第一閘極絕緣膜上，做為第二閘極絕緣膜的方式。

接著，如第 10C 圖中所描繪地，在與實施例 5 中之方式相似的方式中，將作用成為閘極電極之第三電極 113 形成於閘極絕緣膜 111 上。

透過上述步驟，可製造出包含其中氫濃度降低之氧化物半導體膜 107 的電晶體 145。

氫、水、氫氧基、氫化物、或其類似物係在形成氧化物半導體膜中如上述地去除，因而可藉以降低氧化物半導體膜中之氫的濃度。因此，可使氧化物半導體膜安定化。

接著，如第 11A 圖中所描繪地，以與實施例 5 中之方式相似的方式，在形成絕緣膜 117 於閘極絕緣膜 111 及第三電極 113 上之後，形成接觸孔 119 及 123。注意的是，在絕緣膜 117 的形成之後，如實施例 5 之中似地，可在空氣中進一步執行熱處理於高於或等於  $100^\circ\text{C}$  且低於或等於  $200^\circ\text{C}$ ，大於或等於 1 小時且小於或等於 30 小時。透過此熱處理，可獲得常態截止的電晶體。因而，可增加顯示裝置或半導體裝置的可靠度。

接著，如第 11B 圖中所描繪地，以與實施例 5 中之方式相似的方式，形成佈線 125 及 129。

注意的是，可將用於平坦化之平坦化絕緣膜設置於第三電極 113 與該等佈線 125 及 129 之間。

當留在反應氛圍中之氫、水、氫氧基、氫化物、或其類似物係在氧化物半導體膜的形成時被去除時，可降低氧

化物半導體膜中之氫的濃度，且可使氧化物半導體膜高度地純化。因而，可使氧化物半導體膜安定化。此外，在低於或等於玻璃躍遷溫度的溫度之熱處理可形成其中載子密度極低之寬能隙的氧化物半導體膜。因此，可使用大尺寸的基板來製造電晶體，以致可增加生產率。此外，藉由使用其中氫濃度降低且係高度純化的氧化物半導體膜，可製造出具有高的耐壓、對於短通道效應之高的阻礙、以及高開/關率的電晶體。

此實施例可與其他實施例中所述之任何結構適當地結合而實施。

( 實 施 例 8 )

將敘述使用包含實施例1至7之任一者中所述的電晶體之電路的模式。

在實施例1至7之任一者中所述的電晶體具有高開/關率及高耐壓，且係極少變質。因此，可將該電晶體使用於以下實例：諸如空調器、冰箱、電鍋、太陽能電力產生系統之其中施加變頻器技術的家庭電器；諸如膝上型電腦之電池驅動的攜帶式資訊終端機裝置；諸如閃頻觀測器、電動車功率放大器裝置；DC-DC轉換器電路；馬達控制電路；聲頻放大器；邏輯電路；開關電路；以及高頻線性放大器。

在此，將參照第13圖來敘述包含使用實施例1至7的任一者中所述之電晶體所形成的變頻器之太陽能電力產生系

統的實例。注意的是，此處係顯示安裝於房屋及其類似物上的太陽能電力產生系統之結構的實例。

第13圖中所描繪之住宅太陽能電力產生系統係其中用以供應電力之方法會依據太陽能電力產生的狀態而改變之系統。當執行太陽能電力產生時，例如當太陽照耀時，由太陽能電力產生所產生的電力係消耗於屋內，且過剩的電力係供應至由電力公司所裝設的電力網414。另一方面，在晚上或下雨的時候，當電力不足時，則電力係供應自電力網414，且消耗於屋內。

第13圖中所描繪之住宅太陽能電力產生系統包含：太陽能電池板400，其轉換陽光成為電力（直流電力）；變頻器404，其自直流轉換電力成為交流；及其類似物。來自變頻器404所輸出之交流電力係使用做為用以操作各式各樣類型之電氣裝置410的電力。

過剩的電力可透過電力網414而供應至屋外。也就是說，可使用此系統而販售該電力。直流開關402係設置以選擇連接或斷開於該太陽能電池板400與該變頻器404之間。交流開關408係設置以選擇連接或斷開於配電盤406與連接至該電力網414的變壓器412之間。

當施加本發明之半導體裝置至上述之變頻器時，可實現高度可靠且不昂貴的太陽能電力產生系統。

在此實施例中所述之結構、方法、及其類似者可與其他實施例的任一者適當地結合。

## [實例 1]

在實例 1 中，將參照第 14A 及 14B 圖、第 15A 及 15B 圖、以及 16A 及 16B 圖來敘述透過二維裝置模擬器的使用之電晶體的氧化物半導體膜的厚度及其通道寬度之計算結果，而該電晶體具有對短通道效應之高的阻礙，及高開/關率。注意的是，在此係使用由 Silvaco, Inc. 所發展之 ATLAS 做為裝置模擬器。

首先，將參照第 1A 及 1B 圖來敘述被執行計算之電晶體的結構。第一電極 105 及第二電極 109 係假定為使用能與氧化物半導體膜 107 歐姆接觸，且功函數係 4.3 eV 之材料（典型地，鈦）所形成。氧化物半導體膜 107 係假定為使用 In-Ga-Zn-O 膜所形成，且電子親合力係 4.3 eV。閘極絕緣膜 111 係假定為使用 100 奈米厚之  $\text{SiO}_2$  膜所形成。氧化物半導體膜 107 的厚度係  $L$ 。該計算係透過第 1A 圖中之  $W_2$  被固定為 1 微米且  $W_1$  及  $L$  變化，而予以執行。

開/關率係藉由裝置模擬器而計算。 $L$  與  $W_1$  間之致能具有  $1 \times 10^7$  的開/關率之操作的關係係由直線 201 所表示。致能具有  $1 \times 10^7$  或更高的開/關率之操作的  $L$  與  $W_1$  之區域係由影線 203 所表示（請參閱第 14A 圖）。此外，計算其中  $V_{ds}$ （源極 - 沖極電壓）係 10V 及 0.1V 之情況中的臨限電壓之間的差異（在下文中稱為  $\Delta V_{th}$ ）。當  $\Delta V_{th}$  係 -0.5V 時之  $L$  與  $W_1$  間的關係係由直線 211 所表示。當  $\Delta V_{th}$  係 -1V 時之  $L$  與  $W_1$  間的關係係由虛線 213 所表示。當  $\Delta V_{th}$  係 -2V 時之  $L$  與  $W_1$  間的關係係由虛線 215 所表示。進一步地，其中  $\Delta V_{th}$  係低於或等

於  $-0.5\text{V}$  的區域係由影線 217 所表示，以及其中  $\Delta V_{th}$  係高於  $-0.5\text{V}$  且低於或等於  $-1\text{V}$  的區域係由影線 219 所表示（請參閱第 14B 圖）。

當  $L$  與  $W_1$  之間的關係係位在由第 14A 圖中的影線 203 所表示的區域之中時，電晶體的開/關率可增加。進一步地，當  $L$  與  $W_1$  之間的關係係位在由第 14B 圖中的影線 219 所表示的區域之中時，較佳地，當  $L$  與  $W_1$  之間的關係係位在由第 14B 圖中的影線 217 所表示的區域之中時，可增加電晶體的開/關率且可抑制短通道效應。

其次，第 15A 圖及第 16A 圖各顯示當  $L$  係 1 微米， $W_1$  係 0.7 微米，及第二電極 109 的寬度係 0.5 微米時之氧化物半導體膜中的載子密度分佈。第 15B 圖及第 16B 圖各顯示當  $L$  係 1 微米， $W_1$  係 1.2 微米，及第二電極 109 的寬度係 1.0 微米時之氧化物半導體膜中的載子密度分佈。注意的是，第 15A 及 15B 圖各顯示在當  $V_{GS}$ （閘極-源極電壓）係  $-2\text{V}$  時的截止狀態中之載子密度分佈，以及第 16A 及 16B 圖各顯示在當  $V_{GS}$ （閘極-源極電壓）係  $+2\text{V}$  時的導通狀態中之載子密度分佈。亦請注意的是，雖然作用成爲閘極電極之第三電極 113 覆蓋第二電極 109，而閘極絕緣膜 111 係介於其間，但此係針對模擬之圖式的簡化，且並不具有在模擬結果之上影響。

在第 15A 圖中所描繪的電晶體中，具有低載子密度 ( $1 \times 10^{-6} \text{ cm}^{-3}$  至  $1 \times 10^{-10} \text{ cm}^{-3}$  之載子密度) 的區域散佈至氧化物半導體膜 107 的中心；因此，當與第 15B 圖中所描繪的電晶

體相較時，可降低截止狀態中之截止狀態電流。在第 16A 及 16B 圖的各圖中，電子密度不僅在氧化物半導體膜 107 的表面處高，而且在其中心亦高；因此，所發現到的是，通道形成區不僅形成於與閘極絕緣膜接觸之氧化物半導體膜的表面處，而且形成於氧化物半導體膜的內部。依據上述，所發現到的是，實例 1 中所述的電晶體可具有高的導通狀態電流。

### [ 實例 2 ]

在實例 2 中，將參照第 17 圖以及第 18A 及 18B 圖來敘述氧化物半導體膜的載子密度。

首先，將參照第 17 圖來敘述使用於電容器電壓 (CV) 測量之取樣的結構。

300 奈米厚的鈦膜 503 係藉由濺鍍法而形成於玻璃基板 501 上，且 100 奈米厚的氮化鈦膜 505 係藉由濺鍍法而形成於其上。

做為在氮化鈦膜 505 之上的氧化物半導體膜 507，2000 奈米厚的 In-Ga-Zn-O 膜係藉由濺鍍法而形成。此時之沈積情形係如下：濺鍍氣體係具有 30 sccm 之流動速率的 Ar 及具有 15 sccm 之流動速率的氧；靶極與基板之間的距離係 60 毫米；直流 (DC) 電流係 0.5 千瓦；以及沈積溫度係室溫。

其次，300 奈米厚的氮氧化矽膜 509 係藉由 CVD 法而形成，且 300 奈米厚的銀膜 511 係形成於其上。

接著，在該取樣上之 CV 測量的結果係顯示於第 18A 圖中，且依據第 18A 圖中所示的測量結果之相對於電壓的  $C^{-2}$  之曲線係顯示於第 18B 圖中。注意的是，將弱反轉狀態中之取樣的  $C^{-2}$  曲線斜率代入至公式 7，可藉以獲得載子密度。注意的是， $C^{-2}$  之曲線係描繪為第 18B 圖中的實線，以及在弱反轉狀態中的  $C^{-2}$  之曲線的斜率係描繪為虛線。該斜率係  $1.96 \times 10^{18} C^{-2} V^{-1}$ 。

$$n = -\left(\frac{2}{e\epsilon_0\epsilon_s}\right) \left/ \frac{d(1/C)^2}{dV}\right. \quad (\text{公式7})$$

注意的是， $e$  表示基本電荷， $\epsilon_s$  表示氧化物半導體的電介質常數， $\epsilon_0$  表示真空電容率，以及  $n$  表示載子密度。

依據公式 7，所發現的是，在實例 2 中之氧化物半導體膜的載子密度係  $6 \times 10^{10} \text{ cm}^{-3}$ 。從上述可發現到實例 2 中所述之氧化物半導體膜的載子密度係極低。

### [實例 3]

在實例 3 中，將參照第 19A 及 19B 圖、第 20A 及 20B 圖、以及第 21A 至 21F 圖來敘述使用 TEM 分析之氧化物半導體膜的分析結果，而該氧化物半導體膜接受藉由熱處理之脫水或脫氫。

首先，將敘述取樣的製造方法。

氧化物半導體膜係藉由濺鍍法而形成於基板 601 上。

在實例 3 中，做為該等基板 601，各使用 Eagle XG 基板（由 Corning Incorporated 所製造）。做為該等氧化物半導

體膜之各者，In-Ga-Zn-O 膜 603 係使用  $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  之金屬氧化物靶極而沈積。在此，該等實例的其中一者係比較實例，稱為樣品 B。

接著，熱處理係使用電爐設備，而在氮氛圍中以 650 °C 來執行於其他取樣上，60 分鐘。在熱處理後之氧化物半導體膜係氧化物半導體膜 605。此取樣係稱為取樣 A。

各個取樣的結晶狀態之橫剖面係使用高解析透視電子顯微鏡（“H9000-NAR”：由 Hitachi, Ltd. 所製造之 TEM）而以 300 kV 之加速電壓來觀察，以檢查各個取樣的結晶狀態。第 19A 及 19B 圖顯示取樣 A 的橫剖面相片，以及第 20A 及 20B 圖顯示取樣 B 的橫剖面相片。注意的是，第 19A 及 20A 圖係低放大率相片（二百萬倍之放大率），以及第 19B 及 20B 圖係高放大率相片（四百萬倍之放大率）。

連續的晶格影像係觀察於取樣 A 之橫剖面的表面部分，且顯示於第 19A 及 19B 圖之中，而該取樣 A 係在電爐中接受 650 °C 之熱處理，60 分鐘。特別地，在第 19B 圖之高放大率相片中，清楚的晶格影像係觀察於藉由白色框所包圍的區域中，而指出晶軸係一致取向之晶體的存在。依照上述，所發現的是，In-Ga-Zn-O 膜的表面部分係透過電爐中 60 分鐘之 650 °C 的熱處理而結晶化，且包含晶體區。注意的是，在除了表面部分之外的區域中，並未觀察到清楚連續的晶格影像，而是觀察到其中微晶粒子到處存在於非晶區之中的狀態。該等微晶係所謂奈米晶體，各具有大於或等於 2 奈米且小於或等於 4 奈米之微粒尺寸。

另一方面，自第 20A 及 20B 圖（取樣 B）的橫剖面相片並未觀察到清楚的晶格影像於厚度方向中之任何區域中，以致發現取樣 B 具有非晶氧化物半導體膜。

其次，第 21A 圖顯示在電爐中接受 650°C 之 60 分鐘熱處理的取樣 A 之氧化物半導體膜的表面部分之巨觀照相，以及第 21B 至 21F 圖顯示晶體區之電子繞射圖案。指示其中晶格影像對齊之方向性箭頭 1 至 5 係描繪於表面部分的巨觀照相中（第 21A 圖），且所發現到的是，晶體係垂直於膜的頂部表面而成長。顯示於第 21B 至 21F 圖中之電子繞射圖案係分別觀察於箭頭 1 至 5 所指示的位置處，且 c 軸之取向可被看到。由於此電子繞射圖案與已知晶格常數之間的比較結果，呈現清楚的是，晶體結構係  $\text{InGaZnO}_4$ 。

依據上述之分析結果，可發現到的是，接受電爐中 60 分鐘之 650°C 的熱處理之取樣的氧化物半導體膜表面部分具有晶體區。

此申請案係根據 2009 年 11 月 20 日在日本專利局所申請之日本專利申請案序號 2009-264991，該申請案的全部內容係結合於本文以供參考之用。

#### 【圖式簡單說明】

第 1A 及 1B 圖分別描繪電晶體的頂視圖及橫剖面視圖；

第 2A 及 2B 圖描繪電晶體的橫剖面視圖；

第 3 圖描繪  $\text{InGaZnO}_4$  的晶體結構；

第 4 圖描繪其中使用氧化物半導體之垂直電晶體的縱

剖面視圖：

第 5A 及 5B 圖係沿著第 4 圖中之線 A-A' 所取得的橫剖面中之能帶圖（示意圖）；

第 6 圖顯示真空能階與金屬的功函數 ( $\phi_M$ ) 之間的關係，及真空能階與氧化物半導體的親合力 ( $\chi$ ) 之間的關係；

第 7 圖係沿著第 4 圖中之線 B-B' 所取得的橫剖面中之能帶圖；

第 8A 及 8B 圖分別顯示其中施加正電位 ( $+V_G$ ) 至閘極 (G1) 的狀態，及其中施加負電位 ( $-V_G$ ) 至該閘極 (G1) 的狀態；

第 9A 及 9B 圖顯示空乏層之最大寬度及德拜長度的計算結果；

第 10A 至 10C 圖描繪用以說明電晶體之製造方法的橫剖面視圖；

第 11A 及 11B 圖描繪用以說明電晶體之製造方法的橫剖面視圖；

第 12 圖描繪用以說明電晶體之製造方法的橫剖面視圖；

第 13 圖描繪太陽能電力產生系統之實例的圖式；

第 14A 及 14B 圖顯示藉由裝置模擬器之計算的結果；

第 15A 及 15B 圖顯示藉由裝置模擬器之計算的結果；

第 16A 及 16B 圖顯示藉由裝置模擬器之計算的結果；

第 17 圖描繪用以解說 CV 測量的視圖；

第 18A 及 18B 圖顯示 CV 測量的結果；

第 19A 及 19B 圖係氧化物半導體膜之橫剖面的 TEM 相片；

第 20A 及 20B 圖係氧化物半導體膜之橫剖面的 TEM 相片；以及

第 21A 至 21F 圖係氧化物半導體膜之橫剖面及其電子繞射圖案的 TEM 相片。

## O

### 【主要元件符號說明】

101、601：基板

103：絕緣膜

105、109、113：電極

107、151、151a、507、605：氧化物半導體膜

111：閘極絕緣膜

117：絕緣膜

119、123：接觸孔

125、129、131：佈線

145：電晶體

155：非晶區

157：晶體區

161：粗體實線

163：粗體虛線

165：細體實線

167：細體虛線

201138106

201、211：直線

203、217、219：影線

213、215：虛線

400：太陽能電池板

402：直流開關

404：變頻器

406：配電盤

408：交流開關

410：電氣裝置

412：變壓器

414：電力網

501：玻璃基板

503：鈦膜

505：氮化鈦膜

509：氮氧化矽膜

511：銀膜

發明專利說明書

(100年1月18日)

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099139772

※申請日：099年11月18日

※IPC分類：

(H01L 29/18 2006.01)

一、發明名稱：(中文／英文)

(H01L 29/40 2006.01)

電晶體

Transistor

## 二、中文發明摘要：

本發明所提供的係用於高功率應用之半導體裝置，該半導體裝置包含具有高生產率之新穎的半導體材料。選擇性地，所提供的係具有新穎結構之半導體裝置，其中使用該新穎的半導體材料。所提供的係包含使用氧化物半導體所形成之通道形成區的垂直電晶體，該氧化物半導體具有比矽半導體更寬的能隙，且係藉由將用作氧化物半導體中之電子施體（施體）的雜質去除而為本徵的半導體或實質本徵的半導體。該氧化物半導體的厚度係大於或等於1微米，較佳地大於3微米，或更佳地大於或等於10微米。

三、英文發明摘要：

Provided is a semiconductor device for high power application including a novel semiconductor material with high productivity. Alternatively, provided is a semiconductor device having a novel structure in which the novel semiconductor material is used. Provided is a vertical transistor including a channel formation region formed using an oxide semiconductor which has a wider band gap than a silicon semiconductor and is an intrinsic semiconductor or a substantially intrinsic semiconductor with impurities that serve as electron donors (donors) in the oxide semiconductor removed. The thickness of the oxide semiconductor is greater than or equal to 1 micrometer, preferably greater than 3 micrometer, more preferably greater than or equal to 10 micrometer.

七、申請專利範圍：

1. 一種電晶體，包含：

第一電極，係形成於基板之上；

氧化物半導體膜，其係形成與該第一電極接觸，且其具有降低的氫濃度和大於3微米的厚度；

第二電極，係形成與該氧化物半導體膜接觸；

閘極絕緣膜，覆蓋該第一電極、該氧化物半導體膜、及該第二電極；以及

第三電極，面向至少該氧化物半導體膜的側表面，而該閘極絕緣膜係設置於其間。

2. 一種電晶體，包含：

第一電極，係形成於基板之上；

氧化物半導體膜，其係形成與該第一電極接觸，且其具有降低的氫濃度和大於3微米的厚度；

第二電極，係形成與該氧化物半導體膜接觸；

閘極絕緣膜，覆蓋該第一電極、該氧化物半導體膜、及該第二電極；以及

第三電極，面向至少該氧化物半導體膜的側表面，而該閘極絕緣膜係設置於其間，

其中該氧化物半導體膜包含晶體區，該晶體區係在與該閘極絕緣膜接觸的區域中。

3. 一種電晶體，包含：

第一電極，係形成於基板之上；

氧化物半導體膜，其係形成與該第一電極接觸，且其

具有降低的氫濃度和大於3微米的厚度；

第二電極，係形成與該氧化物半導體膜接觸；

閘極絕緣膜，覆蓋該第一電極、該氧化物半導體膜、及該第二電極；以及

第三電極，面向至少該氧化物半導體膜的側表面，而該閘極絕緣膜係設置於其間，

其中該氧化物半導體膜包含晶體區，該晶體區係在與該閘極絕緣膜接觸的區域中，以及

其中該第一電極作用成爲源極電極及汲極電極的其中一者，

其中該第二電極作用成爲該源極電極及該汲極電極的其中另一者，且

其中該第三電極作用成爲閘極電極。

#### 4. 一種電晶體，包含：

第一電極，係形成於基板之上；

氧化物半導體膜，其係形成與該第一電極接觸，且其具有降低的氫濃度和大於3微米的厚度；

第二電極，係形成與該氧化物半導體膜接觸；

閘極絕緣膜，覆蓋該第一電極、該氧化物半導體膜、及該第二電極；以及

第三電極，面向至少該氧化物半導體膜的側表面，而該閘極絕緣膜係設置於其間，

其中該氧化物半導體膜包含晶體區於與該閘極絕緣膜接觸的區域中，其中該第一電極作用成爲源極電極及汲極電極

的其中一者，

其中該第二電極作用成爲該源極電極及該汲極電極的其中另一者，以及

其中該第三電極作用成爲閘極電極。

5.如申請專利範圍第1項之電晶體，其中該第二電極係與該氧化物半導體膜的整個頂部表面接觸。

6.如申請專利範圍第2項之電晶體，其中該第二電極係與該氧化物半導體膜的整個頂部表面接觸。

7.如申請專利範圍第3項之電晶體，其中該第二電極係與該氧化物半導體膜的整個頂部表面接觸。

8.如申請專利範圍第4項之電晶體，其中該第二電極係與該氧化物半導體膜的整個頂部表面接觸。

9.如申請專利範圍第1項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{14} \text{ cm}^{-3}$ 的載子密度。

10.如申請專利範圍第2項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{14} \text{ cm}^{-3}$ 的載子密度。

11.如申請專利範圍第3項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{14} \text{ cm}^{-3}$ 的載子密度。

12.如申請專利範圍第4項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{14} \text{ cm}^{-3}$ 的載子密度。

13.如申請專利範圍第1項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{12} \text{ cm}^{-3}$ 的載子密度。

14.如申請專利範圍第2項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{12} \text{ cm}^{-3}$ 的載子密度。

15.如申請專利範圍第3項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{12} \text{ cm}^{-3}$ 的載子密度。

16.如申請專利範圍第4項之電晶體，其中該氧化物半導體膜具有低於 $1 \times 10^{12} \text{ cm}^{-3}$ 的載子密度。

17.如申請專利範圍第1項之電晶體，其中通道係形成於該半導體膜的整個區域之中。

18.如申請專利範圍第2項之電晶體，其中通道係形成於該半導體膜的整個區域之中。

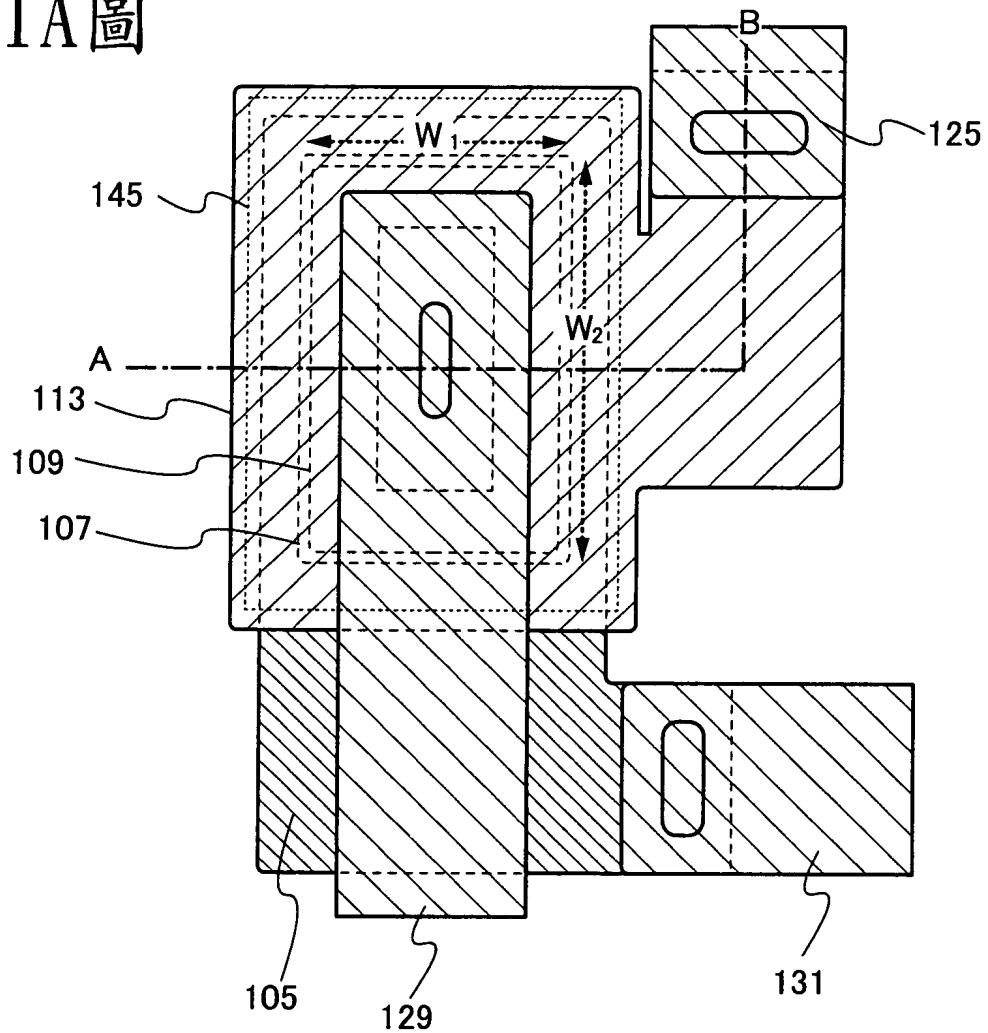
19.如申請專利範圍第3項之電晶體，其中通道係形成於該半導體膜的整個區域之中。

20.如申請專利範圍第4項之電晶體，其中通道係形成於該半導體膜的整個區域之中。

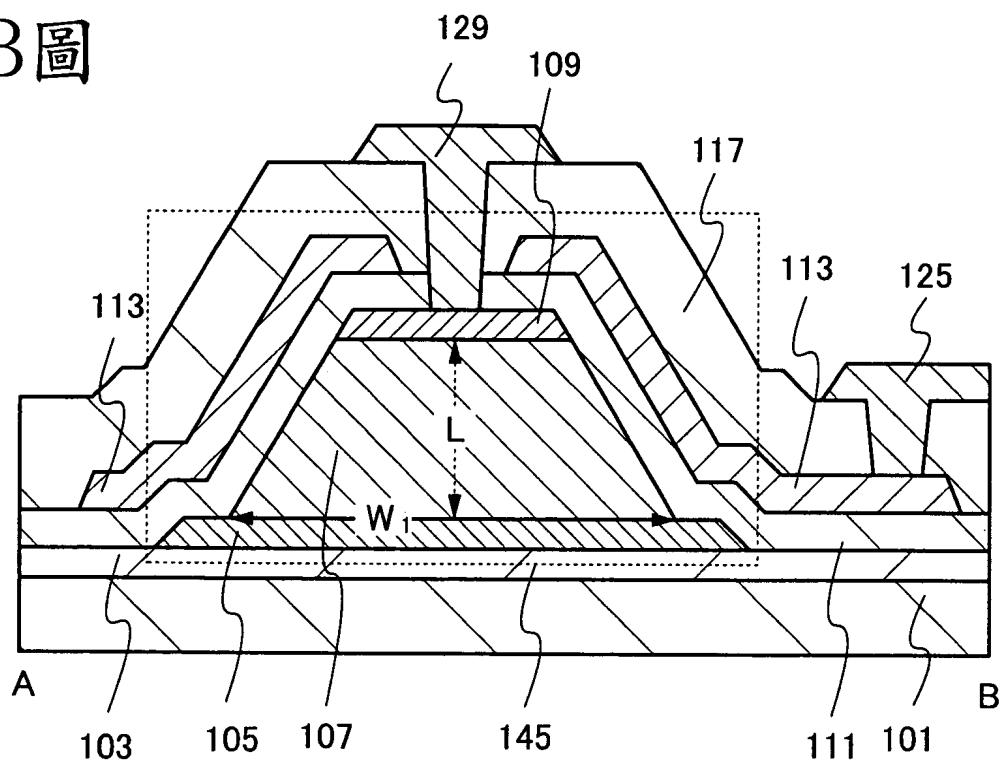
201138106

779537

第1A圖

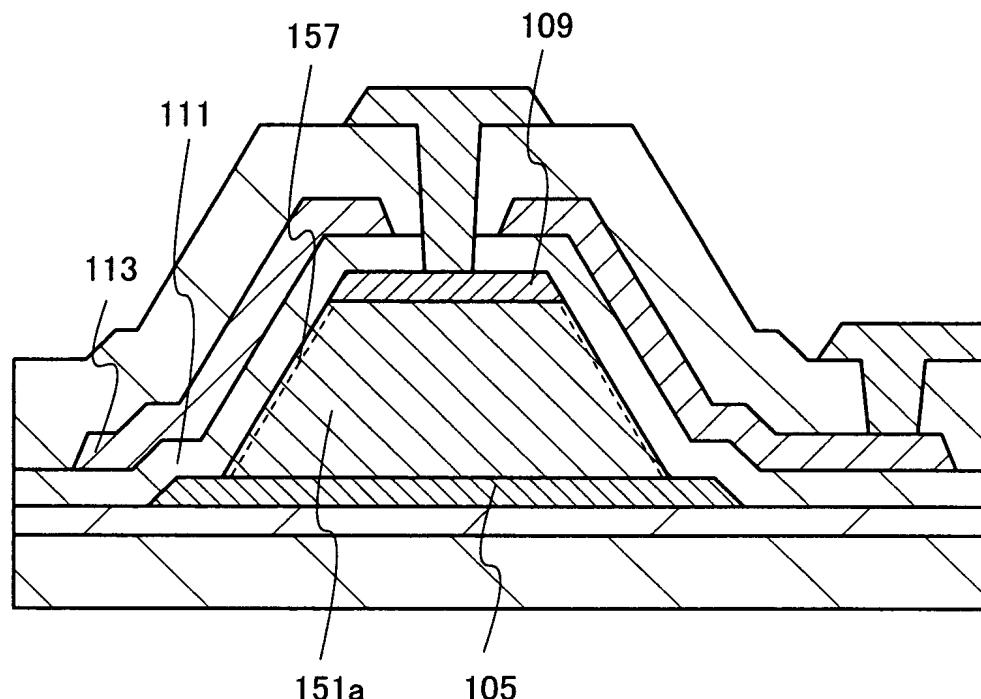


第1B圖

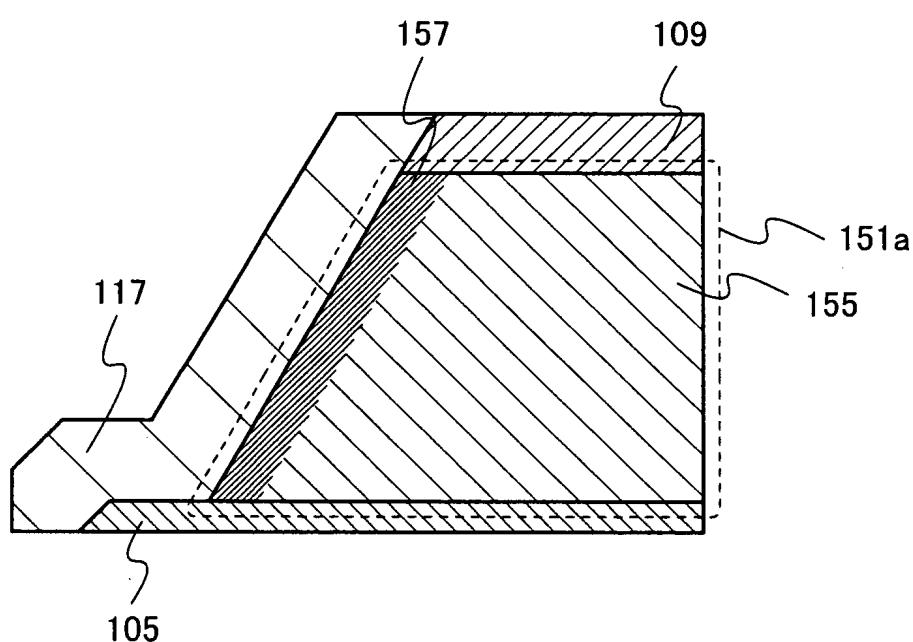


201138106

第2A圖

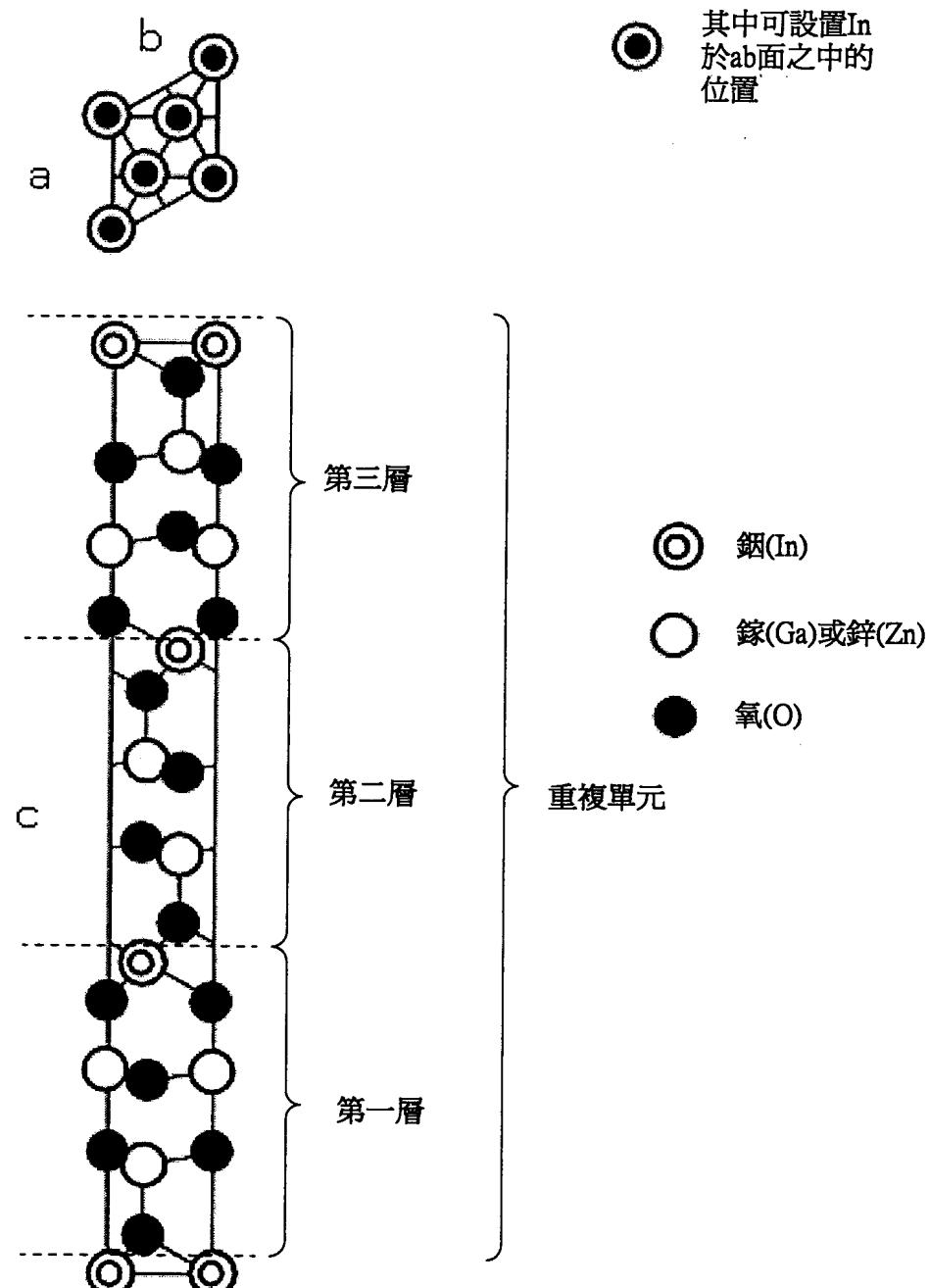


第2B圖



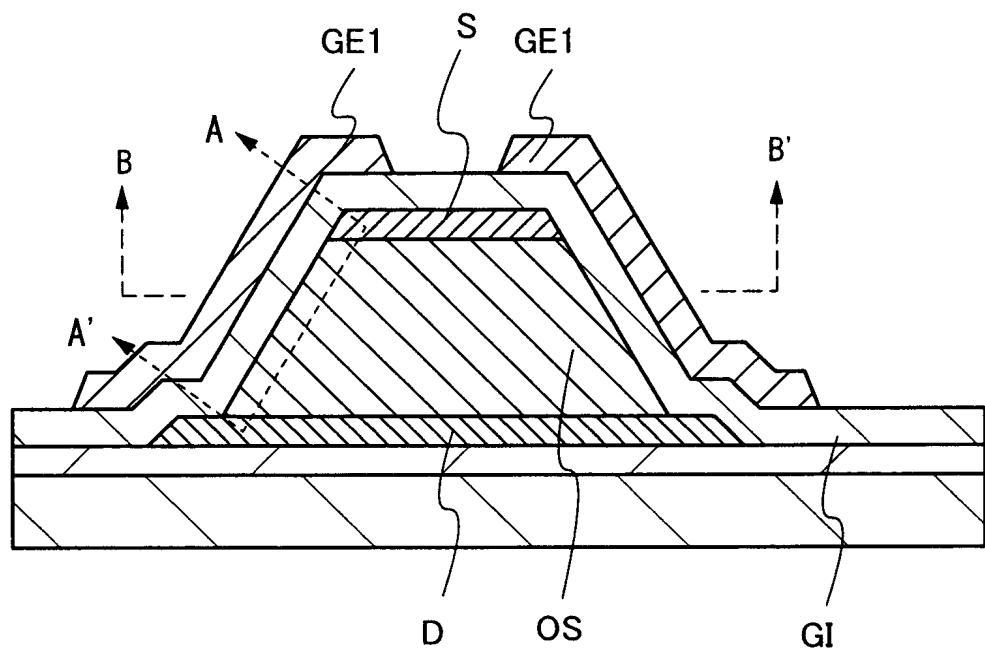
201138106

### 第3圖



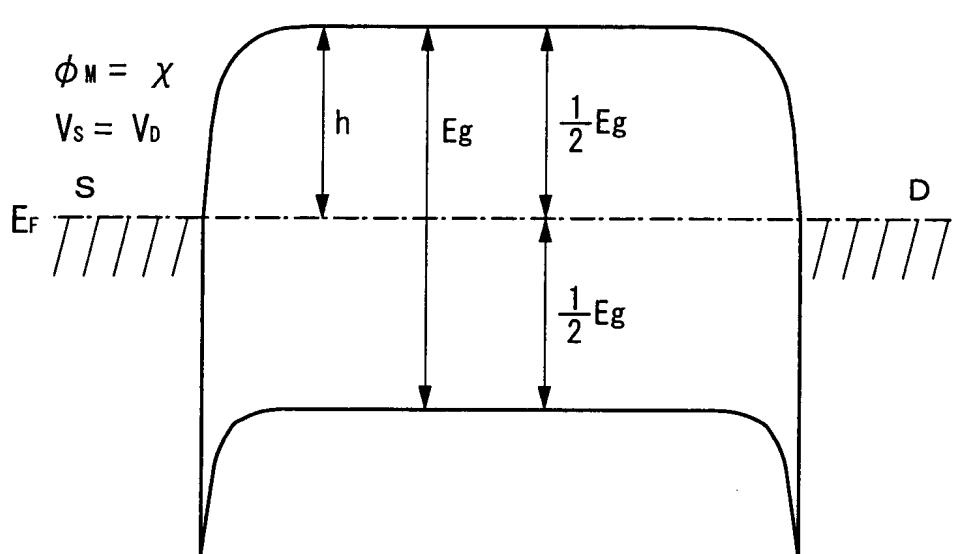
201138106

第4圖



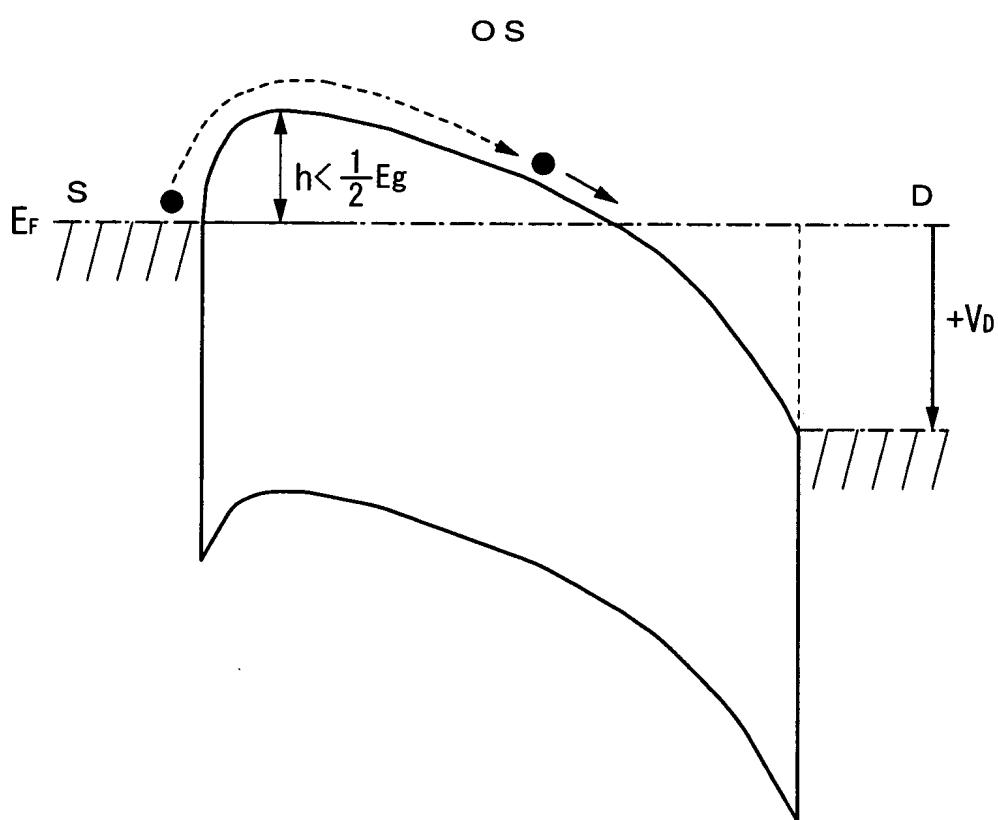
201138106

第5A圖



O

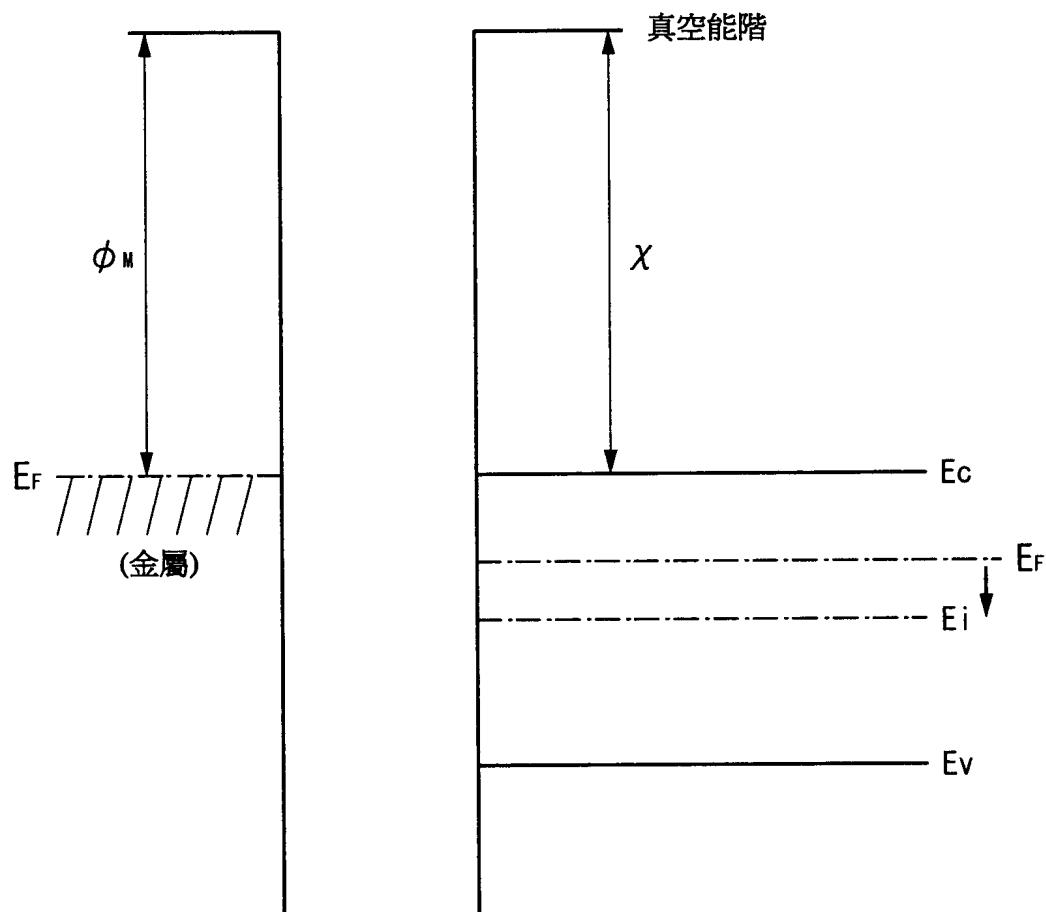
第5B圖



O

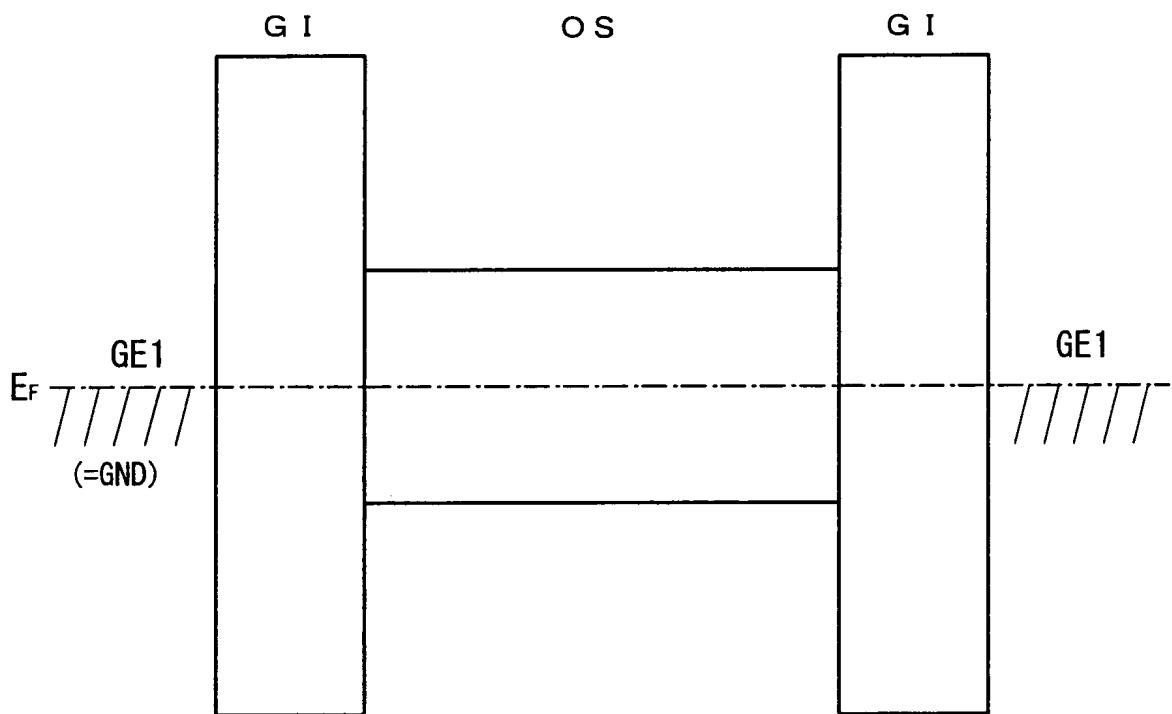
201138106

## 第6圖



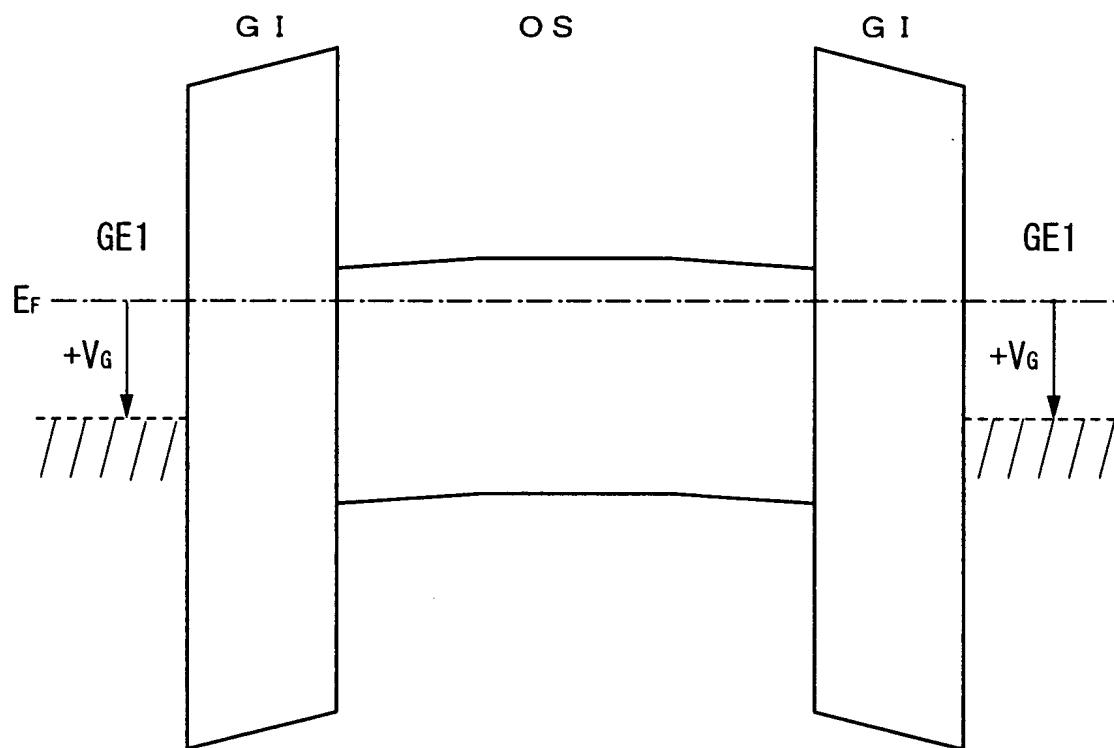
201138106

第7圖

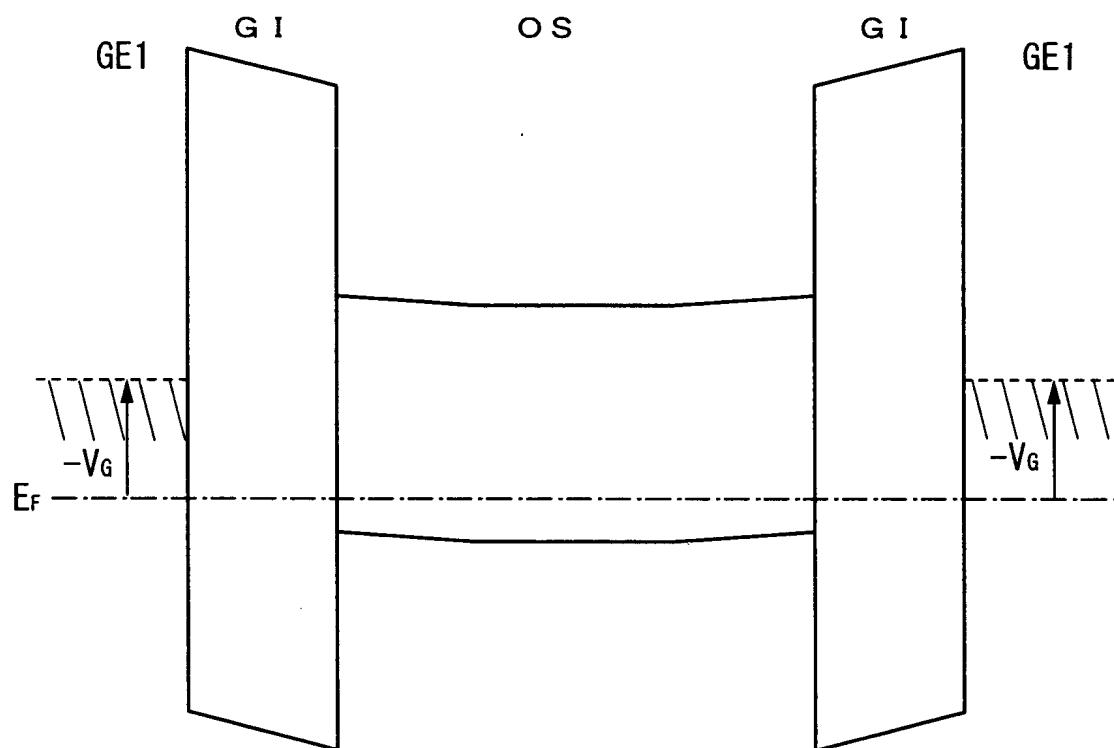


201138106

第8A圖

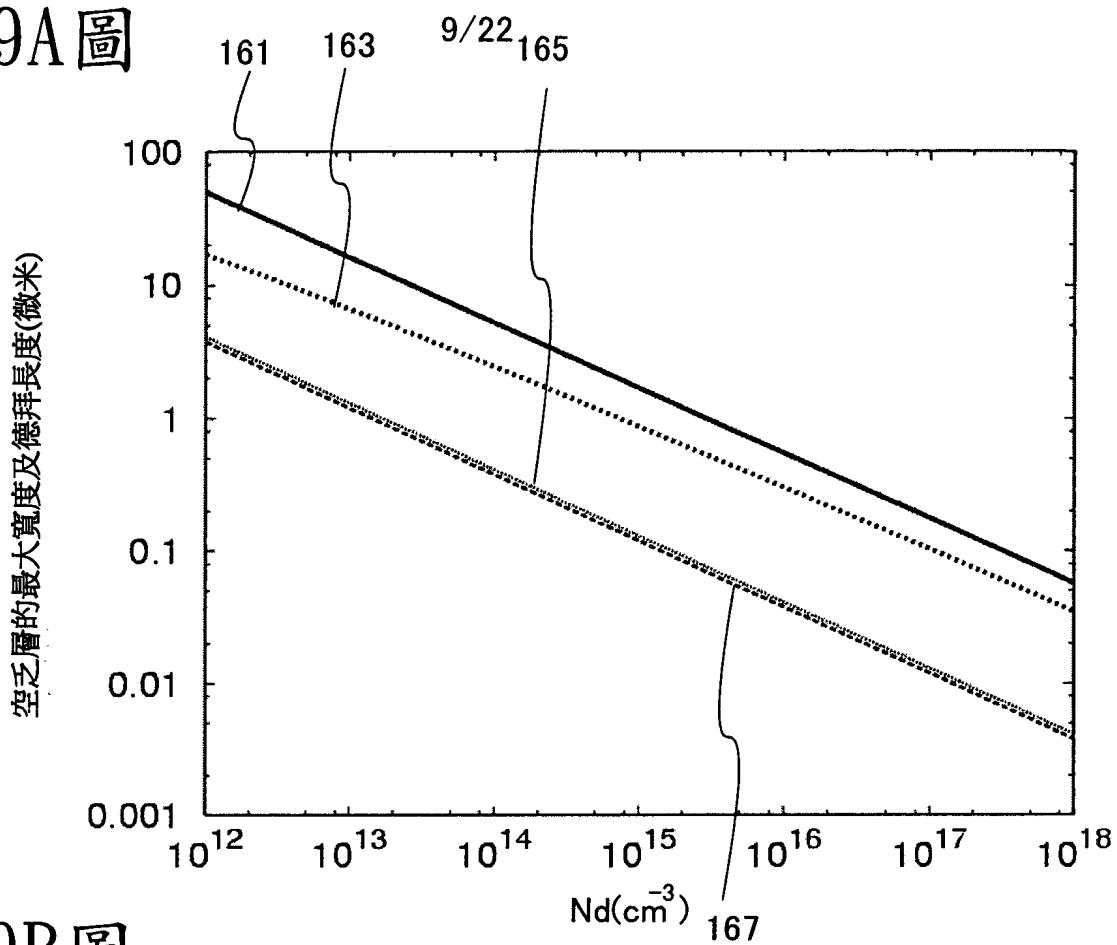


第8B圖

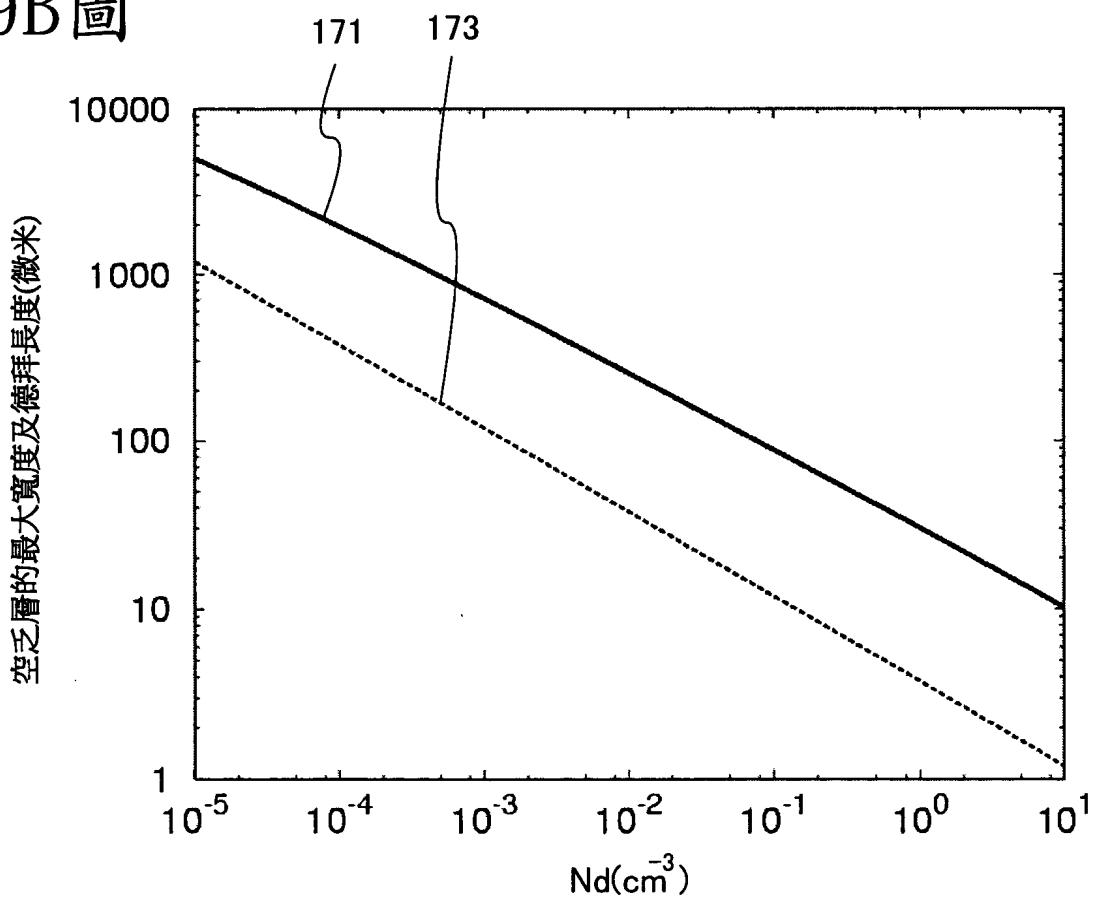


201138106

第9A圖

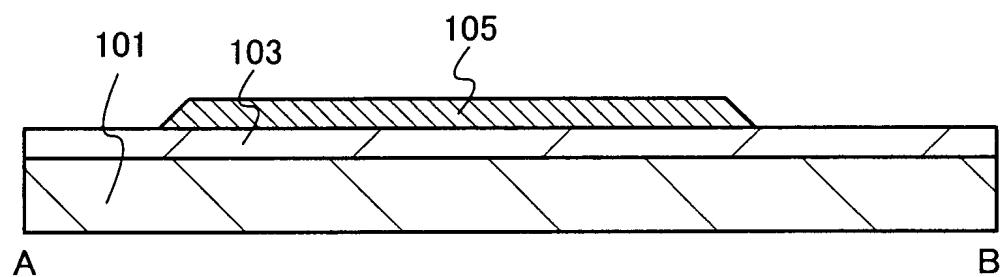


第9B圖

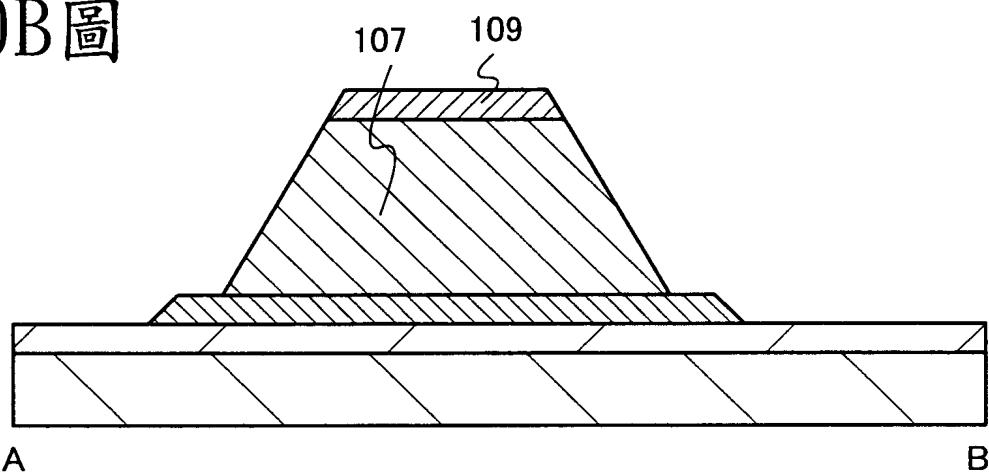


201138106

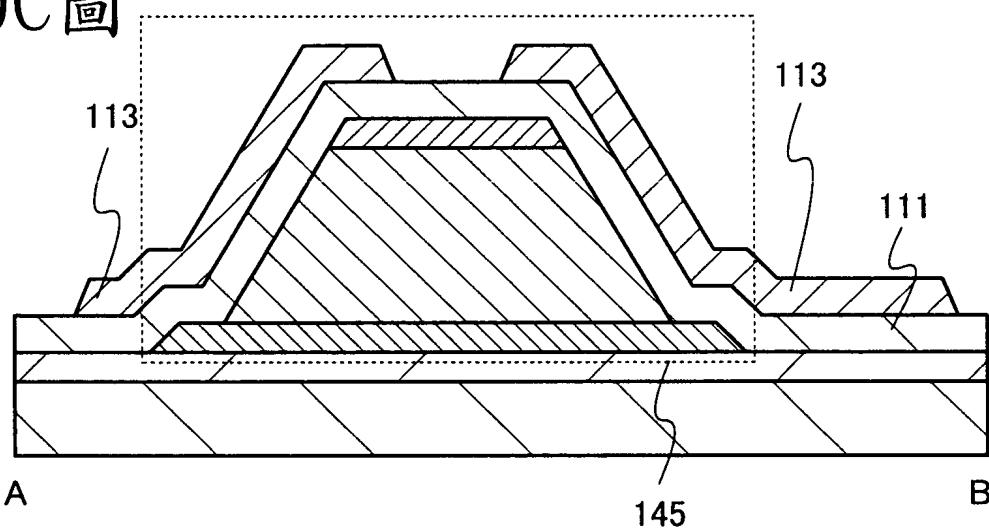
第10A圖



第10B圖

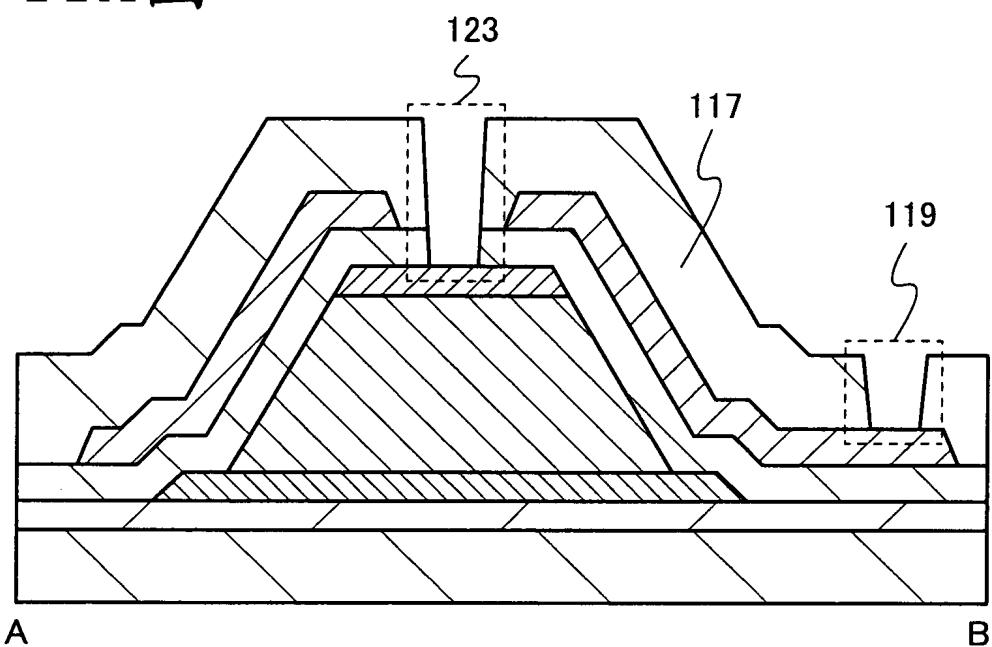


第10C圖

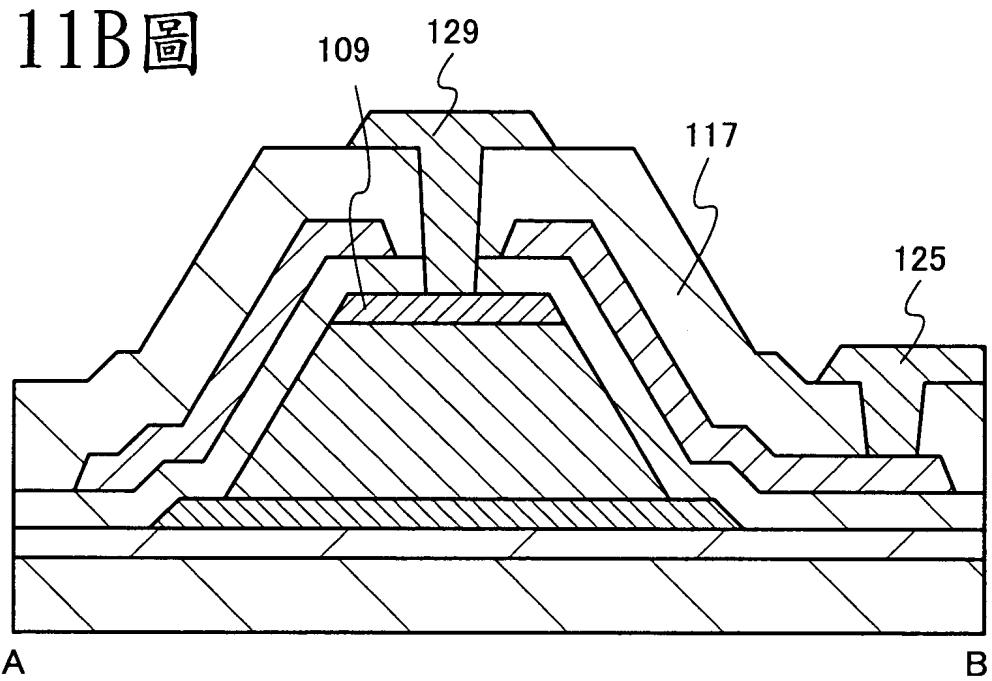


201138106

第11A圖

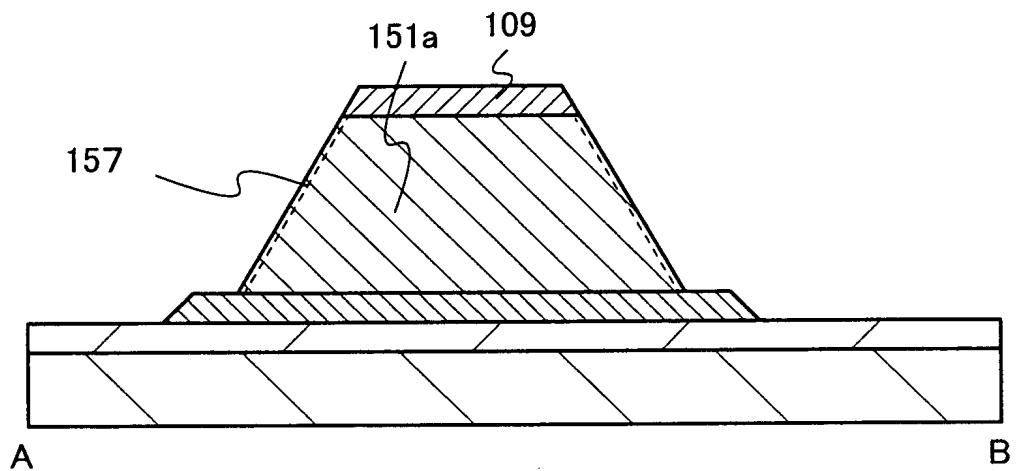


第11B圖



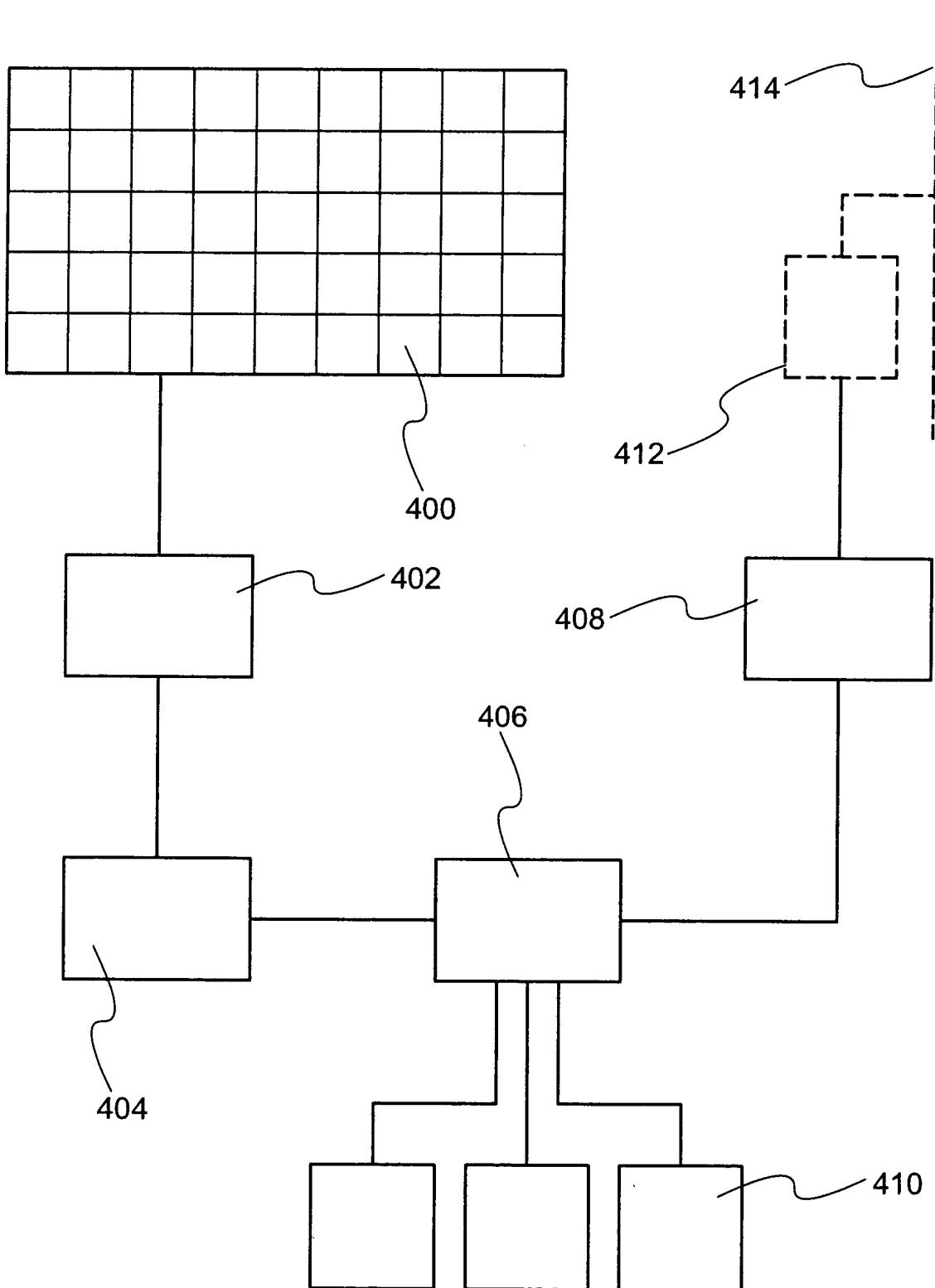
201138106

第12圖



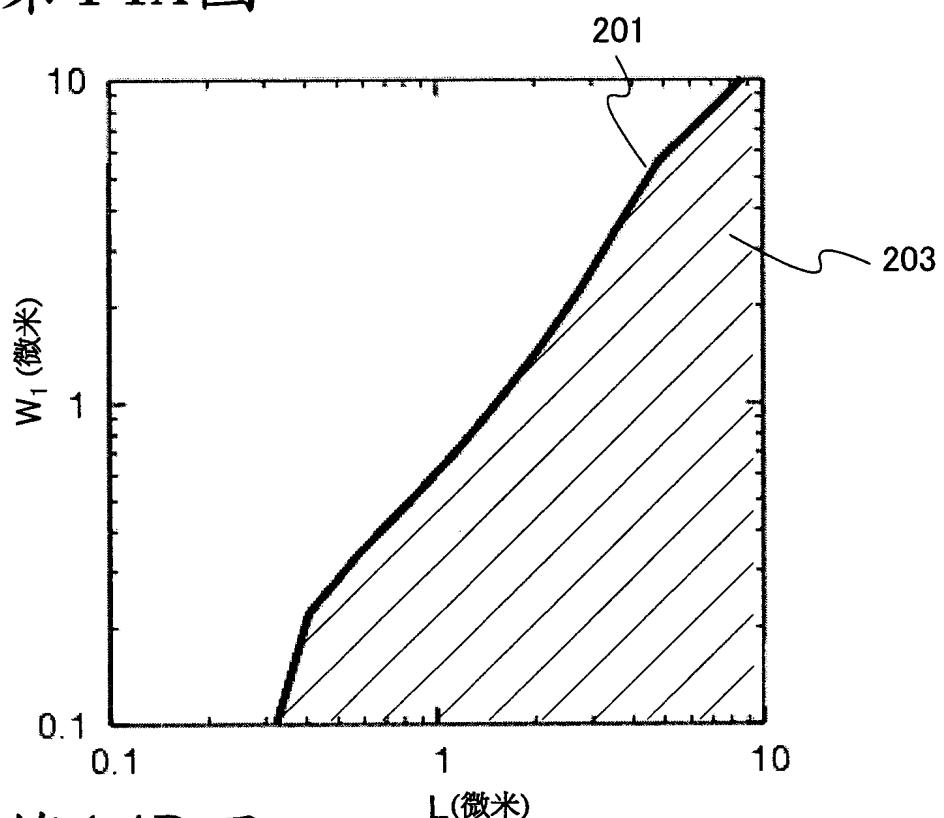
201138106

第13圖

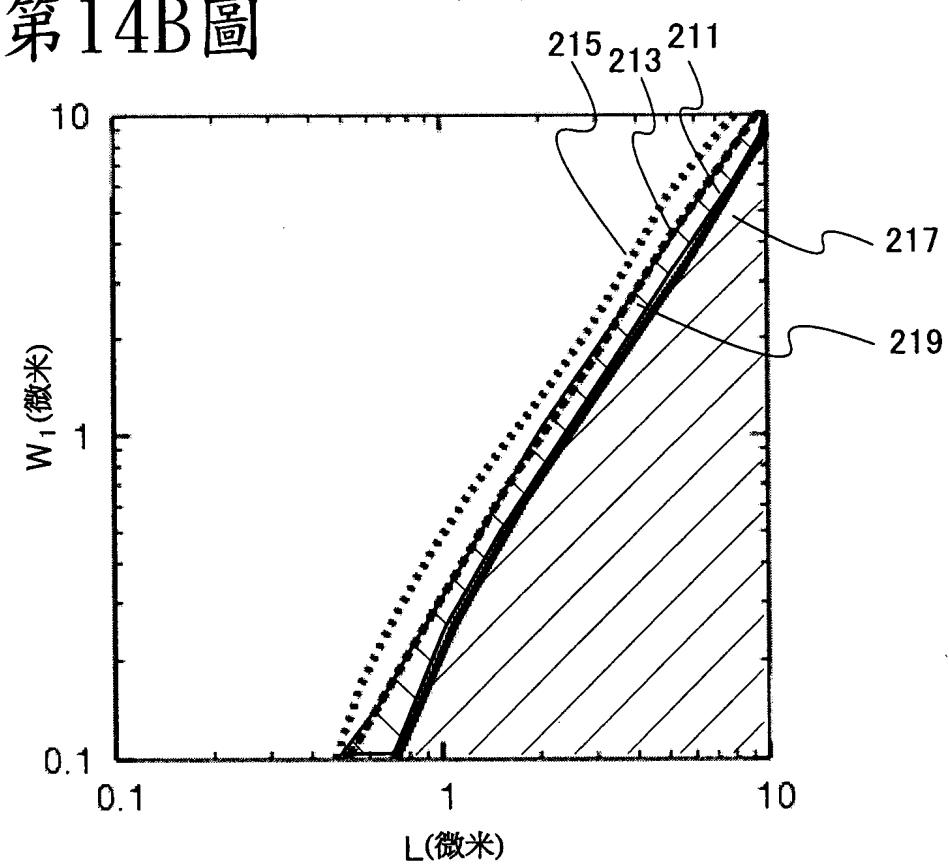


201138106

第14A圖

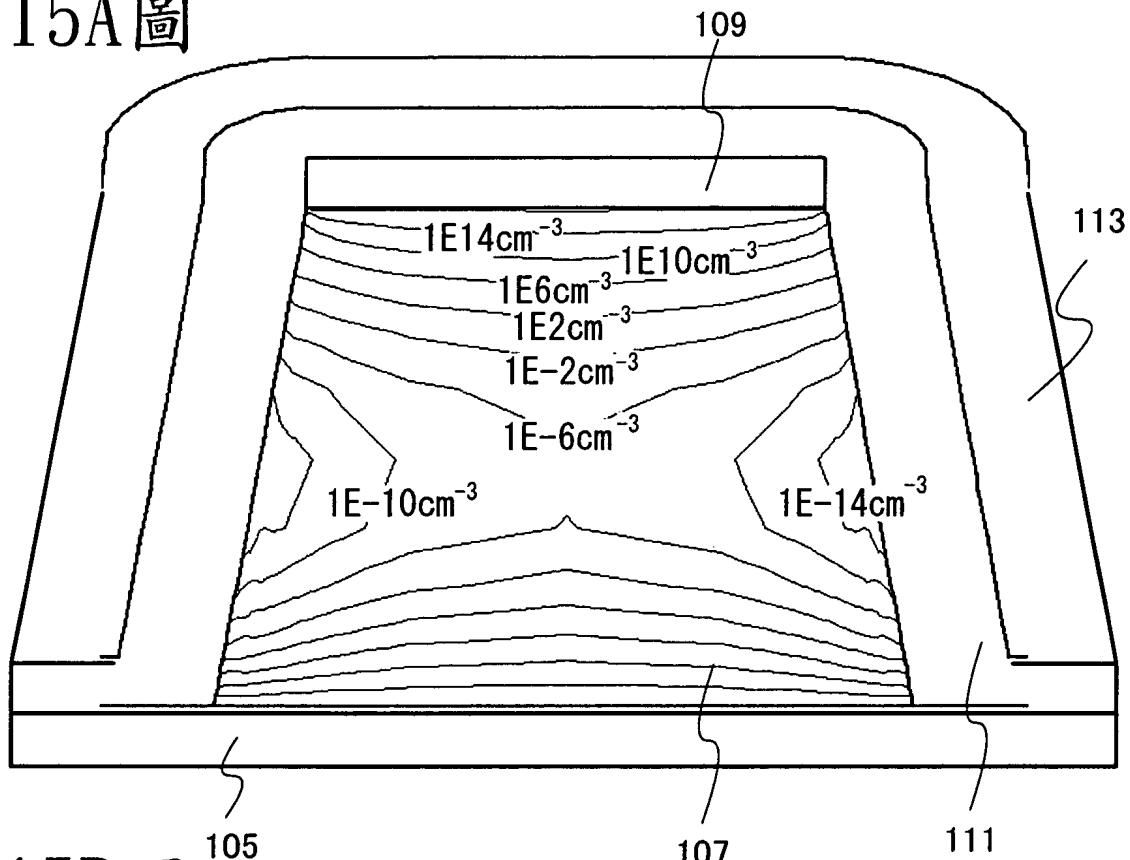


第14B圖

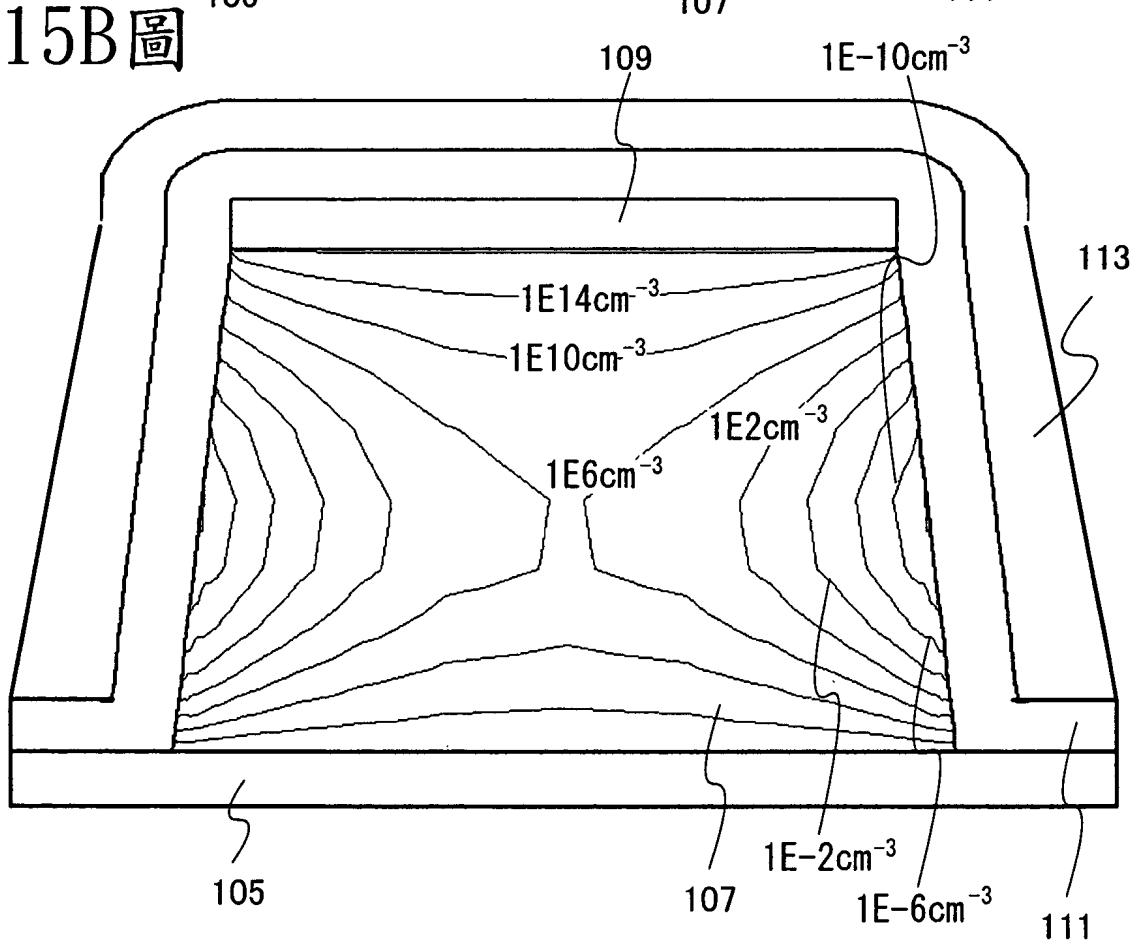


201138106

第15A圖

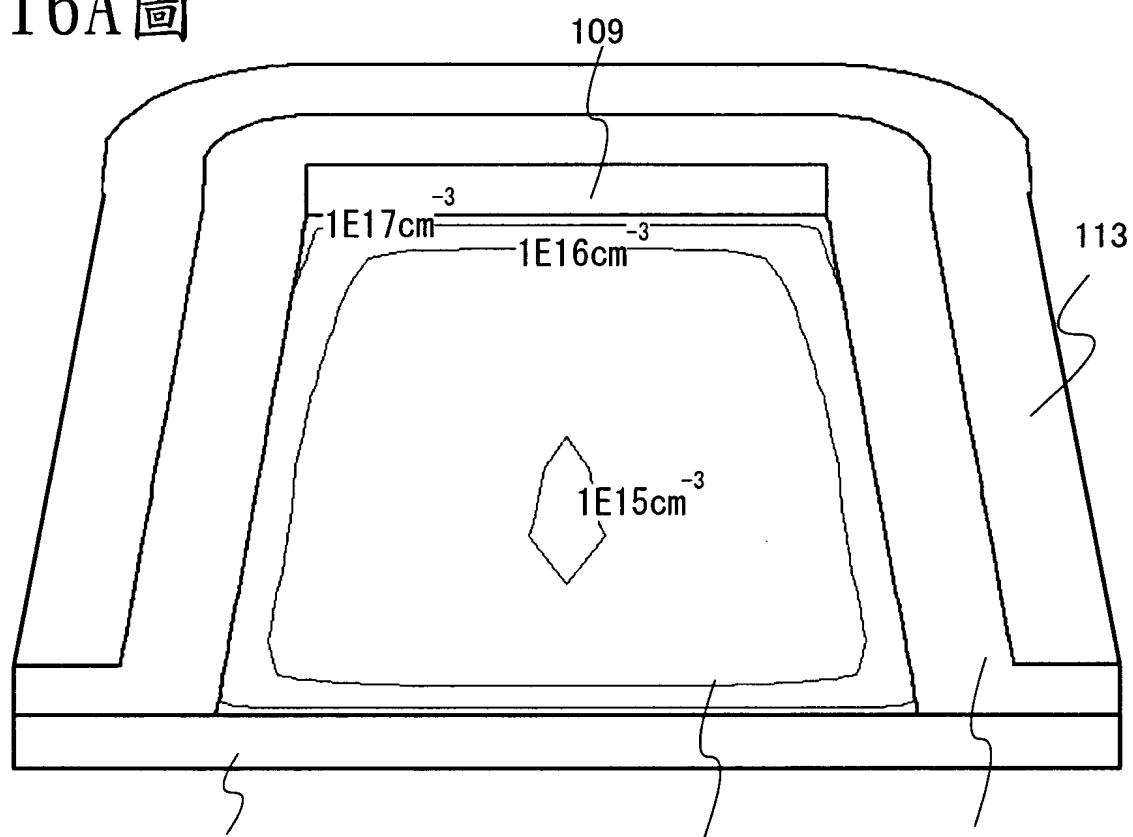


第15B圖

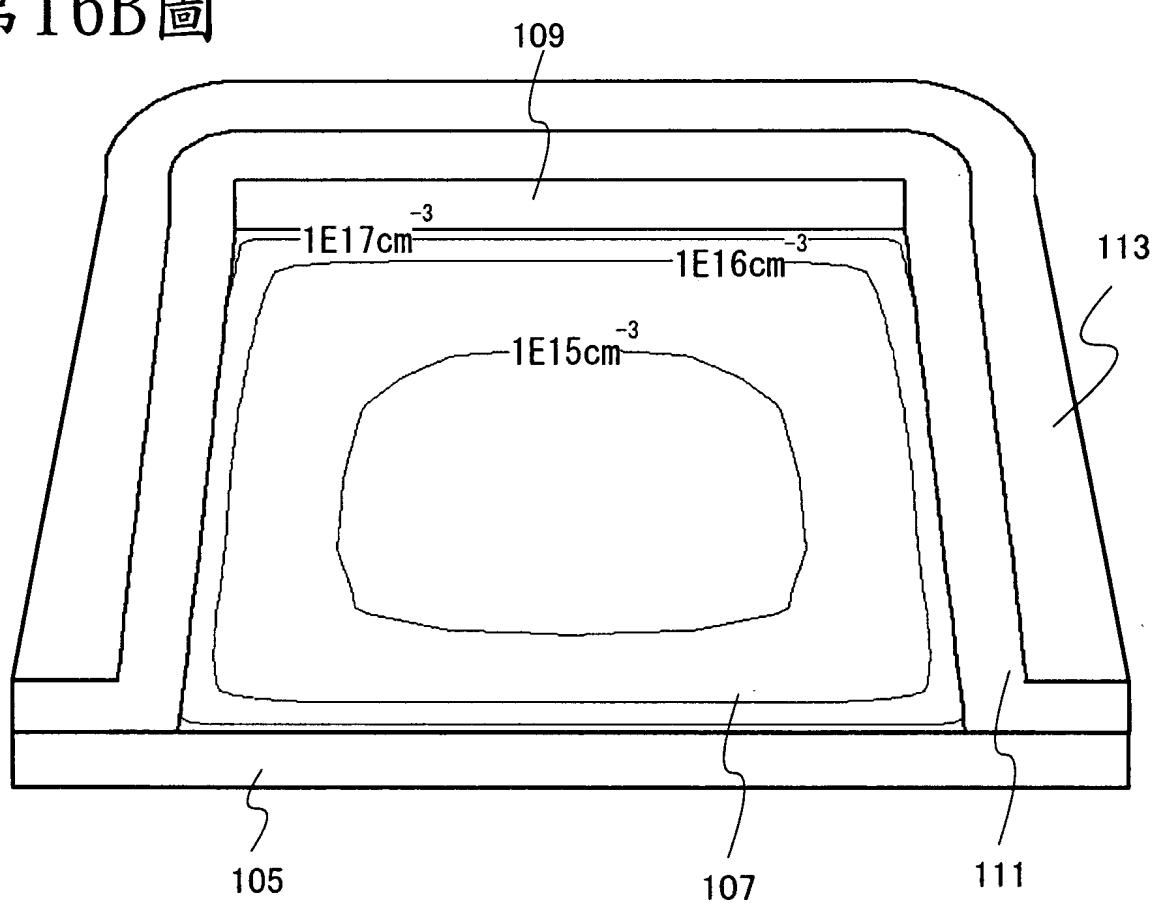


201138106

第16A圖

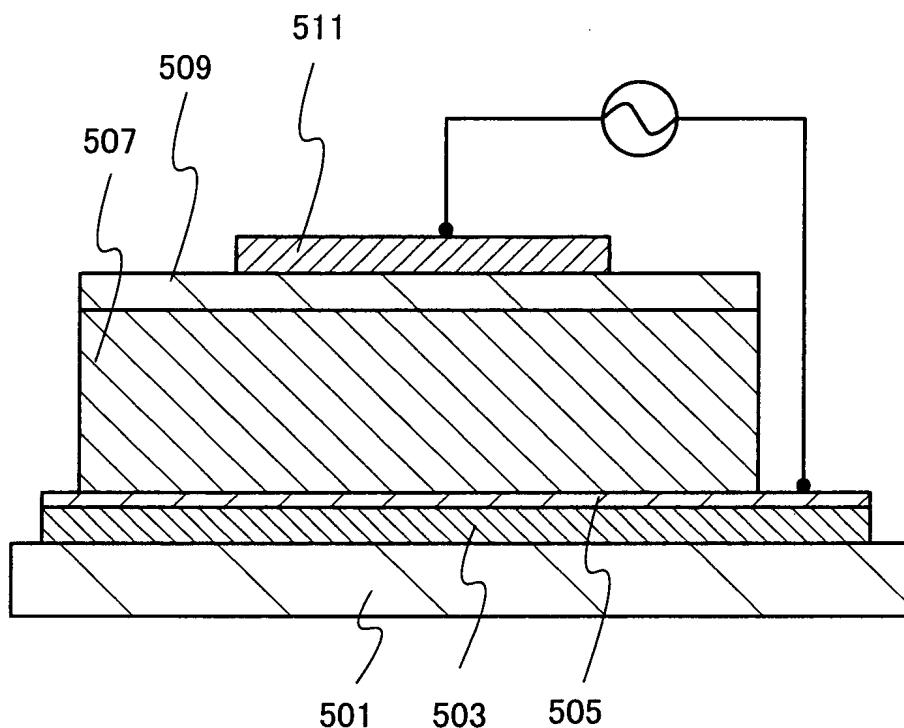


第16B圖



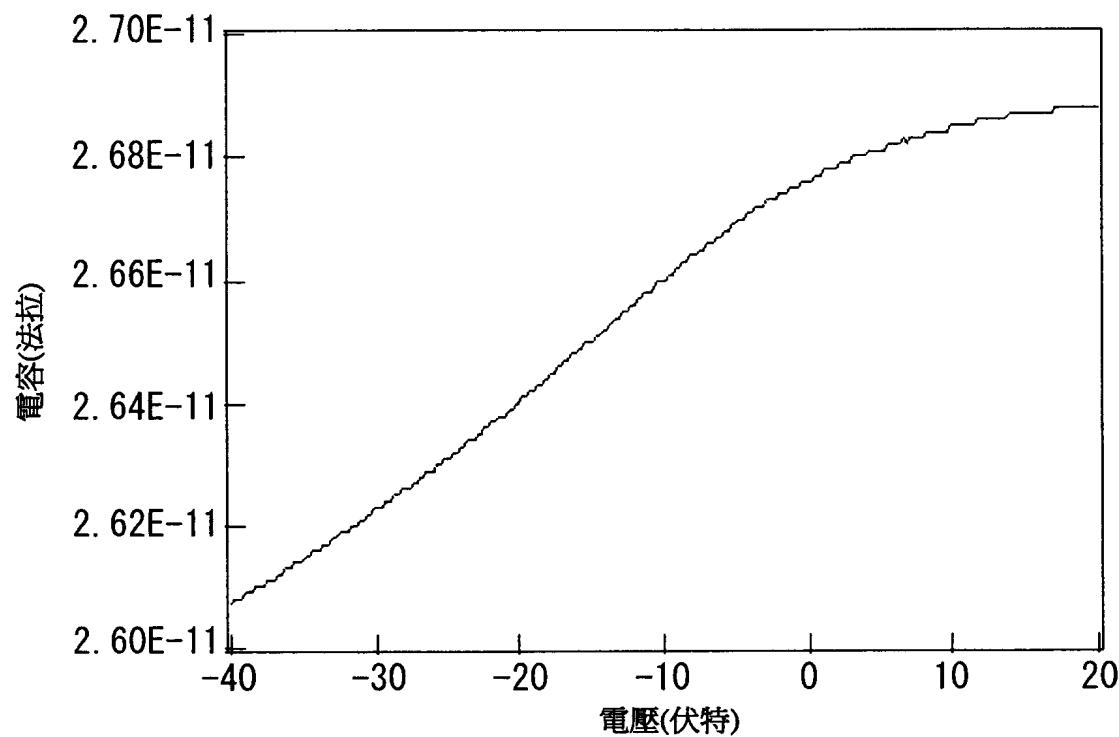
201138106

第17圖

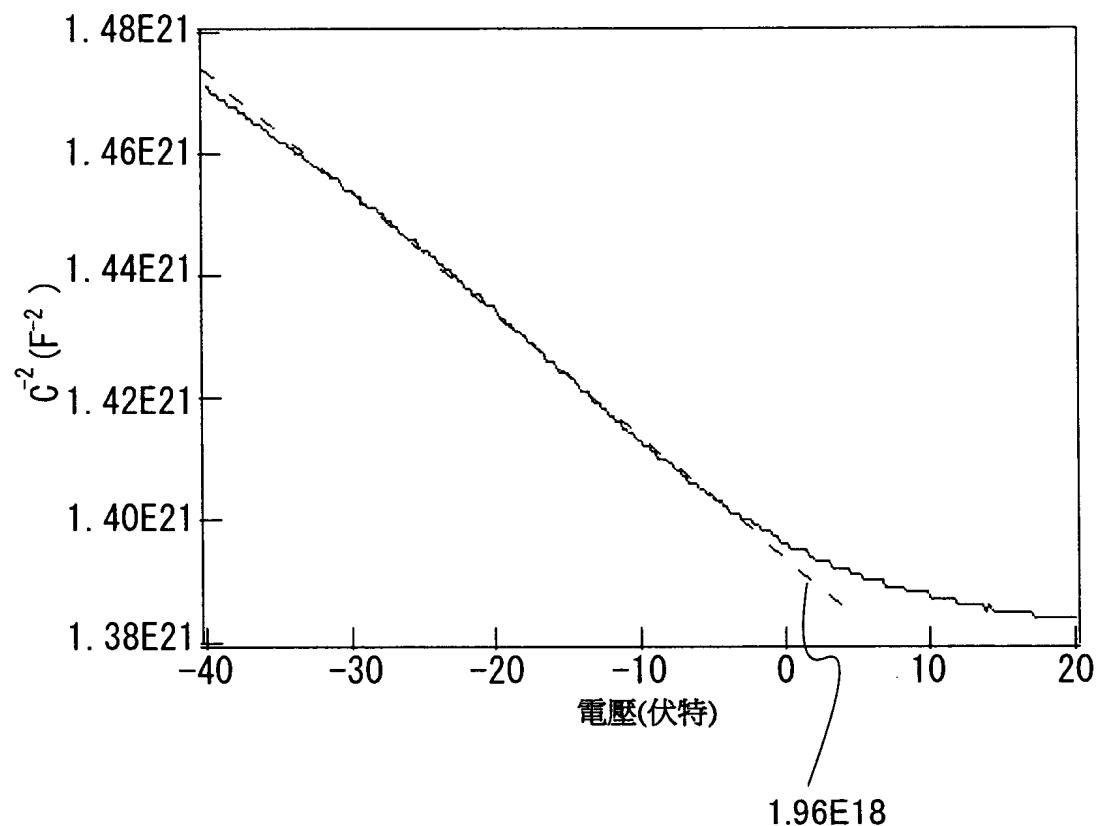


201138106

第18A圖

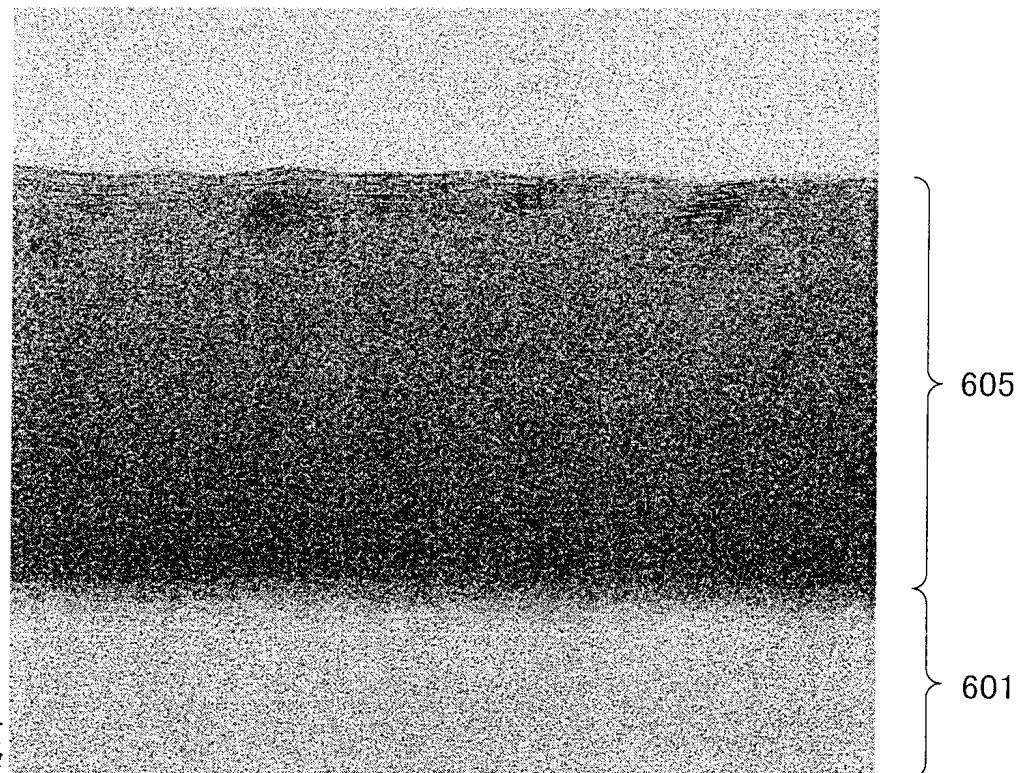


第18B圖

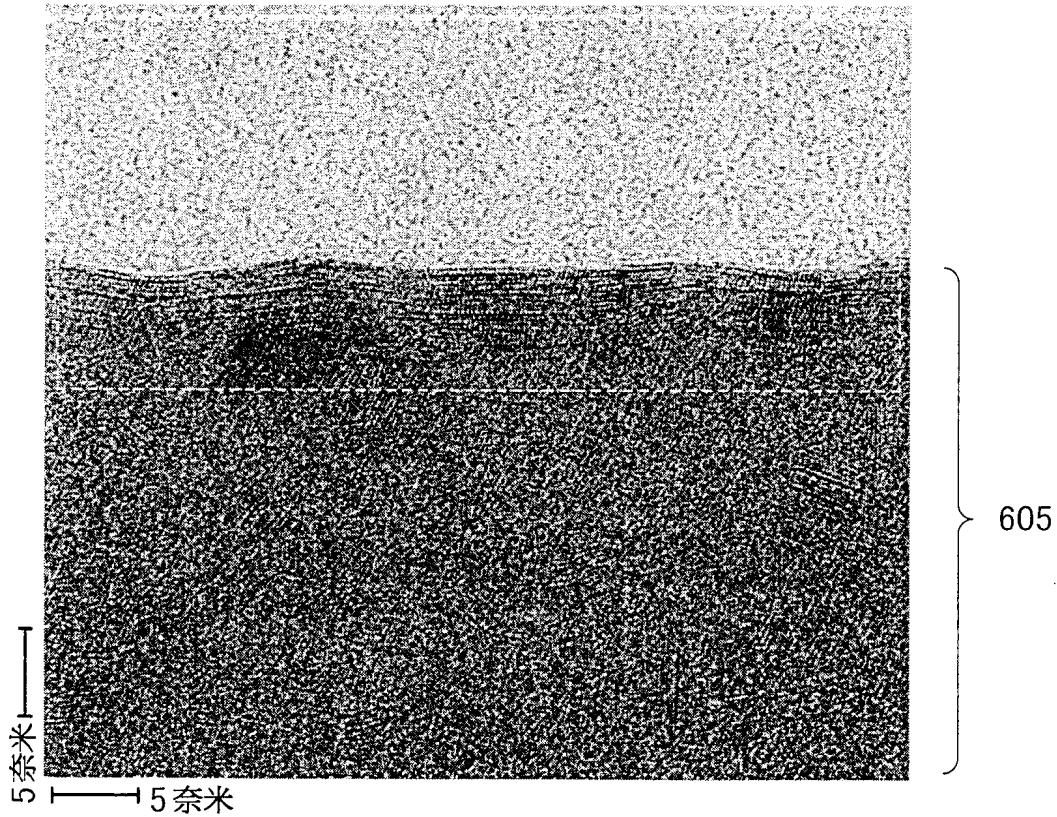


201138106

第19A圖

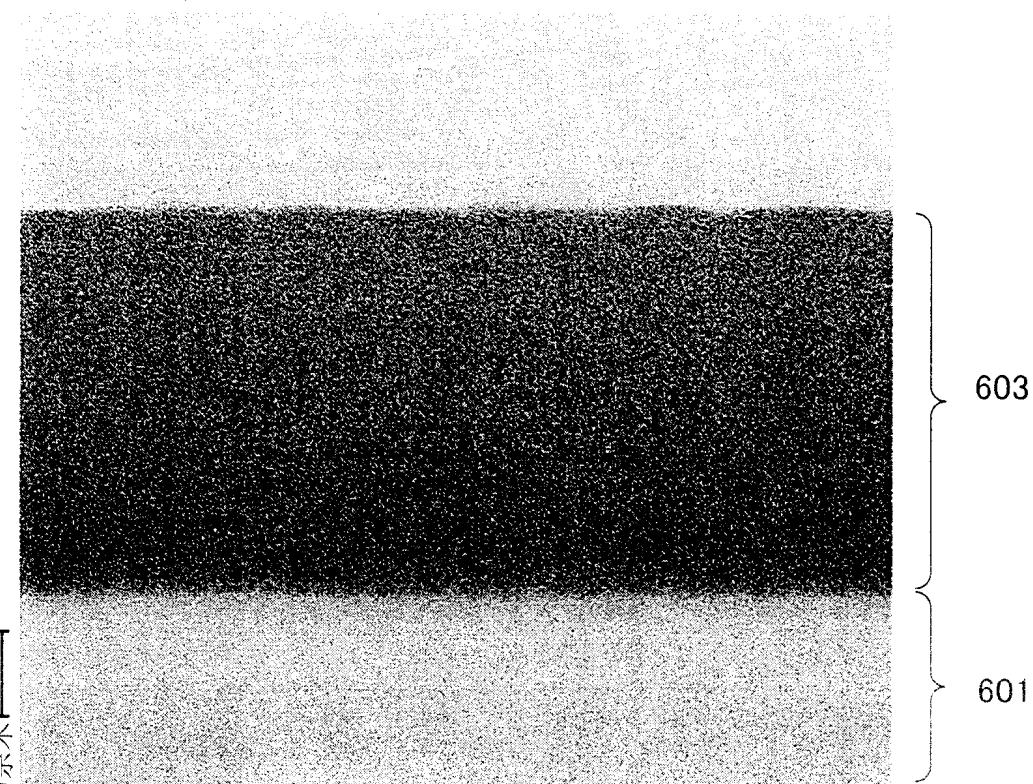


第19B圖

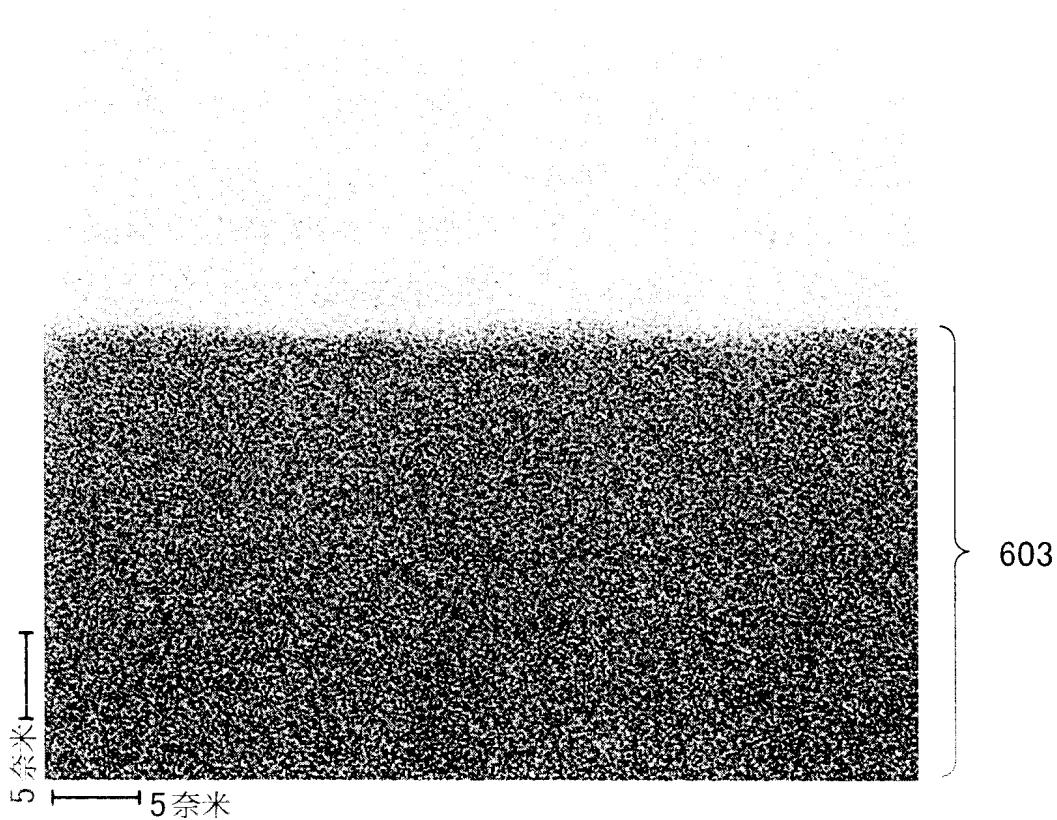


201138106

第20A圖

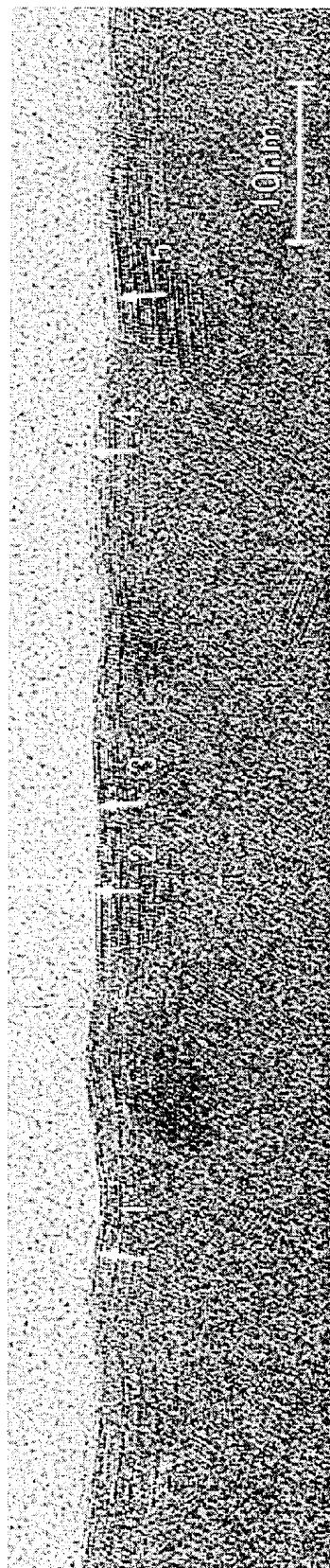


第20B圖

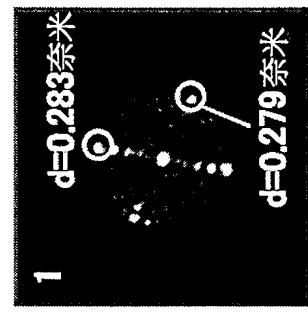


201138106

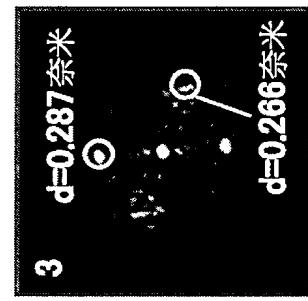
第21A圖



第21B圖



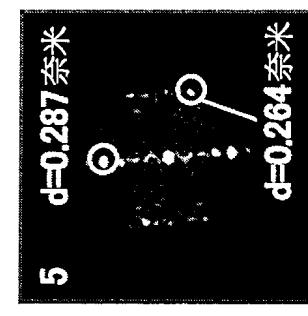
第21C圖



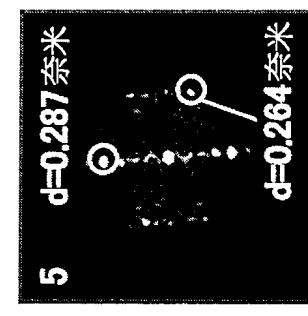
第21D圖



第21E圖



第21F圖



四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

101：基板

103：絕緣膜

105、109、113：電極

107：氧化物半導體膜

111：閘極絕緣膜

117：絕緣膜

125、129：佈線

145：電晶體

O

O

201138106

五、本案若有化學式時，請揭示最能顯示發明特徵的化學  
式：無