

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 4 月 13 日 (2017.4.13)

【公開番号】特開 2017-22407 (P2017-22407A)

【公開日】平成 29 年 1 月 26 日 (2017.1.26)

【年通号数】公開・登録公報 2017-004

【出願番号】特願 2016-191094 (P2016-191094)

【国際特許分類】

H 0 1 G 4/30 (2006.01)

H 0 1 G 2/06 (2006.01)

H 0 1 G 4/12 (2006.01)

【F I】

H 0 1 G 4/30 3 0 1 F

H 0 1 G 1/035 C

H 0 1 G 4/12 3 4 6

H 0 1 G 4/30 3 0 1 Z

【手続補正書】

【提出日】平成 29 年 3 月 9 日 (2017.3.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

内部電極が形成された誘電体シートが積層される素体が含まれ、前記内部電極に並列接続される表面にめっき層が配置された外部端子電極が前記素体の両端部に形成された積層セラミックキャパシタの回路基板実装構造であって、

前記積層セラミックキャパシタの内部電極と回路基板が水平方向になるように配置され、前記外部端子電極と回路基板のランドとが導電材によって接合され、前記回路基板の上面と前記素体の下部側のカバー層の下面との間の間隔  $T_a$  と、前記素体の下部側のカバー層の厚さ  $T_c$  との合計より、前記導電材の接合高さ  $T_s$  が低く形成され、

前記導電材の接合高さ  $T_s$  は、前記回路基板の上面と前記素体の下部側のカバー層の下面との間の間隔  $T_a$  より高く形成され、

前記素体の下部側のカバー層の厚さ  $T_c$  が、前記回路基板の上面と前記素体の下部側のカバー層の下面との間の間隔  $T_a$  より大きく形成された積層セラミックキャパシタの回路基板実装構造 ( $T_s < T_a + T_c$ 、 $T_s > T_a$ 、 $T_a < T_c$ )。

【請求項 2】

前記積層セラミックキャパシタは、水平方向に実装されるようにテーピング (T a p i n g) が施されたものであって、幅 (W)、厚さ (T) が同一、類似したものである請求項 1 に記載の積層セラミックキャパシタの回路基板実装構造。

【請求項 3】

前記積層セラミックキャパシタの誘電体層の層数は 200 層以上である請求項 1 又は 2 に記載の積層セラミックキャパシタの回路基板実装構造。

【請求項 4】

前記積層セラミックキャパシタの誘電体層の厚さは  $3 \mu m$  以下である請求項 1 又は 2 に記載の積層セラミックキャパシタの回路基板実装構造。

【請求項 5】

前記積層セラミックキャパシタの誘電体層は、層数が200層以上であり、誘電体層の厚さは3  $\mu$ m以下である請求項1又は2に記載の積層セラミックキャパシタの回路基板実装構造。