

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-80491  
(P2009-80491A)

(43) 公開日 平成21年4月16日(2009.4.16)

(5) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C094
H01L 21/336 (2006.01)	H01L 29/78 616A	5F110
H01L 29/786 (2006.01)	H01L 29/78 614	
H01L 27/32 (2006.01)	H01L 29/78 612Z	

審査請求 有 請求項の数 9 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2008-280095 (P2008-280095)  
 (22) 出願日 平成20年10月30日 (2008.10.30)  
 (62) 分割の表示 特願2003-27199 (P2003-27199) の分割  
 原出願日 平成12年4月25日 (2000.4.25)  
 (31) 優先権主張番号 特願平11-119466  
 (32) 優先日 平成11年4月27日 (1999.4.27)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山内 幸夫  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 福永 健司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

Fターム(参考) 3K107 AA01 BB01 BB06 CC21 CC31  
 EE03 HH05  
 5C094 AA02 AA21 AA32 AA37 AA43  
 AA53 BA03 BA27 CA19 DB04  
 EA04 EA05 EA10 GB10 HA05  
 HA07 HA08 HA10

最終頁に続く

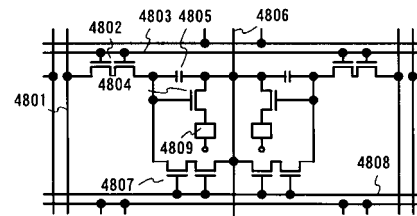
(54) 【発明の名称】 半導体装置

(57) 【要約】

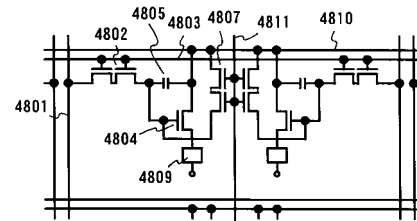
【課題】 動作性能及び信頼性の高い半導体装置を提供する。

【解決手段】 スwitching用TFT 4802及び消去用TFT 4807のLDD領域は、ゲート電極に重ならないように形成されており、オフ電流値の低減に重点を置いた構造となっている。電流制御用TFT 4804のLDD領域は、その一部又は全部がゲート電極に重なるように形成されており、オン電流値の確保と、ホットキャリア注入の防止に重点を置いた構造となっている。各部に求められる機能に応じて、同一基板上に異なる構造のTFTを、共通の工程にて形成することで、半導体装置の動作性能及び信頼性を向上する。

【選択図】 図14



(A)



(B)

## 【特許請求の範囲】

## 【請求項 1】

第 1 乃至第 3 のトランジスタ、画素電極、及び保持容量を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記画素電極と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、

前記第 1 のトランジスタは、2 以上のゲート電極と、前記ゲート電極のいずれか一と重なる 2 以上のチャンネル形成領域とを有し、

前記保持容量は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第 1 の電極と、前記第 1 乃至第 3 のトランジスタのゲート電極と同一材量からなる第 2 の電極と、前記第 1 の電極及び前記第 2 の電極との間の絶縁層を有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。

## 【請求項 2】

第 1 乃至第 3 のトランジスタ、エレクトロルミネッセンス素子、及び保持容量を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記エレクトロルミネッセンス素子の一方の端子と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、

前記第 1 のトランジスタは、2 以上のゲート電極と、前記ゲート電極のいずれか一と重なる 2 以上のチャンネル形成領域とを有し、

前記保持容量は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第 1 の電極と、前記第 1 乃至第 3 のトランジスタのゲート電極と同一材量からなる第 2 の電極と、前記第 1 の電極及び前記第 2 の電極との間の絶縁層を有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。

## 【請求項 3】

第 1 乃至第 3 のトランジスタ、画素電極、及び保持容量を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記画素電極と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、

10

20

30

40

50

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、2 以上のゲート電極と、前記ゲート電極のいずれか一と重なる 2 以上のチャネル形成領域とを有し、

前記保持容量は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第 1 の電極と、前記第 1 乃至第 3 のトランジスタのゲート電極と同一材量からなる第 2 の電極と、前記第 1 の電極及び前記第 2 の電極との間の絶縁層を有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。 10

【請求項 4】

第 1 乃至第 3 のトランジスタ、エレクトロルミネッセンス素子、及び保持容量を有し、前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、前記第 2 のトランジスタのソース又はドレインの一方は、前記エレクトロルミネッセンス素子の一方の端子と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、 20

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、2 以上のゲート電極と、前記ゲート電極のいずれか一と重なる 2 以上のチャネル形成領域とを有し、

前記保持容量は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第 1 の電極と、前記第 1 乃至第 3 のトランジスタのゲート電極と同一材量からなる第 2 の電極と、前記第 1 の電極及び前記第 2 の電極との間の絶縁層を有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。 30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、前記第 1 のトランジスタ及び前記第 3 のトランジスタがそれぞれ有するゲート電極に重ならない領域に設けられた第 1 の L D D 領域を有し、

前記第 2 のトランジスタは、前記第 2 のトランジスタが有するゲート電極の一部又は全部が重なる第 2 の L D D 領域を有することを特徴とする電子装置。

【請求項 6】

請求項 5 において、 40

前記第 1 の L D D 領域における不純物濃度よりも、前記第 2 の L D D 領域における不純物濃度が高いことを特徴とする電子装置。

【請求項 7】

請求項 5 又は請求項 6 において、

前記保持容量が有する前記半導体領域における不純物濃度は、前記第 2 の L D D 領域における不純物濃度と同じであることを特徴とする電子装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一に記載の電子装置を具備していることを特徴とする表示装置。

【請求項 9】 50

請求項 1 乃至請求項 8 のいずれか一に記載の電子装置を表示部に有し、操作スイッチを具備していることを特徴とするビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ELディスプレイ、ナビゲーションシステム、音楽再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯電話、携帯情報端末又は画像再生装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成された電子装置およびその電子装置を表示部として用いた電気器具に関する。特に、本発明は電子装置としてEL（エレクトロルミネッセンス）表示装置に実施することが有効な技術である。

10

【背景技術】

【0002】

近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いため、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板（絶縁体）上に形成した駆動回路で行うことが可能となっている。

【0003】

20

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

【0004】

しかし、アクティブマトリクス型表示装置の基板上には様々な機能を有する回路や素子部が形成される。従って、回路又は素子をTFTで形成するにあたって、それぞれの回路又は素子が必要とするTFTの性能も異なってくる。例えば、タイミング信号を形成するシフトレジスタなどには動作速度の早いTFTが求められ、電荷蓄積のためのスイッチング素子にはオフ電流値（TFTがオフ動作にある時に流れるドレイン電流値）の十分に低いTFTが求められる。

30

【0005】

このような場合、同一構造のTFTだけでは全ての回路又は素子が求める性能を確保することが困難となり、アクティブマトリクス型表示装置の性能を向上させる上で大きな弊害となる。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は同一の絶縁体上に画素部と駆動回路部とを有するアクティブマトリクス型の電子装置において、TFTで形成される回路又は素子が求める性能に応じて適切な構造のTFTを用い、動作性能及び信頼性の高い電子装置を提供することを課題とする。

40

【0007】

そして、電子装置（特にアクティブマトリクス型EL表示装置）の画質を向上させることにより、それを表示部（表示用ディスプレイ）として用いた電子機器（電気器具）の品質を向上させることを課題とする。

【課題を解決するための手段】

【0008】

上記問題点を解決するために本発明では、EL表示装置の各画素に含まれる素子が求める機能を鑑みて、最適な構造のTFTを割り当てることを主旨としている。即ち、同一画素内に異なる構造のTFTが存在することになる。

【0009】

50

具体的には、オフ電流値を十分に低くさせることを最重要課題とする素子（スイッチング用素子など）は、動作速度よりもオフ電流値を低減させることに重点を置いたTFT構造が望ましい。また、大電流を流すことを最重要課題とする素子（電流制御用素子など）は、オフ電流値を低減させることよりも、大電流を流すこと及びそれと同時に顕著な問題となるホットキャリア注入による劣化を抑制することに重点を置いたTFT構造が望ましい。

【0010】

本発明は、同一の絶縁体上で上記のようなTFTの使い分けを行うことによって、EL表示装置の動作性能の向上と信頼性の向上とを可能とする。なお、本発明の思想は、画素部に限ったものではなく、画素部およびその画素部を駆動する駆動回路部を含めてTFT構造の最適化を図る点にも特徴がある。

10

【発明の効果】

【0011】

本発明を用いることで、同一の絶縁体上に、素子の求める仕様に応じて適切な性能のTFTを配置することが可能となり、EL表示装置の動作性能や信頼性を大幅に向上させることができる。

【0012】

具体的には、動作速度を重視するTFT構造と低オフ電流値であることを重視するTFT構造とを同一の絶縁体上において、使い分けることができる。それによりEL表示装置の画素に配置するスイッチング用TFTはオフ電流値を十分に低くさせることができ、電流制御用TFTはホットキャリア注入による劣化を防ぐと共にオフ電流値を十分に低くさせることができる。

20

【0013】

また、そのようなEL表示装置を表示ディスプレイとして用いることで、画像品質が良く、耐久性のある（信頼性の高い）応用製品（電気器具）を生産することが可能となる。

【発明を実施するための最良の形態】

【0014】

本発明の実施の形態について、図1、図2を用いて説明する。図1に示したのは本発明であるEL表示装置の画素の断面図であり、図2(A)はその上面図、図2(B)はその回路構成である。実際にはこのような画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。

30

【0015】

なお、図1の断面図は図2(A)に示した上面図においてA-A'で切断した切断面を示している。ここでは図1及び図2で共通の符号を用いているので、適宜両図面を参照すると良い。また、図2の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【0016】

図1において、11は基板、12は下地膜（絶縁体）である。基板11としてはガラス基板、ガラスセラミックス基板、石英基板、シリコン基板、セラミックス基板、金属基板若しくはプラスチック基板（プラスチックフィルムも含む）を用いることができる。

40

【0017】

また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を設ければ良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ $SiO_xN_y$ で示される）など珪素、酸素若しくは窒素を所定の割合で含む絶縁膜を指す。

【0018】

ここでは画素内に二つのTFTを形成している。201はスイッチング素子として機能するTFT（以下、スイッチング用TFTという）、202はEL素子へ流す電流量を制御するTFT（以下、電流制御用TFTという）であり、どちらもnチャネル型TFTで

50

形成されている。

【0019】

スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a~15d、高濃度不純物領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、ゲート電極19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。なお、図2に示すようにゲート電極19a、19bは同一のゲート配線211を幹としたダブルゲート構造となっている。

【0020】

活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜18は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

10

【0021】

また、スイッチング用TFT201には保持容量(ストレージキャパシタ)203が接続されている(図2参照)。保持容量203は、ドレイン領域14と電氣的に接続された容量形成用半導体領域23とゲート絶縁膜18(保持容量203を形成する領域では容量形成用の誘電体として機能する)と容量形成用電極24とで形成される。なお、接続配線25は、容量形成用電極24に固定電位(ここでは接地電位)を与えるための配線であり、ソース配線21やドレイン配線22と同時に形成され、電流供給線212に接続されている。

20

【0022】

この時、スイッチング用TFT201においては、LDD領域15a~15dは、ゲート絶縁膜18を挟んでゲート電極19a、ゲート電極19bに重ならないように設ける。このような構造は一般的にLDD構造と呼ばれている。

【0023】

スイッチング用TFT201は、選択時にビデオ信号(画像情報を含む信号)に対応する電荷を保持容量203へと蓄積する。そして非選択時は常にその電荷を保持しなければならないので、オフ電流値による電荷漏れは極力防がなければならない。そういった意味で、スイッチング用TFT201はオフ電流値を低減することを最重要課題として設計しなければならない。

30

【0024】

なお、チャネル形成領域とLDD領域との間にオフセット領域(チャネル形成領域と同一組成の半導体層となり、ゲート電圧が印加されない領域)を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。なお、本実施例のようにマルチゲート構造とすることが望ましいが、シングルゲート構造とすることもできる。

【0025】

次に、電流制御用TFT202は、ソース領域31、ドレイン領域32、LDD領域33及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

40

【0026】

図2に示すように、ゲート電極35はスイッチング用TFT201のドレイン領域14とドレイン配線(接続配線とも言える)22を介して電氣的に接続されている。また、ソース配線36は接続配線25と一体化しており、同様にして電流供給線212に接続される。

【0027】

この電流制御用TFT202の特徴は、ドレイン領域32とチャネル形成領域34との間にLDD領域33が設けられ、且つ、LDD領域33がゲート絶縁膜18を挟んでゲ

50

ト電極 3 5 に重なっている領域と重なっていない領域とを有する点である。

【 0 0 2 8 】

電流制御用 T F T 2 0 2 は、E L 素子 2 0 4 を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、大電流を流しても劣化しないようにホットキャリア注入による劣化対策を講じておく必要がある。また、黒色を表示する際は、電流制御用 T F T 2 0 2 をオフ状態にしておくが、その際、オフ電流値が高いとききれいな黒色表示ができなくなり、コントラストの低下を招く。従って、オフ電流値も抑える必要がある。

【 0 0 2 9 】

ホットキャリア注入による劣化に関しては、ゲート電極に対して L D D 領域が重なった構造が非常に効果的であることが知られている。しかしながら、L D D 領域全体をゲート電極に重ねてしまうとオフ電流値が増加してしまうため、本発明者らはゲート電極に重ならない L D D 領域を設けるといった新規な構造によって、ホットキャリア対策とオフ電流値対策とを同時に解決している。

10

【 0 0 3 0 】

この時、ゲート電極に重なった L D D 領域の長さは 0 . 1 ~ 3  $\mu\text{m}$  (好ましくは 0 . 3 ~ 1 . 5  $\mu\text{m}$ ) にすれば良い。長すぎると寄生容量を大きくしてしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまふ。また、ゲート電極に重ならない L D D 領域の長さは 1 . 0 ~ 3 . 5  $\mu\text{m}$  (好ましくは 1 . 5 ~ 2 . 0  $\mu\text{m}$ ) にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流値を低減する効果が弱くなる。

20

【 0 0 3 1 】

また、上記構造においてゲート電極と L D D 領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域 3 1 とチャンネル形成領域 3 4 との間には設けない方が好ましい。電流制御用 T F T はキャリア (ここでは電子) の流れる方向が常に同一であるので、ドレイン領域側のみ L D D 領域を設けておけば十分である。

【 0 0 3 2 】

以上のように、画素内には機能に応じて異なる二種類の構造の T F T が配置されている。なお、ここで示した例では、スイッチング用 T F T 2 0 1、電流制御用 T F T 2 0 2 共に n チャンネル型 T F T で形成されている。n チャンネル型 T F T は T F T サイズが p チャンネル型 T F T よりも小さくできるので、E L 素子の有効発光面積を大きくする上で非常に有利である。

30

【 0 0 3 3 】

p チャンネル型 T F T はホットキャリア注入が殆ど問題にならず、オフ電流値が低いといった利点があって、スイッチング用 T F T として用いる例や電流制御用 T F T として用いる例が既に報告されている。しかしながら本願発明では、L D D 領域の位置を異ならせた構造とすることで n チャンネル型 T F T においてもホットキャリア注入の問題とオフ電流値の問題を解決し、全ての画素内の T F T 全てを n チャンネル型 T F T としている点にも特徴がある。

【 0 0 3 4 】

また、4 1 はパッシベーション膜であり、窒化珪素膜若しくは窒化酸化珪素膜を用いる。4 2 はカラーフィルター、4 3 は蛍光体 (蛍光色素層ともいう) である。どちらも同色の組み合わせで、赤 ( R )、緑 ( G ) 若しくは青 ( B ) の色素を含む。カラーフィルター 4 2 は色純度を向上させるために設け、蛍光体 4 2 は色変換を行うために設けられる。

40

【 0 0 3 5 】

なお、E L 表示装置には大きく分けて四つのカラー化表示方式があり、R G B に対応した三種類の E L 素子を形成する方式、白色発光の E L 素子とカラーフィルターを組み合わせた方式、青色発光の E L 素子と蛍光体 (蛍光性の色変換層 : C C M ) とを組み合わせた方式、陰極 (対向電極) に透明電極を使用して R G B に対応した E L 素子を重ねる方式、がある。

【 0 0 3 6 】

50

図1の構造は青色発光のEL素子と蛍光体とを組み合わせた方式を用いた場合の例である。ここではEL素子204として青色発光の発光層を用いて紫外光を含む青色領域の波長をもつ光を形成し、その光によって蛍光体43を励起して赤、緑若しくは青の光を発生させる。そしてカラーフィルター42で色純度を上げて出力する。

【0037】

但し、本願発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本願発明に用いることができる。

【0038】

また、カラーフィルター42、蛍光体42を形成した後で、第2層間絶縁膜43で平坦化を行う。第2層間絶縁膜44としては、有機樹脂膜が好ましく、ポリイミド、アクリル樹脂もしくはBCB(ベンゾシクロブテン)を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0039】

45は透明導電膜でなる画素電極(EL素子の陽極)であり、第2層間絶縁膜44及びパッシベーション膜41にコンタクトホールを開けた後、電流制御用TFT202のドレイン配線37に接続されるように形成される。

【0040】

画素電極45の上には、順次EL層(有機材料が好ましい)46、陰極47、保護電極48が形成される。EL層46は単層又は積層構造で用いることができるが、積層構造で用いる場合が多い。EL層としては、発光層以外に電子輸送層や正孔輸送層を組み合わせ

【0041】

また、陰極47としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg電極を用いれば良い。また、保護電極48は陰極47を外部の湿気から保護膜するために設けられる電極であり、アルミニウム(Al)若しくは銀(Ag)を含む材料が用いられる。

【0042】

なお、EL層46及び陰極47は大気解放せずに連続形成することが望ましい。即ち、EL層や陰極がどのような積層構造であっても全て連続形成することが望ましい。これはEL層として有機材料を用いる場合、水分に非常に弱いため、大気解放した時の吸湿を避けるためである。さらに、EL層46及び陰極47だけでなく、その上の保護電極48まで連続形成するとさらに良い。

【0043】

本発明のEL表示装置は以上のような構造の画素からなる画素部を有し、画素内において機能に応じて構造の異なるTFTが配置されている。これによりオフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとが同じ画素内に形成でき、高い信頼性を有し、良好な画像表示が可能なEL表示装置が形成できる。

【0044】

また、本発明はEL表示装置の画素部に限らず、駆動回路部と画素部とを同一基板上に形成したアクティブマトリクス型EL表示装置の駆動回路部についても同様のことが言える。即ち、駆動回路部と画素部すべてにおいて、回路若しくは素子が求める機能に応じて異なる構造のTFTを配置する点は本発明の主旨の一つである。

【0045】

また、上記駆動回路部若しくは画素部以外に、その他の信号処理回路をも形成する場合にも本発明は実施しうる。その他の信号処理回路としては、信号分割回路、D/Aコンバータ、補正回路、昇圧回路もしくは差動増幅回路が挙げられる。

【0046】

以上の構成でなる本発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【実施例1】

10

20

30

40

50



## 【0047】

本発明の実施例について図3～図5を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路であるCMOS回路を図示することとする。

## 【0048】

まず、図3(A)に示すように、ガラス基板300上に下地膜301を300nmの厚さに形成する。本実施例では下地膜301として窒化酸化珪素膜を積層して用いる。この時、ガラス基板300に接する方の窒素濃度を10～25wt%としておくが良い。

## 【0049】

次に下地膜301の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は20～100nmの厚さであれば良い。

## 【0050】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜若しくはポリシリコン膜ともいう)302を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスを用いたエキシマレーザー光を用いて結晶化する。

## 【0051】

なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

## 【0052】

次に、図3(B)に示すように、結晶質珪素膜302上に酸化珪素膜でなる保護膜303を130nmの厚さに形成する。この厚さは100～200nm(好ましくは130～170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜303は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

## 【0053】

そして、その上にレジストマスク304a～304cを形成し、保護膜303を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18}$ atoms/cm<sup>3</sup>の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

## 【0054】

この工程により形成されるn型不純物領域305～307には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>)の濃度で含まれるようにドーズ量を調節する。なお、n型不純物領域306は図1に示した容量形成用半導体領域23に相当する。

## 【0055】

次に、図3(C)に示すように、保護膜303を除去し、添加した15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜303をつけたままレーザー光を照射しても良い。

10

20

30

40

50

## 【0056】

なお、このレーザー光による不純物元素の活性化に際して、ファーネスアニールまたはランプアニールによる活性化を併用しても構わない。ファーネスアニールによる活性化を行う場合は、基板の耐熱性を考慮して450～550程度の熱処理を行えば良い。また、ファーネスアニールまたはランプアニールのみで活性化を行っても良い。

## 【0057】

この工程によりn型不純物領域305～307の端部、即ち、n型不純物領域305～307の周囲に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャンネル形成領域とが非常に良好な接合部を形成しうることを意味する。

10

## 【0058】

次に、図3（D）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）308～311を形成する。

## 【0059】

次に、図3（E）に示すように、活性層308～311を覆ってゲート絶縁膜312を形成する。ゲート絶縁膜312としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

## 【0060】

次に、200～400nm厚の導電膜を形成し、パターンニングしてゲート電極313～317と容量形成用電極318を形成する。なお、本明細書ではゲート電極とゲート配線とを区別して説明する場合があるが、電極として機能する部分をゲート電極と呼んでいるだけであり、ゲート配線にゲート電極は含まれていると考えて良い。このことは容量形成用電極も同様であり、電極として機能していない部分は容量形成用配線と呼ばば良い。

20

## 【0061】

また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。

## 【0062】

具体的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）もしくは導電性を有するシリコン（Si）を含む薄膜、またはそれらを窒化した薄膜（代表的には窒化タンタル膜、窒化タングステン膜もしくは窒化チタン膜）、または上記元素を組み合わせた合金膜（代表的にはMo-W合金もしくはMo-Ta合金）、または上記元素を含むシリサイド膜（代表的にはタングステンシリサイド膜もしくはチタンシリサイド膜）を用いることができる。勿論、これらを単層で用いても積層して用いても良い。

30

## 【0063】

本実施例では、50nm厚の窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜と、350nm厚のTa膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

40

## 【0064】

またこの時、ゲート電極314、317はそれぞれn型不純物領域305、307の一部とゲート絶縁膜312を挟んで重なるように形成する。この重なった部分が後にゲート電極に重なったLDD領域となる。なお、ゲート電極315、316は断面では二つに見えるが、実際は連続的に繋がった一つのパターンから形成されている。

## 【0065】

また、n型不純物領域306の上にはゲート絶縁膜312を挟んで容量形成用電極318が形成される。この時、ゲート絶縁膜312として設けられた絶縁膜は、ここで保持容量の誘電体として用いられ、n型不純物領域（容量形成用半導体領域）306、ゲート絶縁膜312及び容量形成用電極318からなる保持容量が形成される。

50

## 【0066】

次に、図4(A)に示すように、ゲート電極313~317及び容量形成用電極318をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域319~325にはn型不純物領域305~307の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$ )の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>(典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm<sup>3</sup>)の濃度が好ましい。

## 【0067】

次に、図4(B)に示すように、ゲート電極等を覆う形でレジストマスク326a~326cを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域327~334を形成する。ここでもフォスフィン(PH<sub>3</sub>)を用いたイオンドーブ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(代表的には $2 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>)となるように調節する。

10

## 【0068】

この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTは、図4(A)の工程で形成したn型不純物領域322~324の一部を残す。この残された領域が、図1におけるスイッチング用TFTのLDD領域15a~15dに対応する。

## 【0069】

次に、図4(C)に示すように、レジストマスク326a~326cを除去し、新たにレジストマスク325を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域336、337を形成する。ここではジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーブ法により $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm<sup>3</sup>(代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>)濃度となるようにボロンを添加する。

20

## 【0070】

なお、不純物領域319、320には既に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

## 【0071】

次に、図4(D)に示すように、レジストマスク335を除去した後、第1層間絶縁膜338を形成する。第1層間絶縁膜338としては、珪素を含む絶縁膜を単層で用いるか、珪素を含む絶縁膜を組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

30

## 【0072】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

40

## 【0073】

さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

## 【0074】

なお、水素化処理は第1層間絶縁膜338を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

## 【0075】

50

次に、図5(A)に示すように、第1層間絶縁膜338に対してコンタクトホールを形成し、ソース配線339~342、ドレイン配線343~345および接続配線346を形成する。なお、本実施例ではこれらの配線を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜を用いても良い。

#### 【0076】

次に、50~500nm(代表的には200~300nm)の厚さでパッシベーション膜347を形成する。本実施例ではパッシベーション膜347として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。

#### 【0077】

この時、窒化酸化珪素膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜338に供給され、熱処理を行うことで、パッシベーション膜347の膜質が改善される。それと同時に、第1層間絶縁膜338に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

#### 【0078】

次に、図5(B)に示すように、カラーフィルター348と蛍光体349を形成する。これらの材料は公知のものを用いれば良い。また、これらは別々にパターンニングして形成しても良いし、連続的に形成して一括でパターンニングして形成しても良い。それぞれの膜厚は0.5~5μm(典型的には1~2μm)の範囲で選択する。特に、蛍光体349は用いる材料によって最適な膜厚が異なる。即ち、薄すぎると色変換効率が悪くなり、厚すぎると段差が大きくなる上に光の透過量が落ちてしまう。従って、両特性の兼ね合いで最適な膜厚を決定しなければならない。

#### 【0079】

なお、本実施例ではEL層から発生した光を色変換するカラー化方式を例にとって説明しているが、RGBに対応するEL層を個別に作製する方式を採用する場合は、カラーフィルターや蛍光体を省略することもできる。

#### 【0080】

次に、有機樹脂からなる第2層間絶縁膜350を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル樹脂もしくはBCB(ベンゾシクロブテン)を使用することができる。特に、第2層間絶縁膜は平坦化の意味合いが強いので、平坦性に優れたアクリル樹脂が好ましい。本実施例ではカラーフィルター348及び蛍光体349の段差を平坦化する膜厚でアクリル樹脂を形成する。

#### 【0081】

次に、第2層間絶縁膜350、パッシベーション膜347にドレイン配線345に達するコンタクトホールを形成し、画素電極351を形成する。本実施例では酸化インジウムと酸化スズとの化合物からなる導電膜(ITO膜)を110nmの厚さに形成し、パターンニングを行って画素電極とする。この画素電極がEL素子の陽極となる。

#### 【0082】

次に、図5(C)に示すように、EL層352、陰極(MgAg電極)353、保護電極354を大気解放しないで連続形成する。但し、EL層352としては公知の材料を用いることができる。公知の材料としては、有機材料が知られており、駆動電圧を考慮すると有機材料を用いるのが好ましい。本実施例では正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とする。また、本実施例ではEL素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。

#### 【0083】

また、保護電極354はMgAg電極353の劣化を防ぐために設けられ、アルミニウム膜(アルミニウムを含む導電膜)が好適である。勿論、他の材料でも良い。また、EL層352、MgAg電極353は水分に弱いので、保護電極354までを大気解放しないで連続的に形成し、外気からEL層を保護することが望ましい。

10

20

30

40

50

## 【 0 0 8 4 】

なお、E L 層 3 5 2 の膜厚は 8 0 0 ~ 2 0 0 n m ( 典型的には 1 0 0 ~ 1 2 0 n m )、M g A g 電極の厚さは 1 8 0 ~ 3 0 0 n m ( 典型的には 2 0 0 ~ 2 5 0 n m ) とすれば良い。

## 【 0 0 8 5 】

こうして図 5 ( C ) に示すような構造のアクティブマトリクス型 E L 表示装置が完成する。なお、実際には、図 5 ( C ) まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム ( ラミネートフィルム等 ) でパッケージすることが好ましい。その際、保護フィルム内を不活性雰囲気にする事で E L 層の信頼性が向上する。

## 【 0 0 8 6 】

また、パッケージング処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ ( フレキシブルプリントサーキット : F P C ) を取り付けて製品として完成する。

このような状態の E L 表示装置を本明細書中では E L モジュールという。

## 【 0 0 8 7 】

ところで、本実施例のアクティブマトリクス型 E L 表示装置は、駆動回路部及び画素部に最適な構造の T F T を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

## 【 0 0 8 8 】

まず、ホットキャリア注入を低減させる構造を有する T F T を、駆動回路を形成する C M O S 回路の n チャネル型 T F T 2 0 5 として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路 ( サンプル及びホールド回路 ) などが含まれる。デジタル駆動を行う場合には、D / A コンバータもしくはラッチも含まれうる。

## 【 0 0 8 9 】

本実施例の場合、図 5 ( C ) に示すように、n チャネル型 2 0 5 の活性層は、ソース領域 3 5 5、ドレイン領域 3 5 6、L D D 領域 3 5 7 及びチャネル形成領域 3 5 8 を含み、L D D 領域 3 5 7 はゲート絶縁膜 3 1 2 を挟んでゲート電極 3 1 4 に重なっている。

## 【 0 0 9 0 】

ドレイン領域側だけに L D D 領域を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 T F T 2 0 5 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、L D D 領域 3 5 7 は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

## 【 0 0 9 1 】

また、C M O S 回路の p チャネル型 T F T 2 0 6 は、ホットキャリア注入による劣化が殆ど気にならないので、特に L D D 領域を設けなくても良い。従って、活性層はソース領域 3 5 9、ドレイン領域 3 6 0 およびチャネル形成領域 3 6 1 を含む。勿論、n チャネル型 T F T 2 0 5 と同様に L D D 領域を設け、ホットキャリア対策を講じることも可能である。

## 【 0 0 9 2 】

なお、駆動回路の中でもサンプリング回路は他の回路と比べて少し特殊であり、チャネル形成領域を双方向に大電流が流れる。即ち、ソース領域とドレイン領域の役割が入れ替わるのである。さらに、オフ電流値を極力低く抑える必要があり、そういった意味でスイッチング用 T F T と電流制御用 T F T の中間程度の機能を有する T F T を配置することが望ましい。

## 【 0 0 9 3 】

従って、サンプリング回路を形成する n チャネル型 T F T は、図 8 に示すような構造の T F T を配置することが望ましい。図 8 に示すように、L D D 領域 7 1 a、7 1 b の一部がゲート絶縁膜 7 2 を挟んでゲート電極 7 3 に重なる。この効果は電流制御用 T F T 2 0 2

10

20

30

40

50

の説明で述べた通りであり、サンプリング回路の場合はチャンネル形成領域 7 4 を挟む形で設ける点が異なる。

【 0 0 9 4 】

また、図 1 に示したような構造の画素を形成して画素部を形成している。画素内に形成されるスイッチング用 T F T 及び電流制御用 T F T の構造については、図 1 で既に説明したのでここでの説明は省略する。

【 実施例 2 】

【 0 0 9 5 】

本実施例では、アクティブマトリクス型 E L 表示装置の画素部を図 1 とは異なる構造とした場合について説明する。

【 0 0 9 6 】

まずスイッチング用 T F T の構造を図 1 と異ならせた例を図 6 ( A ) に示す。但し、図 6 ( A ) に示した電流制御用 T F T 2 0 2、保持容量 2 0 3 及び E L 素子 2 0 4 は実施例 1 と全く同じ構造であるので説明は省略する。また、スイッチング用 T F T についても必要箇所のみに新たな符号をつけ、他の部分は図 1 の説明をそのまま用いることとする。

【 0 0 9 7 】

図 1 に示したスイッチング用 T F T 2 0 1 と図 6 ( A ) に示したスイッチング用 T F T 2 0 7 とは、L D D 領域の形成位置が異なる。図 1 の L D D 領域 1 5 a ~ 1 5 d はゲート電極 1 9 a、1 9 b に重ならないように形成されているが、本実施例では一部がゲート電極に重なるように形成する。

【 0 0 9 8 】

即ち、図 6 ( A ) に示すように、スイッチング用 T F T 2 0 7 の L D D 領域 5 0 a ~ 5 0 d の一部は、ゲート絶縁膜を挟んでゲート電極 5 1 a、5 1 b に重なっている。換言すれば、L D D 領域 5 0 a ~ 5 0 d はゲート絶縁膜を挟んでゲート電極 5 1 a、5 1 b に重なる領域を有する。

【 0 0 9 9 】

これによりオフ電流値を低減できるだけで少なくし、ホットキャリア注入による劣化も防ぐことができる。但し、ゲート電極と L D D 領域との間に寄生容量を形成してしまうので、図 1 の構造に比べて若干動作速度が落ちる場合がある。しかしながら、その点を踏まえて設計すれば信頼性の高いスイッチング用 T F T を形成することが可能である。

【 0 1 0 0 】

次に、電流制御用 T F T の構造を図 1 と異ならせた例を図 6 ( B ) に示す。但し、図 6 ( B ) に示したスイッチング用 T F T 2 0 1、保持容量 2 0 3 及び E L 素子 2 0 4 は実施例 1 と全く同じ構造であるので説明は省略する。また、電流制御用 T F T についても必要箇所のみに新たな符号をつけ、他の部分は図 1 の説明をそのまま用いることとする。

【 0 1 0 1 】

図 1 に示した電流制御用 T F T 2 0 2 と図 6 ( B ) に示した電流制御用 T F T 2 0 8 とは、L D D 領域の形成位置が異なる。図 1 の L D D 領域 3 3 はゲート電極 3 5 に一部が重なるように形成されているが、本実施例では完全にゲート電極に重なるように形成する。

【 0 1 0 2 】

即ち、図 6 ( B ) に示すように、電流制御用 T F T 2 0 8 の L D D 領域 5 2 は、ゲート絶縁膜を介して完全にゲート電極 5 3 に重なる。換言すれば、L D D 領域 5 2 はゲート電極 5 3 に重ならない領域を有していない。

【 0 1 0 3 】

ビデオ ( 画像 ) 信号の最低電圧が電流制御用 T F T のゲート電圧に印加されたとき、十分にオフ電流値が低くなければ E L 素子が発光してしまい、コントラストの低下を招く。図 1 の構造はそのときのオフ電流値を下げるために、ゲート電極に重ならない L D D 領域を設けている。

【 0 1 0 4 】

10

20

30

40

50

しかしながら、ゲート電極に重ならないLDD領域は抵抗成分として働くため、動作速度やオン電流値をある程度落とすことになってしまう。従って、本実施例のように設けない構造としてしまえば、そういった抵抗成分を排除できるので、より大きな電流を流しやすくなる。但し、前述のように、ビデオ（画像）信号の最低電圧が電流制御用TFTのゲート電圧に印加されたとき、十分にオフ電流値が低いTFTを用いることが前提である。

【0105】

なお、図6(A)のスイッチング用TFT207と図6(B)の電流制御用TFTを組み合わせて用いることも可能である。また、作製工程は実施例1を参考にすれば良い。

【実施例3】

【0106】

本実施例では、画素の構成を図2(B)に示した構成と異なるものとした例を図7に示す。

【0107】

本実施例では、図2(B)に示した二つの画素を、接地電位を与えるための電流供給線212について対称となるように配置する。即ち、図7に示すように、電流供給線213を隣接する二つの画素間で共通化することで、必要とする配線の本数を低減する。なお、画素内に配置されるTFT構造等はそのままが良い。

【0108】

このような構成とすれば、より高精細な画素部を作製することが可能となり、画像の品質が向上する。なお、本実施例の構成は実施例1の作製工程に従って容易に実現可能であり、TFT構造に関しては実施例2と組み合わせても良い。

【実施例4】

【0109】

本実施例では、図1と異なる構造の画素部を形成する場合について図9を用いて説明する。なお、第2層間絶縁膜44を形成する工程までは実施例1に従えば良い。また、第2層間絶縁膜44で覆われたスイッチング用TFT201、電流制御用TFT202及び保持容量203は図1と同じ構造であるので、説明は省略する。

【0110】

本実施例の場合、第2層間絶縁膜44に対してコンタクトホールを形成したら、画素電極60、陰極61及びEL層62を形成する。これらは、それぞれの材料を大気解放しないで連続形成し、一括でエッチングしてパターン形成を行えば良い。

【0111】

本実施例では画素電極60として、150nm厚のアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を設ける。なお、画素電極の材料としては金属材料であれば如何なる材料でも良いが、反射率の高い材料であることが好ましい。

【0112】

また、陰極61として230nm厚のMgAg電極を用い、EL層62の膜厚は120nmとする。なお、EL層62の形成に関しては、実施例1で説明した材料を用いれば良い。

【0113】

次に、珪素を含む絶縁膜を200~500nm(典型的には250~300nm)の厚さに形成し、パターンングによって開口部を有する保護膜63を形成する。そして、その上に透明導電膜(本実施例ではITO膜)からなる陽極64を110nmの厚さに形成する。透明導電膜としては、他にも酸化インジウムと酸化亜鉛との化合物、酸化スズ、酸化インジウムもしくは酸化亜鉛を用いることができる。また、それらにガリウムを添加したものをを用いても良い。

【0114】

さらに、陽極64上に蛍光体65及びカラーフィルター66を形成して、図9に示すような画素部が完成する。

【0115】

10

20

30

40

50

本実施例の構造とした場合、生成された赤、緑若しくは青の光はTFTが形成された基板とは反対側に出射される。そのため、画素内のほぼ全域、即ちTFTが形成された領域をも発光領域として用いることができる。その結果、画素の有効発光面積が大幅に向上し、画像の明るさやコントラストが向上する。

【0116】

なお、本実施例の構成は、実施例2、3のいずれの構成とも自由に組み合わせることが可能である。

【実施例5】

【0117】

実施例1では、結晶質珪素膜302の形成手段としてレーザー結晶化を用いているが、本実施例では異なる結晶化手段を用いる場合について説明する。

10

【0118】

本実施例では、非晶質珪素膜を形成した後、特開平7-130652号公報に記載された技術を用いて結晶化を行う。同公報には、結晶化を促進(助長)する触媒元素としてニッケルを用い、結晶性の高い結晶質珪素膜を得る技術が開示されている。

【0119】

また、結晶化工程が終了した後で、結晶化に用いた触媒元素を除去する工程を行っても良い。その場合、特開平10-270363号若しくは特開平8-330602号に記載された技術により触媒元素をゲッタリングすれば良い。

【0120】

また、本出願人による特願平11-076967号の明細書に記載された技術を用いてTFTを形成しても良い。特願平11-076967号の明細書では、図1とは異なる保持容量が説明されているが、TFTを形成する部分までを参照すれば良い。

20

【0121】

以上のように、本発明は実施例1及び図1で説明したように、素子の求める機能に応じて適切な構造のTFTを配置することを主旨としており、その作製方法に限定されるものではない。即ち、実施例1に示した作製工程は一実施例であって、図1若しくは実施例1の図5(C)の構造が実現できるのであれば、他の作製工程を用いても問題ではない。

【0122】

なお、図1若しくは図5(C)の構造に実施例2~4のいずれかの構成を組み合わせた場合についても、そのような構造を作製するにあたって本実施例に示したような作製工程を組み合わせることは可能である。

30

【実施例6】

【0123】

実施例1において、図4(A)の工程と図4(B)の工程との間に、ゲート絶縁膜312をエッチングする工程を加えても良い。即ち、図4(A)に示すようにn型不純物元素を添加した後、ゲート電極313~317および容量形成用電極318をマスクとして自己整合的にゲート絶縁膜312をエッチングする。このエッチングは活性層が露呈するまで行う。

【0124】

本実施例では、実施例1用いたゲート絶縁膜が窒化酸化珪素膜であるため、エッチングガスとしてCHF<sub>3</sub>ガスを用いたドライエッチングを行う。勿論、他のエッチング条件はこれに限定されるものではない。

40

【0125】

そして、露呈した活性層に対して図4(B)に示すようにn型不純物元素の添加工程を行う。この工程ではゲート絶縁膜を通さずに直接リンを活性層へ添加することになるため、非常に短時間で処理を行うことができる。また、添加時の加速電圧も低くて済むので、活性層へのダメージも低減しうる。

【0126】

後は、実施例1の工程に従ってEL表示装置を完成させれば良い。なお、本実施例の構

50



成は実施例 1 ~ 5 のいずれの構成とも自由に組み合わせて実施することが可能である。

【実施例 7】

【0127】

本実施例では、実施例 1 と異なる構造の画素を形成したアクティブマトリクス型 E L 表示装置について説明する。

【0128】

図 10 ( A ) は本実施例の E L 表示装置であるが、 T F T 構造は実施例 1 ( 図 5 ( C ) 参照 ) と同様である。本実施例では画素電極 1001、陰極 1002、E L 層 1003 および陽極 1004 を形成し、陰極 1002、E L 層 1003 および陽極 1004 で E L 素子 1000 を形成する。このとき、画素電極 1001 は公知の如何なる導電膜を用いても良い。また、本実施例では陰極 1002 として M g A g 膜を用い、陽極 1004 として酸化亜鉛に酸化ガリウムを添加した透明導電膜を用いる。なお、E L 層 1003 は公知の材料を組み合わせて形成すれば良い。

10

【0129】

本実施例では、画素電極 1001 のコンタクト部 ( 画素電極 1001 と電流制御用 T F T 202 とが接続された部分 ) に形成された凹部 ( 窪み ) が絶縁物 1005 で埋め込まれ、さらに画素電極 1001 の端部が絶縁物 1006 で覆われている点に特徴がある。

【0130】

絶縁物 1005 は上記凹部を埋め込むことで段差による E L 層の被覆不良を防止している。第 2 層間絶縁膜 350 に形成されたコンタクトホールが深い ( 段差が高い ) と E L 層の被覆不良が生じて陰極 1002 と陽極 1004 が短絡する恐れがある。そのため、本実施例では凹部を絶縁物 1005 で埋め込むことにより E L 層の被覆不良を防ぐことを特徴としている。

20

【0131】

また、同様に画素電極 1001 の端部は画素電極 1001 の膜厚分の段差が生じているため、絶縁物 1005 と同様の理由により絶縁物 1006 を形成する。これにより画素電極 1001 の端部において陰極 1002 と陽極 1004 の短絡を確実に防ぐことができる。また、画素電極 1001 の端部は電界集中を起こして E L 層 1003 の劣化が進行しやすいため、絶縁物 1006 を設けることで E L 層 1003 に電界集中しないようにする目的もある。

30

【0132】

また、図 10 ( B ) は電流制御用 T F T の活性層に L D D 領域を形成しない構造とした場合の例である。E L 素子にかかる電圧が 10 V 以下、好ましくは 5 V 以下となった場合、ホットキャリアによる劣化は殆ど問題とならないため、このような構造とすることが可能である。即ち、図 10 ( B ) の構造では、電流制御用 T F T の活性層がソース領域 1010、ドレイン領域 1011 およびチャネル形成領域 1012 からなる。

【0133】

なお、本実施例の構成は実施例 1 ~ 6 のいずれの構成とも自由に組み合わせて実施することが可能である。

【実施例 8】

40

【0134】

本発明の E L 表示装置を駆動は、画像信号としてアナログ信号を用いたアナログ駆動を行うこともできるし、デジタル信号を用いたデジタル駆動を行うこともできる。

【0135】

アナログ駆動を行う場合、スイッチング用 T F T のソース配線にはアナログ信号が送られ、その階調情報を含んだアナログ信号が電流制御用 T F T のゲート電圧となる。そして、電流制御用 T F T で E L 素子に流れる電流を制御し、E L 素子の発光強度を制御して階調表示を行う。

【0136】

一方、デジタル駆動を行う場合、アナログ的な階調表示とは異なり、時分割駆動と呼ば

50

れる階調表示を行う。即ち、発光時間の長さを調節することで、視覚的に色階調が変化しているように見せる。

【0137】

EL素子は液晶素子に比べて非常に応答速度が速いため、高速で駆動することが可能である。そのため、1フレームを複数のサブフレームに分割して階調表示を行う時分割駆動に適した素子であると言える。

【0138】

このように、本発明は素子構造に関する技術であるので、駆動方法は如何なるものであっても構わない。

【実施例9】

【0139】

実施例1ではEL層として有機EL材料を用いることが好ましいとしたが、本発明は無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、アナログ駆動を行う場合には、そのような駆動電圧に耐えうる耐压特性を有するTFTを用いなければならない。

【0140】

または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0141】

また、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせることが可能である。

【実施例10】

【0142】

本発明のEL表示装置の外観図を説明する。なお、図11(A)は本発明のEL表示装置の上面図であり、図11(B)はその断面図である。

【0143】

図11(A)において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0144】

このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0145】

また、図11(B)は図11(A)をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。)4201及び画素部4002に含まれる電流制御用TFT4202が形成されている。

【0146】

本実施例では、駆動TFT4201には図5(C)のnチャネル型TFT205とpチャネル型TFT206と同じ構造のTFTが用いられ、電流制御用TFT4202には図1のnチャネル型TFT202と同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0147】

駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜(平坦化膜)4301が形成され、その上に画素TFT4202のドレインと電氣的に接続する画素電極(陰極)4302が形成される。画素電極4302としては仕事関数の小さい導電膜が用いられる。金属膜としては、周期表の1族または2族に属する元素を含む導電膜(代表的にはアルミニウム、銅もしくは銀に、アルカリ金属元素もしくはアルカリ土類金

10

20

30

40

50

属元素を含ませた導電膜)を用いることができる。

【0148】

そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL(エレクトロルミネセンス)層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0149】

EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0150】

EL層4304の上には透明導電膜からなる陽極4305が形成される。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらにガリウムを添加した化合物を含む導電膜を用いることができる。

【0151】

また、陽極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陽極4305を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0152】

そして陽極4305は4306で示される領域において配線4005に電氣的に接続される。配線4005は陽極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電氣的に接続される。

【0153】

以上のようにして、画素電極(陰極)4302、EL層4304及び陽極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0154】

カバー材4102としては、ガラス材またはプラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

【0155】

また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)を設けておくとEL素子の劣化を抑制できる。

【0156】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陽極4305上に樹脂膜を設けることも有効である。

【0157】

10

20

30

40

50

また、配線 4005 は異方導電性フィルム 4307 を介して FPC 4006 に電氣的に接続される。配線 4005 は画素部 4002、ソース側駆動回路 4003 及びゲート側駆動回路 4004 に送られる信号を FPC 4006 に伝え、FPC 4006 により外部機器と電氣的に接続される。

【0158】

また、本実施例では第 1 シール材 4101 の露呈部及び FPC 4006 の一部を覆うように第 2 シール材 4104 を設け、EL 素子を徹底的に外気から遮断する構造となっている。こうして図 11 (B) の断面構造を有する EL 表示装置となる。なお、本実施例の EL 表示装置は実施例 1 ~ 9 のいずれの構成を組み合わせて作製しても構わない。

【実施例 11】

10

【0159】

本実施例では、本発明の EL 表示装置の画素構造の例を図 12 (A) ~ (C) に示す。なお、本実施例において、4601 はスイッチング用 TFT 4602 のソース配線、4603 はスイッチング用 TFT 4602 のゲート配線、4604 は電流制御用 TFT、4605 はコンデンサ、4606、4608 は電流供給線、4607 は EL 素子とする。

【0160】

図 12 (A) は、二つの画素間で電流供給線 4606 を共通とした場合の例である。即ち、二つの画素が電流供給線 4606 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

20

【0161】

また、図 12 (B) は、電流供給線 4608 をゲート配線 4603 と平行に設けた場合の例である。なお、図 12 (B) では電流供給線 4608 とゲート配線 4603 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4608 とゲート配線 4603 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0162】

また、図 12 (C) は、図 12 (B) の構造と同様に電流供給線 4608 をゲート配線 4603 と平行に設け、さらに、二つの画素を電流供給線 4608 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 4608 をゲート配線 4603 のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

30

【0163】

なお、本実施例の構成は実施例 1 ~ 10 のいずれの構成とも自由に組み合わせることが可能である。

【実施例 12】

【0164】

本実施例では、本発明の EL 表示装置の画素構造の例を図 13 (A)、(B) に示す。なお、本実施例において、4701 はスイッチング用 TFT 4702 のソース配線、4703 はスイッチング用 TFT 4702 のゲート配線、4704 は電流制御用 TFT、4705 はコンデンサ (省略することも可能)、4706 は電流供給線、4707 は電源制御用 TFT、4708 は電源制御用ゲート配線、4709 は EL 素子とする。電源制御用 TFT 4707 の動作については特願平 11 - 341272 号を参照すると良い。

40

【0165】

また、本実施例では電源制御用 TFT 4707 を電流制御用 TFT 4704 と EL 素子 4708 との間に設けているが、電源制御用 TFT 4707 と EL 素子 4708 との間に電流制御用 TFT 4704 が設けられた構造としても良い。また、電源制御用 TFT 47

50

07は電流制御用TFT4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0166】

また、図13(A)は、二つの画素間で電流供給線4706を共通とした場合の例である。即ち、二つの画素が電流供給線4706を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0167】

また、図13(B)は、ゲート配線4703と平行に電流供給線4710を設け、ソース配線4701と平行に電源制御用ゲート配線4711を設けた場合の例である。なお、図13(B)では電流供給線4710とゲート配線4703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4710とゲート配線4703とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0168】

なお、本実施例の構成は実施例1～10のいずれの構成とも自由に組み合わせることが可能である。

【実施例13】

【0169】

本実施例では、本発明のEL表示装置の画素構造の例を図14(A)、(B)に示す。なお、本実施例において、4801はスイッチング用TFT4802のソース配線、4803はスイッチング用TFT4802のゲート配線、4804は電流制御用TFT、4805はコンデンサ(省略することも可能)、4806は電流供給線、4807は消去用TFT、4808は消去用ゲート配線、4809はEL素子とする。消去用TFT4807の動作については特願平11-338786号を参照すると良い。

【0170】

消去用TFT4807のドレインは電流制御用TFT4804のゲートに接続され、電流制御用TFT4804のゲート電圧を強制的に変化させることができるようになっていいる。なお、消去用TFT4807はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFT4802と同一構造とすることが好ましい。

【0171】

また、図14(A)は、二つの画素間で電流供給線4806を共通とした場合の例である。即ち、二つの画素が電流供給線4806を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0172】

また、図14(B)は、ゲート配線4803と平行に電流供給線4810を設け、ソース配線4801と平行に消去用ゲート配線4811を設けた場合の例である。なお、図14(B)では電流供給線4810とゲート配線4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4810とゲート配線4803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0173】

なお、本実施例の構成は実施例1～10のいずれの構成とも自由に組み合わせることが可能である。

【実施例14】

【0174】

本発明のEL表示装置は画素内にいくつのTFTを設けた構造としても良い。実施例13、14ではTFTを三つ設けた例を示しているが、四つ乃至六つのTFTを設

10

20

30

40

50

けても構わない。本発明は E L 表示装置の画素構造に限定されず実施することが可能である。

【 0 1 7 5 】

なお、本実施例の構成は実施例 1 ~ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【 実施例 1 5 】

【 0 1 7 6 】

本発明を実施して形成した E L 表示装置は様々な電気器具の表示部として用いることができる。例えば、T V 放送等を鑑賞するには対角 2 0 ~ 6 0 インチの本発明の E L 表示装置を筐体に組み込んだディスプレイを用いるとよい。なお、E L 表示装置を筐体に組み込んだディスプレイには、パソコン用ディスプレイ、T V 放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。

10

【 0 1 7 7 】

また、その他の本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音楽再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、画像再生装置（記録媒体に記録された画像を再生し、その画像を表示する表示部を備えた装置）が挙げられる。それら電気器具の具体例を図 1 5、図 1 6 に示す。

【 0 1 7 8 】

20

図 1 5 ( A ) は E L 表示装置を筐体に組み込んだディスプレイであり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3 を含む。本発明の E L 表示装置は表示部 2 0 0 3 に用いることができる。このようなディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【 0 1 7 9 】

図 1 5 ( B ) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 を含む。本発明の E L 表示装置は表示部 2 1 0 2 に用いることができる。

【 0 1 8 0 】

図 1 5 ( C ) は頭部取り付け型の E L ディスプレイの一部（右片側）であり、本体 2 2 0 1、信号ケーブル 2 2 0 2、頭部固定バンド 2 2 0 3、表示部 2 2 0 4、光学系 2 2 0 5、発光装置 2 2 0 6 を含む。本発明は E L 表示装置 2 2 0 6 に用いることができる。

30

【 0 1 8 1 】

図 1 5 ( D ) は記録媒体を備えた画像再生装置（具体的には D V D 再生装置）であり、本体 2 3 0 1、記録媒体（D V D 等） 2 3 0 2、操作スイッチ 2 3 0 3、表示部（ a ） 2 3 0 4、表示部（ b ） 2 3 0 5 を含む。表示部（ a ）は主として画像情報を表示し、表示部（ b ）は主として文字情報を表示するが、本発明の E L 表示装置はこれら表示部（ a ）、（ b ）に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 1 8 2 】

40

図 1 5 ( E ) は携帯型（モバイル）コンピュータであり、本体 2 4 0 1、カメラ部 2 4 0 2、受像部 2 4 0 3、操作スイッチ 2 4 0 4、表示部 2 4 0 5 を含む。本発明の E L 表示装置は表示部 2 4 0 5 に用いることができる。

【 0 1 8 3 】

図 1 5 ( F ) はパーソナルコンピュータであり、本体 2 5 0 1、筐体 2 5 0 2、表示部 2 5 0 3、キーボード 2 5 0 4 を含む。本発明の E L 表示装置は表示部 2 5 0 3 に用いることができる。

【 0 1 8 4 】

なお、将来的に発光輝度がさらに高くなれば、出力した画像情報を含む光をレンズや光ファイバー等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも

50

可能となる。

【0185】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音楽再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0186】

ここで図16(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明のEL表示装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

10

【0187】

また、図16(B)は音楽再生装置、具体的にはカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明のEL表示装置は表示部2702に用いることができる。また、本実施例では車載用のカーオーディオを示すが、携帯型や家庭用の音楽再生装置に用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音楽再生装置において特に有効である。

【0188】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1～14に示したいずれの構成のEL表示装置を用いても良い。

20

【図面の簡単な説明】

【0189】

【図1】EL表示装置の画素部の断面構造を示す図。

【図2】EL表示装置の画素部の上面構造を示す図。

【図3】アクティブマトリクス型EL表示装置の作製工程を示す図。

【図4】アクティブマトリクス型EL表示装置の作製工程を示す図。

【図5】アクティブマトリクス型EL表示装置の作製工程を示す図。

【図6】EL表示装置の画素部の断面構造を示す図。

30

【図7】EL表示装置の画素部の素子構成を示す図。

【図8】EL表示装置のサンプリング回路の素子構成を示す図。

【図9】EL表示装置の画素部の断面構造を示す図。

【図10】EL表示装置の画素部の断面構造を示す図。

【図11】EL表示装置の上面構造及び断面構造を示す図。

【図12】EL表示装置の画素部の回路構成を示す図。

【図13】EL表示装置の画素部の回路構成を示す図。

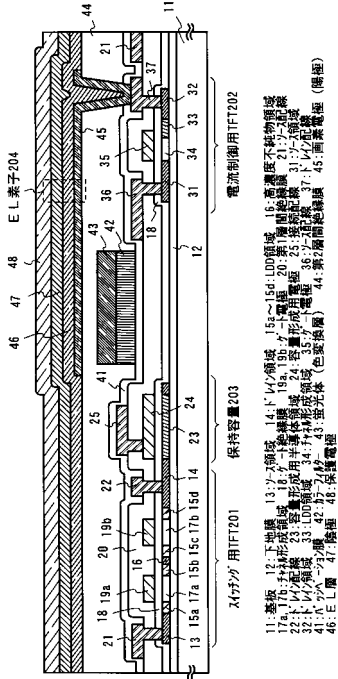
【図14】EL表示装置の画素部の回路構成を示す図。

【図15】電気器具の具体例を示す図。

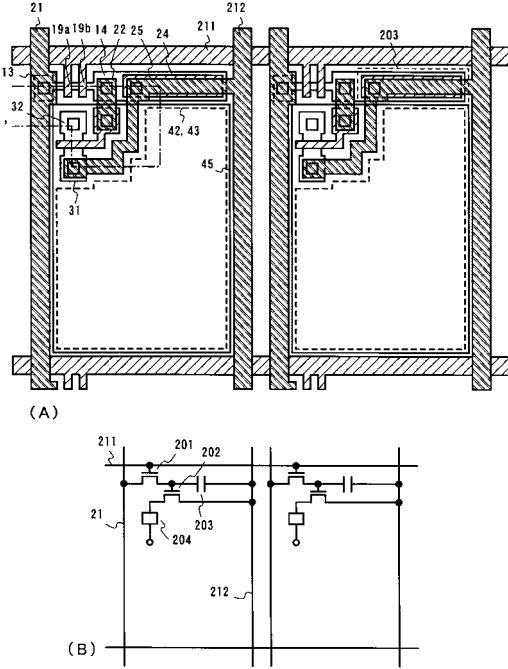
【図16】電気器具の具体例を示す図。

40

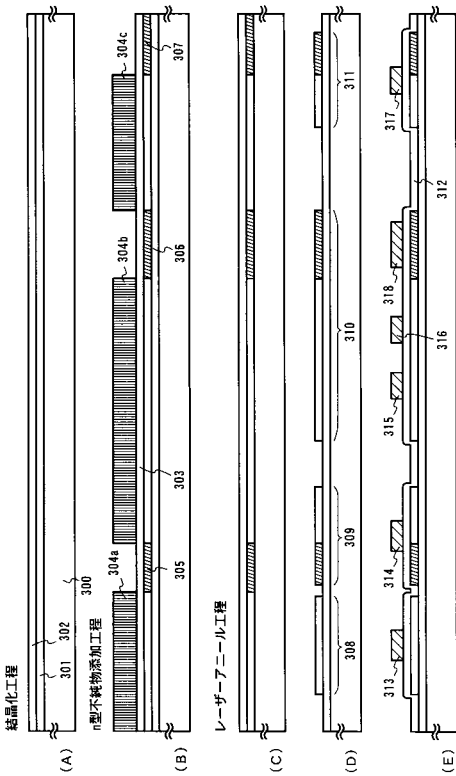
【図1】



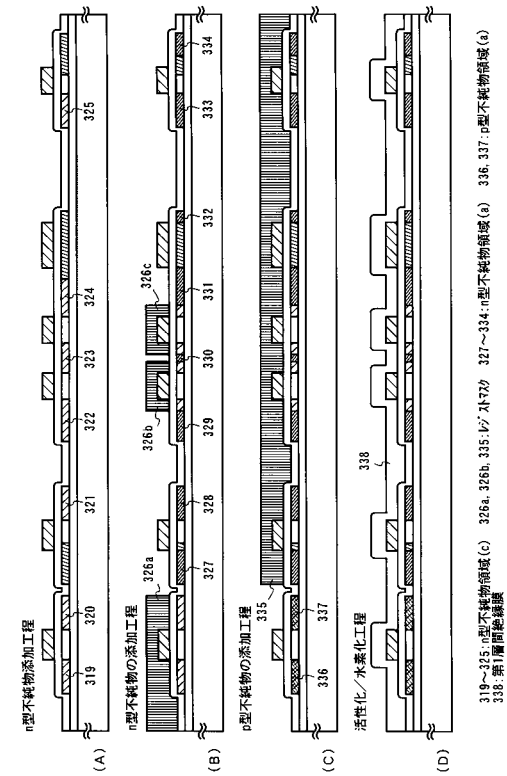
【図2】



【図3】

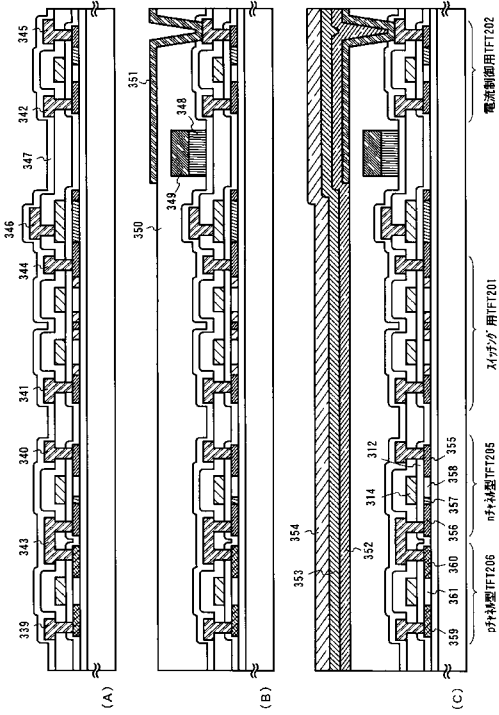


【図4】

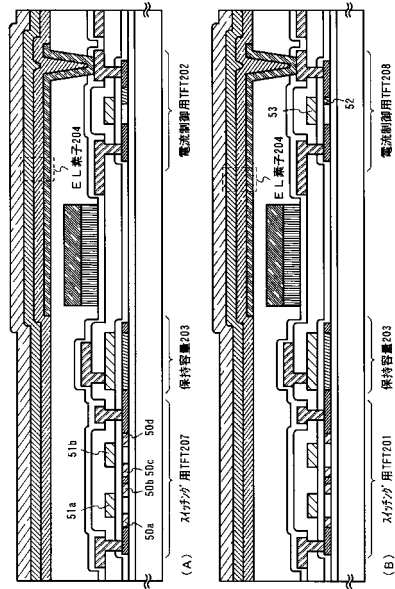




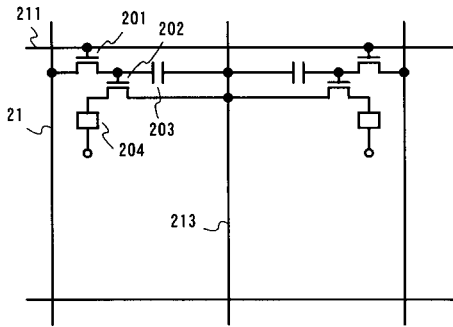
【図5】



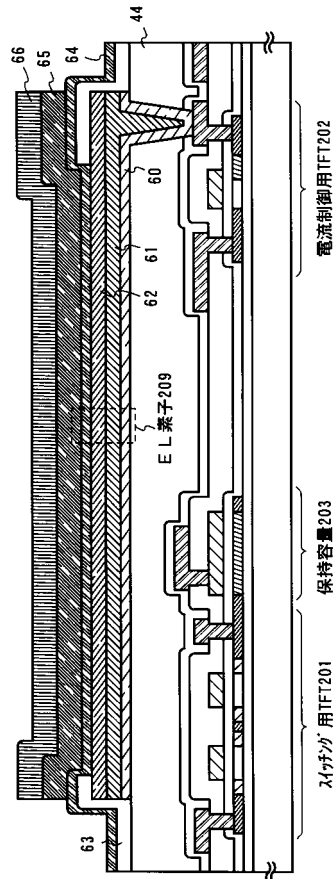
【図6】



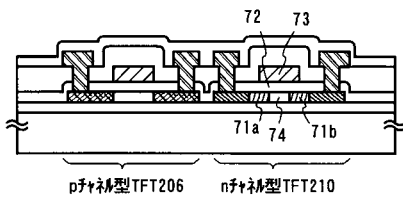
【図7】



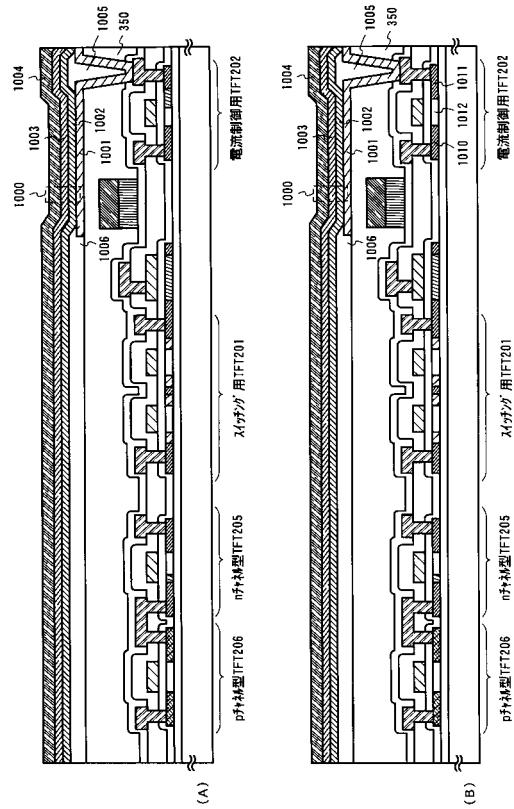
【図9】



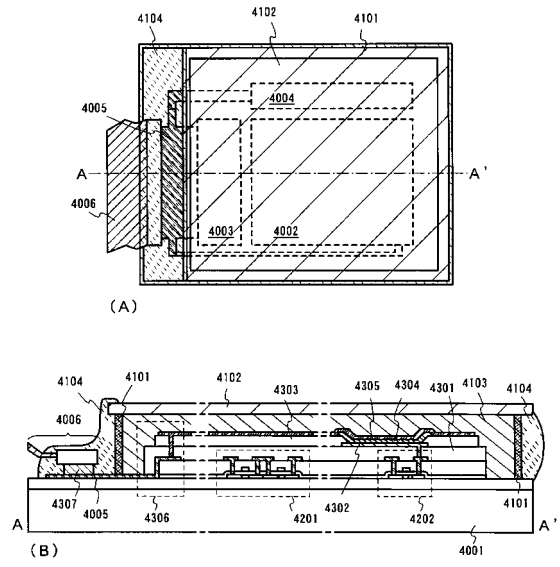
【図8】



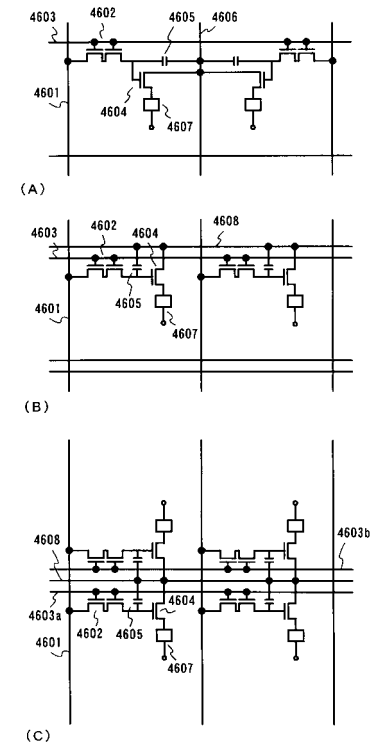
【図 10】



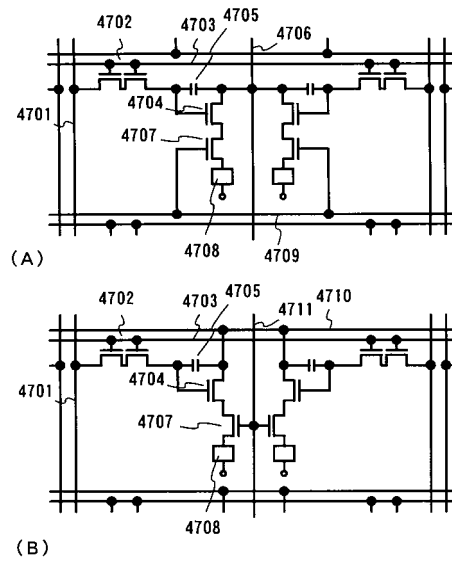
【図 11】



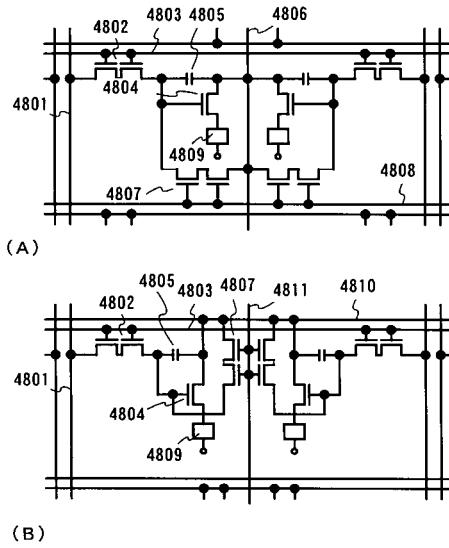
【図 12】



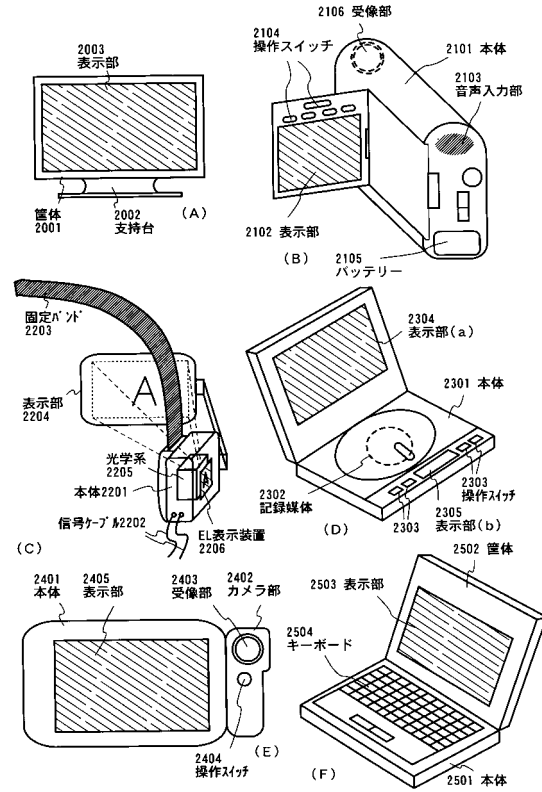
【図 13】



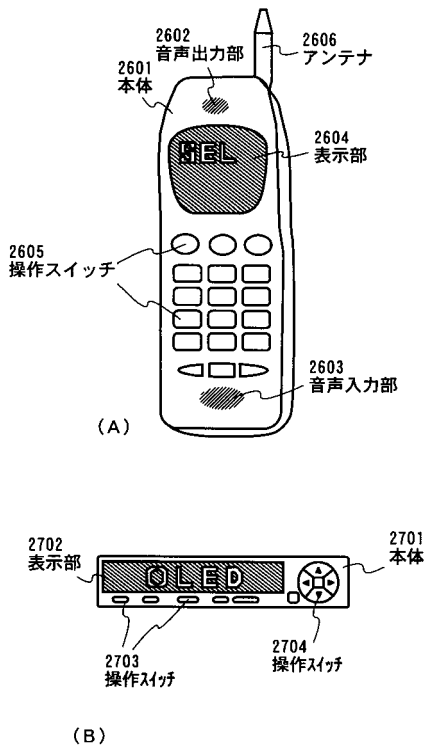
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



## 【手続補正書】

【提出日】平成20年11月21日(2008.11.21)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

## 【請求項1】

第1乃至第3のトランジスタ、画素電極、及び保持容量を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記画素電極と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、

前記第1のトランジスタは、2以上のゲート電極と、前記ゲート電極のいずれか一と重なる2以上のチャンネル形成領域とを有し、

前記保持容量は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第1の電極と、前記第1乃至第3のトランジスタのゲート電極と同一材料からなる第2の電極と、前記第1乃至第3のトランジスタのゲート絶縁膜と同じ層に設けられた絶縁層とを有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。

## 【請求項2】

第1乃至第3のトランジスタ、エレクトロルミネッセンス素子、及び保持容量を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記エレクトロルミネッセンス素子の一方の端子と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、

前記第1のトランジスタは、2以上のゲート電極と、前記ゲート電極のいずれか一と重なる2以上のチャンネル形成領域とを有し、

前記保持容量は、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第1の電極と、前記第1乃至第3のトランジスタのゲート電極と同一材料からなる第2の電極と、前記第1乃至第3のトランジスタのゲート絶縁膜と同じ層に設けられた絶縁層とを有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。

## 【請求項3】

第1乃至第3のトランジスタ、画素電極、及び保持容量を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記画素電極と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、2 以上のゲート電極と、前記ゲート電極のいずれか一と重なる 2 以上のチャンネル形成領域とを有し、

前記保持容量は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第 1 の電極と、前記第 1 乃至第 3 のトランジスタのゲート電極と同一材料からなる第 2 の電極と、前記第 1 乃至第 3 のトランジスタのゲート絶縁膜と同じ層に設けられた絶縁層とを有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。

#### 【請求項 4】

第 1 乃至第 3 のトランジスタ、エレクトロルミネッセンス素子、及び保持容量を有し、前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記保持容量の一方の端子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記エレクトロルミネッセンス素子の一方の端子と電氣的に接続され、他方は電流供給線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、他方は前記電流供給線と電氣的に接続され、

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、2 以上のゲート電極と、前記ゲート電極のいずれか一と重なる 2 以上のチャンネル形成領域とを有し、

前記保持容量は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続された半導体領域からなる第 1 の電極と、前記第 1 乃至第 3 のトランジスタのゲート電極と同一材料からなる第 2 の電極と、前記第 1 乃至第 3 のトランジスタのゲート絶縁膜と同じ層に設けられた絶縁層とを有し、

前記電流供給線は、接続配線と電氣的に接続され、

前記電流供給線と、前記接続配線とは、一繋がり形状でパターンニングされた導電層によって形成され、

前記接続配線は、前記保持容量とその少なくとも一部が互いに重なることを特徴とする半導体装置。

#### 【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、前記第 1 のトランジスタ及び前記第 3 のトランジスタがそれぞれ有するゲート電極に重ならない領域に設けられた第 1 の L D D 領域を有し、

前記第 2 のトランジスタは、前記第 2 のトランジスタが有するゲート電極に一部又は全部が重なる第 2 の L D D 領域を有することを特徴とする電子装置。

#### 【請求項 6】

請求項 5 において、

前記第 1 の L D D 領域における不純物濃度よりも、前記第 2 の L D D 領域における不純物濃度が高いことを特徴とする電子装置。

#### 【請求項 7】

請求項 5 又は請求項 6 において、  
前記保持容量が有する前記半導体領域における不純物濃度は、前記第 2 の L D D 領域における不純物濃度と同じであることを特徴とする電子装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれかーに記載の電子装置を具備していることを特徴とする表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーに記載の電子装置を表示部に有し、操作スイッチを具備していることを特徴とするビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、E L ディスプレイ、ナビゲーションシステム、音楽再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯電話、携帯情報端末又は画像再生装置。

---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 7 N  
G 0 9 F 9/30 3 6 5 Z

Fターム(参考) 5F110 AA04 BB02 BB04 CC02 DD01 DD02 DD03 DD05 DD13 DD14  
DD15 EE01 EE04 EE05 EE06 EE08 EE14 EE15 EE28 EE44  
FF04 FF09 GG01 GG02 GG12 GG13 GG14 GG25 HJ01 HJ04  
HJ12 HJ13 HJ18 HJ23 HJ30 HL03 HL04 HL12 HL23 HM12  
HM13 HM15 NN03 NN04 NN05 NN22 NN24 NN27 NN39 NN71  
NN73 NN78 PP01 PP02 PP03 PP06 PP34 QQ19 QQ24 QQ25