



- (51) Classification internationale des brevets :
G06F 17/50 (2006.01) G01R 31/28 (2006.01)
G06Q 90/00 (2006.01)
- (21) Numéro de la demande internationale :
PCT/EP2010/059317
- (22) Date de dépôt international :
30 juin 2010 (30.06.2010)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
0954496 1 juillet 2009 (01.07.2009) FR
- (71) Déposant (pour tous les États désignés sauf US) :
EUROPEAN AERONAUTIC DEFENCE AND SPACE COMPANY EADS FRANCE [FR/FR]; 37, boulevard de Montmorency, F-75016 Paris (FR).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement) :
MOLIERE, Florian [FR/FR]; 109, rue de l'Ouest,
- F-75014 Paris (FR). FOUCHER, Bruno [FR/FR]; 27, rue de la Gare, F-92320 Châtillon-sous-Bagneux (FR).
- (74) Mandataire : FOURCADE, Emmanuelle; SCHMIT-CHRETIEN, Parc de Basso Cambo, 4, rue Paul Mesple, F-31100 Toulouse (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ,

[Suite sur la page suivante]

(54) Title : METHOD FOR ESTIMATING THE LIFESPAN OF A DEEP-SUB-MICRON INTEGRATED ELECTRONIC CIRCUIT

(54) Titre : PROCÉDÉ D'ESTIMATION DE LA DURÉE DE VIE D'UN CIRCUIT ÉLECTRONIQUE INTÉGRÉ DÉCANANOMÉTRIQUE ("DEEP-SUB-MICRON")

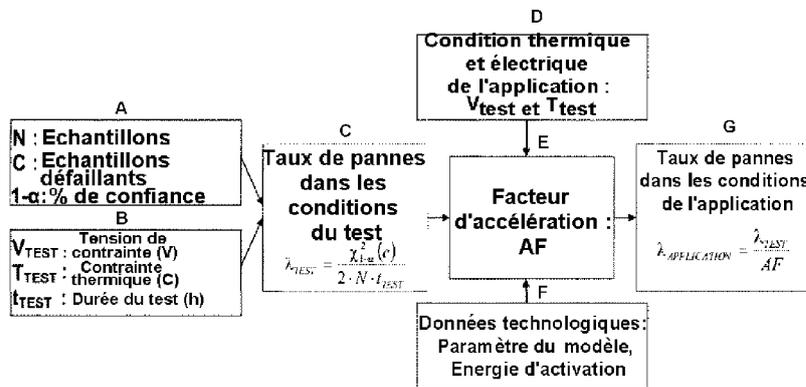


Fig 4

- A N: Samples
C: Faulty samples
1-α: % confidence
- B V_{TEST} : Tensile stress (V)
 T_{TEST} : Thermal stress (C)
 t_{TEST} : Test duration (h)
- C Breakdown rate under test conditions
- D Thermal and electric condition of the application: V_{test} and T_{test}
- E Acceleration factor: AF
- F Technological data: Model parameter, Activation energy
- G Breakdown rate under application conditions

(57) Abstract : The invention relates to a method for estimating the lifespan (TTF_{APPLI}) of a deep-sub-micron generation electronic integrated component, connected to a mechanism for detecting wear under previously defined specific conditions of use, said component being a commercially available one with very large-scale integration (VLSI), in particular sub-micronic.

(57) Abrégé : Procédé d'estimation de la durée de vie (TTF_{APPLI}) d'un composant électronique intégré de génération sub décananométrique ("deep sub-micron"), liée à un mécanisme d'usure survenant dans des conditions d'application particulières préalablement définies, ledit composant étant de type commercial disponible sur étagère à très grande échelle d'intégration (VLSI), nettement sub-micronique.



TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

- avec rapport de recherche internationale (Art. 21(3))
- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues (règle 48.2.h)

Déclarations en vertu de la règle 4.17 :

- relative au droit du déposant de revendiquer la priorité de la demande antérieure (règle 4.17.iii))

**PROCÉDÉ D'ESTIMATION DE LA DURÉE DE VIE D'UN CIRCUIT ÉLECTRONIQUE
INTÉGRÉ DÉCANANOMÉTRIQUE ("DEEP-SUB-MICRON")**

La présente invention relève du domaine des procédés de fabrication de composants électroniques. Elle concerne plus spécifiquement un procédé de selection de composants électroniques, en particulier des semi-conducteurs nettement sub-microniques.

5

Contexte de l'invention et problème posé

Avec les progrès technologiques de la miniaturisation et l'introduction de nouveaux matériaux, la prédiction de la durée de vie et du taux de pannes des semi-conducteurs nettement sub-microniques ("Deep Sub-Micron" - DSM) a acquis une grande importance.

10

Les fabricants de circuits intégrés gèrent ces problèmes selon des objectifs de faible coût et de hautes performances pour le marché de masse avec un critère de durée de vie de composant de 10 ans en application (conditions opératoires, 0,1 % de pannes cumulées, 90 % de confiance). Cette approche ne s'accorde pas aux exigences de haute fiabilité et de durée de vie à long terme rencontrées dans les systèmes électroniques professionnels, comme l'aéronautique, l'espace, la défense, la santé, le transport, l'énergie ou les installations industrielles.

15

Le tableau suivant présente l'exemple d'une fiabilité à long terme attendue dans les industries de l'aéronautique et de l'énergie :

20

Application	Exigences pour l'équipement	
	Taux de pannes	Durée de vie
Satellite spatial	10 FITs	15 ans
Avionique civile	100 FITs	30 ans
Centrale nucléaire	10-100 FITs	60 ans

Dans la plupart de ces applications, ces taux de pannes et ces spécifications de durée de vie sont atteints grâce à la redondance des circuits imprimés et de l'équipement.

25

Néanmoins, toute solution doit reposer sur la connaissance du taux de pannes du composant en relation avec le profil de la mission et l'assurance d'un assez bon niveau de fiabilité. Avec cette connaissance, il est possible de préparer les redondances nécessaires afin d'obtenir un taux de pannes et une
5 marge de durée de vie qui respectent les spécifications de l'équipement considéré.

On envisage aujourd'hui l'utilisation d'une large gamme de composants commerciaux sur étagère ("COTS") de génération décanométrique ("deep sub-micron") dans leur conception. Les principaux avantages de ces
10 composants comparés aux composants spécifiques sont leur haut niveau de performances et leur faible prix, mais leur fiabilité dans des environnements sévères est encore douteuse.

Généralement, les rapports de qualification et les fiches techniques des
15 composants fournies par les fabricants de circuits intégrés sont utilisés pour estimer le taux de pannes des composants, en application, à partir de Tests Accélérés (AT) et de Facteurs d'Accélération (AF).

Les tests accélérés sont effectués au niveau du composant et sont généralement mentionnés dans le rapport de qualification du fabricant.

20 L'énergie d'activation dépend du mécanisme de défaillance, et des modèles de dégradation. Le mécanisme de défaillance est déterminé par les choix technologiques et conceptuels. Ainsi, le choix d'un faible longueur de grille avec un oxyde de grille SiON privilégiera un mécanisme d'injection de charge dans la grille. Le fait de prendre une énergie d'activation par défaut
25 peut résulter en une estimation largement faussée de la fiabilité du composant. Par exemple, une énergie d'activation surestimée dans un facteur d'accélération conduit à un taux de pannes sous-estimé en application.

Les conditions d'environnement, l'utilisation à long terme et d'autres paramètres liés à l'électronique professionnelle sont rarement pris en compte
30 par les fabricants de circuits intégrés, car ces paramètres ne concernent pas les produits destinés au marché de masse. Dans ces conditions sévères, un facteur 4 peut même être obtenu pour des composants commerciaux sur étagère ("COTS") (Figure 1 et Figure 2).

Par conséquent, la connaissance des modèles et des paramètres de

facteur d'accélération fondée sur la technologie devient un point essentiel pour l'estimation de la fiabilité.

Malheureusement, l'électronique professionnelle ne constitue qu'un très petit marché pour des circuits à très grande échelle d'intégration ("VLSI") et des éléments d'information ne sont pas disponibles pour ces marchés. Face à ce problème, une analyse dédiée de fiabilité au niveau du silicium doit être effectuée pour chaque composant électronique afin de collecter des informations de base et de construire une prédiction de la fiabilité.

Une étape initiale du procédé consiste à collecter des éléments d'information de base sur le composant : fabricant, fonderie et si possible données relatives au procédé de fabrication et à la technologie.

Lorsque les informations requises ne sont pas disponibles dans la littérature, le composant est alors étudié en utilisant un processus d'ingénierie inverse au niveau du silicium.

La recherche est conduite de façon à établir la carte d'identité du composant aux niveaux des étapes finales de fonderie ("Back End Of Line" - BEOL) et des étapes initiales de fonderie ("Front End Of Line" - FEOL), où les éléments d'information extraits sont au moins :

- Le nœud ou génération technologique (paramètre de demi-pas),
- Nombre de couches métalliques, matériaux et dimensions de métallisation et interconnexions,
- Matériau et dimensions de transistor,
- Type de substrat (Silicium sur isolant ou silicium massif "massive bulk").

Une étape suivante consiste à analyser la sensibilité du composant par rapport à son profil de mission, comme ceux illustrés dans le tableau suivant d'exemples de profils de mission aéronautique .:

Exemple de profil	Utilisation	
	Stockage	Application
1	10 % cycle opératoire 25°C pas de polarisation pas d'assemblage	90 % cycle opératoire 25/70°C, V _{DD}

2	99 % cycle opératoire 25°C pas de polarisation assemblé	1 % cycle opératoire -55/125°C, V _{DD}
---	--	--

Ces profils doivent être pris en considération lors de l'estimation de la fiabilité.

Par exemple, l'émergence de mécanismes de défaillance qui sont activés par la tension, tels que l'électromigration et le claquage de l'oxyde de grille, sont improbables dans des conditions de stockage non alimenté en comparaison de situations opérationnelles.

Indépendamment du profil de la mission, certains matériaux et certaines architectures sont connus pour être plus sensibles à certains mécanismes. Par exemple, la porosité de l'oxyde à faible-k rend plus aisée la défaillance de l'oxyde de la couche diélectrique intermédiaire (ILD). En plus, lors des étapes finales de fonderie (BEOL), il existe un fort décalage entre les coefficients de dilatation thermique du cuivre en double damasquinage, celui de la couche de diffusion et ceux des oxydes diélectriques de la couche intermédiaire, ce qui rend la technologie plus sensible aux dommages par migration sous contraintes.

Dans la technologie Silicium sur Isolant (SOI), la couche d'isolant empêche la dissipation par effet Joule de se propager à travers le substrat, ce qui induit une accélération thermique des mécanismes de défaillance du silicium.

D'un autre côté, la consommation de puissance dynamique est moindre dans la technologie SOI pour une même longueur de grille que dans les substrats massifs, ce qui contrebalance ces faiblesses thermiques.

Enfin, les oxydes de grille à haute constante de permittivité semblent être plus sensibles à des mécanismes d'instabilité de la tension de seuil en température que l'oxyde SiON classique, en raison d'une plus grande épaisseur physique, d'un nombre d'interfaces plus important et de la présence initiale de charges mobiles dans l'oxyde.

L'analyse de sensibilité fournit une indication quant aux mécanismes de défaillance du silicium qui sont les plus à même de se produire.

Par élimination, les mécanismes prédominants à étudier sont sélectionnés, ainsi que les tests du rapport de qualification qui doivent faire l'objet d'une analyse ultérieure.

5 Les mécanismes prédominants de défaillance des circuits donnent aussi des informations sur la dépendance temporelle de la défaillance. Certains d'entre eux sont typiques du fond de la courbe en baignoire de la fiabilité et certains autres sont définis comme des mécanismes d'usure (Figure 3).

10 Dans le premier cas, la fiabilité est décrite au mieux par un taux de défaillance instantané constant (désigné par λ et exprimé en FITs – "Failure in Time" ou défaillance dans le Temps), tandis que pour le mécanisme de défaillance par usure, on parlera de plutôt de durée de vie : temps avant défaillance ou TTF ("Time to Failure") en heures, temps à partir duquel la probabilité de défaillance $F(t)$ atteint la valeur spécifiée, par exemple 10^{-7} ou 10^{-9} pour certaines applications aéronautiques..

15 Les fabricants de circuits intégrés déduisent en général un taux de défaillance instantané à partir d'un test de durée de vie à haute température (HTOL) à travers l'estimateur χ^2 .

20 L'avantage principal de cet estimateur est d'extrapoler un taux de pannes à partir d'un faible échantillon à une grande quantité de composants avec un coefficient de confiance connu (Figure 4). Cette méthode reste acceptable pour le mécanisme de défaillance survenant lorsque le taux de pannes est constant et indépendant de la durée du test.

Cependant, ce calcul ne convient plus pour les mécanismes d'usure, simplement parce que le taux de pannes augmente avec le temps.

25

Objectifs de l'invention

La présente invention a donc pour objet de proposer un procédé répondant au problème exposé ci-dessus.

Exposé de l'invention

30 Pour remédier à ce problème, l'invention vise un procédé Procédé d'estimation de la durée de vie (TTF_{APPLI}) d'un composant électronique intégré de génération sub décanométrique ("deep sub-micron"), liée à un mécanisme d'usure survenant dans des conditions d'application particulières préalablement

définies, ledit composant étant de type commercial disponible sur étagère à très grande échelle d'intégration (VLSI), nettement sub-micronique,

caractérisé en ce qu'on suppose qu'une même population d'échantillons subit toujours une défaillance en raison des deux mécanismes suivants :

5 • un mécanisme de défaillance le plus prédominant pendant la période de vie utile, décrite par une loi exponentielle,

 • un mécanisme d'usure le plus critique représenté par une loi de Weibull à la fin de la période précédente,

et en ce que le procédé comporte des étapes:

10 Etape 101 – de réception et mémorisation d'éléments d'informations techniques prédéterminées sur le composant, notamment la(les) tension(s) d'alimentation, les données technologiques (nœud, description FEOL et BEOL), la description technique de l'encapsulation et les données d'adressage du composant,

15 Etape 106 – d'analyse de la sensibilité du composant par rapport aux conditions d'utilisation particulières,

 Etape 116 – de sélection des mécanismes de fond de baignoire et d'usure les plus probables , et de tests accélérés associés.

20 Selon diverses mises en œuvre avantageuses, éventuellement utilisées en conjonction : le procédé comporte en outre des étapes:

 Etape 109 – de calcul du taux de défaillances (λ_{TEST}), sur la base des résultats de tests accélérés de durée de vie du composant,

25 Etape 111 – de calcul d'une durée de vie estimée du composant en conditions de test (TTF_{TEST}),

 Etape 112 – de détermination d'un facteur d'accélération utilisé pour analyser des résultats d'au moins un test accéléré du composant en rapport à la technologie de celui-ci et du profil de mission.

30 Etape 108 – d'acquisition et de mémorisation des résultats d'au moins un test accéléré de durée de vie du composant, si de tels résultats de tests ne sont pas disponibles, le type de test étant choisi en fonction d'un mécanisme de défaillance par usure. Dans cette étape, pour les mécanismes de défaillances tels que connus sous les noms HCI, NBTI ou EM, et afin de prendre en compte les composants les plus rapides, le banc de test comprend un moyen de

refroidissement/échauffement très local du composant.

Etape 103 - d'étude du composant en utilisant un processus d'ingénierie inverse, de manière à déterminer notamment les données technologiques du composant au niveau du boîtier du composant, des paramètres BEOL et FEOL

5 Etape 105 – d'établissement d'une carte d'identité du composant selon une série de critères prédéterminés (technologie, mécanismes de défaillances inhérents à la technologie, ...).

10 Etape 102 – de caractérisation des données environnementales correspondant aux conditions particulières d'utilisation prévues pour le composant, notamment profil de mission thermique et électrique.

Etape 110 – d'identification des mécanismes de pannes observées lors des défaillances en conditions de test.

Avantageusement, dans l'étape 111 :

15 - la probabilité de défaillances est décrite par une loi bimodale (Eq. 1) dans laquelle λ_{TEST} est le taux de pannes dans les conditions de test, $TTF_{TEST_R\%}$ la valeur moyenne du temps avant panne pour des composants qui ont survécu après $t=t_{TEST}$ et β la pente de Weibull du mécanisme d'usure :

$$F_{\text{component}}(t) = \begin{cases} 1 - e^{-\lambda_{\text{tests}} \cdot t} & \text{si } t_{0\%} \leq t \leq t_{\text{test}} \\ 1 - e^{-\left(\frac{t}{TTF_{\text{test-R}\%}}\right)^\beta} & \text{si } t_{\text{test}} \leq t \leq t_{100\%} \end{cases} \quad (1)$$

20 - on considère le cas le plus défavorable où le mécanisme de panne le plus critique survient juste après la période de test, du fait de la continuité des deux distributions résultant en ce qu'il existe la même probabilité de panne du composant décrite par la loi exponentielle et par la loi de Weibull, et en ce qu'on calcule donc $TTF_{TEST_R\%}$ par (Eq. 2) :

25

$$TTF_{TEST_R\%} = \frac{(t_{TEST})^{1-\frac{1}{\beta}}}{\lambda_{TEST}^{\frac{1}{\beta}}} \quad (2)$$

- le temps moyen avant panne TTF_{TEST} est alors calculé pour tous les mécanismes de défaillance par usure étudiés, avec des pentes de Weibull

pertinentes, typiques de chaque mécanisme d'usure, leur valeur étant choisie en fonction de l'analyse technologique.

Plus particulièrement, dans ce cas, le procédé comporte en outre une
5 étape :

Etape 113, 114 – de calcul des taux de pannes λ_{APPLI} et la durée de vie TTF_{APPLI} effectifs en application, selon le facteur d'accélération AF_i spécifique à mécanisme i , à partir du taux de pannes λ_{TEST} et de la durée de vie TTF_{TEST} mesurés pendant les tests accélérés, par application des formules :

10

$$\lambda_{APPLICATION} = \frac{\lambda_{TEST}}{AF_i} \quad (3) \quad (4)$$

$$TTF_{APPLICATION} = TTF_{TEST_R\%} \cdot AF_i$$

Brève description des figures

Les buts et avantages de l'invention seront mieux compris à la lecture de
15 la description et des dessins d'un mode particulier de réalisation, donné à titre d'exemple non limitatif, et pour lequel les dessins représentent :

Figure 1 (déjà citée) : facteur d'accélération FPGA entre le taux de pannes en application et le taux de pannes dans les conditions de test pour différentes énergies d'activation pour le mécanisme de panne TDDB ("Time Dielectric
20 Dependant Breakdown" : claquage du diélectrique en fonction du temps) de l'oxyde de grille (2 nm d'épaisseur d'oxyde de grille SiON),

Figure 2 (déjà citée) : taux de pannes FPGA dans les conditions d'application pour différentes énergies d'activation pour le mécanisme de panne TDDB de l'oxyde de grille (2 nm d'oxyde de grille SiON),

25 Figure 3 (déjà citée) : courbe en baignoire du taux de pannes et mécanismes de défaillance du silicium,

Figure 4 (déjà citée) : méthodologie d'estimation du taux de pannes (selon l'état de l'art),

Figure 5 : probabilité de défaillances du composant en fonction du temps,

30 Figure 6 : courbe en baignoire de fiabilité du composant pour les deux composants dans des conditions d'application (30 ans, 70°C, 3,3 V, 50 % de

cycle opératoire),

Figure 7 : méthodologie d'estimation du taux de panne dans un procédé tel que décrit.

5 **Description détaillée d'un mode de réalisation de l'invention**

La description suivante du procédé de calcul de la fiabilité de composants "deep sub-micron" est présentée sur plusieurs technologies.

10 Le procédé tel que décrit est notamment destiné à être mis en œuvre de façon automatique par un dispositif électronique adapté.

Le but de la méthode est d'estimer une durée de vie d'un composant intégré de génération sub décananométrique, à partir du calcul du taux de pannes fourni par le fabricant.

15 On suppose qu'une même population d'échantillons subit toujours une défaillance en raison:

- Du mécanisme le plus prédominant pendant la période de vie utile, décrite par une loi exponentielle.

20 • Dumécanisme d'usure le plus critique représenté par une loi de Weibull à la fin de la période précédente.

Par conséquent, la probabilité de défaillances peut être décrite par une loi bimodale (1) dans laquelle λ_{TEST} est le taux de pannes dans les conditions de test, $TTF_{TEST_R\%}$ la valeur moyenne du temps avant panne pour des composants qui ont survécu après $t=t_{TEST}$ et β la pente de Weibull du mécanisme d'usure.

$$F_{\text{component}}(t) = \begin{cases} 1 - e^{-\lambda_{\text{tests}} \cdot t} & \text{si } t_{0\%} \leq t \leq t_{\text{test}} \\ 1 - e^{-\left(\frac{t}{TTF_{\text{test-R}\%}}\right)^\beta} & \text{si } t_{\text{test}} \leq t \leq t_{100\%} \end{cases} \quad (1)$$

30 On considère également le cas le plus défavorable où le mécanisme de panne le plus critique survient juste après la période de test. En effet, à l'intersection des deux distributions (point 1 sur la Figure 5), il existe la même probabilité de panne du composant décrite par la loi exponentielle et par la loi de Weibull.

Par continuité, on peut écrire :

$$TTF_{TEST_R\%} = \frac{(t_{TEST})^{1-\frac{1}{\beta}}}{\lambda_{TEST}^{\frac{1}{\beta}}} \quad (2)$$

5 Un temps moyen avant panne est alors calculé pour tous les mécanismes de défaillance par usure étudiés, avec des pentes de Weibull pertinentes. La pente de Weibull est typique d'un mécanisme d'usure.

Elle dépend de la technologie, de sorte que sa valeur est choisie en fonction de l'analyse technologique.

10 Une bonne estimation de la durée de vie et du taux de pannes dépend de la précision du facteur d'accélération.

Pour un mécanisme de défaillance du silicium donné, la littérature comporte divers modèles généralement liés au nœud de génération et à la polarisation.

15 Par exemple, le temps de claquage de l'oxyde de grille peut être modélisé selon quatre lois de dégradation :

- Le modèle E est utilisé pour une application à faible champ électrique,
- Les modèles $1/E$ et $E^{0,5}$ sont utilisés pour un champ électrique élevé;
- La loi de puissance en tension est associée à un comportement non

20 conforme à la loi d'Arrhénius en température pour un oxyde de grille de moins de 3 nm d'épaisseur.

De plus, le matériau et les dimensions d'échelle ont des conséquences sur le choix des paramètres du modèle. Par exemple, l'énergie d'activation du mécanisme de claquage de l'oxyde de grille sera différente pour les oxydes en silice (SiO_2), les oxydes nitrurés ($SiON$) et les oxydes à haute constante de permittivité.

25 Par conséquent, l'estimation du taux de pannes et de la durée de vie impose en tout premier lieu de connaître les aspects physiques de la défaillance impliquée et que l'on établisse alors, pour un mécanisme de panne spécifique, une grande base de données de facteur d'accélération et de
30 modèles avec tous les paramètres appropriés qui couvrent toute la variété de

composants nettement sub-microniques ("deep sub-micron").

Le taux de pannes et la durée de vie effectifs en application sont ensuite calculés avec le facteur AF_i spécifique à mécanisme i , à partir du taux de pannes et de la durée de vie mesurés pendant des tests accélérés (Eq. 3).

5

$$\lambda_{\text{APPLICATION}} = \frac{\lambda_{\text{TEST}}}{AF_i} \quad (3) \quad (4)$$

$$TTF_{\text{APPLICATION}} = TTF_{\text{TEST_R\%}} \cdot AF_i$$

10 La méthodologie utilisée dans le procédé d'estimation du taux de panne tel que décrit est illustrée par la figure 7.

Comme on le voit sur cette figure, le procédé comporte des étapes suivantes :

15 étape 101 – de réception et mémorisation d'éléments d'informations techniques prédéterminées sur le composant, notamment la(les) tension(s) d'alimentation, les données technologiques (nœud, description FEOL et BEOL) et les données d'adressage du composant,

20 étape 102 – de caractérisation des données environnementales correspondant aux conditions particulières d'utilisation prévues pour le composant, notamment profil de mission thermique et électrique,

étape 104 – de détermination si les données techniques reçues dans l'étape 101 sont suffisantes, notamment pour déterminer un taux de défaillance théorique, et sinon :

25 étape 103 - d'étude du composant en utilisant un processus d'ingénierie inverse, de manière à déterminer notamment les données technologiques du composant au niveau du boîtier du composant, des paramètres BEOL et FEOL

Puis une étape 105 – d'établissement d'une carte d'identité du composant selon une série de critères prédéterminés (technologie, mécanismes de défaillances inhérents à la technologie, ...).

30 Les résultats de cette étape 105 et de l'étape 102 sont utilisés comme entrées dans une étape 115 – de sélection d'un modèle d'endommagement du

composant et de ses paramètres,

et simultanément dans une étape 106 – d'analyse de la sensibilité du composant par rapport aux conditions d'utilisation particulières.

5 Cette étape 106 permet dans une étape 116 une sélection des mécanismes de fond de baignoire et d'usure les plus effectifs, et de tests accélérés associés.

Dans une étape 107, on détermine si les résultats de tests accélérés tels que déterminés dans l'étape 116 sont disponibles, sinon, dans une étape 108, on Détermine et met en place des tests à opérer du côté de l'utilisateur pour
10 mettre en avant les mécanismes recherchés, si de tels résultats de tests ne sont pas disponibles dans le rapport de qualification du fabricant

Puis dans une étape 109 on calcule le taux de défaillances (λ_{TEST}), sur la base des résultats de tests accélérés de durée de vie du composant,

15 Dans une étape 110 on identifie les mécanismes de pannes observées lors des défaillances en conditions de test.

Si le mécanisme est un mécanisme d'usure, on utilise la continuité de la fonction de défaillance, et dans une étape 111 on calcule une durée de vie estimée du composant en conditions de test (TTF_{TEST}),

20 Puis dans une étape 112 on détermine les facteurs d'accélération utilisés pour analyser des résultats de test accéléré du composant.

Enfin, dans les étapes 113 (pour un mécanisme de fond de baignoire), 114 (pour un mécanisme d'usure), on calcule le taux de pannes λ_{APPLI} et la durée de vie TTF_{APPLI} effectifs en application, selon le facteur d'accélération AF approprié, à partir du taux de pannes λ_{TEST} et de la durée de vie TTF_{TEST}
25 mesurés pendant les tests accélérés, par application des équations 3 et 4.

Exemple d'application

Un exemple d'application avec deux composants similaires de même génération technologique et provenant de deux fonderies différentes démontre
30 l'intérêt de cette approche.

Les composants sont nommés A et B.

Les deux composants sont soumis à un profil de mission de type avionique, dans ce cas 3 ans en stockage, non alimenté, à 25°C, puis pendant 30 ans, température de jonction de 70°C, alimenté à 3,3 V douze heures par

jour.

Le mécanisme de panne étudié est un mécanisme par usure, l'électromigration dans les interconnexions d'étapes finales de fonderie ("BEOL").

5 En premier lieu, on a collecté les informations concernant les procédés de fabrication des fonderies où les composants ont été fabriqués.

Les éléments d'information disponibles auprès des fonderies ne suffisent pas et une analyse physique destructive est effectuée pour obtenir les données requises.

10 Les deux composants ont une même architecture d'étapes finales de fonderie ("BEOL") avec 3 couches de métallisation et exactement la même dimension d'interconnexions. Cependant, le composant A possède des interconnexions en aluminium tandis que le composant B est fabriqué en cuivre à l'aide d'un procédé double damascène.

15

Ces données sont rassemblées dans le tableau suivant.

	Composant	
	A	B
Nombre de couches de métallisation	3	3
Nature de la métallisation	2 Al 1 TiW	2 Cu 1 TiW
Nature des trous d'interconnexion	W	Cu
Couche de diffusion	Ti/TiN	Ta/TaN
Couverture ("Cap")	SiN _x	SiN _x
Oxyde de la couche intermédiaire	SiO ₂	oxyde basse permittivité

20 Considérant le profil de la mission, aucun risque n'a été décelé dans la situation de stockage (composant non alimenté).

Toutefois, un risque de fiabilité situé au 3^{ème} niveau a été identifié pour le composant A.

25 La largeur de métallisation est proche de 2 µm et crée de ce fait un chemin de diffusion rapide à travers la frontière des grains, qui peut induire une migration de grains métalliques dans un état de polarisation.

Pour ce mécanisme de panne, un test de durée de vie de l'oxyde à haute température a été effectué sur 87 échantillons du composant A et 87 échantillons du composant B pendant 2000 h, à 125°C (jonction) et 3,96 V.

Pendant les tests, on n'a observé aucune panne. Le taux de pannes maximum dans les conditions du test peut être calculé par l'équation 5 en supposant 60 % de confiance.

$$\lambda_{TEST} = \frac{\chi^2_{1-\alpha}(2c+2)}{2 \cdot N \cdot t_{TEST}}$$

$$\lambda_{TEST} = 5300 \text{ FITs} \tag{5}$$

La probabilité de panne après les conditions du test est proche de 1 %.

Ceci indique que 99 % des 87 échantillons pourraient tomber en panne par le mécanisme d'électromigration, cette valeur sera prise en considération pour le calcul de la durée de vie. En supposant une pente de Weibull de 6 pour la structure Al/Ti/TiN/SiO₂, la durée avant panne ("TTF") moyenne en tenant compte des conditions du test peut être estimée par l'équation 6 :

$$TTF_{TEST_R\%} = \frac{(t_{TEST})^{1-\frac{1}{\beta}}}{\lambda_{TEST}^{\frac{1}{\beta}}} = \frac{(2000)^{1-\frac{1}{6}}}{(5,3 \cdot 10^{-6})^{\frac{1}{6}}} \approx 4300 \text{ h} \tag{6}$$

Le facteur d'accélération le plus représentatif pour le test d'électromigration est le modèle de Black.

Ce modèle souligne l'influence de la tension d'alimentation à travers la densité de courant exprimée par une loi de puissance et l'impact de la température avec un modèle d'Arrhénius (Eq. 7).

$$TTF = A \cdot J^{-n} \cdot e^{\frac{E_A}{k \cdot T}} \tag{7}$$

TTF est le temps avant panne, A est une constante, J est la densité de courant, E_A est l'énergie d'activation, k est la constante de Boltzmann et T est la température.

De plus, la relation entre l'alimentation électrique et la densité de courant peut être exprimée par l'équation 8.

Le paramètre f est la fréquence (Hz), ε₀ est la constante diélectrique dans le vide, ε_{OX} est la constante diélectrique de l'oxyde, V_{DD} est la tension de

l'alimentation électrique et d est le pas minimum entre les métallisations.

$$J = f \cdot \epsilon_0 \cdot \epsilon_{ox} \cdot \frac{V_{DD}}{d} \quad (8)$$

Selon (7) et (8), les facteurs d'accélération pour les deux composants peuvent être obtenus par l'équation 9 :

$$AF = \left(\frac{V_{appli}}{V_{test}} \right)^{-n} \cdot e^{\frac{E_a}{k} \left(\frac{1}{T_{test}} - \frac{1}{T_{appli}} \right)} \quad (9)$$

5

et les paramètres du modèle sont listés dans le tableau suivant :

Composant	n	E _A	AF électromigration
A	2,02	0,58	21,7
B	1,1	0,89	80,9

10

Enfin, le taux de pannes et la durée de vie du composant peuvent être calculés pour les deux composants vis-à-vis du mécanisme de l'électromigration.

Les paramètres de fiabilité résultants pour les composants A et B dans les conditions d'application (87 échantillons) sont indiqués dans le tableau suivant :

15

Composant	30 ans, 70°C, 3,3 V, 50% cycle op.	
	TTF _{1%} (années)	TTF _{63,2%} (années)
A	10	21
B	37	80

20

Bien que le composant A et le composant B aient la même fonction, la même architecture et le même nœud de génération, on a constaté que le composant B était plus adapté que le composant A pour l'application avionique décrite, comme le montre la Figure 6.

L'écart de fiabilité s'explique par la nature différente de la métallisation

dans la zone des étapes finales de fonderie ("BEOL").

La méthodologie proposée est appliquée pour un mécanisme d'usure : l'électromigration.

5 Afin d'estimer une fiabilité complète du composant la même méthodologie doit être appliquée pour tous les autres mécanismes de défaillance du silicium.

L'extrême diversité des conceptions, des solutions de fabrication et les profils de mission très différents de circuits à très grande échelle d'intégration ("VLSI") dans les systèmes professionnels provoquent une grande divergence entre les approches existantes fondées sur des tests de qualification standard et les capacités réelles et extrêmement diverses des technologies nettement
10 sub-microniques ("deep sub-micron").

Cela est également vrai pour des composants issu du même nœud technologique.

15 Considérant qu'il n'existe pas d'usure standard pour un composant nettement sub-micronique ("deep sub-micron") et un profil de mission spécifique, il y a lieu de procéder à une analyse de fiabilité spécifique pour chaque composant deep sub-micron.

Le procédé de l'invention est fondé sur une analyse technologique qui aide à identifier le mode de panne principal et le mécanisme d'usure.

20 On déduit un taux de pannes approprié afin d'établir une prédiction réaliste de durée de vie.

Cette nouvelle approche permet un choix correct du test accéléré et un calcul précis du facteur d'accélération validant la prédiction de durée de vie.

REVENDICATIONS

1. Procédé d'estimation de la durée de vie (TTF_{APPLI}) d'un composant électronique intégré de génération sub décananométrique ("deep sub-micron"), liée à un mécanisme d'usure survenant dans des conditions d'application particulières préalablement définies, ledit composant étant de type commercial disponible sur étagère à très grande échelle d'intégration (VLSI), nettement sub-micronique,

caractérisé en ce qu'on suppose qu'une même population d'échantillons subit toujours une défaillance en raison:

- du mécanisme de défaillance le plus prédominant pendant la période de vie utile, décrite par une loi exponentielle,

- du mécanisme d'usure le plus critique représenté par une loi de Weibull à la fin de la période précédente,

et en ce que le procédé comporte des étapes:

Etape 101 – de réception et mémorisation d'éléments d'informations techniques prédéterminées sur le composant, notamment la(les) tension(s) d'alimentation, les données technologiques (nœud, description FEOL et BEOL), la description technique de l'encapsulation et les données d'adressage du composant,

Etape 106 – d'analyse de la sensibilité du composant par rapport aux conditions d'utilisation particulières,

Etape 116 – de sélection des mécanismes de fond de baignoire et d'usure les plus critiques, et de tests accélérés associés.

2. Procédé selon la revendication 1, caractérisé en ce qu'il comporte en outre des étapes:

Etape 111 – de calcul d'une durée de vie estimée du composant en conditions de test accéléré (TTF_{TEST}),

Etape 112 – de détermination d'un facteur d'accélération utilisé pour analyser des résultats d'au moins un test accéléré du composant.

3. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte en outre une étape :

Etape 108 – d'acquisition et de mémorisation des résultats d'au moins un test accéléré de durée de vie du composant, si de tels résultats de tests ne sont pas disponibles par ailleurs, le type de test étant choisi en fonction d'un mécanisme de défaillance par usure.

5

4. Procédé selon l'une des revendications 1 à 3, caractérisé en ce qu'il comporte en outre une étape :

Etape 103 - d'étude du composant en utilisant un processus d'ingénierie inverse, de manière à déterminer notamment son taux de défaillance (λ) théorique.

10

5. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte en outre une étape :

Etape 105 – d'établissement d'une carte d'identité du composant selon une série de critères prédéterminés (technologie, mécanismes de défaillances inhérents à la technologie, ...).

15

6. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte en outre une étape :

Etape 102 – de caractérisation des données environnementales correspondant aux conditions particulières d'utilisation prévues pour le composant, notamment profil de mission thermique et électrique.

20

7. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte en outre une étape :

Etape 110 – d'identification des mécanismes de pannes observées lors des défaillances en conditions de test.

25

8. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte en outre une étape :

Etape 109 - de calcul du taux de défaillance observé λ_{TEST} dans les conditions de test.

30

9. Procédé selon l'une quelconque des revendications 2 à 8, caractérisé

en ce que, dans l'étape 111 :

- la probabilité de défaillances est décrite par une loi bimodale (Eq. 1) dans laquelle λ_{TEST} est le taux de pannes dans les conditions de test, $TTF_{TEST_R\%}$ la valeur moyenne du temps avant panne pour des composants qui ont survécu après $t=t_{TEST}$ et β la pente de Weibull du mécanisme d'usure :

$$F_{\text{component}}(t) = \begin{cases} 1 - e^{-\lambda_{\text{tests}} \cdot t} & \text{si } t_{0\%} \leq t \leq t_{\text{test}} \\ 1 - e^{-\left(\frac{t}{TTF_{\text{test-R}\%}}\right)^\beta} & \text{si } t_{\text{test}} \leq t \leq t_{100\%} \end{cases} \quad (1)$$

- on considère le cas le plus défavorable où le mécanisme de panne le plus critique survient juste après la période de test, du fait de la continuité des deux distributions résultant en ce qu'il existe la même probabilité de panne du composant décrite par la loi exponentielle et par la loi de Weibull, et en ce qu'on calcule donc $TTF_{TEST_R\%}$ par (Eq. 2) :

$$TTF_{TEST_R\%} = \frac{(t_{TEST})^{1-\frac{1}{\beta}}}{\lambda_{TEST}^{\frac{1}{\beta}}} \quad (2)$$

- le temps moyen avant panne TTF_{TEST} est alors calculé pour tous les mécanismes de défaillance par usure étudiés, avec des pentes de Weibull pertinentes, typiques de chaque mécanisme d'usure, leur valeur étant choisie en fonction de l'analyse technologique.

10. Procédé selon la revendication 9, caractérisé en ce qu'il comporte en outre une étape :

- Etape 113, 114 – de calcul des taux de pannes λ_{APPLI} et la durée de vie TTF_{APPLI} effectifs en application, selon le facteur d'accélération AF approprié, à partir du taux de pannes λ_{TEST} et de la durée de vie TTF_{TEST} mesurés pendant les tests accélérés, par application des formules :

$$\lambda_{\text{APPLICATION}} = \frac{\lambda_{\text{TEST}}}{AF_i} \quad (3) \quad (4)$$
$$TTF_{\text{APPLICATION}} = TTF_{\text{TEST_R\%}} \cdot AF_i$$

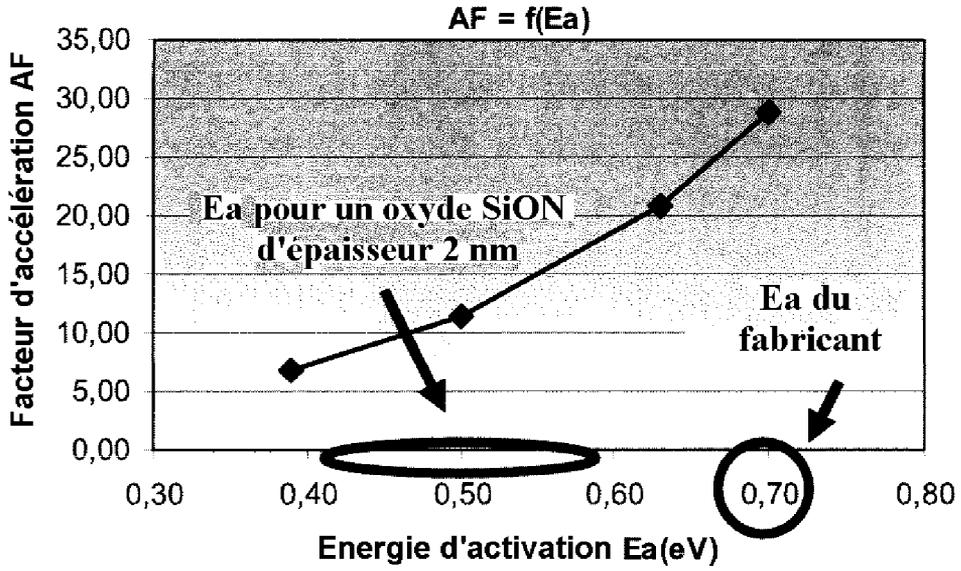


Fig 1

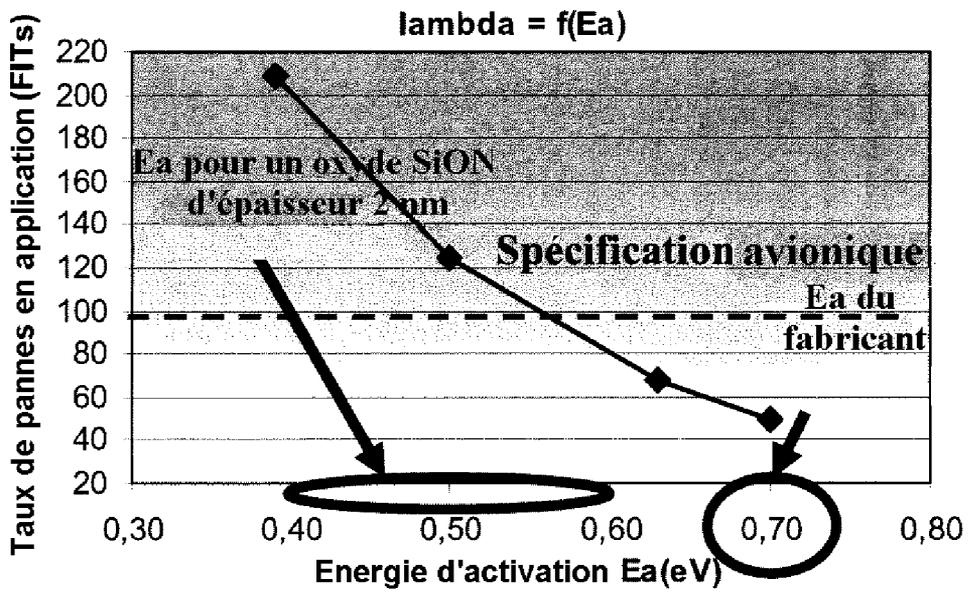


Fig 2

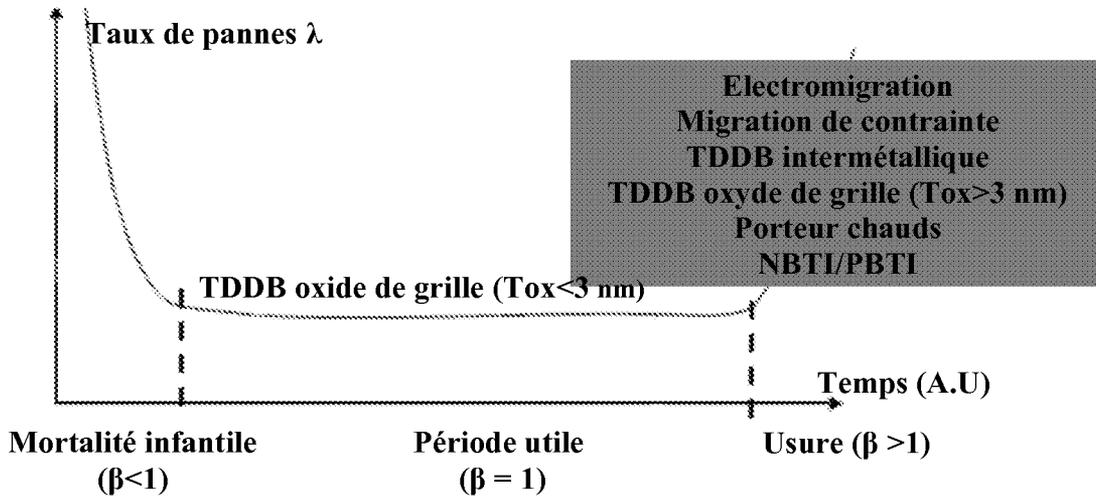


Fig 3

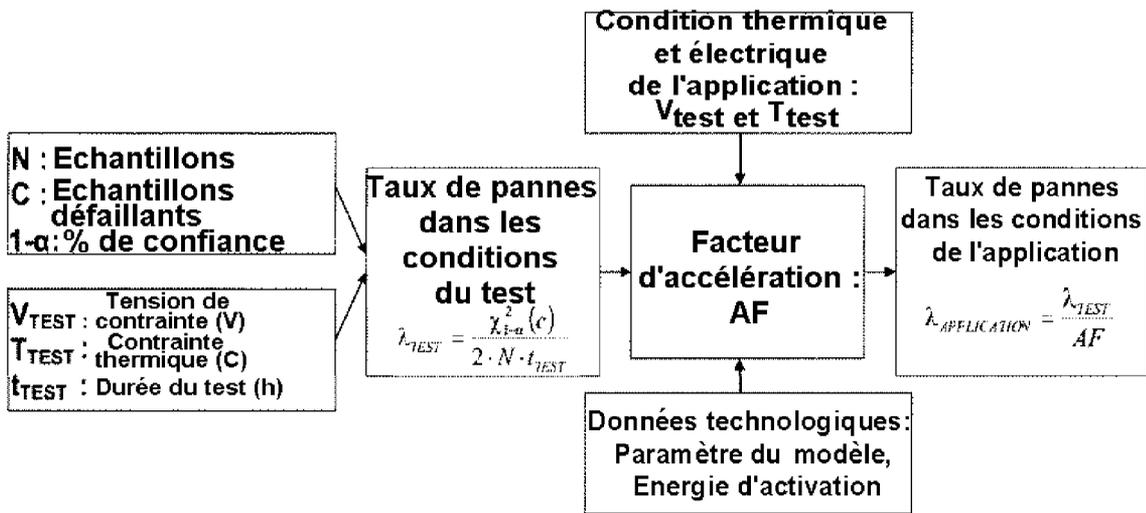


Fig 4

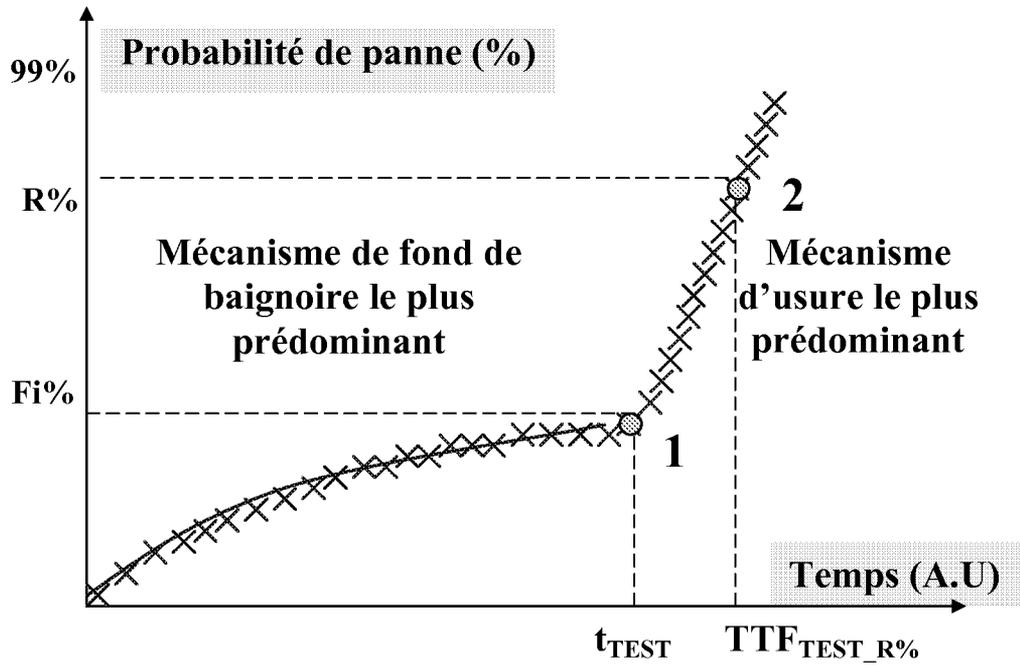


Fig 5

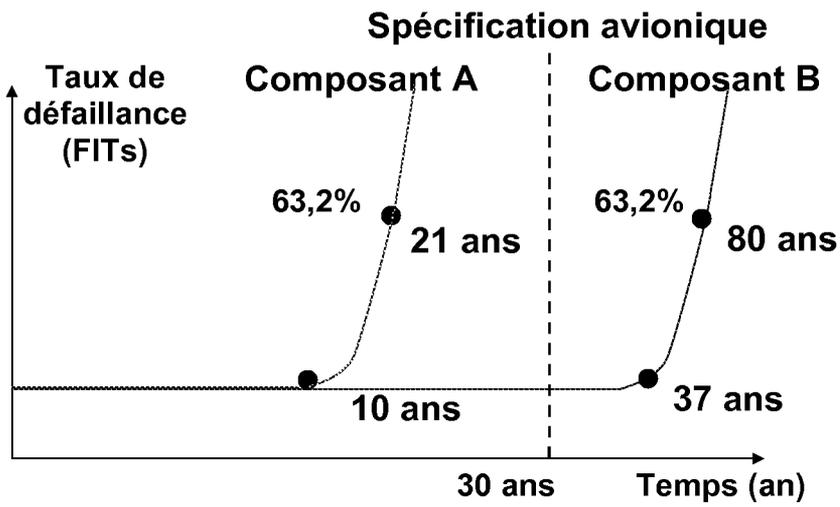


Fig 6

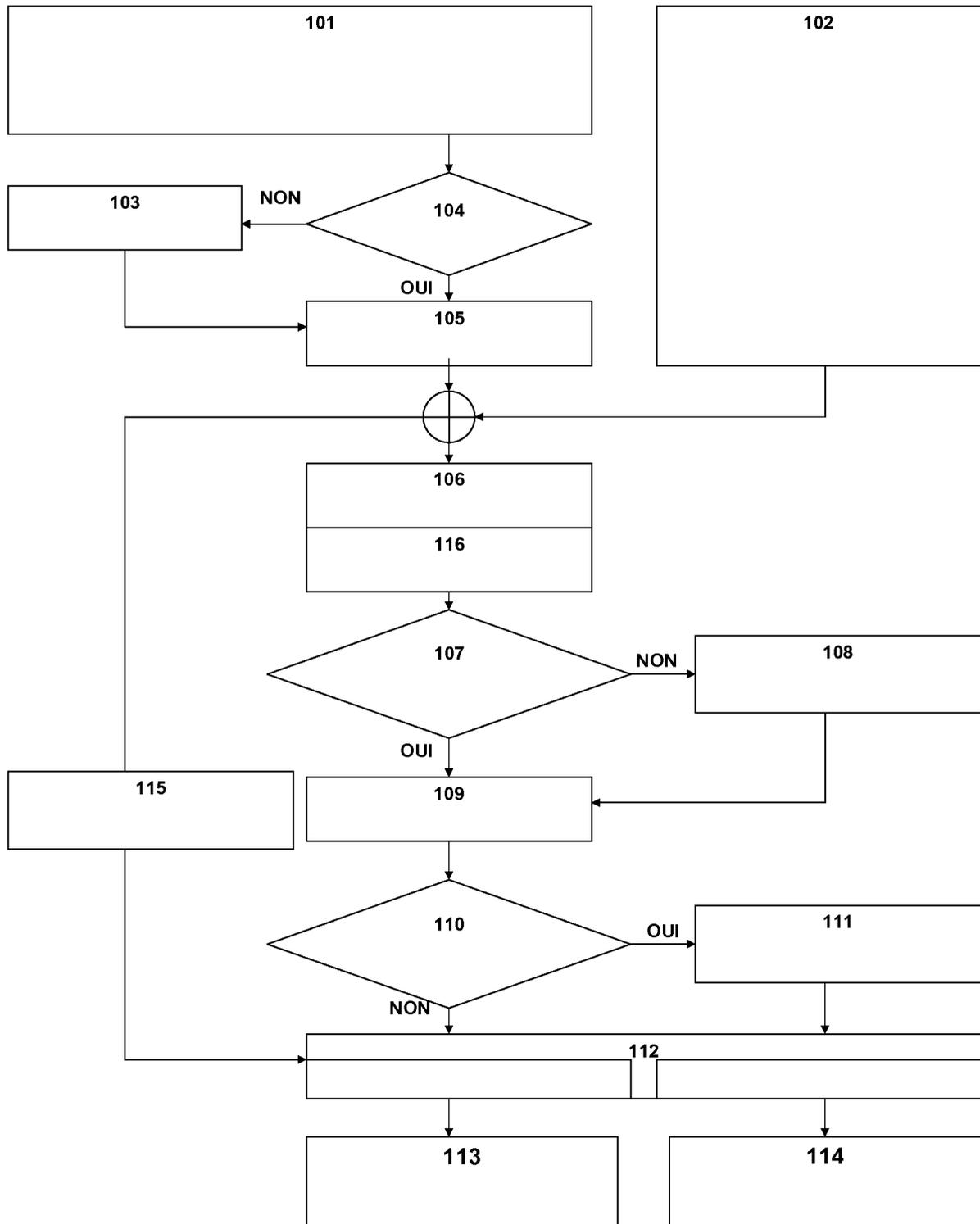


Fig 7

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2010/059317

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F17/50 G06Q90/00 ADD. G01R31/28		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F G06Q		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	BURLESON W ET AL: "Trading Off Transient Fault Tolerance and Power Consumption in Deep Submicron (DSM) VLSI Circuits", IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US LNKD-DOI:10.1109/TVLSI.2004.824302, vol. 12, no. 3, 1 March 2004 (2004-03-01), pages 299-311, XP011109998, ISSN: 1063-8210 * abstract	1-10
X	US 7 260 509 B1 (BRAND MICHAEL K [US] ET AL) 21 August 2007 (2007-08-21) * abstract	1-10
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 19 October 2010		Date of mailing of the international search report 27/10/2010
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Iwansson, Kaj

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2010/059317

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008/077376 A1 (BELHADDAD HAFNAOUI [FR] ET AL) 27 March 2008 (2008-03-27) * abstract -----	1-10
X	JP 2006 277370 A (TOSHIBA CORP) 12 October 2006 (2006-10-12) * abstract -----	1-10
X	US 2003/066036 A1 (MAU HENDRIK T [US]) 3 April 2003 (2003-04-03) paragraph [0020] -----	1-10
X	US 7 457 725 B1 (CIVILINI MASSIMO [US]) 25 November 2008 (2008-11-25) * abstract; figures 1,3 -----	1-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2010/059317

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 7260509	B1	21-08-2007	NONE
US 2008077376	A1	27-03-2008	EP 2067111 A1 10-06-2009 WO 2008037655 A2 03-04-2008
JP 2006277370	A	12-10-2006	JP 4296160 B2 15-07-2009
US 2003066036	A1	03-04-2003	NONE
US 7457725	B1	25-11-2008	NONE

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2010/059317

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
 INV. G06F17/50 G06Q90/00
 ADD. G01R31/28

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
 G06F G06Q

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
 EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	BURLESON W ET AL: "Trading Off Transient Fault Tolerance and Power Consumption in Deep Submicron (DSM) VLSI Circuits", IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US LNKD-DOI:10.1109/TVLSI.2004.824302, vol. 12, no. 3, 1 mars 2004 (2004-03-01), pages 299-311, XP011109998, ISSN: 1063-8210 * abrégé	1-10
X	US 7 260 509 B1 (BRAND MICHAEL K [US] ET AL) 21 août 2007 (2007-08-21) * abrégé	1-10

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

19 octobre 2010

Date d'expédition du présent rapport de recherche internationale

27/10/2010

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Iwansson, Kaj

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2008/077376 A1 (BELHADDAD HAFNAOUI [FR] ET AL) 27 mars 2008 (2008-03-27) * abrégé	1-10
X	JP 2006 277370 A (TOSHIBA CORP) 12 octobre 2006 (2006-10-12) * abrégé	1-10
X	US 2003/066036 A1 (MAU HENDRIK T [US]) 3 avril 2003 (2003-04-03) alinéa [0020]	1-10
X	US 7 457 725 B1 (CIVILINI MASSIMO [US]) 25 novembre 2008 (2008-11-25) * abrégé; figures 1,3	1-10

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2010/059317

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication	
US 7260509	B1	21-08-2007	AUCUN	
US 2008077376	A1	27-03-2008	EP 2067111 A1 WO 2008037655 A2	10-06-2009 03-04-2008
JP 2006277370	A	12-10-2006	JP 4296160 B2	15-07-2009
US 2003066036	A1	03-04-2003	AUCUN	
US 7457725	B1	25-11-2008	AUCUN	