



(19)中華民國智慧財產局

(12)新型說明書公告本 (11)證書號數：TW M499645 U

(45)公告日：中華民國 104 (2015) 年 04 月 21 日

(21)申請案號：103220870

(22)申請日：中華民國 103 (2014) 年 11 月 25 日

(51)Int. Cl. : H01L23/15 (2006.01) H01L21/58 (2006.01)

(71)申請人：令傑有限公司(中華民國) XEROGEL TECHNOLOGY (TW)

高雄市復橫一路 131 號

(72)新型創作人：邱正杰 CHU, CHENG-JYE (TW)

(74)代理人：邱珍元

(NOTE)備註：相同的創作已於同日申請發明專利(Another patent application for invention in respect of the same creation has been filed on the same date)

申請專利範圍項數：12 項 圖式數：7 共 25 頁

(54)名稱

整合式被動模組及半導體裝置

INTEGRATED PASSIVE MODULE AND SEMICONDUCTOR DEVICE

(57)摘要

一種整合式被動模組包括一陶瓷基板、一平坦層以及一薄膜積層。陶瓷基板嵌設有至少一第一被動元件。平坦層設置於陶瓷基板之上。薄膜積層具有至少一第二被動元件。薄膜積層設置於平坦層之上。薄膜積層與第一被動元件電性連接。本創作亦提供一種半導體裝置包括一整合式被動模組以及至少一主動元件。主動元件與整合式被動模組的第一被動元件及第二被動元件電性連接。

An integrated passive module includes a ceramic substrate, a planar layer, and a thin film laminate. The ceramic substrate is embedded at least one first passive element. The planar layer is disposed on the ceramic substrate. The thin film laminate has at least one second passive element. The thin film laminate is disposed over the planar layer. The thin film laminate is electrical connected to the first passive element. This invention also discloses a semiconductor device including an integrated passive module and at least one active unit. The active unit is electrical connected to the first passive element and the second passive element of the integrated module.

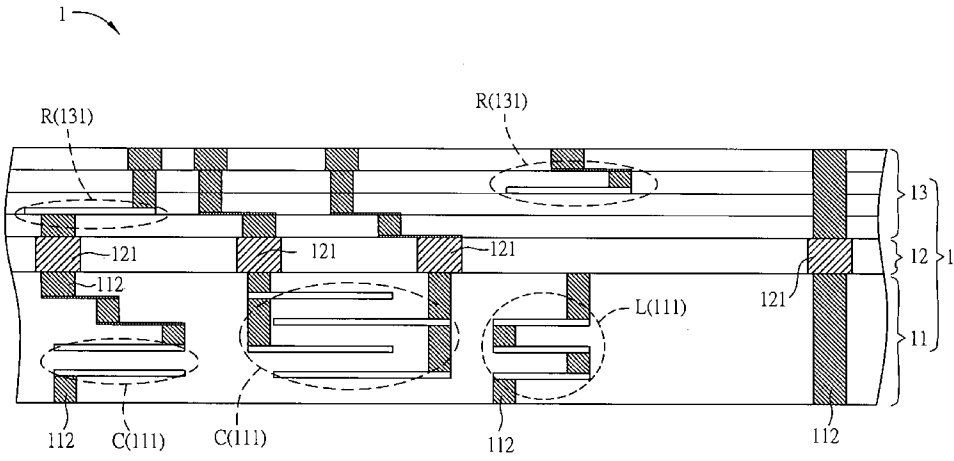


圖 1

- 1 . . . 整合式被動模
組
- 11 . . . 陶瓷基板
- 111 . . . 第一被動元
件
- 112 . . . 電性連接部
- 12 . . . 平坦層
- 121 . . . 導電圖案
- 13 . . . 薄膜積層
- 131 . . . 第二被動元
件
- C . . . 電容
- L . . . 電感
- R . . . 電阻

**公告本**

申請日: 103. 11. 25

IPC分類: H01L 23/15, 21/58

【新型摘要】**【中文新型名稱】** 整合式被動模組及半導體裝置

(2006.01)

【英文新型名稱】 INTEGRATED PASSIVE MODULE AND
SEMICONDUCTOR DEVICE**【中文】**

一種整合式被動模組包括一陶瓷基板、一平坦層以及一薄膜積層。陶瓷基板嵌設有至少一第一被動元件。平坦層設置於陶瓷基板之上。薄膜積層具有至少一第二被動元件。薄膜積層設置於平坦層之上。薄膜積層與第一被動元件電性連接。本創作亦提供一種半導體裝置包括一整合式被動模組以及至少一主動元件。主動元件與整合式被動模組的第一被動元件及第二被動元件電性連接。

【英文】

An integrated passive module includes a ceramic substrate, a planar layer, and a thin film laminate. The ceramic substrate is embedded at least one first passive element. The planar layer is disposed on the ceramic substrate. The thin film laminate has at least one second passive element. The thin film laminate is disposed over the planar layer. The thin film laminate is electrical connected to the first passive element. This invention also discloses a semiconductor device including an integrated passive module and at least one active unit. The active unit is electrical connected to the first passive element and the second passive element of the integrated module.

【指定代表圖】圖1

【代表圖之符號簡單說明】

1：整合式被動模組

11：陶瓷基板

111：第一被動元件

112：電性連接部

12：平坦層

121：導電圖案

13：薄膜積層

131：第二被動元件

C：電容

L：電感

R：電阻

【新型說明書】

【中文新型名稱】 整合式被動模組及半導體裝置

【英文新型名稱】 INTEGRATED PASSIVE MODULE AND
SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本創作係關於一種整合式被動模組及半導體裝置。

【先前技術】

【0002】 近來由於消費性電子產品(包括手機、筆記型電腦、數位相機、遊戲機及穿戴式裝置)需求大幅成長，家用數位電器產品也日漸成熟，對於被動元件的需求急速增加，在量大需求及高利潤的吸引下，使全球被動元件廠商的產品發展重點，必須迎合這些電子產品的特點：輕薄短小、高速及多功能性的需求。因此傳統的獨立式被動元件(Discrete Passive)、陣列式被動元件(Array Passive)，已逐漸轉變成將電感 L、電容 C 被動元件埋入基板中，以提升其功能化，並結合 3D 構裝技術，達到整合型構裝基板之目的。

【0003】 在這樣的市場趨勢及需求下，構裝技術的發展已不單純只為了滿足 IC 封裝的需求，還須考慮到被動元件以及光電元件的需求，因此 SiP (System in Package) 的封裝技術儼然成為必然的發展趨勢，基本上堆疊(Stacked)及 3D 構裝都是 SiP (System in Package) 的形式，SiP 構裝目的是為完成 IC 產品所需的系統性功能，在一個基板上透過堆疊或連結一種以上不同功能的構裝製程。

【0004】 目前 SiP 的發展亦朝向主被動元件整合的構裝方式發展，將所有主、被動元件埋入構裝基板內。其中，目前大多數晶片式被動元件多是利用傳統的厚膜印刷製程製造，將被動元件材料之漿料印刷於基板上後再經過高溫燒結製程來生產，早期此製程容易受限於網版張力、網版解析度與漿料混合等因素影響，而出現線路尺寸偏差(線路精準度差)、漿料厚度及組

成不均、圖形位置偏移等現象，這些結果都將大幅影響產品生產良率與產品特性精準度，無法符合元件微小化與元件精確度的要求，目前印刷技術在設備與網版製造技術提升下，解析度由100 μm 提升至40 μm ，內埋元件已可實現，但要達到40 μm 以下精準度比較困難或者無法量產。

【新型內容】

【0005】 依據本創作的一種整合式被動模組包括一陶瓷基板、一平坦層以及一薄膜積層。陶瓷基板嵌設有至少一第一被動元件。平坦層設置於陶瓷基板之上。薄膜積層具有至少一第二被動元件。薄膜積層設置於平坦層之上。薄膜積層與第一被動元件電性連接。

【0006】 在一實施例中，第一被動元件可包括電容、電感、或壓敏電阻。

【0007】 在一實施例中，電容的電容值可小於或等於 100 nF，而電感的電感值可大於或等於 1 nH。

【0008】 在一實施例中，陶瓷基板可更具有多個電性連接部。該些電性連接部是外露於陶瓷基板的外表面，而部分該些電性連接部與第一被動元件電性連接。

【0009】 在一實施例中，第二被動元件可設置於平坦層之上。

【0010】 在一實施例中，平坦層可具有一導電圖案，其與第一被動元件及第二被動元件電性連接。

【0011】 在一實施例中，第二被動元件可包括電容、電感、或電阻。

【0012】 在一實施例中，電容的電容值可小於或等於 20 pF，而電感的電感值可小於或等於 50 nH。

【0013】 在一實施例中，平坦層的材料可包括聚亞醯胺、苯並環丁烯、或綠漆。

【0014】 依據本創作的一種半導體裝置包括一整合式被動模組以及至少一主動元件。整合式被動模組包括一陶瓷基板、一平坦層及一薄膜積層。陶瓷基板嵌設有至少一第一被動元件。平坦層設置於陶瓷基板之上。薄膜積

層具有至少一第二被動元件。薄膜積層設置於平坦層之上。薄膜積層與第一被動元件電性連接。主動元件與第一被動元件及第二被動元件電性連接。

【0015】 在一實施例中，主動元件可設置於薄膜積層之上遠離陶瓷基板的一側。

【0016】 在一實施例中，半導體裝置可更包括一線路重佈層。線路重佈層設置於薄膜積層與主動元件之間。主動元件藉由線路重佈層及薄膜積層與第一被動元件電性連接。

【0017】 承上所述，因依本創作的整合式被動模組及半導體裝置，藉由將利用厚膜製程形成的第一被動元件嵌設於陶瓷基板內，並於陶瓷基板上設置以薄膜製程形成的第二被動元件，可更有效率地提高被動元件的密度，進而減少整合式被動模組或半導體裝置整體的體積，更適合用在高性能元件的 SiP 封裝。

【圖式簡單說明】

【0018】

圖 1 為本創作較佳實施例的一種整合式被動模組的示意圖。

圖 2A 為整合式被動模組的封裝結構的上視圖。

圖 2B 為圖 2A 所示的封裝結構的立體示意圖。

圖 3A 為本創作較佳實施例的一種半導體裝置的示意圖。

圖 3B 為本創作較佳實施例的另一種半導體裝置的示意圖。

圖 3C 為圖 3A 所示的半導體裝置的應用示意圖。

圖 4A 為本創作較佳實施例的另一種半導體裝置的上視圖。

圖 4B 為圖 4A 所示的半導體裝置的側視圖。

圖 5 為本創作較佳實施例的又一種半導體裝置的側視圖。

圖 6 為本創作較佳實施例的一種半導體裝置的製造方法的步驟流程圖。

圖 7 為本創作較佳實施例的另一種半導體裝置的製造方法的步驟流程圖。

【實施方式】

【0019】 以下將參照相關圖式，說明依本創作較佳實施例的一種整合式被動模組及半導體裝置，其中相同的元件將以相同的參照符號加以說明。

【0020】 圖 1 為本創作較佳實施例的一種整合式被動模組的示意圖。請參照圖 1 所示，整合式被動模組 1 包括一陶瓷基板 11、一平坦層 12 以及一薄膜積層 (thin film laminate) 13。

【0021】 陶瓷基板 11 可包括低溫共燒陶瓷 (Low-Temperature Cofired Ceramics, LTCC) 基板，或高溫共燒陶瓷 (High-Temperature Cofired Ceramics, HTCC) 基板，並且材料可例如但不限於包括氧化鋁、氮化鋁、碳化矽或氧化鈹 (BeO)。在本實施例中，整合式被動模組 1 之陶瓷基板是以低溫共燒陶瓷基板為例。其中，陶瓷基板 11 是由多層生胚 (green tape) 堆疊後共同燒結而成，並嵌設 (embed) 有至少一第一被動元件 111。在實施上，陶瓷基板 11 的製程還可包括在各生胚上利用雷射打孔、微孔注漿、及/或精密導體漿料印刷等工藝形成電路結構，並將第一被動元件 111 嵌入電路結構中，接著疊合生胚以 900°C 燒結而形成。此外，在其他實施例中，當陶瓷基板 11 為高溫共燒陶瓷基板，且印刷之金屬為銀鈮合金時，燒結溫度可例如為 1200~1300°C。

【0022】 在本實施例中，第一被動元件 111 是藉由厚膜製程 (如印刷) 所形成而嵌設於陶瓷基板 11 內。第一被動元件 111 可包括電容、電感、或壓敏電阻 (varistor)。舉例而言，電容的電容值可小於或等於 100 nF 並大於 0.5 pF，而電感的電感值可大於或等於 1 nH，較佳為 50 nH 以上。本實施例中，陶瓷基板 11 是以嵌設有二個電容 C 與一個電感 L 為例。

【0023】 此外，陶瓷基板 11 更具有多個電性連接部 112，其外露於陶瓷基板 11 的外表面，例如為上表面或下表面。至少部分該些電性連接部 112 係與第一被動元件 111 電性連接。於此，第一被動元件 111 可藉由電性連接部 112 與陶瓷基板 11 以外的元件電性連接。

【0024】平坦層 12 設置於陶瓷基板 11 之上，例如可以直接設置於陶瓷基板 11 的上表面，或是間接地設置於陶瓷基板 11 之上。平坦層 12 的材料可包括光阻材料或綠漆（solder mask），其中光阻材料可例如為聚亞醯胺（Polyimide, PI）或苯並環丁烯（Benzocyclobutene, BCB）。於此，平坦層 12 材料是以聚亞醯胺為例，並藉由黃光製程形成，且在陶瓷基板 11 的表面上沉積上述的光阻材料（聚亞醯胺），並藉由具有開口的光罩對光阻材料進行曝光、顯影、及蝕刻等工藝，接著在光阻材料被顯影處填入導電材料。如此一來，平坦層 12 即可具有一導電圖案（填入導電材料處）121，而導電圖案 121 與第一被動元件 111 對應設置，因而第一被動元件 111 可電性連接於導電圖案 121。此外，平坦層 12 的表面粗糙度（Ra）是小於或等於 150 埃，以利後續形成薄膜積層 13。

【0025】值得注意的是，為提高陶瓷基板 11 與平坦層 12 的接合強度，在形成平坦層 12 之前，可在陶瓷基板 11 與平坦層 12 接觸的表面進行研磨，將陶瓷基板 11 的厚度研磨 $5\ \mu\text{m}$ 至 $10\ \mu\text{m}$ ，以去除表面粉塵與污染，同時磨除陶瓷基板 11 的表面上外突的電性連接部 112，而有利於後續平坦層 12 的形成。

【0026】薄膜積層 13 為多膜層的複合結構，其設置於平坦層 12 之上，並與第一被動元件 111 電性連接。薄膜積層 13 設置於平坦層 12 之上，例如可以直接設置於平坦層 12 的上表面，或是間接地設置於平坦層 12 之上。在本實施例中，薄膜積層 13 是藉由薄膜製程而直接形成於平坦層 12 上表面，其中薄膜製程可包括多道的沉積、曝光、顯影、及蝕刻等工藝。薄膜積層 13 具有至少一第二被動元件 131，而第二被動元件設置 131 於平坦層 12 之上。第二被動元件 131 可包括電容、電感、或電阻，較佳地薄膜電容的電容值是小於或等於 20 pF，電感的電感值是小於或等於 50 nH。在本實施例中，第二被動元件 131 是以二個電阻 R 為例進行說明。此外，平坦層 12 的導電圖案 121 更與第二被動元件 131 電性連接，而部分第一被動元件 111 可藉由導電圖案 121 與第二被動元件 131 電性連接。

【0027】此外，由於陶瓷基板 11 相對於薄膜積層 13 的厚度為厚，因

此第一被動元件 111 可為體積較大的被動元件，例如壓敏電阻或電性值較高的電容、電感，而第二被動元件 131 可為體積較小的被動元件，例如電阻、電感、或電容。進一步地，第一被動元件 111 與第二被動元件 131 可例如但不限於構成儲能器、高通濾波器（high-pass filter）、低通濾波器（low-pass filter）、帶通濾波器（band-pass filter）、或共模濾波器（common mode filter）等具有功能性的元件。如此一來，本實施例藉由在陶瓷基板 11 上方設置薄膜積層 13，且陶瓷基板 11 嵌設有第一被動元件 111 以及薄膜積層 13 具有第二被動元件 131，因而構成具有功能的整合式被動模組 1。相較於習知的電路板，本實施例的整合式被動模組 1 因被動元件嵌設於陶瓷基板 11 內，可有效率地利用陶瓷基板 11 的體積，進而減少整合式被動模組 1 整體的體積。此外，本實施例將高電容或高電感的被動元件嵌入於陶瓷基板 11 內而非設置於薄膜積層 13 內，可避免習知為了製作高電容或高電感的被動元件而增加薄膜的層數，以致薄膜層內的絕緣材料因高溫硬化殘餘的熱應力，將使得板翹嚴重而無法進行黃光製程的問題。

【0028】另外，陶瓷基板 11 內的導線線寬及線距可為 $40\ \mu\text{m}$ 以上，而薄膜積層 13 內的導線線寬及線距可為 $5\ \mu\text{m}$ 以上，解析度介於 $5\ \mu\text{m}$ 至 $40\ \mu\text{m}$ 之間，黃光薄膜製程為較佳選擇。

【0029】圖 2A 為整合式被動模組的封裝結構的上視圖，圖 2B 為圖 2A 所示的封裝結構的立體示意圖。請同時參照圖 2A 及圖 2B 所示，整合式被動模組可經由封裝製程而成封裝結構 2。在本實施例中，整合式被動模組的封裝結構 2 係以一多工器（diplexer）模組為例，其陶瓷基板中內埋有電容元件（圖中未顯示），而薄膜積層中則具有三個被動元件（三個線圈以虛線表示）21，封裝結構 2 的外側則具有四個端電極 22，被動元件 21 藉由端電極 22 而與外部元件電性連接。於此，被動元件 21 包括共埠（common port）電感 211、高頻埠電感 212 以及低頻埠電感 213，此為舉例而非作為限制。

【0030】圖 3A 為本創作較佳實施例的一種半導體裝置的示意圖。請參照圖 3A 所示，半導體裝置 3 包括一整合式被動模組 1 以及至少一主動元件 31，本實施例是以二個主動元件 31 為例。其中，整合式被動模組 1 與上述

實施例相同，於此不作贅述。

【0031】 在本實施例中，主動元件 31 設置於薄膜積層 13 之上遠離陶瓷基板 11 的一側，並與第一被動元件 111 及第二被動元件 131 電性連接。主動元件 31 可例如但不限於藉導電材料（如錫球）32 而與整合式被動模組 1 電性連接。主動元件 31 可例如為電晶體（transistor）、切換器（switch）、編碼器（encoder）、解碼器（decoder）、功率放大器（power amplifier）、或記憶體方塊（memory cube）等等。於此，半導體裝置 3 可藉由主動元件 31 設置於整合式被動模組 1 上，並電性連接整合式被動模組 1 的被動元件（第一被動元件 111 及/或第二被動元件 131），以構成完整的封裝晶片或電路板。由於整合式被動模組 1 已具有被動元件，因此半導體裝置 3 可減少設置額外的被動元件於整合式被動模組 1 的表面上，即有效率地利用陶瓷基板 11 的體積，進而減少半導體裝置 3 整體的體積。舉例而言，半導體裝置 3 整體的厚度可縮小至小於 2 mm，甚至到 1 mm 以下。

【0032】 圖 3B 為本創作較佳實施例的另一種半導體裝置的示意圖。請參照圖 3B 所示，在本實施例中，半導體裝置 3a 更包括一線路重佈層 33，其設置於薄膜積層 13 與主動元件 31 之間。主動元件 31 可藉由線路重佈層 33 及薄膜積層 13 與第一被動元件 111 電性連接。在實施上，線路重佈層 33 可藉由多道光罩製程而成，並依據主動元件 31 的腳位與薄膜積層 13 的導線作匹配。

【0033】 圖 3C 為圖 3A 所示的半導體裝置的應用示意圖。請參照圖 3C 所示，半導體裝置 3 可設置於一具有導電線路的電路板 B 上。一般而言，電路板 B 之面積係大於陶瓷基板 11，而半導體裝置 3 是以陶瓷基板 11 外表面的部分電性連接部 112 而與電路板 B 上的導電線路電性連接，並形成 SiP 的封裝結構。此外，半導體裝置 3 可藉由錫球（solder ball）、接合墊（bonding pad）、或方形扁平無引腳（Quad Flat No-lead, QFN）式的封裝結構而與電路板 B 電性連接，於此係以半導體裝置 3 為一 QFN 式的封裝為例，沾錫後表面黏著設置於電路板 B 上。

【0034】 此外，習知技術的矽穿孔（through silicon via, TSV）三維積體

電路（3D IC）結構中，為了保留打線空間或是重分佈晶片腳位的考量，晶片與晶片間需適度地插入矽載板（interposer）。其中，大部份的 3D IC 結構是使用一個矽載板，將細間距的周邊陣列襯墊（pad）重分佈（redistribution）至較大間距且具有面陣列襯墊之封裝電路板上，再將連結有主動元件的封裝電路板安裝到系統級的電路板上。如此一來，則會增加 3D IC 結構的整體厚度。但藉由本實施例中整合式被動模組 1，其包括了具有內埋第一被動元件 111 的陶瓷基板 11 以及具有第二被動元件 131 的薄膜積層 13，也就是說整合式被動模組 1 本身即為一系統級的載板，可以取代習知 3D IC 技術中的封裝電路板及系統級電路板，以進行重分佈晶片腳位的動作，並且能承載主動元件，故將本實施例之整合式被動模組 1 應用至矽穿孔（through silicon via, TSV）3D IC 的結構時，則可大幅減少整體封裝結構的厚度，並提昇 3D IC 封裝的積集度。

【0035】另外，習知矽載板中作電性連結的銅柱，其直徑在 $10\ \mu\text{m}$ 以下，這是利用習知的厚膜製程或是印刷電路製程均無法達到的尺寸，而本實施例之整合式被動模組 1，則是利用薄膜積層 13 來完成陶瓷基板 1 上必要的導線及電性連結件，即可作到和習知矽載板相近的尺寸和線寬以提高線路精確度；再加上陶瓷基板 11 之熱膨係數只有 5-7 ppm，與主動元件中的矽相近，故也具有不錯的應力匹配的能力。

【0036】圖 4A 為本創作較佳實施例的另一種半導體裝置的上視圖，圖 4B 為圖 4A 所示的半導體裝置的側視圖。請同時參照圖 4A 及圖 4B 所示，半導體裝置 4 包括整合式被動模組 41、線路重佈層 42 以及二個主動元件（以解碼器 43a 與切換器 43b 為例）及多個 QFN 式的接腳 44。整合式被動模組 41 包括陶瓷基板 411、平坦層 412 及薄膜積層 413。其中，半導體裝置 4 各元件的關係與說明可參照上述實施例所述，不再贅述。

【0037】圖 5 為本創作較佳實施例的又一種半導體裝置的側視圖。請參照圖 5 所示，本實施例的半導體裝置 5 包括整合式被動模組 51、線路重佈層 52 以及二個主動元件 53（以二個 IC 為例），並以球柵陣列（Ball Grid Array, BGA）封裝結構為例，故半導體裝置 5 還具有複數錫球 54。同樣地，

整合式被動模組 51 包括陶瓷基板 511、平坦層 512 以及薄膜積層 513，其連結關係可參照上述實施例所述，不再贅述。於此，當半導體裝置 5 為 BGA 封裝結構時，由於引腳密度較高，故半導體裝置 5 的整合式被動模組 51 尺寸可再進一步減小，甚至只有與二個主動元件 53 所設置區域一樣大。

【0038】圖 6 為本創作較佳實施例的一種半導體裝置的製造方法的步驟流程圖。請同時參照圖 1 及圖 6 所示，本實施例的製造方法可製作上述的整合式被動模組 1，其中整合式被動模組 1 的結構及元件連結關係已詳述於上，於此不多作贅述。於此，整合式被動模組 1 之製造方法包括以下步驟：提供一陶瓷基板，其嵌設有至少一第一被動元件（S01）；研磨陶瓷基板的一表面（S02）；形成一平坦層於陶瓷基板的表面之上（S03）；以及形成一薄膜積層於平坦層之上遠離陶瓷基板的一側，薄膜積層包括至少一第二被動元件，且薄膜積層與第一被動元件電性連接（S04）。

【0039】在步驟 S01 中，第一被動元件 111 是藉由厚膜製程所形成，並嵌設於陶瓷基板 11 內，並經由共同燒結而形成，其中陶瓷基板 11 可由低溫共燒技術或高溫共燒技術製得。

【0040】接著，在步驟 S02 中，對陶瓷基板 11 的表面進行研磨，其磨除約 $5\ \mu\text{m}$ 至 $10\ \mu\text{m}$ 的厚度，以使該表面更為平坦，並同時磨除陶瓷基板 11 的表面上外突的電性連接部 112 或是經燒結後殘留的疏水性污染物，以利後續平坦層 12 的直接設置。

【0041】在步驟 S03 中，平坦層 12 是藉由黃光製程形成，且平坦層 12 的表面粗糙度（Ra）是小於或等於 150 埃。接著進行步驟 S04，藉由薄膜製程形成薄膜積層 13 於平坦層 12 上，而薄膜積層 13 為多膜層的複合結構，其具有第二被動元件 131。如此一來，經由步驟 S01 至步驟 S04，即可製造上述的整合式被動模組 1。

【0042】此外，整合式被動模組 1 之製造方法可更包括步驟 S05：設置一主動元件 31 於薄膜積層 13 之上遠離陶瓷基板 11 的一側，其中主動元件 31 與第一被動元件 111 及第二被動元件 131 電性連接。請同時參照圖 3A 及圖 7 所示，其中圖 7 為本創作較佳實施例的另一種半導體裝置的製造方法

的步驟流程圖。在步驟 S05 中，主動元件 31 可例如但不限於藉導電材料（如錫球或方形扁平無引腳封裝）32 而與整合式被動模組 1 電性連接。另外，主動元件 21 的敘述已詳述於上，於此不再贅述。

【0043】此外，請同時參照圖 3B 及圖 7，在設置主動元件 31 之前可更包括步驟 S06：形成一線路重佈層 33 於薄膜積層 13 之上遠離陶瓷基板 11 的一側。其中主動元件 31 藉由線路重佈層 33 及薄膜積層 13 而與第一被動元件 111 電性連接。於此，線路重佈層 33 可藉由光罩製程而成，並位於主動元件 31 與薄膜積層 13 之間。

【0044】綜上所述，因依本創作的整合式被動模組及半導體裝置，藉由將利用厚膜製程形成的第一被動元件嵌設於陶瓷基板內，並於陶瓷基板上設置以薄膜製程形成的第二被動元件，可更有效率地提高被動元件的密度，進而減少整合式被動模組或半導體裝置整體的體積，更適合用在高性能元件的 SiP 封裝。

【0045】以上所述僅為舉例性，而非為限制性者。任何未脫離本創作之精神與範疇，而對其進行之等效修改或變更，例如變更基板材料或 IC 封裝方式，均應包含於後附之申請專利範圍中。

【符號說明】

【0046】

1、41、51：整合式被動模組

11、411、511：陶瓷基板

111：第一被動元件

112：電性連接部

12、412、512：平坦層

121：導電圖案

13、413、513：薄膜積層

131：第二被動元件

2：封裝結構
21：被動元件
211：共埠電感
212：高頻埠電感
213：低頻埠電感
22：端電極
3、3a、4、5：半導體裝置
31、53：主動元件
32：導電材料
33、42、52：線路重佈層
43a：解碼器
43b：切換器
44：接腳
54：錫球
B：電路板
C：電容
L：電感
R：電阻
S01、S02、S03、S04、S05、S06：步驟

【新型申請專利範圍】

【第1項】一種整合式被動模組，包括：

一陶瓷基板，嵌設有至少一第一被動元件；

一平坦層，設置於該陶瓷基板之上；以及

一薄膜積層，具有至少一第二被動元件，該薄膜積層設置於該平坦層之上，該薄膜積層與該第一被動元件電性連接。

【第2項】如申請專利範圍第 1 項所述的整合式被動模組，其中該第一被動元件包括電容、電感、或壓敏電阻。

【第3項】如申請專利範圍第 2 項所述的整合式被動模組，其中該電容的電容值是小於或等於 100 nF，該電感的電感值是大於或等於 1 nH。

【第4項】如申請專利範圍第 1 項所述的整合式被動模組，其中該陶瓷基板更具有多個電性連接部，該些電性連接部是外露於該陶瓷基板的外表面，部分該些電性連接部與該第一被動元件電性連接。

【第5項】如申請專利範圍第 1 項所述的整合式被動模組，其中該第二被動元件設置於該平坦層之上。

【第6項】如申請專利範圍第 1 項所述的整合式被動模組，其中該平坦層具有一導電圖案，該導電圖案與該第一被動元件及該第二被動元件電性連接。

【第7項】如申請專利範圍第 1 項所述的整合式被動模組，其中該第二被動元件包括電容、電感、或電阻。

【第8項】如申請專利範圍第 7 項所述的整合式被動模組，其中該電容的電容值是小於或等於 20 pF，該電感的電感值是小於或等於 50 nH。

【第9項】如申請專利範圍第 1 項所述的整合式被動模組，其中該平坦層的材料包括聚亞醯胺、苯並環丁烯、或綠漆。

【第10項】一種半導體裝置，包括：

一整合式被動模組，包括：

一陶瓷基板，嵌設有至少一第一被動元件；

一平坦層，設置於該陶瓷基板之上；及

一薄膜積層，具有至少一第二被動元件，該薄膜積層設置於該平坦層之上，

而該薄膜積層與該第一被動元件電性連接；以及
至少一主動元件，與該第一被動元件及該第二被動元件電性連接。

【第11項】如申請專利範圍第 10 項所述的半導體裝置，其中該主動元件設置於該薄膜積層之上遠離該陶瓷基板的一側。

【第12項】如申請專利範圍第 10 項所述的半導體裝置，更包括：
一線路重佈層，設置於該薄膜積層與該主動元件之間，該主動元件藉由該線路重佈層及該薄膜積層與該第一被動元件電性連接。

【新型圖式】

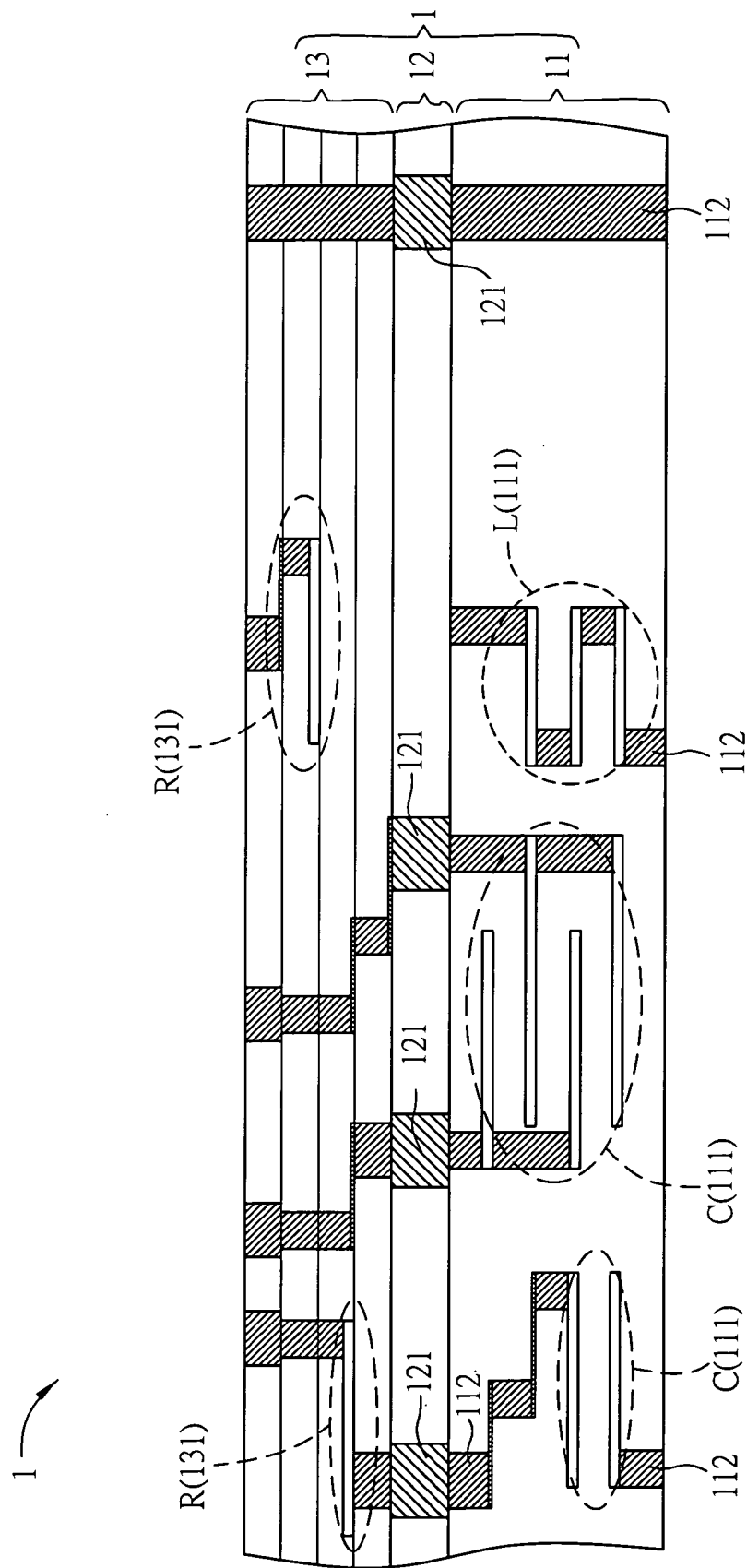


圖 1

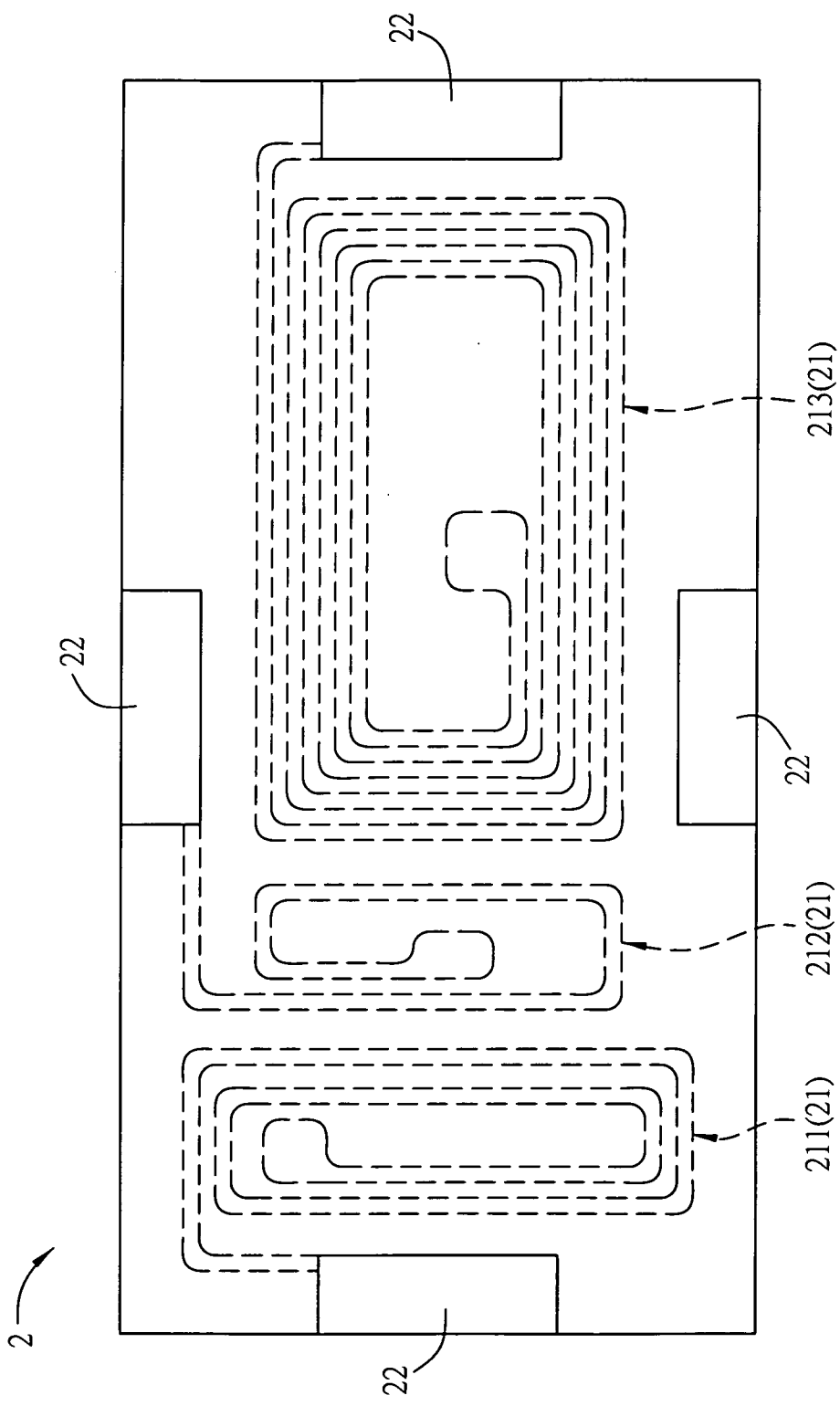


圖 2A

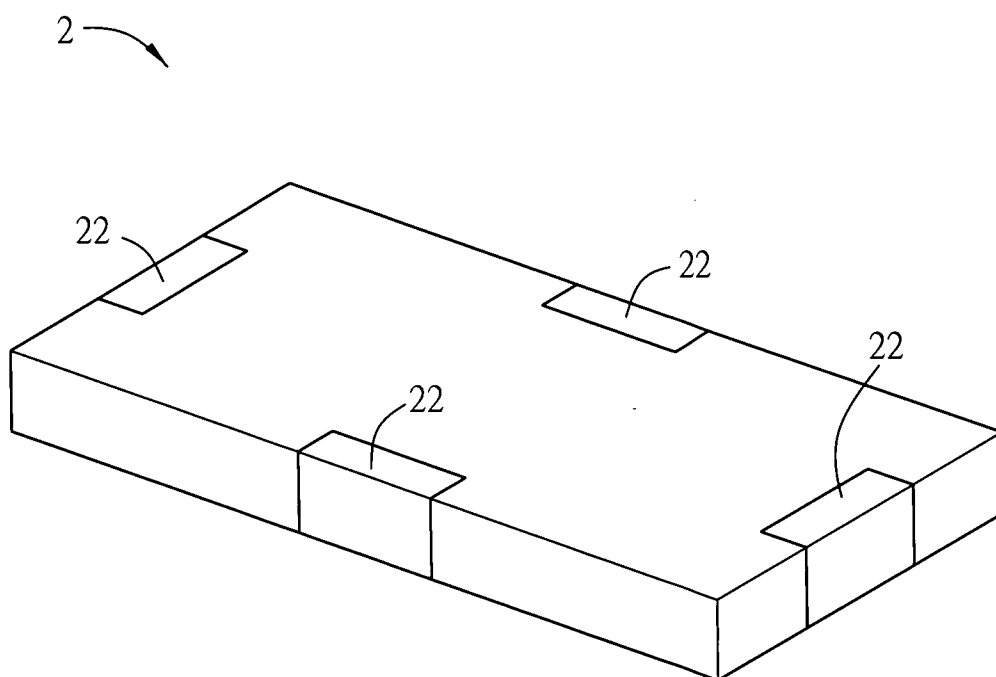


圖 2B

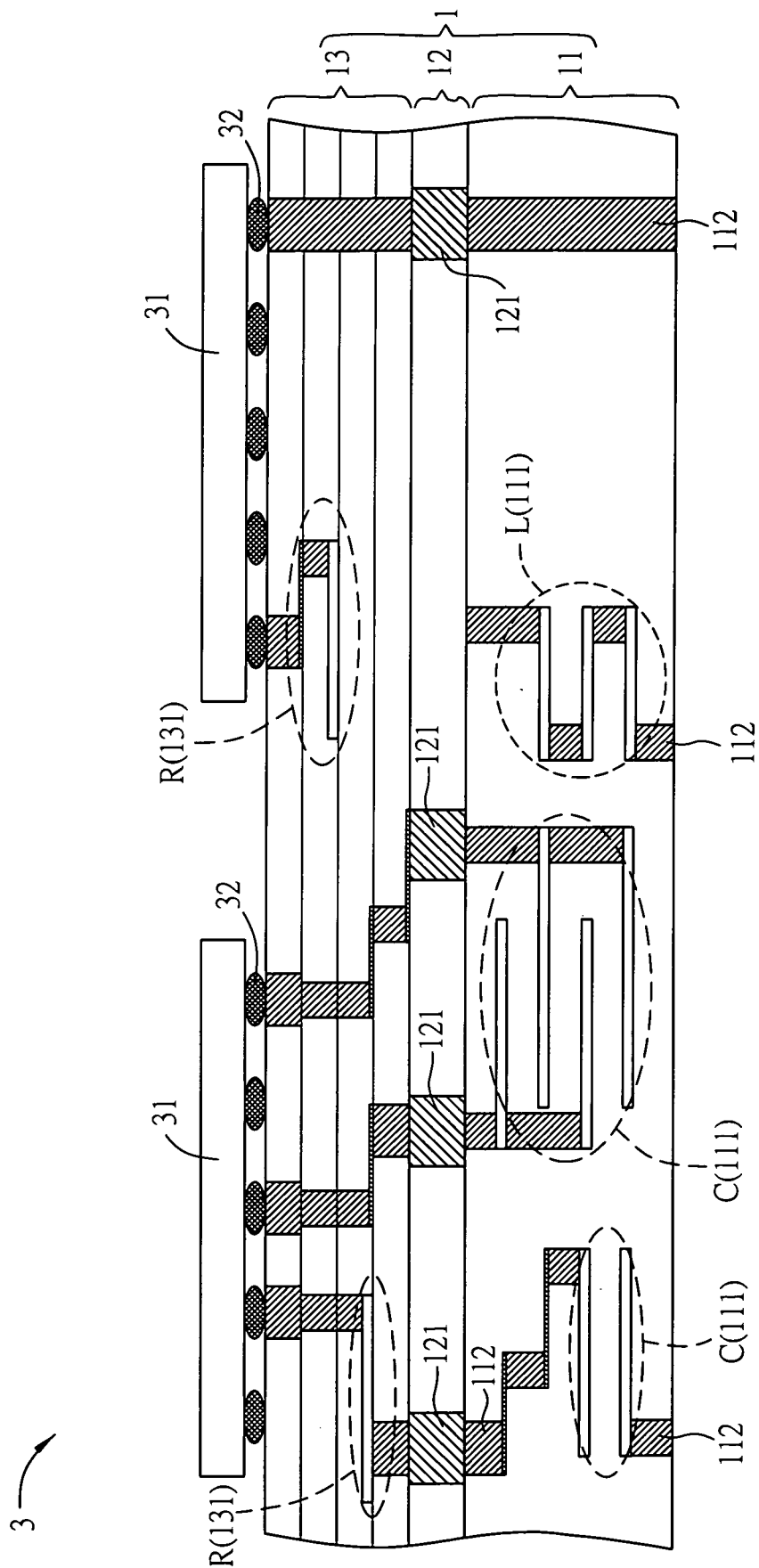


圖 3A

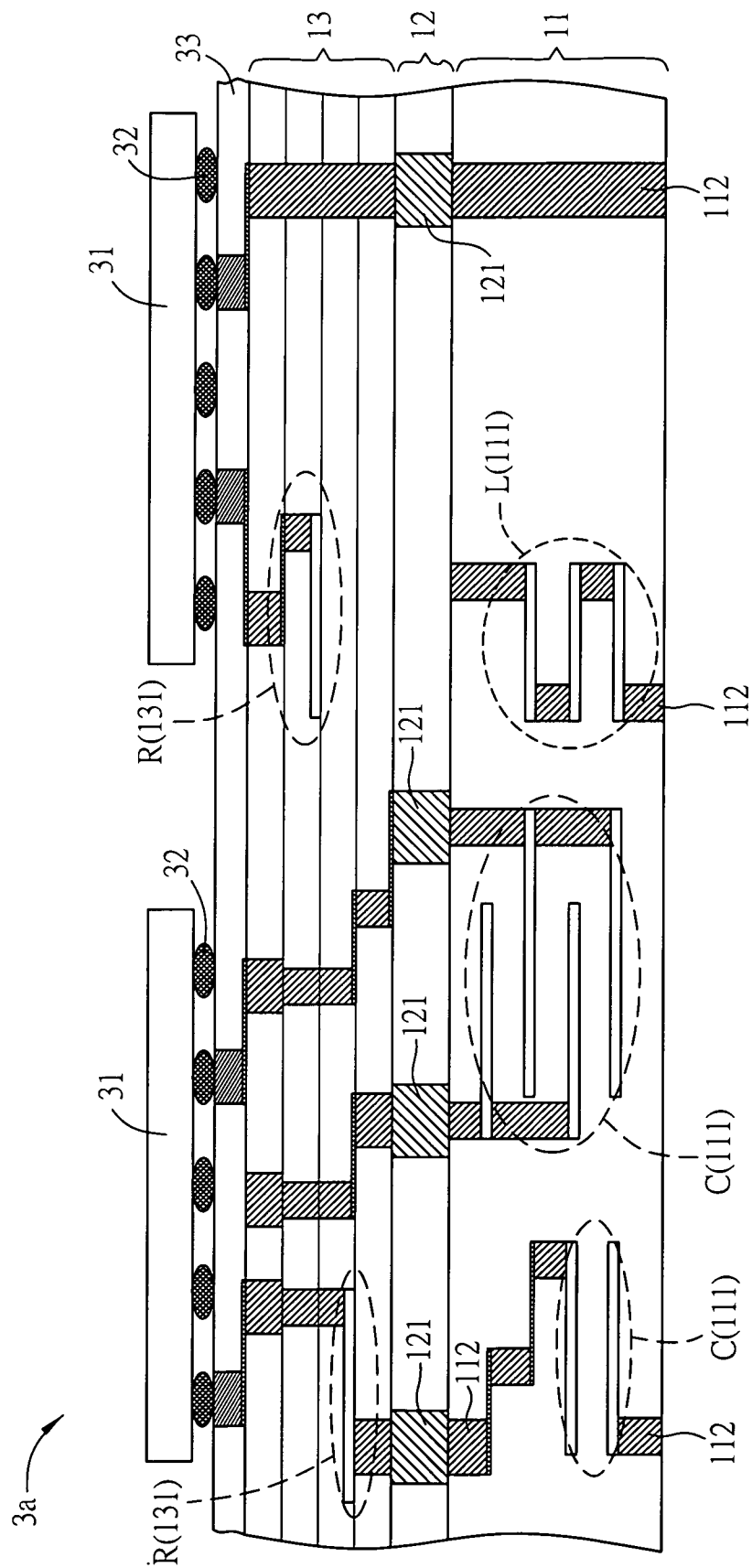


圖 3B

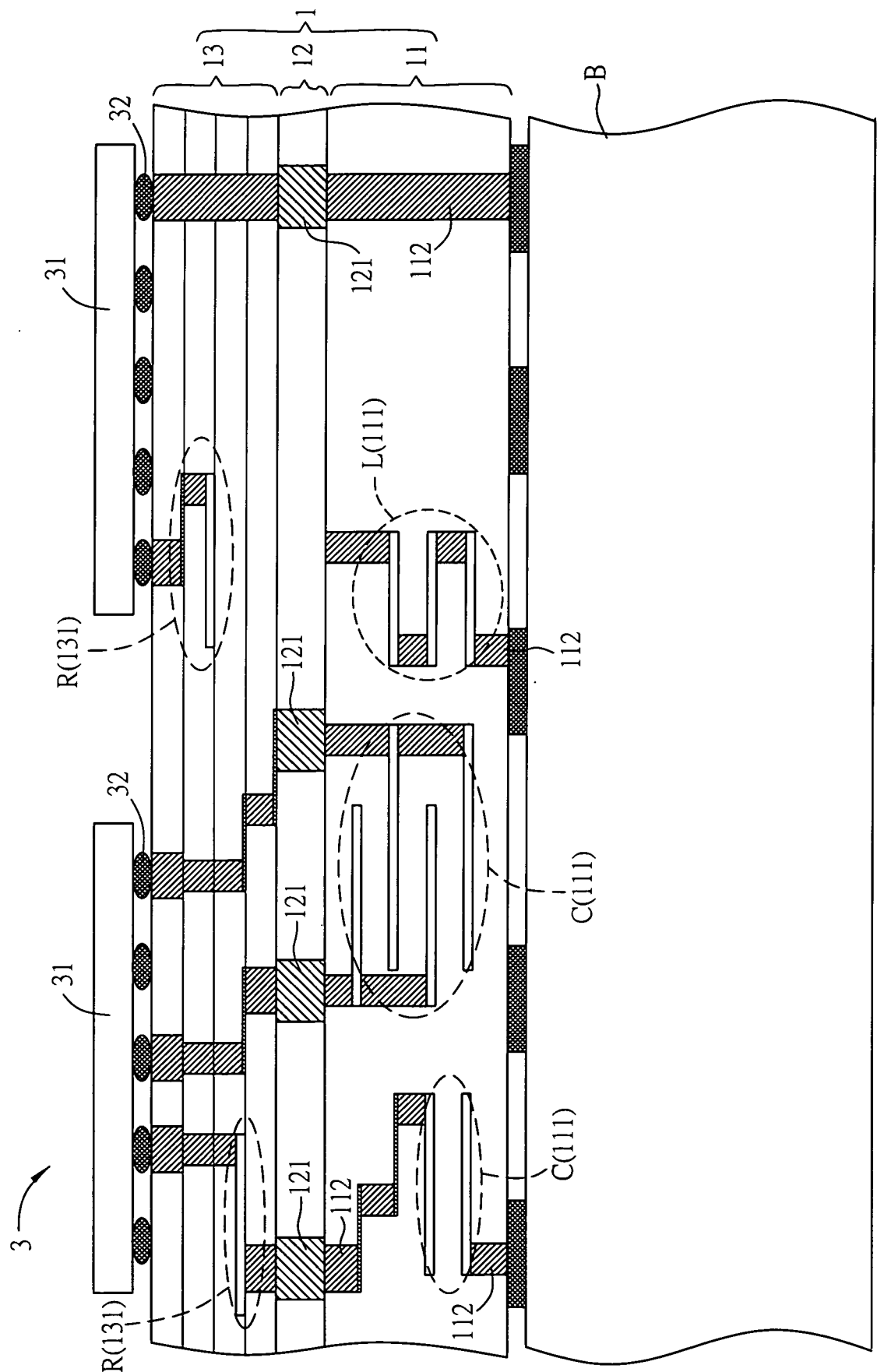


圖 3C

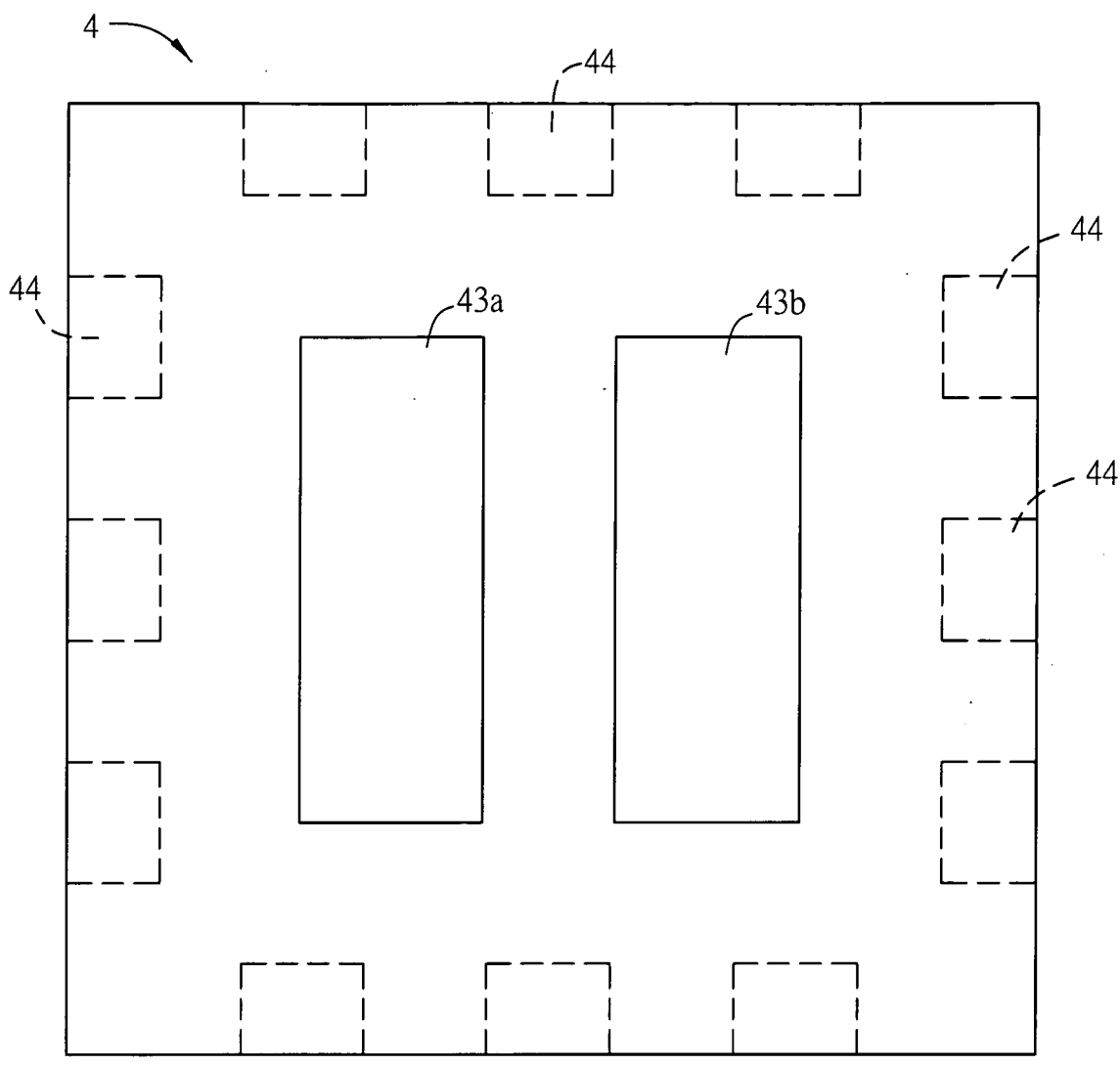


圖 4A

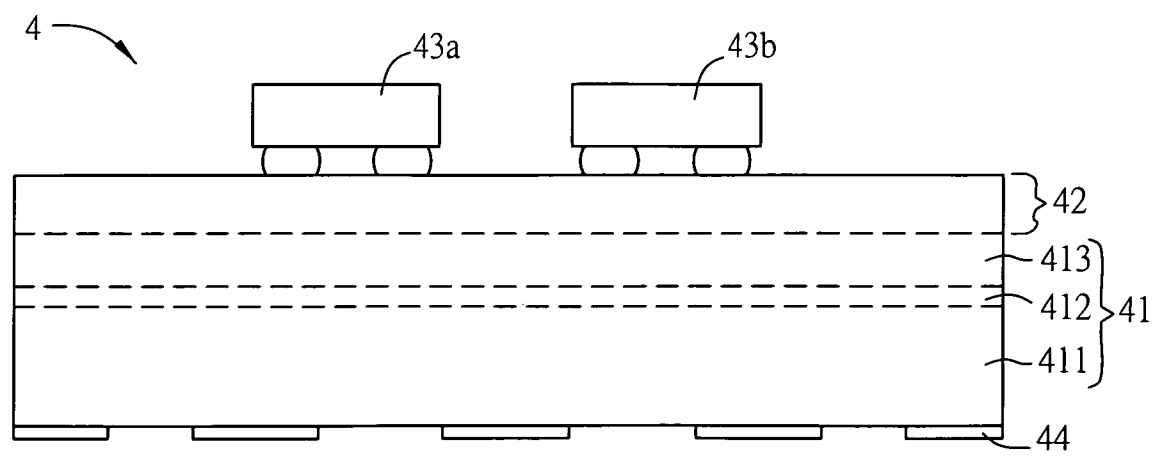


圖 4B

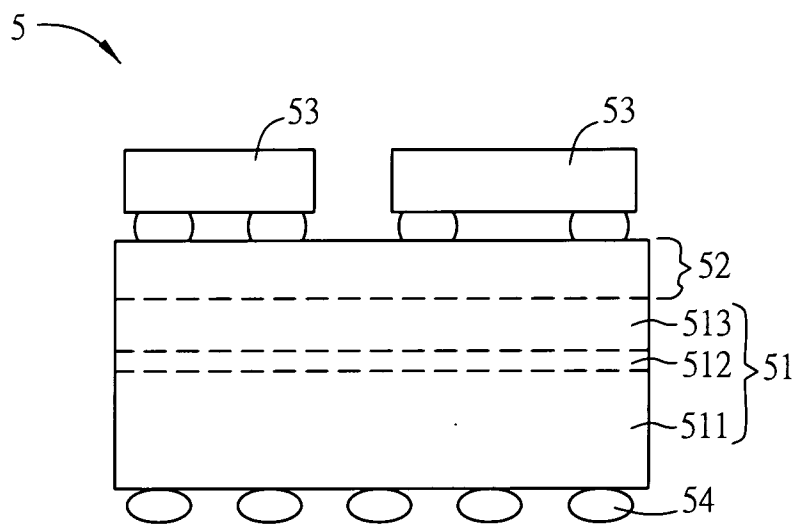


圖 5

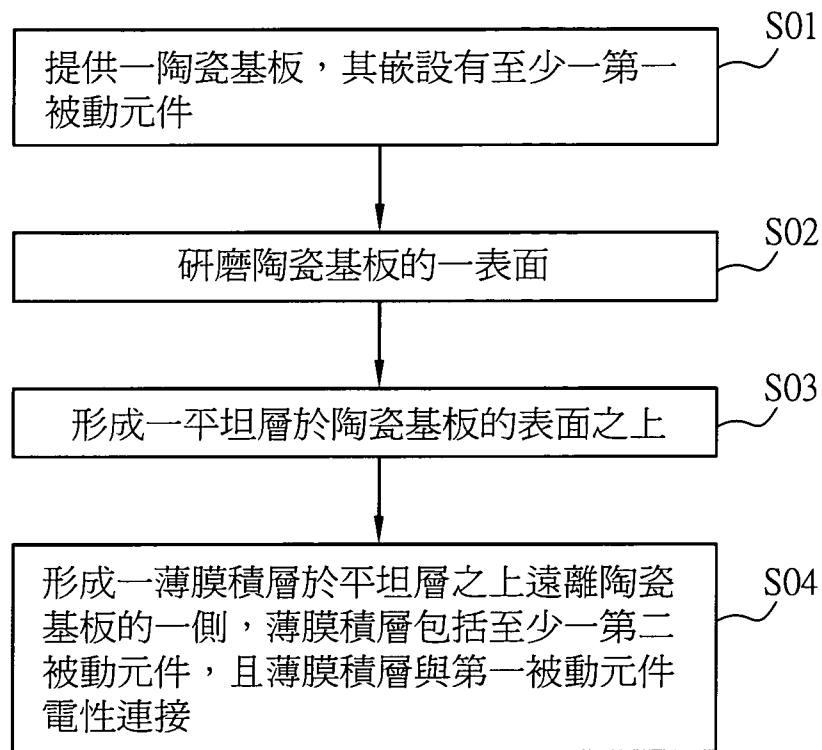


圖 6

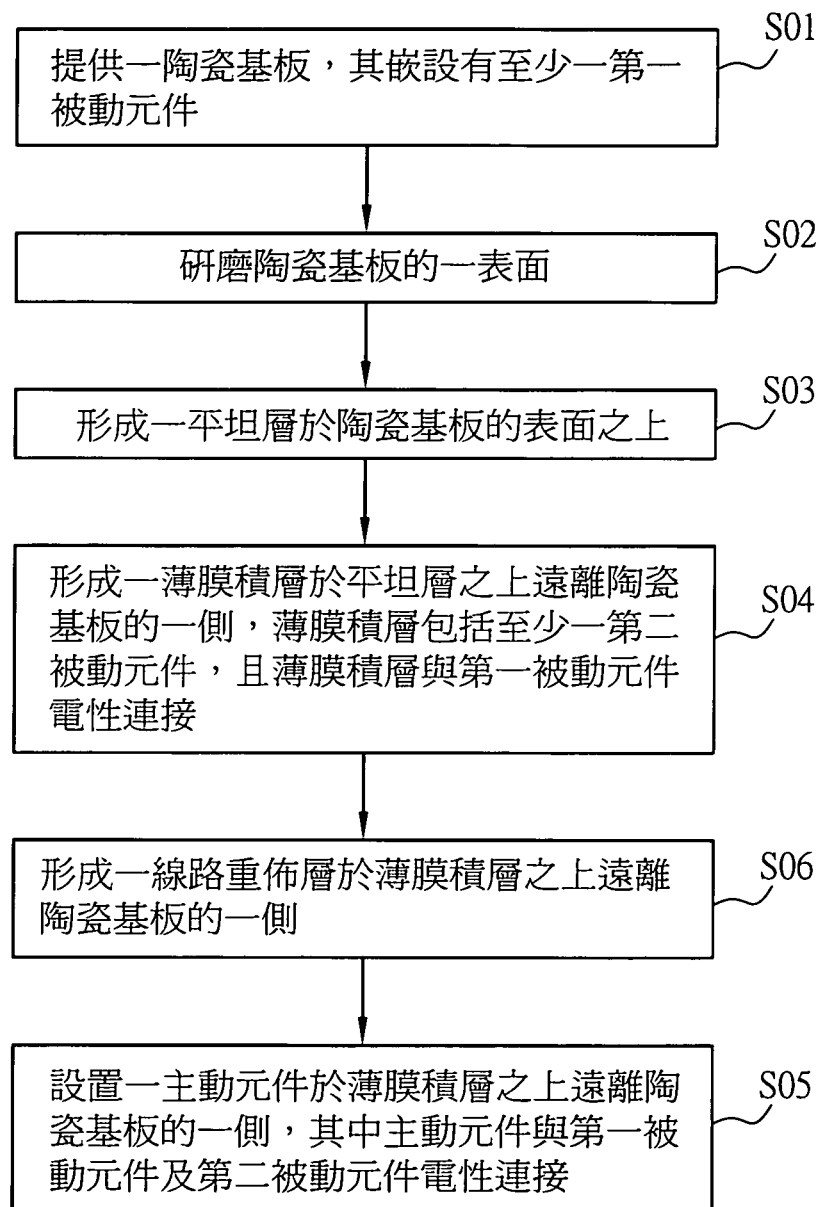


圖 7