

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7128039号

(P7128039)

(45)発行日 令和4年8月30日(2022.8.30)

(24)登録日 令和4年8月22日(2022.8.22)

(51)国際特許分類

F I

H 0 1 L 27/146 (2006.01)

H 0 1 L 27/146

A

H 0 1 L 31/10 (2006.01)

H 0 1 L 31/10

A

H 0 1 L 29/423 (2006.01)

H 0 1 L 27/146

D

H 0 1 L 29/49 (2006.01)

H 0 1 L 29/58

G

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088

E

請求項の数 17 (全27頁) 最終頁に続く

(21)出願番号 特願2018-113807(P2018-113807)

(22)出願日 平成30年6月14日(2018.6.14)

(65)公開番号 特開2019-4149(P2019-4149A)

(43)公開日 平成31年1月10日(2019.1.10)

審査請求日 令和3年6月14日(2021.6.14)

(31)優先権主張番号 10-2017-0075815

(32)優先日 平成29年6月15日(2017.6.15)

(33)優先権主張国・地域又は機関
韓国(KR)

(73)特許権者 390019839

三星電子株式会社

Samsung Electronics
Co., Ltd.大韓民国京畿道水原市靈通区三星路12
9129, Samsung-ro, Yeon-
gtong-gu, Suwon-si,
Gyeonggi-do, Repub-
lic of Korea(74)代理人 110000051弁理士法人共生国際特許事
務所

(72)発明者 陳 暎 究

大韓民国 京畿道 水原市 靈通区 東水原
路 316、10-1108

最終頁に続く

(54)【発明の名称】 距離測定のためのイメージセンサ

(57)【特許請求の範囲】

【請求項1】

互いに反対側に位置する第1面及び第2面を有し、前記第1面に隣接するウェル領域を有し、第1導電型である半導体基板と、

ここで、前記半導体基板は、前記第2面に前記第1面に陥没された複数のリセスを有し、

前記ウェル領域の少なくとも一部を貫通するように、前記第1面から前記半導体基板の厚み方向に沿って延長され、互いに離隔されている第1垂直伝達ゲート及び第2垂直伝達ゲートと、

前記ウェル領域と前記第2面との間の前記半導体基板内に配置され、前記半導体基板の厚み方向に、前記第1垂直伝達ゲート及び前記第2垂直伝達ゲートと重畳し、前記第1導電型と異なる第2導電型である光電変換領域と、

前記半導体基板の前記第1面上に配置された配線構造体と、

前記半導体基板の前記第2面上に順次に積層された、負固定電荷層、反射防止層、及びマイクロレンズと、

前記複数のリセスに配置され、絶縁物からなる複数の散乱誘導層と、を含み、

前記負固定電荷層は、前記複数の散乱誘導層と、前記半導体基板の前記第2面とが離隔されるように、前記複数の散乱誘導層を覆い包むことを特徴とするイメージセンサ。

【請求項2】

前記光電変換領域は、第1光電変換領域、及び前記第1光電変換領域と前記ウェル領域との間に配置され、前記第1光電変換領域より小さい値の幅を有する第2光電変換領域を

含むことを特徴とする請求項 1 に記載のイメージセンサ。

【請求項 3】

前記第 2 光電変換領域は、前記半導体基板の厚み方向に、前記第 1 垂直伝達ゲート及び前記第 2 垂直伝達ゲートと重畳されることを特徴とする請求項 2 に記載のイメージセンサ。

【請求項 4】

前記第 2 光電変換領域の不純物濃度は、前記第 1 光電変換領域の不純物濃度より濃い値を有することを特徴とする請求項 2 に記載のイメージセンサ。

【請求項 5】

前記第 1 光電変換領域は、前記半導体基板の厚み方向に、前記第 2 光電変換領域の全てと重畳されることを特徴とする請求項 2 に記載のイメージセンサ。

【請求項 6】

前記光電変換領域の周囲を取り囲み、前記半導体基板の前記第 2 面から前記第 1 面に向けて延長されるように配置された DTI (deep trench insulator) 構造物をさらに含むことを特徴とする請求項 1 に記載のイメージセンサ。

【請求項 7】

前記配線構造体上に配置された背面反射層をさらに含むことを特徴とする請求項 1 に記載のイメージセンサ。

【請求項 8】

前記第 2 導電型を有し、前記第 1 面に隣接する前記ウェル領域に互いに離隔して配置された第 1 電荷保存領域及び第 2 電荷保存領域を含むことを特徴とする請求項 1 に記載のイメージセンサ。

【請求項 9】

前記第 1 電荷保存領域は、前記第 1 垂直伝達ゲートの、前記第 2 垂直伝達ゲートに対して反対となる側に配置され、

前記第 2 電荷保存領域は、前記第 2 垂直伝達ゲートの、前記第 1 垂直伝達ゲートに対して反対となる側に配置されることを特徴とする請求項 8 に記載のイメージセンサ。

【請求項 10】

前記第 1 垂直伝達ゲート及び前記第 2 垂直伝達ゲートには、互いに 180° の位相差を有するパルス電圧が印加されることを特徴とする請求項 1 に記載のイメージセンサ。

【請求項 11】

配線構造体と、
デモデュレーション領域を有し、前記配線構造体上に前記配線構造体に接触して配置されるウェル領域と、

前記ウェル領域上に配置される光電変換領域と、

前記光電変換領域上に配置されるマイクロレンズと、

前記ウェル領域の少なくとも一部を貫通するように、前記ウェル領域の厚み方向に沿って延長される垂直伝達ゲート、及び前記垂直伝達ゲートを各々取り囲む伝達ゲート絶縁膜を各々含み、前記デモデュレーション領域を挟んで互いに離隔されるように配置された少なくとも 2 個の伝達ゲート構造体と、

前記光電変換領域に隣接する前記ウェル領域の前記デモデュレーション領域以外の一部分に、前記少なくとも 2 個の伝達ゲート構造体と離隔されて配置され、前記ウェル領域の不純物濃度より濃い値の不純物濃度を有する複数の第 1 バリア不純物領域と、を含むことを特徴とするイメージセンサ。

【請求項 12】

前記配線構造体に隣接する前記デモデュレーション領域の一部分に配置され、前記ウェル領域の不純物濃度より濃い値の不純物濃度を有する第 2 バリア不純物領域をさらに含むことを特徴とする請求項 11 に記載のイメージセンサ。

【請求項 13】

前記第 2 バリア不純物領域に接する、前記デモデュレーション領域の一部分は、前記ウェル領域及び前記第 2 バリア不純物領域と異なる導電型を有することを特徴とする請求項

10

20

30

40

50

1.2 に記載のイメージセンサ。

【請求項 14】

前記光電変換領域は、

前記マイクロレンズに隣接して配置される第 1 光電変換領域、及び前記ウェル領域に隣接して配置される第 2 光電変換領域からなり、

前記第 1 光電変換領域の不純物濃度は、前記第 2 光電変換領域の不純物濃度より薄い値を有し、前記第 1 光電変換領域の幅は、前記第 2 光電変換領域の幅より広い値を有することを特徴とする請求項 1.1 に記載のイメージセンサ。

【請求項 15】

B S I (b a c k s i d e i l l u m i n a t i o n 、背面照明) 構造を有するイメージセンサであって、

第 1 面及び前記第 1 面の反対側に位置する第 2 面を有し、

前記第 1 面に隣接するウェル領域を有する第 1 導電型である半導体基板と、

ここで、前記半導体基板は前記第 2 面に前記第 1 面に陥没された複数のリセスを有し、

前記ウェル領域の少なくとも一部を貫通するように、前記第 1 面から前記第 2 面に向けて延長され、互いに離隔されている複数の垂直伝達ゲートと、

前記第 2 面に隣接する半導体基板内に配置される第 1 光電変換領域と、

前記第 1 光電変換領域と前記ウェル領域との間に配置され、前記第 1 光電変換領域より小さい値の幅、及び大きい値の不純物濃度を有し、前記第 1 導電型と異なる第 2 導電型である第 2 光電変換領域と、

前記半導体基板の前記第 2 面上に順次に積層された、負固定電荷層、反射防止層、及びマイクロレンズと、

前記複数のリセスに配置され、絶縁物からなる複数の散乱誘導層と、を含み、

前記負固定電荷層は、前記複数の散乱誘導層と、前記半導体基板の前記第 2 面とが離隔されるように、前記複数の散乱誘導層を覆い包むことを特徴とするイメージセンサ。

【請求項 16】

前記半導体基板の前記第 2 面は、光の入射面であることを特徴とする請求項 1.5 に記載のイメージセンサ。

【請求項 17】

前記第 2 光電変換領域は、前記複数の垂直伝達ゲートの各々の全体と前記半導体基板の厚み方向に重畳され、前記第 1 光電変換領域は、前記第 2 光電変換領域の全てと重畳されることを特徴とする請求項 1.5 に記載のイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサに係り、さらに詳細には、距離測定のためのイメージセンサに関する。

【背景技術】

【0002】

一般的なイメージセンサは、被写体までの距離に係わる情報を有しない。被写体までの正確な距離情報を得るために、光飛行時間法 (T o F : t i m e - o f - f l i g h t) イメージセンサが開発された。該 T o F イメージセンサは、光を被写体に照射した後、被写体から反射される光が受光されるまでの光飛行時間を測定して被写体までの距離に係わる情報を得る。

【発明の概要】

【発明が解決しようとする課題】

【0003】

本発明の技術的課題は、ピクセルを小型化し、且つ、感度を改善できる距離測定のためのイメージセンサを提供することである。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 4 】

前記技術的課題を解決するために、本発明は、次のような距離測定のためのイメージセンサを提供する。

本発明によるイメージセンサは、互いに反対側に位置する第 1 面及び第 2 面を有し、前記第 1 面に隣接するウェル領域を有し、第 1 導電型である半導体基板、前記ウェル領域の少なくとも一部を貫通するように、前記第 1 面から前記半導体基板の厚み方向に沿って延長され、互いに離隔されている第 1 垂直伝達（トランスファー）ゲート及び第 2 垂直伝達ゲート、前記ウェル領域と前記第 2 面との間の前記半導体基板内に配置され、前記半導体基板の厚み方向に、前記第 1 垂直伝達ゲート及び前記第 2 垂直伝達ゲートと重畳し、前記第 1 導電型と異なる第 2 導電型である光電変換領域、及び前記半導体基板の前記第 1 面上に配置された配線構造体を含む。

10

【 0 0 0 5 】

本発明によるイメージセンサは、配線構造体、デモデュレーション領域を有し、前記配線構造体上に配置されるウェル領域、前記ウェル領域上に配置される光電変換領域、前記光電変換領域上に配置されるマイクロレンズ、前記ウェル領域の少なくとも一部を貫通するように、前記ウェル領域の厚み方向に沿って延長される垂直伝達ゲート、及び前記垂直伝達ゲートを各々取り囲む伝達ゲート絶縁膜を各々含み、前記デモデュレーション領域を挟んで互いに離隔されるように配置された少なくとも 2 個の伝達ゲート構造体を含む。

【 0 0 0 6 】

本発明によるイメージセンサは、互いに反対側に位置する第 1 面及び第 2 面を有し、前記第 1 面に隣接するウェル領域を有し、第 1 導電型である半導体基板、前記ウェル領域の少なくとも一部を貫通するように、前記第 1 面から前記第 2 面に向けて延長され、互いに離隔されている複数の垂直伝達ゲート、前記第 2 面に隣接する半導体基板内に配置される第 1 光電変換領域、前記第 1 光電変換領域と前記ウェル領域との間に配置され、前記第 1 光電変換領域より小さい値の幅、及び大きい値の不純物濃度を有し、前記第 1 導電型と異なる第 2 導電型である第 2 光電変換領域を有し、B S I (b a c k s i d e i l l u m i n a t i o n) 構造によってなる。

20

【発明の効果】

【 0 0 0 7 】

本発明によるイメージセンサは、少なくとも 2 個の垂直伝達ゲートを含み、更に好ましくは B S I 構造を有する。従って、該イメージセンサを構成するピクセルを小型化し、且つ、伝達トランジスタのゲートを相対的に長く形成できるので、イメージセンサの感度が向上する。

30

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】本発明の一実施形態によるシステムに係わる概略的な構成図である。

【図 2】本発明の一実施形態によるシステムの例示的な動作について説明するための構成図である。

【図 3】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

40

【図 4】本発明の一実施形態によるイメージセンサの単位ピクセルに対応する等価回路図である。

【図 5】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な平面図である。

【図 6】本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するタイミング図である。

【図 7】本発明の一実施形態によるイメージセンサのピクセルアレイの概略的な平面図である。

【図 8】本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するためのピクセルアレイの平面図である。

50

【図 9】本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するためのピクセルアレイの平面図である。

【図 10】本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するタイミング図である。

【図 11】本発明の一実施形態によるイメージセンサのピクセルアレイの概略的な平面図である。

【図 12】本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するピクセルアレイの平面図である。

【図 13】本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するピクセルアレイの平面図である。

【図 14】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 15】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 16】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 17】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 18】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 19】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 20】本発明の一実施形態によるイメージセンサの単位ピクセルに対応する等価回路図である。

【図 21】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な平面図である。

【図 22】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な平面図である。

【図 23】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 24】本発明の一実施形態によるイメージセンサの単位ピクセルに対応する等価回路図である。

【図 25】本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。

【図 26】本発明の一実施形態によるイメージセンサの単位ピクセルに対応する等価回路図である。

【発明を実施するための形態】

【0009】

本発明の構成要素及び効果を十分に理解するために、添付図面を参照し、本発明の実施形態について詳細に説明する。

【0010】

図 1 は、本発明の一実施形態によるシステムに係わる概略的な構成図である。

図 1 を参照すれば、システム 15 は、プロセッサ 19 又はホストと通信して結合されるイメージングモジュール 17 を含む。一実施形態において、システム 15 は、プロセッサ 19 に連結され、イメージングモジュール 17 から受信されるイメージデータのような情報を保存するメモリモジュール 20 をさらに含む。一実施形態において、システム 15 は、1 つの半導体チップとして集積される。他の一実施形態において、イメージングモジュール 17、プロセッサ 19 及びメモリモジュール 20 の各々は、分離された別途の半導体チップとして具現される。一実施形態において、メモリモジュール 20 は、1 又はそれより多くのメモリチップを含む。一実施形態において、プロセッサ 19 は、多重プロセッシ

10

20

30

40

50

ングチップを含む。

【0011】

システム15は、本発明の実施形態による距離測定向けのイメージセンサ応用のための低電力電子装置である。システム15は、ポータブル又は固定式である。システム15のポータブル形態の例としては、モバイル装置、携帯電話、スマートフォン、ユーザ装置(UE)、タブレット、デジタルカメラ、ラップトップコンピュータ又はデスクトップコンピュータ、電子スマート時計、M2M(machine-to-machine)通信装置、仮想現実(VR、virtual reality)装置又は仮想現実(VR)モジュール、ロボットなどを含む。システム15の固定式形態の例としては、ビデオゲームセンターのゲームコンソール、相互的ビデオターミナル、自動車、機械視野システム、産業用ロボット、仮想現実(VR)装置、自動車の運転手側実装カメラ(例えば、運転手が眠っているか否かということモニタリングする)などを含む。

10

【0012】

一実施形態において、イメージングモジュール17は、光源22及びイメージセンサ部24を含む。光源22は、例えば、赤外線又は可視光を発光するレーザダイオード(LD:laser diode)又は発光ダイオード(LED:light emitting diode)、近赤外線レーザ(NIR)、ポイント光源、白色ランプ及びモノクロメータ(monochromator)が組み合わされた単色(monochromatic)照明源、又は他のレーザ光源の組み合わせからなる。一実施形態において、光源22は、800nm乃至1,000nmの波長を有する赤外線を発光する。イメージセンサ部24は、図2以下に図示されて説明されるピクセルアレイ及び補助処理回路を含んでもよい。

20

【0013】

例示的には、プロセッサ19は、汎用プロセッサである中央処理装置(CPU)である。ここで、「プロセッサ」及び「中央処理装置(CPU)」は、説明の便宜のために互換的に使用される。一実施形態において、プロセッサ19は、中央処理装置に加え、マイクロコントローラ、デジタル信号処理器(DSP:digital signal processor)、グラフィック処理部(GPU:graphic processing unit)、専用集積回路(特定用途専用集積回路、ASIC:application specific integrated circuit)プロセッサなどをさらに含む。また、プロセッサ19は、分散処理環境で動作する1より多い中央処理装置を含み得る。プロセッサ19は、x86__ISA(32ビットバージョン又は64ビットバージョン)、PowerPC(登録商標)__ISA、RISC(reduced instruction set computer)__ISAに依存するMIPS(microprocessor without interlocked pipeline stages)__ISAなどの命令集合構造(ISA,instruction set architecture)の何れかによって命令を実行し、データを処理するように構成される。例示的には、プロセッサ19は、中央処理装置の機能に追加的な機能を有するシステムオンチップ(SoC,system on chip)である。

30

【0014】

メモリモジュール20は、例えば、SDRAM(synchronous dynamic random access memory)などのDRAM(dynamic random access memory)、HBM(high bandwidth memory)モジュール、又はHMC(hybrid memory cube)メモリモジュールのようなDRAM基盤3DS(3次元スタック、3-dimensional stack)メモリモジュールでもある。メモリモジュール20は、例えば、SSD(solid-state drive)、DRAMモジュール、SRAM(static random access memory)、PRAM(phase-change random access memory)、RRAM(登録商標)(resistive random access memory)、CBRAM(conductive-bridging random access memory)、MRAM(magneti

40

50

c r a n d o m a c c e s s m e m o r y)、S T T - M R A M (s p i n - t r a n s f e r t o r q u e M R A M) などの何れかの半導体基盤格納装置である。

【 0 0 1 5 】

図 2 は、本発明の一実施形態によるシステムの例示的な動作について説明するための構成図である。

【 0 0 1 6 】

図 2 を参照すれば、システム 1 5 は、個別物体、又は場面（図示せず）内の物体である 3 次元物体 2 6 に対する Z 軸に沿ったデプス（奥行き）情報の獲得に使用される。一実施形態において、該デプス情報は、イメージセンサ部 2 4 から受信されるスキャンデータに基づいて、プロセッサ 1 9 によって計算される。一実施形態において、該デプス情報は、イメージセンサ部 2 4 で自主的にも計算される。一実施形態において、該デプス情報は、プロセッサ 1 9 によって、3 次元ユーザインタフェースの一部として使用され、システム 1 5 のユーザが、ゲーム、又はシステム 1 5 で実行される他のアプリケーションの一部として、3 次元物体 2 6 の 3 次元イメージと相互動作、及び / 又は、3 次元物体 2 6 の 3 次元イメージ使用を可能にする。

【 0 0 1 7 】

X 軸は、システム 1 5 の前面に沿った水平方向であり、Y 軸は、ページを外れる垂直方向であり、Z 軸は、システム 1 5 からイメージされる物体 2 6 の方向に延伸される。一実施形態において、光源 2 2 及びイメージセンサ部 2 4 の光軸は、深さ測定のために、Z 軸に平行である。

【 0 0 1 8 】

光源 2 2 は、矢印（2 8 , 2 9）で図示されているように、3 次元物体 2 6 を照明する。矢印（2 8 , 2 9）は、光ビーム又は光放射の経路を示す破線（3 0 , 3 1）に各々対応する。光ビーム又は光放射は、光視野角内の 3 次元物体 2 6 をポイントスキャンする際に使用される。物体表面のライン単位スキャンは、光制御器 3 4 によって動作及び制御される発光素子 3 3 である光学放射源を利用して行われる。発光素子 3 3 からの光ビームは、光制御器 3 4 の制御によって、投射レンズ 3 5 を介して、3 次元物体 2 6 の表面にわたって、X Y 方向にポイントスキャンされる。一実施形態において、該ポイントスキャンは、スキャンラインに沿って、3 次元物体の表面に光点（l i g h t s p o t s）を投写することができる。投射レンズ 3 5 は、ガラス又はプラスチックの表面を有する集中レンズ、又は発光素子 3 3 からのレーザビームを物体 2 6 表面上の一点に集中させる円筒状光学元素である。例えば、投射レンズ 3 5 は、凸状構造を有する集中レンズであるが、それに限定されず、投射レンズ 3 5 として、他の形態の適切なレンズデザインが選択され得る。3 次元物体 2 6 は、発光素子 3 3 からの照明光が、投射レンズ 3 5 によって、光点に集中する焦点位置に位置する。従って、該ポイントスキャンにより、3 次元物体 2 6 表面上の狭い領域又は点が投射レンズ 3 5 からの集中された光ビームによって順次に照明される。

【 0 0 1 9 】

一実施形態において、発光素子 3 3 は、赤外線又は可視光を発光するレーザダイオード又は発光ダイオード、近赤外線レーザ、ポイント光源、白色ランプ及びモノクロメータが組み合わされた単色照明源、或いは他のレーザ光源の組み合わせの何れかである。発光素子 3 3 は、システム 1 5 のハウジング内の一位置に固定され、X Y 方向に回転可能である。

発光素子 3 3 は、光制御器 3 4 によって、X Y 方向に制御可能であり、3 次元物体 2 6 のポイントスキャンを遂行できる。一実施形態において、該可視光は、緑色光である。発光素子 3 3 からの放出された光は、鏡（図示せず）を利用して、3 次元物体 2 6 の表面に照射される。又は、該ポイントスキャンは、鏡を使わず遂行される。例示的には、光源 2 2 は、図 2 に図示されたよりも少ないか、又は多い、構成要素を含む。

【 0 0 2 0 】

3 次元物体 2 6 のポイントスキャンから反射された光は、矢印（3 6 , 3 7）及び破線（3 8 , 3 9）によって表示された集光経路に沿って進む。該集光経路を介して発光素子 3 3 からの照明が受信され、3 次元物体 2 6 の表面によって散乱、又は表面から反射され

る光子が該集光経路に沿って移動する。図 2 において、矢印及び破線によって表示された多様な経路は、例示的なものである。実際の光信号が進む具体的な経路は図示された経路に限定されない。

【 0 0 2 1 】

照明された 3 次元物体 2 6 から受信される光は、イメージセンサ部 2 4 の収集レンズ 4 4 を介して、2 次元ピクセルアレイ 4 2 の、1 又はそれより多くのピクセルに集中される。投射レンズ 3 5 と類似して、収集レンズ 4 4 は、3 次元物体 2 6 から受信される反射光を、2 次元ピクセルアレイ 4 2 の、1 又はそれより多くのピクセルに集中するガラス表面又はプラスチック表面の集中レンズ、又は他の円筒状光学素子である。一実施形態において、収集レンズ 4 4 は、凸状構造を有する集中レンズであるが、それに限定されない。また、説明の便宜のために、3 × 3 ピクセルアレイが図 2 に図示されている。しかし、実際のピクセルアレイは、数千又は数百万のピクセルを含むことが理解されるであろう。

10

ピクセルアレイ 4 2 は、異なるピクセルが異なる色の光信号を収集する R G B ピクセルアレイである。ピクセルアレイ 4 2 は、例えば、赤外線 (I R) 遮断フィルタを有する 2 次元 R G B センサ、2 次元赤外線 (I R) センサ、2 次元近赤外線 (N I R) センサ、2 次元 R G B W センサ、2 次元 R G B - I R センサなどの 2 次元センサである。システム 1 5 は、3 次元物体 2 6 の 3 次元イメージング (深さ測定を含む) のためだけでなく、物体 2 6 の 2 次元 R G B カラー (又は、物体を含む場面) のイメージングのために、同一ピクセルアレイ 4 2 を使用できる。

【 0 0 2 2 】

20

2 次元ピクセルアレイ 4 2 は、受信された光子を、対応する電気信号に変換し、それらは、ピクセルアレイ制御 / 処理部 4 6 によって処理され、物体 2 6 の 3 次元深さイメージが判別される。例示的には、ピクセルアレイ制御 / 処理部 4 6 は、深さ測定のために、位相情報を組み合わせて計算する。ピクセルアレイ制御 / 処理部 4 6 は、ピクセルアレイ 4 2 の動作を制御するための関連回路を含む。

【 0 0 2 3 】

プロセッサ 1 9 は、光源 2 2 及びイメージセンサ部 2 4 の動作を制御する。例えば、システム 1 5 は、ユーザによって制御され、2 次元イメージングモード及び 3 次元イメージングモードを転換するモードスイッチ (図示せず) を具備する。ユーザが、モードスイッチを利用して、2 次元イメージングモードを選択するとき、プロセッサ 1 9 は、イメージセンサ部 2 4 を活性化するが、2 次元イメージングモードの場合は、周辺光を利用するので光源 2 2 を活性化しない。一方、ユーザが、モードスイッチを利用して、3 次元イメージングモードを選択するとき、プロセッサ 1 9 は、光源 2 2 及びイメージセンサ部 2 4 を何れも活性化し、ピクセルアレイ制御 / 処理部 4 6 内のリセット信号 (R S T) のレベル変化をトリガし、周辺光が過度に強く、線形モードで反射しないとき、線形モードから対数モードに転換する。

30

ピクセルアレイ制御 / 処理部 4 6 から受信され、処理されたイメージデータは、プロセッサ 1 9 によって、メモリモジュール 2 0 に保存される。プロセッサ 1 9 は、ユーザによって選択された 2 次元イメージ又は 3 次元イメージを、システム 1 5 の表示スクリーン (図示せず) に表示する。プロセッサ 1 9 は、上述の多様な処理作業を行うソフトウェア又はファームウェアによってプログラムされる。一実施形態において、プロセッサ 1 9 は、上述の機能の一部又は全部を遂行するためのプログラム可能なハードウェア論理回路を含む。例えば、メモリモジュール 2 0 は、プログラムコード、ルックアップテーブル、又は中間演算結果を保存し、プロセッサ 1 9 に当該機能を遂行させる。

40

【 0 0 2 4 】

システム 1 5 のプロセッサ 1 9 は光源 2 2 を利用して、3 次元物体 2 6 に対する 1 次元ポイントスキャンをスキャンラインに沿って行う。該ポイントスキャンの最中に、光源 2 2 は、ライン単位で 3 次元物体 2 6 の表面に順次的な光点 (又は、一連の光点) を投写するように、プロセッサ 1 9 によって制御される。システム 1 5 のピクセルアレイ制御 / 処理部 4 6 は、2 次元ピクセルアレイ 4 2 のようなイメージセンサにおいて、1 行のピクセ

50

ルを選択する。２次元ピクセルアレイ４２のようなイメージセンサは、イメージプレーンを形成する２次元アレイに配列された複数のピクセルを有する。ピクセルの選択された行は、イメージプレーンにおいて、スキャンラインのエピポーラ（登極）線（epipolar line）を形成する。

ピクセルアレイ制御／処理部４６は、１行のピクセル中の対応するピクセルを利用して、各光点を検出するように、プロセッサ１９によって制御される。照明光点から反射された光が、収集レンズ４４によって、２又はそれより多くの隣接ピクセルに集中されるとき、照明光点から反射された光は、単一ピクセル、又は１より多くのピクセルによって検出される。言い換えれば、２又はそれより多くの光点から反射された光が２次元アレイ４２の単一ピクセルに収集される。ピクセルアレイ制御／処理部４６は、順次的な光点で対応する光点のピクセル特定検出に応答し、ピクセル特定出力を生成するように、プロセッサ１９によって制御される。従って、ピクセルアレイ制御／処理部４６は、少なくとも、ピクセル特定出力、及び対応する光点を投写する光源２２によって使用されたスキャン角に基づいて、３次元物体表面上の対応する光点までの３次元距離（又は、深み）を決定できる。

【００２５】

図３は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図であり、図４は、本発明の一実施形態によるイメージセンサの単位ピクセルに対応する等価回路図であり、図５は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な平面図である。

【００２６】

本明細書としては、説明の便宜のために、断面図及び／又は平面図と等価回路図とを混用して図示して説明し、部材番号も、断面図及び／又は平面図と等価回路図とのための部材番号を混用して表記する。

【００２７】

図３乃至図５を共に参照すれば、イメージセンサ１は、互いに反対となる第１面２０２及び第２面２０４を有し、第１面２０２に隣接するウェル領域２２０を有する半導体基板２１０、ウェル領域２２０と第２面２０４との間の半導体基板２１０内に配置される光電変換領域２３０、ウェル領域２２０の少なくとも一部を貫通するように、第１面２０２及び第２面２０４の各々に垂直な方向である半導体基板２１０の厚み方向に沿って延長され、互いに離隔されている少なくとも２個の垂直伝達ゲート２４４、２５４、並びに半導体基板２１０の第１面２０２上に配置される配線構造体３００を含む。配線構造体３００は、後述する第１リセットゲート（ＲＧ１）２８２、第２リセットゲート（ＲＧ２）２８４、並びに関連回路を構成するための配線、コンタクトプラグ、及び層間絶縁膜を含む。

【００２８】

半導体基板２１０は、例えば、Ｓｉ、Ｇｅ、ＳｉＧｅ、ＳｉＣ、ＧａＡｓ、ＩｎＡｓ及びＩｎＰのうちから選択された少なくとも一つを含む。一実施形態において、半導体基板２１０は、第１導電型を有する。例えば、前記第１導電型は、ｐ型である。

【００２９】

ウェル領域２２０は、例えば、第１導電型を有する。ウェル領域２２０は、半導体基板２１０に、第１導電型を有する不純物をドーピングして形成される。ウェル領域２２０の不純物濃度は、ウェル領域２２０以外の半導体基板２１０の部分の不純物濃度より濃い値を有する。

【００３０】

光電変換領域２３０は、第２導電型を有する。例えば、前記第２導電型は、ｎ型である。光電変換領域２３０は、フォトダイオード（ＰＤ）を構成する。光電変換領域２３０は、第１光電変換領域２３２及び第２光電領域２３４からなる。第２光電変換領域２３４の不純物濃度は、第１光電変換領域２３２の不純物濃度より濃い値を有する。第１光電変換領域２３２は、半導体基板２１０の第１面２０２から相対的に深いところに形成され、第２光電変換領域２３４は、相対的に浅いところに形成されるので、第１光電変換領域２３

2 及び第 2 光電変換領域 2 3 4 を各々 D - P D (d e e p - p h o t o d i o d e) 及び S - P D (s h a l l o w - p h o t o d i o d e) と称する。

【 0 0 3 1 】

半導体基板 2 1 0 の第 1 面 2 0 2 又は第 2 面 2 0 4 と平行な方向に沿って、第 1 光電変換領域 2 3 2 の幅は、第 2 光電変換領域 2 3 4 の幅より広い。第 1 光電変換領域 2 3 2 は、例えば、半導体基板 2 1 0 の厚み方向に、第 2 光電変換領域 2 3 4 の全体と重畳する。従って、光電変換領域 2 3 0 で発生した光電荷は、広い第 1 光電変換領域 2 3 2 から狭い第 2 光電変換領域 2 3 4 に移動しながら集中される。

【 0 0 3 2 】

少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 は、各々半導体基板 2 1 0 の厚み方向に沿って、5 0 n m 乃至 5 0 0 n m の長さを有して延長される。一実施形態において、ウェル領域 2 2 0 の厚みは、少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 の延長長と類似している。一実施形態において、少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 は、ウェル領域 2 2 0 を完全に貫通するように、半導体基板 2 1 0 の厚み方向に沿って延長される。

10

【 0 0 3 3 】

ウェル領域 2 2 0 は、デモデュレーション領域 (d e m o d u l a t i o n r e g i o n) 2 2 2 を有する。ウェル領域 2 2 0 内のデモデュレーション領域 2 2 2 は、光電変換領域 2 3 0 で発生した光電荷が、少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 によって移動する領域である。従って、デモデュレーション領域 2 2 2 は、少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 の周囲を取り囲みながら隣接するウェル領域 2 2 0 の部分、例えば、少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 の互いに対向する側面の反対側面に隣接するウェル領域 2 2 0 の部分を含むけれども、本明細書としては、説明の便宜のために、ウェル領域 2 2 0 において、互いに離隔されている少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 間の部分をデモデュレーション領域 2 2 2 と称する。

20

従って、少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 は、デモデュレーション領域 2 2 2 を挟んで互いに離隔される。一実施形態において、デモデュレーション領域 2 2 2 は、第 1 導電型を有する。一実施形態において、デモデュレーション領域 2 2 2 は、第 1 導電型を有し、ウェル領域 2 2 0 の他の部分と同一不純物濃度を有することができる。他の一実施形態において、デモデュレーション領域 2 2 2 は、ウェル領域 2 2 0 の他の部分と不純物濃度が異なる。さらに他の一実施形態において、デモデュレーション領域 2 2 2 は、第 2 導電型を有する。

30

【 0 0 3 4 】

少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 の周囲には、少なくとも 2 個の垂直伝達ゲート 2 4 4 , 2 5 4 と、ウェル領域 2 2 0 とを絶縁させる伝達ゲート絶縁膜 2 4 2 , 2 5 2 が配置される。イメージセンサ 1 が、2 個の垂直伝達ゲート 2 4 4 , 2 5 4 、即ち、第 1 垂直伝達ゲート (T G 1) 2 4 4 及び第 2 垂直伝達ゲート (T G 2) 2 5 4 を有する場合、第 1 垂直伝達ゲート 2 4 4 、及びそれを取り囲む第 1 伝達ゲート絶縁膜 2 4 2 を、共に第 1 伝達ゲート構造体 2 4 0 と称し、第 2 垂直伝達ゲート 2 5 4 、及びそれを取り囲む第 2 伝達ゲート絶縁膜 2 5 2 を、共に第 2 伝達ゲート構造体 2 5 0 と称する。第 1 垂直伝達ゲート 2 4 4 及び第 2 垂直伝達ゲート 2 5 4 には各々、第 1 モジュレーション電圧 $V_{m o d 1}$ 及び第 2 モジュレーション電圧 $V_{m o d 2}$ が印加される。第 1 垂直伝達ゲート 2 4 4 及び第 2 垂直伝達ゲート 2 5 4 は、各々第 1 伝達トランジスタ T S 1 及び第 2 伝達トランジスタ T S 2 を構成する。

40

【 0 0 3 5 】

光電変換領域 2 3 0 は、半導体基板 2 1 0 の厚み方向に、デモデュレーション領域 2 2 2 と重畳される。また、光電変換領域 2 3 0 は、半導体基板 2 1 0 の厚み方向に、第 1 垂直伝達ゲート 2 4 4 を含む第 1 伝達ゲート構造体 2 4 0 、及び第 2 垂直伝達ゲート 2 5 4 を含む第 2 伝達ゲート構造体 2 5 0 と各々重畳される。光電変換領域 2 3 0 は即ち、半導体基板 2 1 0 の厚み方向に、デモデュレーション領域 2 2 2 、第 1 垂直伝達ゲート 2 4 4

50

を含む第1伝達ゲート構造体240、及び第2垂直伝達ゲート254を含む第2伝達ゲート構造体250の各々の全体と重畳される。

【0036】

一実施形態において、第2光電変換領域(S-PD)234は、半導体基板210の厚み方向に、デモデュレーション領域222と重畳される。また、第2光電変換領域(S-PD)234は、半導体基板210の厚み方向に、第1垂直伝達ゲート244を含む第1伝達ゲート構造体240、及び第2垂直伝達ゲート254を含む第2伝達ゲート構造体250の各々と重畳される。第1光電変換領域(D-PD)232は、例えば、半導体基板210の厚み方向に、デモデュレーション領域222、第1垂直伝達ゲート244を含む第1伝達ゲート構造体240、及び第2垂直伝達ゲート254を含む第2伝達ゲート構造体250の各々の全体と重畳される。

10

【0037】

従って、光電変換領域230で発生した光電荷は、第1光電変換領域232から第2光電変換領域234に移動しながら集中された後、デモデュレーション領域222に伝達される。

【0038】

ウェル領域220には、第1面202に隣接し、第1垂直伝達ゲート244及び第2垂直伝達ゲート254に各々隣接した位置に配置される第1電荷保存領域262及び第2電荷保存領域272が配置される。第1電荷保存領域(FD1)262及び第2電荷保存領域(FD2)272は、各々第1垂直伝達ゲート244及び第2垂直伝達ゲート254を基準に、デモデュレーション領域222の反対側の第1面202に隣接するウェル領域220に配置される。具体的には、第1電荷保存領域262は、第1垂直伝達ゲート244の、第2垂直伝達ゲート254に対して反対となる側に配置され、第2電荷保存領域272は、第2垂直伝達ゲート254の、第1垂直伝達ゲート244に対して反対となる側に配置される。

20

【0039】

第1電荷保存領域262及び第2電荷保存領域272は、各々第1ソースフォロワトランジスタSF1及び第2ソースフォロワトランジスタSF2のゲートと連結される。第1ソースフォロワトランジスタSF1のソース及びドレインは、各々第1選択トランジスタSEL1のソース及びV_{dd}電圧と連結される。第1選択トランジスタSEL1のドレインには、第1出力電圧V_{out1}が出力される。第2ソースフォロワトランジスタSF2のソース及びドレインは、各々第2選択トランジスタSEL2のソース及びV_{dd}電圧と連結される。第2選択トランジスタSEL2のドレインには、第2出力電圧V_{out2}が出力される。第1ソースフォロワトランジスタSF1及び第2ソースフォロワトランジスタSF2と、第1選択トランジスタSEL1及び第2選択トランジスタSEL2の各々のソースは、図5において、N₊と表示された領域である。

30

【0040】

一実施形態において、第1ソースフォロワトランジスタSF1及び第2ソースフォロワトランジスタSF2と、第1選択トランジスタSEL1及び第2選択トランジスタSEL2との各々のゲートは、配線構造体300内の第1リセットゲート282及び第2リセットゲート284と同一レベルに配置される。一実施形態において、第1ソースフォロワトランジスタSF1及び第2ソースフォロワトランジスタSF2と、第1選択トランジスタSEL1及び第2選択トランジスタSEL2との各々のソース及びドレインは、ウェル領域220内の第1電荷保存領域262及び第2電荷保存領域272と同一レベルに配置される。

40

【0041】

第1電荷保存領域262及び第2電荷保存領域272を基準に、第1垂直伝達ゲート244及び第2垂直伝達ゲート254の各々の反対側の半導体基板210の第1面202上に、第1リセットゲート(RG1)282及び第2リセットゲート(RG2)284が配置される。第1リセットゲート(282)及び第2リセットゲート(284)は、各々第

50

１リセットトランジスタＲＳ１及び第２リセットトランジスタＲＳ２を構成することができる。

【００４２】

第１リセットゲート２８２及び第２リセットゲート２８４と、半導体基板２１０の第１面２０２との間には、ゲート絶縁膜２８０が配置される。図３には、ゲート絶縁膜２８０が、半導体基板２１０の第１面２０２の殆どを覆っているように図示されているが、それに限定されず、一実施形態において、ゲート絶縁膜２８０は、第１リセットゲート２８２及び第２リセットゲート２８４と、半導体基板２１０の第１面２０２との間にのみ配置される。

【００４３】

第１リセットゲート２８２及び第２リセットゲート２８４を基準に、第１電荷保存領域２６２及び第２電荷保存領域２７２の各々の反対側の第１面２０２に隣接するウェル領域２２０には、第１リセット不純物領域２６４及び第２リセット不純物領域２７４が配置される。第１リセット不純物領域２６４及び第２リセット不純物領域２７４の各々には、第１リセットドレイン電圧 V_{rd1} 及び第２リセットドレイン電圧 V_{rd2} が連結される。一実施形態において、第１リセットドレイン電圧 V_{rd1} と第２リセットドレイン電圧 V_{rd2} は、同一電位を有する。

【００４４】

イメージセンサ１は、半導体基板２１０の第２面２０４上に配置されるマイクロレンズ２９６をさらに含む。従って、半導体基板２１０の第２面２０４は、光の入射面でもある。半導体基板２１０の第２面２０４とマイクロレンズ２９６との間には、負固定電荷層（negative fixed charge layer）２９２及び反射防止層２９４のうち少なくとも１層が配置される。一実施形態において、負固定電荷層２９２、反射防止層２９４及びマイクロレンズ２９６は、半導体基板２１０の第２面２０４上に順次に積層されて配置される。一実施形態において、負固定電荷層２９２は、半導体基板２１０の第２面２０４と直接接し、半導体基板２１０の第２面２０４上を覆う。一実施形態において、マイクロレンズ２９６と反射防止層２９４との間には、バッファ層又はカラーフィルタ層（図示省略）がさらに配置される。

【００４５】

負固定電荷層２９２は、例えば、 HfO_x 、 AlO_x 又は ZrO_x のような高誘電率物質から形成される。反射防止層２９４は、例えば、 $SiON$ 、 SiC 、 $SiCN$ 又は $SiCO$ によって形成される。前記カラーフィルタ層は、マイクロレンズ２９６を介して入射された光を通過させ、第２面２０４を介して、必要な波長の光のみを光電変換領域２３０に入射させる。

【００４６】

本発明によるイメージセンサ１は、少なくとも２個の垂直伝達ゲート２４４，２５４を有し、BSI（back side illumination、背面照明）構造を有する。従って、イメージセンサ１を構成するピクセルを小型化し、且つ、伝達トランジスタ TS_1 ， TS_2 のゲート TG_1 ， TG_2 を相対的に長く形成できるので、イメージセンサのデモデュレーション性能、及び単位面積当たり感度が向上される。

【００４７】

図６、本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するタイミング図であり、図７は、本発明の一実施形態によるイメージセンサのピクセルアレイの概略的な平面図であり、図８及び図９は、各々本発明の一実施形態による、距離測定のためのイメージセンサの作用について説明するためのピクセルアレイの平面図である。

【００４８】

図６を参照すれば、光源２２（図２）からの出力光（light source）と、３次元物体２６（図２）で反射され、イメージセンサ１（図３）で受信された反射光（received light）は、ディレイタイム T_d を有する。前記出力光は、例えば

10

20

30

40

50

パルス電圧によるパルス光信号である。一実施形態において、前記パルス光信号は、 10 MHz 乃至 100 MHz の周波数を有する。

【0049】

第1垂直伝達ゲート $TG1$ （図3）に印加される第1モジュレーション電圧 V_{mod1} は、前記パルス光信号と同期化されたパルス電圧である。第2垂直伝達ゲート $TG2$ （図3）に印加される第2モジュレーション電圧 V_{mod2} は、前記パルス光信号に対して所定の位相差を有するパルス電圧である。一実施形態において、前記位相差は、 180° である。

【0050】

反射光のパルス信号と第1垂直伝達ゲート（ $TG1$ ）のパルス電圧 V_{mod1} とが重なる時間 $T1$ と、反射光のパルス信号と第2垂直伝達ゲート（ $TG2$ ）のパルス電圧 V_{mod2} とが重なる時間 $T2$ との差（ $T1 - T2$ ）が大きいほど、測定された距離は短く示される。反射光のパルス信号と、第1垂直伝達ゲート（ $TG1$ ）のパルス電圧と重なる時間 $T1$ の間、第1出力電圧 V_{out1} が発生し、反射光のパルス信号と、第2垂直伝達ゲート（ $TG2$ ）のパルス電圧とが重なる時間 $T2$ の間、第2出力電圧 V_{out2} が発生する。従って、第1出力電圧 V_{out1} と第2出力電圧 V_{out2} との差を分析（2相（ 2-phase ）アルゴリズム）し、イメージセンサ1から3次元物体26までの距離を決定できる。第1出力電圧 V_{out1} と第2出力電圧 V_{out2} は、単一反射光パルス信号だけではなく、複数の反射光パルス信号の和としても示すことができる。

【0051】

一実施形態において、第1モジュレーション電圧 V_{mod1} 及び第2モジュレーション電圧 V_{mod2} で、前記パルス光信号と同期化されたパルス電圧と、 180° の位相差が出るパルス電圧と、を印加して得られた第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} と、さらには、第1モジュレーション電圧 V_{mod1} 及び第2モジュレーション電圧 V_{mod2} で、前記パルス光信号と 90° の位相差が出るパルス電圧と、 270° の位相差が出るパルス電圧とを印加して得られた第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} を、共に4相（ 4-phase ）アルゴリズムで分析し、イメージセンサ1から3次元物体26までの距離を決定できる。

【0052】

図7及び図8を参照すれば、第1ピクセル $PIXEL_1$ では、 0 及び 180° の相（ $phase$ ）の反射光を収集し、第3ピクセル $PIXEL_3$ では、 90° 及び 270° の相の反射光を収集する。例えば、第1ピクセル $PIXEL_1$ の第1モジュレーション電圧 V_{mod1} （図6）は、パルス光信号と同期化されたパルス電圧であり、第2モジュレーション電圧 V_{mod2} （図6）は、パルス光信号と 180° の位相差を有するパルス電圧である。また、第3ピクセル $PIXEL_3$ の第1モジュレーション電圧 V_{mod1} は、パルス光信号と 90° の位相差を有するパルス電圧であり、第2モジュレーション電圧 V_{mod2} は、パルス光信号と 270° の位相差を有するパルス電圧である。

その場合、第1ピクセル $PIXEL_1$ と第3ピクセル $PIXEL_3$ との各々の第1出力電圧の V_{out1} 及び第2出力電圧 V_{out2} （図3）を4相アルゴリズムで分析し、イメージセンサ1から3次元物体26までの距離を決定できる。同様に、ピクセルアレイにおいて、第2ピクセル $PIXEL_2$ 及び第4ピクセル $PIXEL_4$ など他の2個のピクセルの各々の第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} を4相アルゴリズムで分析し、イメージセンサ1から3次元物体26の表面までの距離を決定できる。即ち、2個のピクセルから、1個の距離情報を得ることができる。

【0053】

図9を参照すれば、第1ピクセル $PIXEL_1$ 及び第3ピクセル $PIXEL_3$ の各々の第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} を分析し、第3ピクセル $PIXEL_3$ 、及び他の第1ピクセル $PIXEL_1a$ の各々の第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} を分析し、距離を決定できる。即ち、第3ピクセル $PIXEL_3$ の第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} は、第1ピクセル $PIXEL_1$ の

第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} との分析に使用されると同時に、他の第1ピクセル $PIXEL1a$ の第1出力電圧 V_{out1} 及び第2出力電圧 V_{out2} との分析にも同時に使用される。他の第1ピクセル $PIXEL1a$ は、第3ピクセル $PIXEL3$ との分析だけではなく、他の第3ピクセル $PIXEL3a$ との分析にも共に使用される。同様に、第4ピクセル $PIXEL4$ は、第2ピクセル $PIXEL2$ との分析、及び他の第2ピクセル $PIXEL2a$ との分析に共に使用され、他の第2ピクセル $PIXEL2a$ は、他の第4ピクセル $PIXEL4a$ との分析に共に使用される。

【0054】

従って、ピクセルアレイ全体について考慮すれば、1個のピクセルから、1個の距離情報を得ることができるので、該距離情報に係わる解像度が上昇する。

10

【0055】

図10は、本発明の一実施形態による距離測定のためのイメージセンサの作用について説明するタイミング図であり、図511、本発明の一実施形態によるイメージセンサのピクセルアレイの概略的な平面図であり、図12及び図13は、本発明の一実施形態による距離測定のためのイメージセンサの作用について説明するピクセルアレイの平面図である。

【0056】

図10乃至図13は、図3のイメージセンサ1において、第2リセットトランジスタ $RS2$ 、第2ソースフォロワトランジスタ $SF2$ 及び第2選択トランジスタ $SEL2$ を動作させず、第1リセットトランジスタ $RS1$ 、第1ソースフォロワトランジスタ $SF1$ 及び第1選択トランジスタ $SEL1$ のみを動作させる場合、距離測定のためのイメージセンサの作用について説明するための図面である。

20

【0057】

図10を参照すれば、光源22(図2)からの出力光と、3次元物体26(図2)で反射されてイメージセンサ1(図3)で受信される反射光(light source)は、ディレイタイム T_d を有する。前記出力光は、パルス電圧によるパルス光信号である。第1垂直伝達ゲート $TG1$ (図3)に、前記パルス光信号と同期化されたパルス電圧、 90° の位相差を有するパルス電圧、 180° の位相差を有するパルス電圧、及び 270° の位相差を有するパルス電圧を、第1モジュレーション電圧 V_{mod1} で順次に印加し、反射光のパルス信号と、第1垂直伝達ゲート($TG1$)のパルス電圧とが重なる時間 $T3$ 間に発生した第1出力電圧 V_{out} を共に4相アルゴリズムで分析し、イメージセンサ1から3次元物体26までの距離を決定できる。第1出力電圧 V_{out} は、単一反射光パルス信号だけではなく、複数の反射光パルス信号の和としても示すことができる。第2垂直伝達ゲート $TG2$ (図3)に印加される第2モジュレーション電圧 V_{mod2} は、第1モジュレーション電圧 V_{mod1} と 180° の位相差を有するパルス電圧である。

30

【0058】

一実施形態において、第1垂直伝達ゲート $TG1$ に、前記パルス光信号と同期化されたパルス電圧、及び 180° の位相差が出るパルス電圧を、第1モジュレーション電圧 V_{mod1} で順次に印加して、反射光のパルス信号と、第1垂直伝達ゲート $TG1$ のパルス電圧とが重なる時間 $T3$ 間に発生した第1出力電圧 V_{out} を、共に2相アルゴリズムで分析し、イメージセンサ1から3次元物体26までの距離を決定できる。第1出力電圧 V_{out} は、単一反射光パルス信号だけではなく、複数の反射光パルス信号の和としても示すことができる。

40

【0059】

図11及び図12を参照すれば、第1ピクセル $PIXEL1$ では、 0° の相の反射光を収集し、第2ピクセル $PIXEL2$ では、 90° の相の反射光を収集し、第3ピクセル $PIXEL3$ では、 180° の相の反射光を収集し、第4ピクセル $PIXEL4$ では、 270° の相の反射光を収集する。その場合、第1ピクセル乃至第4ピクセル $PIXEL1$ 、 $PIXEL2$ 、 $PIXEL3$ 、 $PIXEL4$ の各々の第1出力電圧 V_{out1} (図3)を4相アルゴリズムで分析し、イメージセンサ1から3次元物体26までの距離を決定できる。即ち、4個のピクセルから、1個の距離情報を得ることができる。

50

【 0 0 6 0 】

図 1 3 を参照すれば、PIXEL 1, PIXEL 2, PIXEL 3 及び PIXEL 4、PIXEL 1 b, PIXEL 2, PIXEL 3 b 及び PIXEL 4、又は PIXEL 1 a, PIXEL 2 a, PIXEL 3 及び PIXEL 4 などの、隣接する 4 個のピクセルの各々の第 1 出力電圧 V_{out1} (図 3) を 4 相アルゴリズムで分析し、イメージセンサ 1 から 3 次元物体 2 6 までの距離を決定できる。即ち、1 個のピクセルから、1 個の距離情報を得ることができる。

【 0 0 6 1 】

別途に図示されていないが、一実施形態において、2 個のピクセルの各々の第 1 出力電圧を 2 相アルゴリズムで分析して距離を決定でき、その場合、2 個のピクセル、又は 1 個のピクセルから、1 個の距離情報を得ることができる。

10

【 0 0 6 2 】

図 1 4 乃至図 1 8 は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図である。図 1 4 乃至図 1 8 に係わる説明において、図 3 に係わる説明と重複する内容は省略する。

【 0 0 6 3 】

図 1 4 を参照すれば、イメージセンサ 1 a は、光電変換領域 2 3 0 に隣接するウェル領域 2 2 0 の一部分、具体的には、ウェル領域 2 2 0 の内で第 1 面 2 0 2 の反対側の境界面に隣接する部分に配置される第 1 バリア不純物領域 2 2 4 をさらに含む。第 1 バリア不純物領域 2 2 4 は、第 1 伝達ゲート構造体 2 4 0 及び第 2 伝達ゲート構造体 2 5 0 の各々と離隔されるように配置される。

20

【 0 0 6 4 】

第 1 バリア不純物領域 2 2 4 は、第 1 導電型を有する。一実施形態において、第 1 バリア不純物領域 2 2 4 の不純物濃度は、ウェル領域 2 2 0 の不純物濃度より濃い値を有する。第 1 バリア不純物領域 2 2 4 は、光電変換領域 2 3 0 で発生した光電荷の移動を遮断する。従って、光電変換領域 2 3 0 で発生した光電荷は、第 1 伝達ゲート構造体 2 4 0 及び第 2 伝達ゲート構造体 2 5 0、並びにデモデュレーション領域 2 2 2 に集中して移動する。

【 0 0 6 5 】

図 1 5 を参照すれば、イメージセンサ 1 b は、デモデュレーション領域 2 2 2 (図 3) に対応する部分に配置されるサブウェル領域 2 2 2 a を含む。サブウェル領域 2 2 2 a は、第 1 導電型を有する。一実施形態において、サブウェル領域 2 2 2 a の不純物濃度は、ウェル領域 2 2 0 の不純物濃度より濃い値を有する。

30

【 0 0 6 6 】

サブウェル領域 2 2 2 a は、光電荷が、第 1 垂直伝達ゲート 2 4 4 及び第 2 垂直伝達ゲート 2 5 4 の間におけるトラップ (trap) を防止するか、或いは意図していない箇所への移動を防止する。サブウェル領域 2 2 2 a も、デモデュレーション領域 2 2 2 と同一機能を遂行するので、デモデュレーション領域と称し得る。

【 0 0 6 7 】

図 1 5 には、イメージセンサ 1 b が、第 1 バリア不純物領域 2 2 4 を有するようにも図示されているが、それに限定されず、第 1 バリア不純物領域 2 2 4 は、省略可能である。

40

【 0 0 6 8 】

図 1 6 を参照すれば、イメージセンサ 1 c は、デモデュレーション領域 2 2 2 において、第 1 面 2 0 2 に隣接する部分に配置される第 2 バリア不純物領域 2 2 6 を含む。

【 0 0 6 9 】

第 2 バリア不純物領域 2 2 6 は、第 1 導電型を有する。一実施形態において、第 2 バリア不純物領域 2 2 6 の不純物濃度は、ウェル領域 2 2 0 の不純物濃度より濃い値を有する。一実施形態において、第 2 バリア不純物領域 2 2 6 の不純物濃度は、デモデュレーション領域 2 2 2 の不純物濃度より濃い値を有する。

【 0 0 7 0 】

第 2 バリア不純物領域 2 2 6 は、少なくとも 2 個の垂直伝達ゲート 2 4 4, 2 5 4 によ

50

って移動する光電子が、第 1 電荷保存領域 2 6 2 及び第 2 電荷保存領域 2 7 2 に迅速に保存されるようにする。

【 0 0 7 1 】

図 1 7 を参照すれば、イメージセンサ 1 d は、デモデュレーション領域 2 2 2 b 及び第 2 バリア不純物領域 2 2 6 を含む。デモデュレーション領域 2 2 2 b は、第 2 導電型を有する。一実施形態において、デモデュレーション領域 2 2 2 b の不純物濃度は、光電変換領域 2 3 0 の不純物濃度より薄い値を有する。

【 0 0 7 2 】

第 2 導電型を有するデモデュレーション領域 2 2 2 b は、光電荷をデモデュレーション領域 2 2 2 b と、第 1 伝達ゲート構造体 2 4 0 及び第 2 伝達ゲート構造体 2 5 0 との界面から、デモデュレーション領域 2 2 2 b の中心部に集める。従って、該光電荷が、デモデュレーション領域 2 2 2 b と、第 1 伝達ゲート構造体 2 4 0 及び第 2 伝達ゲート構造体 2 5 0 との界面に形成されるトラップによって損失されることを最小化する。

10

【 0 0 7 3 】

図 1 8 を参照すれば、イメージセンサ 1 e は、第 2 面 2 0 4 a に凹凸構造を有する半導体基板 2 1 0 を含む。一実施形態において、半導体基板 2 1 0 は、第 2 面 2 0 4 a に、第 1 面 2 0 2 に向けて陥没された複数個のリセス 2 1 2 を有する。複数リセス 2 1 2 の各々には、散乱誘導層 2 1 4 が配置される。負固定電荷層 2 9 2 は、散乱誘導層 2 1 4 を覆い包み、半導体基板 2 1 0 の第 2 面 2 0 4 a を覆う。従って、散乱誘導層 2 1 4 は、負固定電荷層 2 9 2 を挟み、半導体基板 2 1 0 の第 2 面 2 0 4 a と離隔される。散乱誘導層 2 1 4 は、例えば、酸化物などの絶縁物からなる。

20

【 0 0 7 4 】

イメージセンサ 1 e の複数のピクセルの各々の間には、D T I (d e e p t r e n c h i n s u l a t o r) 構造物 3 2 0 が配置される。D T I 構造物 3 2 0 は、光電変換領域 2 3 0 、特に、第 1 光電変換領域 2 3 2 の周囲を取り囲むように、半導体基板 2 1 0 内に配置される。D T I 構造物 3 2 0 は、半導体基板 2 1 0 の第 2 面 2 0 4 a から第 1 面 2 0 2 に向けて延長されるように配置される。一実施形態において、D T I 構造物 3 2 0 は、ウェル領域 2 2 0 から離隔するように、半導体基板 2 1 0 の第 2 面 2 0 4 a から第 1 面 2 0 2 に向けて延長される。D T I 構造物 3 2 0 は、例えば、酸化物、窒化物、酸窒化物、又はそれらの組み合わせからなる絶縁物である。一実施形態において、D T I 構造物 3 2 0 は、導電物質層 3 2 2 、及び導電物質層 3 2 2 を覆い包むカバー絶縁層 3 2 4 からなる。導電物質層 3 2 2 は、例えば、ポリシリコン、金属又は金属窒化物からなる。カバー絶縁層 3 2 4 は、酸化物、窒化物、酸窒化物、又はそれらの組み合わせからなる絶縁物である。

30

【 0 0 7 5 】

マイクロレンズ 2 9 6 を介して、イメージセンサ 1 e 内に入射される光のうち一部 (L 1) は、光電変換領域 2 3 0 に向けて進む。マイクロレンズ 2 9 6 を介して、イメージセンサ 1 e 内に入射される光のうち他の一部の光 (L 2) は、散乱誘導層 2 1 4 によって散乱された後、D T I 構造物 3 2 0 によってさらに反射する経路を有する。それを介して、他の一部の光 (L 2) は、光経路が増大し、光電変換領域 2 3 0 で吸収率が高くなる。

40

【 0 0 7 6 】

イメージセンサ 1 e は、配線構造体 3 0 0 上に配置される背面反射層 3 1 0 をさらに含む。光電変換領域 2 3 0 で吸収されていない光 L 3 は、背面反射層 3 1 0 で反射され、さらに光電変換領域 2 3 0 に進み、光電変換領域 2 3 0 で吸収される。

【 0 0 7 7 】

図 1 8 で説明した散乱誘導層 2 1 4 、D T I 構造物 3 2 0 及び背面反射層 3 1 0 のうち少なくとも一部は、図 1 4 乃至図 1 8 で説明したイメージセンサ 1 a , 1 b , 1 c , 1 d にも適用される。

【 0 0 7 8 】

図 1 9 は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わ

50

る概略的な断面図であり、図 20 は、本発明の一実施形態によるイメージセンサの単位ピクセルに対応する等価回路図であり、図 21 は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な平面図である。図 19 乃至図 21 に係わる説明において、図 3 乃至図 18 に係わる説明と重複する内容は、省略される。

【0079】

図 19 乃至図 21 を共に参照すれば、イメージセンサ 2 は、ウェル領域 220 を有する半導体基板 210、光電変換領域 230、少なくとも 2 個の垂直伝達ゲート 244、254、配線構造体 300、リセットゲート (RG) 282、リセット不純物領域 264、第 1 電荷保存領域 (FD) 262 及び第 2 電荷保存領域 272 を含む。第 1 電荷保存領域 262 は、ソースフォロワトランジスタ SF のゲートとも連結される。ソースフォロワトランジスタ SF のソース及びドレインは、選択トランジスタ SEL のソース及び Vdd 電圧とも連結される。選択トランジスタ SEL のドレインには、出力電圧 Vout が出力される。リセットゲート 282 は、リセットトランジスタ RS を構成する。リセット不純物領域 264 及び第 2 電荷保存領域 272 の各々には、第 1 リセットドレイン電圧 Vrd1 及び第 2 リセットドレイン電圧 Vrd2 が連結される。一実施形態において、第 1 リセットドレイン電圧 Vrd1 と第 2 リセットドレイン電圧 Vrd2 は、同一電位を有する。

10

【0080】

イメージセンサ 2 は、図 10 乃至図 13 で説明したように、図 3 のイメージセンサ 1 において、第 2 リセットトランジスタ RS2、第 2 ソースフォロワトランジスタ SF2 及び第 2 選択トランジスタ SEL2 を動作させず、第 1 リセットトランジスタ RS1、第 1 ソースフォロワトランジスタ SF1 及び第 1 選択トランジスタ SEL1 のみを動作させる場合と実質的に同一に作用するので、詳細な説明は省略する。

20

【0081】

即ち、イメージセンサ 2 は、イメージセンサ 1 において動作させない第 2 リセットトランジスタ RS2、第 2 ソースフォロワトランジスタ SF2 及び第 2 選択トランジスタ SEL2 を含まず、イメージセンサ 1 で動作させる第 1 リセットトランジスタ RS1、第 1 ソースフォロワトランジスタ SF1 及び第 1 選択トランジスタ SEL1 の各々に対応するリセットトランジスタ RS、ソースフォロワトランジスタ SF 及び選択トランジスタ SEL を含む。

【0082】

図 22 は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な平面図である。

30

【0083】

図 22 を参照すれば、イメージセンサ 3 は、半導体基板 210 (図 3) の厚み方向に沿って延長され、互いに離隔されている 4 個の垂直伝達ゲート TG1, TG2, TG3, TG4 を含む。第 1 垂直伝達ゲート乃至第 4 垂直伝達ゲート TG1, TG2, TG3, TG4 は、デモデューション領域 222 を挟み、互いに離隔されるようにも配置される。第 1 垂直伝達ゲート乃至第 4 垂直伝達ゲート TG1, TG2, TG3, TG4 の各々の周囲には、第 1 伝達ゲート絶縁膜乃至第 4 伝達ゲート絶縁膜 TOX1, TOX2, TOX3, TOX4 が配置される。第 1 垂直伝達ゲート乃至第 4 垂直伝達ゲート TG1, TG2, TG3, TG4 の各々に対応し、第 1 電荷保存領域乃至第 4 電荷保存領域 FD1, FD2, FD3, FD4、第 1 リセットゲート乃至第 4 リセットゲート RG1, RG2, RG3, RG4、第 1 リセットドレイン電圧乃至第 4 リセットドレイン電圧 Vrd1, Vrd2, Vrd3, Vrd4 が連結される不純物領域、第 1 ソースフォロワトランジスタ乃至第 4 ソースフォロワトランジスタ SF1, SF2, SF3, SF4、及び第 1 選択トランジスタ乃至第 4 選択トランジスタ SEL1, SEL2, SEL3, SEL4 が配置される。第 1 選択トランジスタ乃至第 4 選択トランジスタ SEL1, SEL2, SEL3, SEL4 の各々のドレインには、第 1 出力電圧乃至第 4 出力電圧 Vo1, Vo2, Vo3, Vo4 が出力される。

40

【0084】

50

イメージセンサ 3 は、第 1 垂直伝達ゲート T G 1 及び第 3 垂直伝達ゲート T G 3、又は第 2 垂直伝達ゲート T G 2 及び第 4 垂直伝達ゲート T G 4 によって切断した断面図が、図 3 に示したイメージセンサ 1 の断面図と実質的に同一であるので、詳細な説明は省略する。

【 0 0 8 5 】

イメージセンサ 3 は、第 1 垂直伝達ゲート乃至第 4 垂直伝達ゲート T G 1、T G 2、T G 3、T G 4 の各々に、パルス光信号と同期化されたパルス電圧、 90° の位相差を有するパルス電圧、 180° の位相差を有するパルス電圧、及び 270° の位相差を有するパルス電圧が印加される。従って、イメージセンサ 3 は、1 つのピクセルで得られる第 1 出力電圧乃至第 4 出力電圧 V o 1、V o 2、V o 3、V o 4 を共に 4 相アルゴリズムで分析し、イメージセンサ 3 から 3 次元物体 2 6 (図 2) までの距離を決定できる。

10

【 0 0 8 6 】

図 2 3 は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図であり、図 2 4 は、本発明の一実施形態によるイメージセンサの単位ピクセルに係わる等価回路図である。図 2 3 及び図 2 4 に係わる説明において、図 3 及び図 4 に係わる説明と重複する内容は、省略される。

【 0 0 8 7 】

図 2 3 及び図 2 4 を共に参照すれば、イメージセンサ 4 は、ウェル領域 2 2 0 には、第 1 面 2 0 2 に隣接し、第 1 電荷保存領域 2 6 2 及び第 2 電荷保存領域 2 7 2、及び第 1 垂直伝達ゲート 2 4 4 及び第 2 垂直伝達ゲート 2 5 4 の各々の間に配置される第 1 ストレージ拡散領域 (S D 1) 2 6 6 及び第 2 ストレージ拡散領域 (S D 2) 2 7 6、並びに、第 1 電荷保存領域 2 6 2 及び第 2 電荷保存領域 2 7 2 と、第 1 ストレージ拡散領域 2 6 6 及び第 2 ストレージ拡散領域 2 7 6 との各々の間で、半導体基板 2 1 0 の第 1 面 2 0 2 上に配置される第 1 水平伝達ゲート (T G 3) 2 8 6 及び第 2 水平伝達ゲート (T G 4) 2 8 8 をさらに含む。

20

【 0 0 8 8 】

第 1 電子保存領域 (F D 1) 2 6 2 及び第 2 電子保存領域 (F D 2) 2 7 2 は、各々第 1 ソースフォロワトランジスタ S F 1 及び第 2 ソースフォロワトランジスタ S F 2 のゲートと連結される。

【 0 0 8 9 】

イメージセンサ 4 は、第 1 ストレージ拡散領域 2 6 6 及び第 2 ストレージ拡散領域 2 7 6、及び第 1 水平伝達ゲート 2 8 6 及び第 2 水平伝達ゲート 2 8 8 をさらに含み、グローバルシャッタ (g l o b a l s h u t t e r) 機能を遂行する。また、イメージセンサ 4 は、第 1 垂直伝達ゲート 2 4 4 及び第 2 垂直伝達ゲート 2 5 4、並びに、第 1 水平伝達ゲート 2 8 6 及び第 2 水平伝達ゲート 2 8 8 からなる 4 個の伝達ゲートを含み、ノイズが低減される。

30

【 0 0 9 0 】

図 2 5 は、本発明の一実施形態によるイメージセンサの単位ピクセルの主要部分に係わる概略的な断面図であり、図 2 6 は、本発明の一実施形態によるイメージセンサの単位ピクセルに対応する等価回路図である。図 2 5 及び図 2 6 に係わる説明において図 2 3 及び図 2 4 に係わる説明と重複する内容は、省略される。

40

【 0 0 9 1 】

図 2 5 及び図 2 6 を共に参照すれば、イメージセンサ 4 a は、図 2 3 及び図 2 4 に示されたイメージセンサ 4 と異なり、1 個の選択トランジスタ S E L が縦続接続された 1 個のソースフォロートランジスタ S F が、第 1 電子保存領域 (F D 1) 2 6 2 及び第 2 電子保存領域 (F D 2) 2 7 2 と連結され、さらに 1 個のリセットトランジスタ R S が、第 1 電荷保存領域 (F D 1) 2 6 2 及び第 2 電荷保存領域 (F D 2) 2 7 2 と連結される。即ち、第 1 ストレージ拡散領域 (S D 1) 2 6 6 及び第 1 電荷保存領域 (F D 1) 2 6 2、並びに、第 2 ストレージ拡散領域 (S D 2) 2 7 6 及び第 2 電荷保存領域 (F D 2) 2 7 2 が、1 個のソースフォロートランジスタ S F、1 個の選択トランジスタ S E L、及び 1 個のリセットトランジスタ R S を共有する。

50

【 0 0 9 2 】

本発明によるイメージセンサは、少なくとも2個の垂直伝達ゲートを含み、更に好ましくはBSI構造を有する。従って、該イメージセンサを構成するピクセルを小型化し、且つ伝達トランジスタのゲートを相対的に長く形成できるので、イメージセンサの感度が向上する。

【 0 0 9 3 】

以上、本発明について、望ましい実施形態を挙げて詳細に説明したが、本発明は、実施形態に限定されることなく、本発明の技術的思想及び範囲内で、当分野で当業者によってさまざまな変形及び変更が可能である。

【産業上の利用可能性】

10

【 0 0 9 4 】

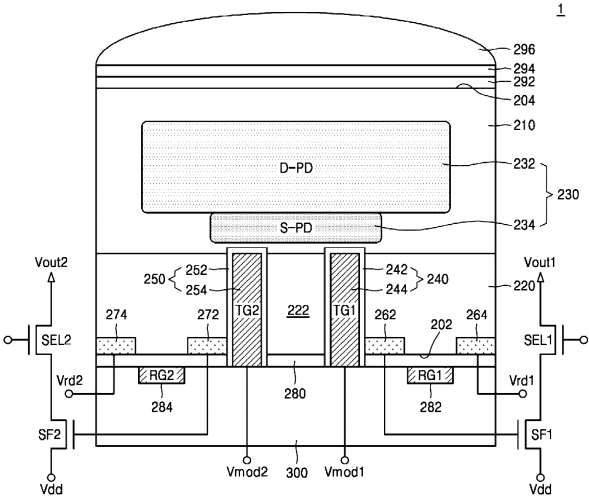
本発明の距離測定のためのイメージセンサは、例えば、撮像関連の技術分野に効果的に適用可能である。

【符号の説明】

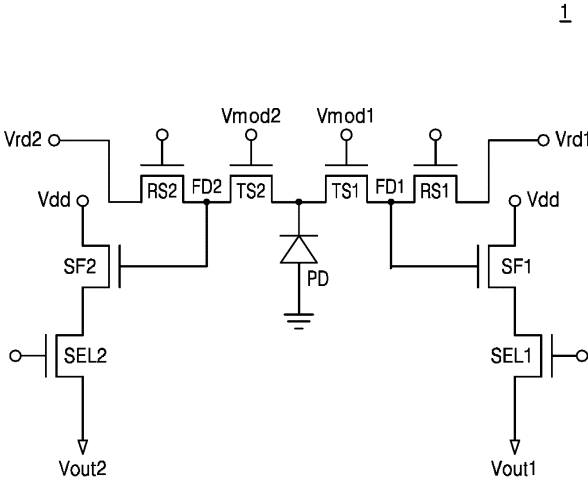
【 0 0 9 5 】

1, 1 a, 1 b, 1 c, 1 d, 1 e, 2, 3, 4, 4 a	イメージセンサ	
15	システム	
17	イメージングモジュール	
19	プロセッサ	
20	メモリモジュール	20
22	光源	
24	イメージセンサ部	
26	3次元物体	
28、29	(照明方向を示す)矢印	
30、31	光放射経路を示す破線	
33	発光素子	
34	光制御器	
35	投射レンズ	
36、37	(集光方向を示す)矢印	
38、39	(集光経路を示す)破線	30
42	2次元ピクセルアレイ	
44	収集レンズ	
46	ピクセルアレイ制御/処理部	
202	第1面	
204, 204 a	第2面	
210	半導体基板	
212	リセス	
214	散乱誘導層	
220	ウェル領域	
222	デモデュレーション領域	40
222 a	サブウェル領域	
222 b	デモデュレーション領域	
224	第1バリア不純物領域	
226	第2バリア不純物領域	
230	光電変換領域	
232	第1光電変換領域(D-PD)	
234	第2光電変換領域(S-PD)	
240	第1伝達ゲート構造体	
242	伝達ゲート絶縁膜	
244	第1垂直伝達ゲート	50

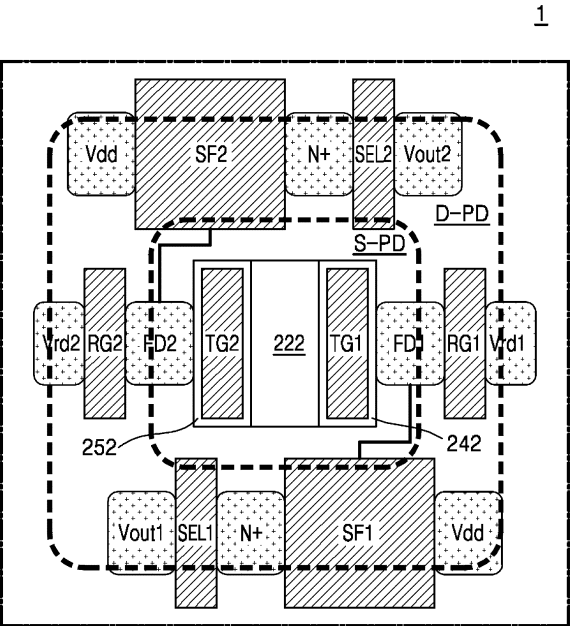
【図 3】



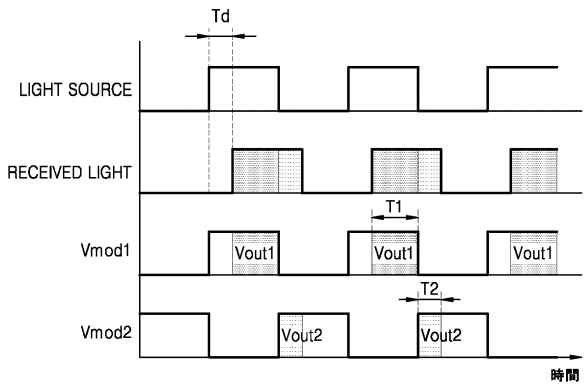
【図 4】



【図 5】



【図 6】



10

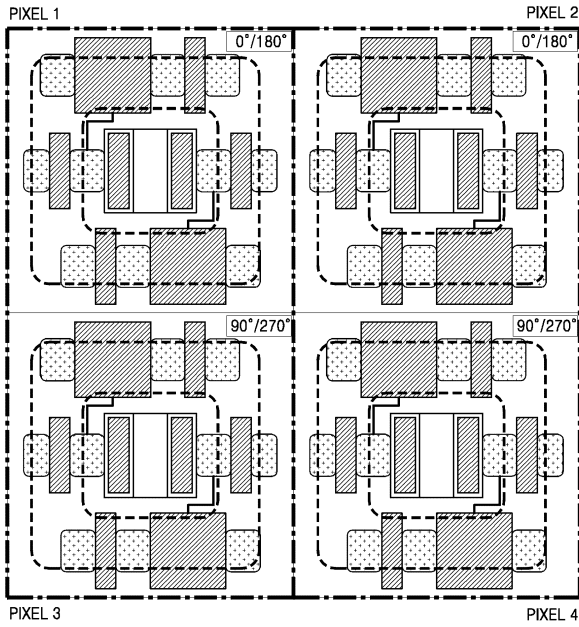
20

30

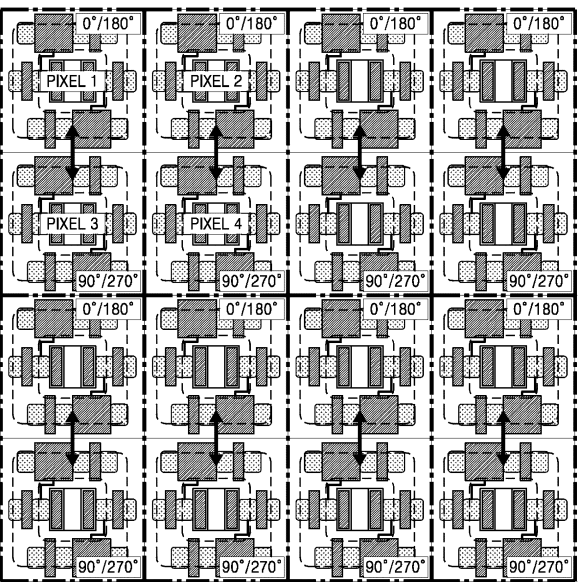
40

50

【図 7】

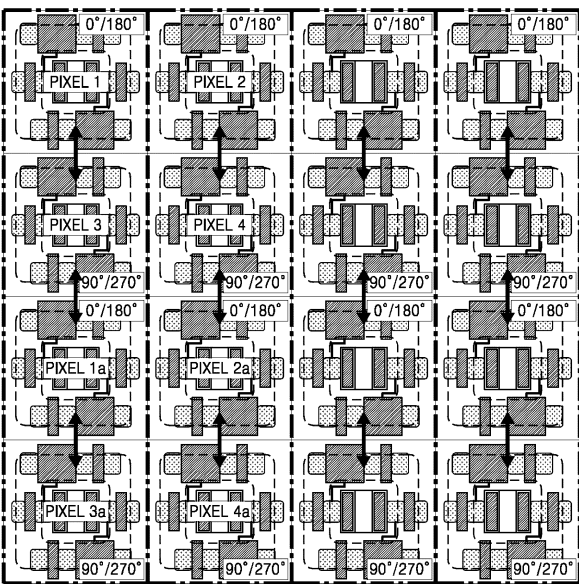


【図 8】

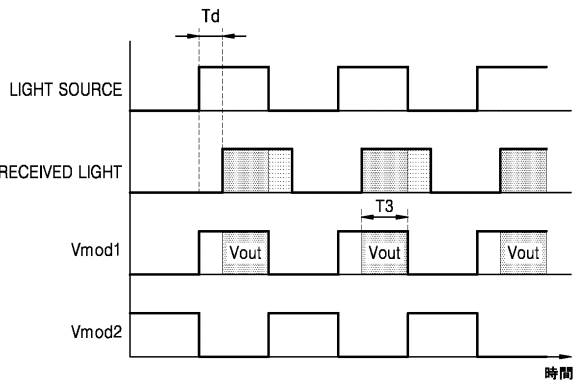


10

【図 9】



【図 10】



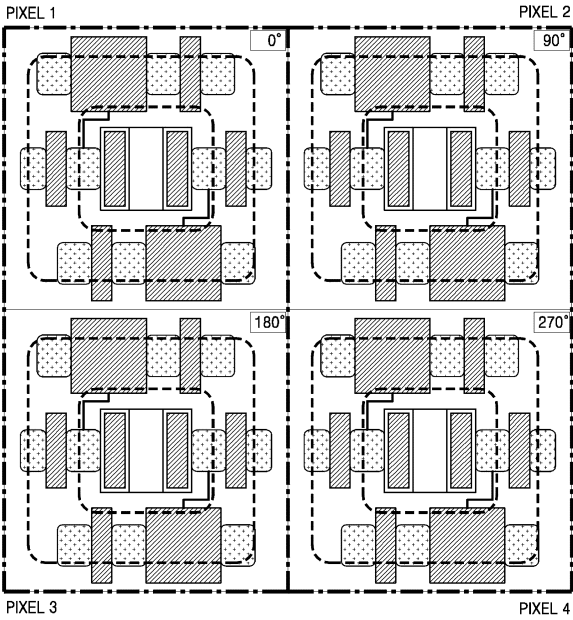
20

30

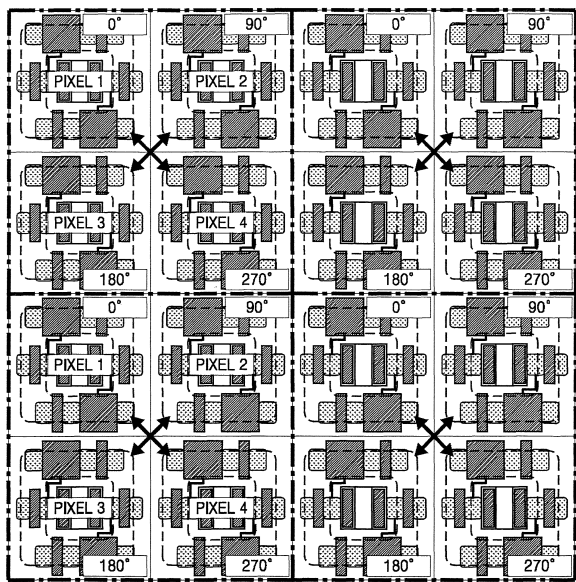
40

50

【図 1 1】

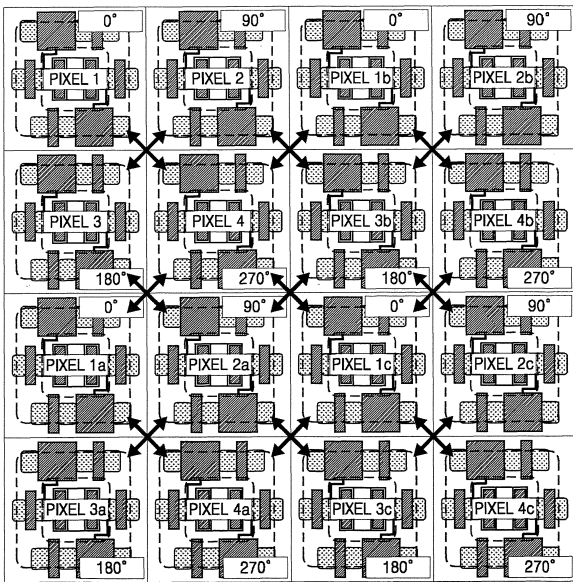


【図 1 2】

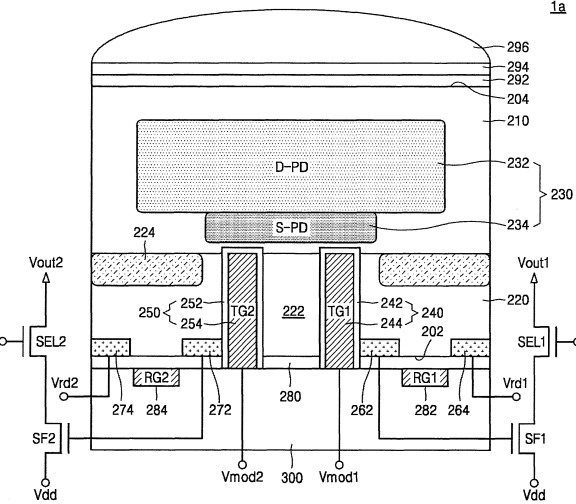


10

【図 1 3】



【図 1 4】



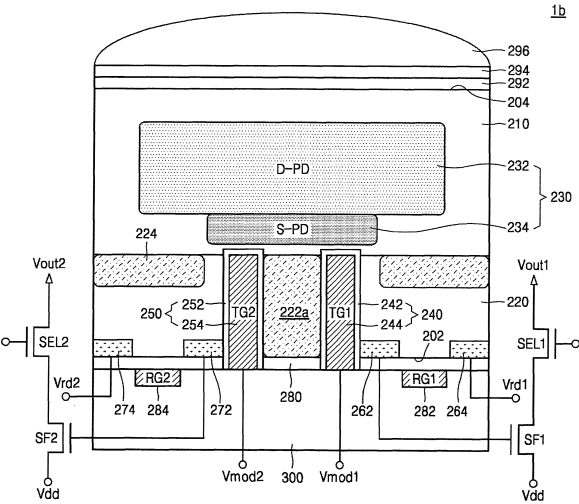
20

30

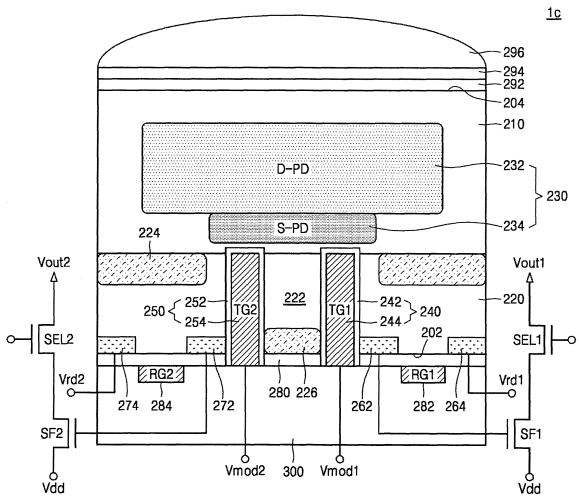
40

50

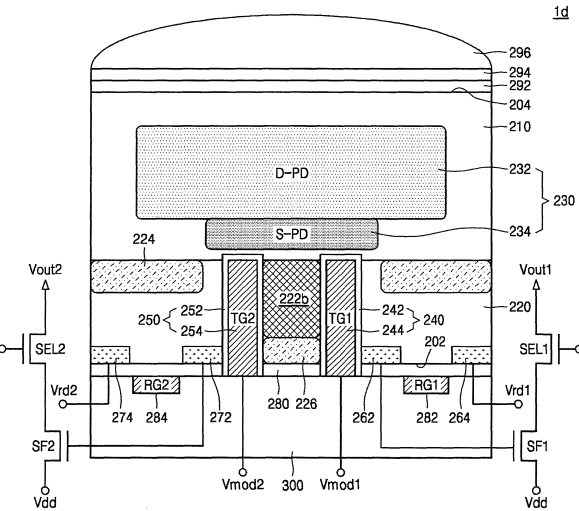
【図 15】



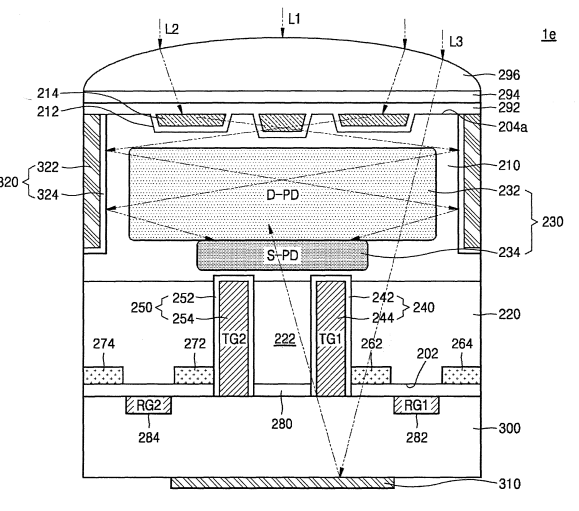
【図 16】



【図 17】



【図 18】



10

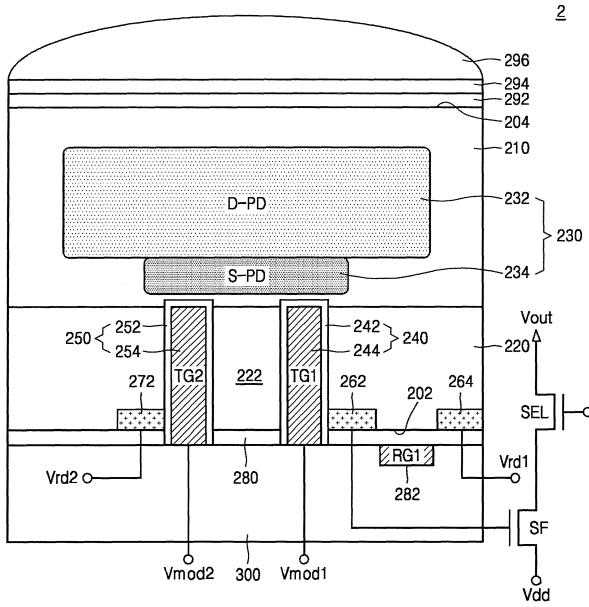
20

30

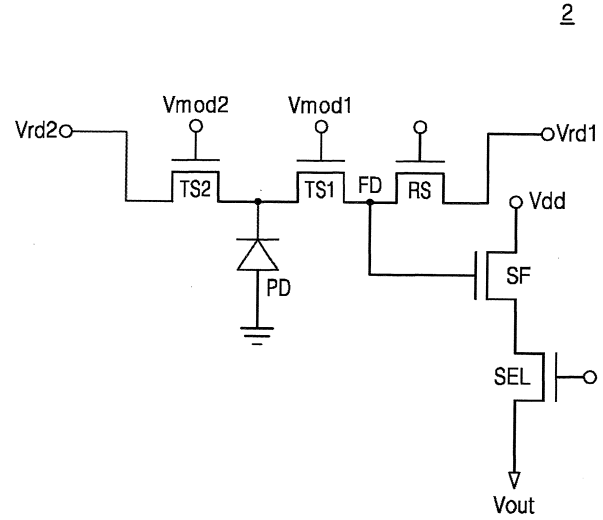
40

50

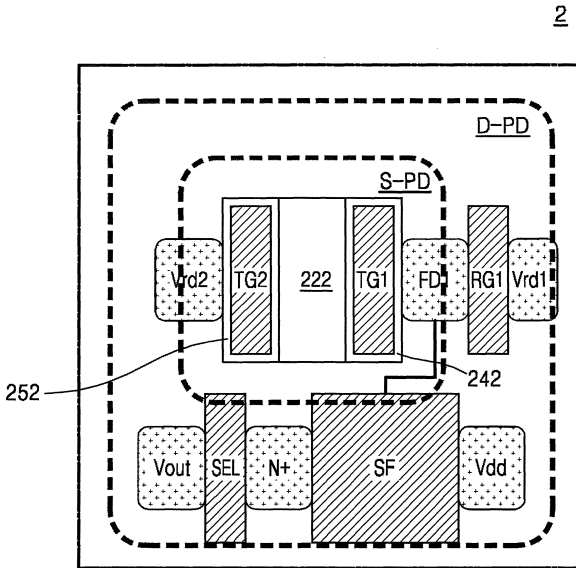
【図 19】



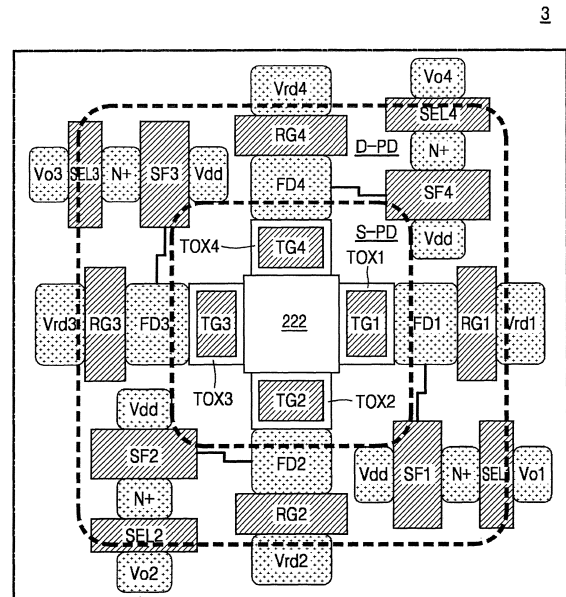
【図 20】



【図 21】



【図 22】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	27/088 (2006.01)	H 0 1 L	27/04	A
H 0 1 L	21/822 (2006.01)	H 0 4 N	5/369	
H 0 1 L	27/04 (2006.01)	G 0 1 C	3/06	1 2 0 Q
H 0 4 N	5/369 (2011.01)			
G 0 1 C	3/06 (2006.01)			

審査官 加藤 俊哉

(56)参考文献

米国特許出願公開第 2 0 1 5 / 0 1 1 5 2 9 1 (U S , A 1)
 特開 2 0 1 6 - 1 0 0 3 4 7 (J P , A)
 特開 2 0 1 5 - 0 2 9 0 5 4 (J P , A)
 特開 2 0 1 5 - 1 5 3 7 7 2 (J P , A)
 米国特許出願公開第 2 0 1 6 / 0 0 5 6 1 9 8 (U S , A 1)
 特開 2 0 0 5 - 3 5 3 9 9 4 (J P , A)
 特開平 0 3 - 1 0 9 7 6 9 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 3 7 4 8 0 8 (U S , A 1)
 特開 2 0 1 0 - 1 1 4 2 7 3 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 7 / 1 4 6
 H 0 1 L 3 1 / 1 0
 H 0 1 L 2 9 / 4 2 3
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 2
 H 0 4 N 5 / 3 6 9
 G 0 1 C 3 / 0 6