

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3703293号
(P3703293)

(45) 発行日 平成17年10月5日(2005.10.5)

(24) 登録日 平成17年7月29日(2005.7.29)

(51) Int. Cl.⁷

F I

H O 4 N 5/335

H O 4 N 5/335

Z

H O 1 L 27/148

H O 1 L 27/14

B

請求項の数 7 (全 14 頁)

<p>(21) 出願番号 特願平10-78752 (22) 出願日 平成10年3月26日(1998.3.26) (65) 公開番号 特開平11-275470 (43) 公開日 平成11年10月8日(1999.10.8) 審査請求日 平成13年2月2日(2001.2.2)</p>	<p>(73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号 (74) 代理人 100084146 弁理士 山崎 宏 (74) 代理人 100100170 弁理士 前田 厚司 (74) 代理人 100122286 弁理士 仲倉 幸典 (72) 発明者 上村 親也 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 審査官 ▲徳▼田 賢二</p>
---	--

最終頁に続く

(54) 【発明の名称】 CCD固体撮像素子

(57) 【特許請求の範囲】

【請求項1】

第1の端子(T1)に接続された垂直転送レジスタ(2)のゲート(C1)と、第2の端子(T2)に接続された水平転送レジスタ(3)のゲート(C2)との間の絶縁膜(17)の破壊を防止する保護回路が、少なくとも前記第1の端子(T1)、前記第2の端子(T2)、負電位端子(VL)およびグランド端子(G1)を含む複数の端子(T1, T2, VL, G1)に接続されていると共に、前記複数の端子に印加されるグランド電圧、正電圧、負電圧のパルスを用いるCCD固体撮像素子において、

前記保護回路は、

前記第1の端子(T1)と前記グランド端子(G1)とを接続する第1の放電経路(I_{m2})と、前記第1の放電経路(I_{m2})の途中に設けられると共に前記負電位端子(VL)の電圧によって制御される接合型トランジスタ部(T100)とを含んで、前記第1の端子(T1)における負の静電気による負電荷を前記第1の放電経路(I_{m2})を介して前記グランド端子(G1)に放電するように動作する第1の回路と、

前記第1の端子(T1)と前記接合型トランジスタ部(T100)との間と、前記グランド端子(G1)とを接続し、抵抗が前記第1の放電経路(I_{m2})よりも小さい第2の放電経路(I_{m4}, I_{p5})と、前記第2の放電経路(I_{m4}, I_{p5})の途中に設けられた第2の回路素子(H13)とを含んで、前記第1の端子(T1)における負の静電気による負電荷を前記第2の放電経路(I_{m4})を介して前記グランド端子(G1)に放電するように動作すると共に、前記第1の端子(T1)における正の静電気による正電荷

10

20

を前記第2の放電経路（I p 5）を介して前記グランド端子（G 1）に放電するように動作する第2の回路と

を有することを特徴とするC C D固体撮像素子。

【請求項2】

前記保護回路は、前記グランド端子と前記第2の端子（T 2）との間に接続された第3の回路素子（H 1 2）を含んで、前記第2の端子（T 2）における正の静電気による正電荷、または、前記第2の端子（T 2）における負の静電気による負電荷を、前記第2の回路素子を介して前記第1の端子（T 1）に放電するように動作する第3の回路をさらに有することを特徴とする請求項1に記載のC C D固体撮像素子。

【請求項3】

前記第1の回路は、ドレイン（10）が前記第1の端子（T 1）に、ソース（8）が前記負電位端子に、ゲート（9）が前記第1の端子又は前記負電位端子のいずれか一方に接続された第1のM O Sトランジスタ（H 1 1）を備え、

前記第2の回路素子は、ドレイン（10）が前記第1の端子（T 1）に、ソース（19）が前記グランド端子（G 1）に、ゲート（18）が前記第1の端子又は前記グランド端子のいずれか一方に接続された第2のM O Sトランジスタ（H 1 3）であり、

前記第3の回路素子は、ドレイン（13）が前記第2の端子（T 2）に、ソース（11）が前記グランド端子（G 1）に、ゲート（12）が前記第2の端子又は前記グランド端子のいずれか一方に接続された第3のM O Sトランジスタ（H 1 2）であることを特徴とする請求項2に記載のC C D固体撮像素子。

【請求項4】

前記第1の回路は、エミッタ（22）が前記第1の端子（T 1）に、ベース（21）とコレクタ（20）が前記負電位端子（V L）に接続された第1のバイポーラトランジスタ（H 2 1）を備え、

前記第2の回路素子は、エミッタ（22）が前記第1の端子（T 1）に、ベース（26）が前記負電位端子（V L）に、コレクタ（27）が前記グランド端子に接続された第2のバイポーラトランジスタ（H 2 3）であり、

前記第3の回路素子は、エミッタ（25）が前記第2の端子（T 2）に、ベース（24）とコレクタ（23）が前記グランド端子（G 1）に接続された第3のバイポーラトランジスタ（H 2 2）であることを特徴とする請求項2に記載のC C D固体撮像素子。

【請求項5】

前記第1の回路は、前記第1の端子（T 1）と前記負電位端子（V L）との間に挿入されたダイオード（H 1 1 1）を備え、

前記第2の回路素子は、ドレイン（10）が前記第1の端子（T 1）に、ソース（19）が前記グランド端子（G 1）に、ゲート（18）が前記第1の端子又は前記グランド端子のいずれか一方に接続されたM O Sトランジスタ（H 1 3）であり、

前記第3の回路素子は、ドレイン（13）が前記第2の端子（T 2）に、ソース（11）が前記グランド端子（G 1）に、ゲート（12）が前記第2の端子又は前記グランド端子のいずれか一方に接続されたM O Sトランジスタ（H 1 2）であることを特徴とする請求項2に記載のC C D固体撮像素子。

【請求項6】

前記第1の回路は、前記第1の端子（T 1）と前記負電位端子（V L）との間に挿入されたダイオード（H 1 1 1）を備え、

前記第2の回路素子は、エミッタ（22）が前記第1の端子（T 1）に、ベース（26）が前記負電位端子（V L）に、コレクタ（27）が前記グランド端子（G 1）に接続された第2のバイポーラトランジスタ（H 2 3）であり、

前記第3の回路素子は、エミッタ（25）が前記第2の端子（T 2）に、ベース（24）とコレクタ（23）が前記グランド端子（G 1）に接続された第3のバイポーラトランジスタ（H 2 2）であることを特徴とする請求項2に記載のC C D固体撮像素子。

【請求項7】

10

20

30

40

50

前記第 1、第 2 および第 3 の回路の動作電圧は、前記第 1 および第 2 の端子の動作電圧に応じて設定されていることを特徴とする請求項 2 に記載の CCD 固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特に複数の端子に印加されるべき電圧としてグラウンド電圧、正電圧、負電圧等が混在した CCD 固体撮像素子の各端子に接続された保護回路に関する。

【0002】

【従来の技術】

CCD 固体撮像素子の概略図を図 5 に示す。複数の受光部 1 がマトリックス状に配列され、各受光部 1 の隣に垂直転送レジスタ 2 が設けられている。また、各垂直転送レジスタ 2 の終端に水平転送レジスタ 3 と、その一端に接続された出力回路 4 が設けられている。

10

【0003】

各受光部 1 で光電変換された信号電荷は垂直転送レジスタ 2 に読み出され、垂直転送レジスタ 2 内を転送して水平転送レジスタ 3 に転送される。水平転送レジスタ 3 内を転送された信号電荷は、出力回路 4 で 1 画素毎に電荷電圧変換されて出力される。垂直転送レジスタ 2 は、4 相駆動され、受光部 1 から垂直転送レジスタ 2 へ信号電荷を読み出す端子 V 1、V 3 には、例えば - 9 V、0 V、15 V の正から負電圧の 3 値パルスが印加され、信号電荷を読み出さない端子 V 2、V 4 には例えば - 9 V、0 V の負電圧の 2 値のパルスが印加される。また、水平転送レジスタ 3 は 2 相駆動され、H 1、H 2 端子には例えば 0 V、5 V の正電圧の 2 値パルスが印加される。

20

【0004】

このように、CCD 固体撮像素子においては、グラウンド電圧 (GND)、電源電圧や水平転送レジスタ 3 のような正電圧、垂直転送レジスタ 2 のような負電圧が混在して印加される。また、これらの電圧の印加される各端子には、各素子内部を保護するための保護回路が接続されている。特に、垂直転送レジスタ 2 に係る垂直転送ゲート V 1、V 3 には実質的に一番大きな電位差が印加されるため、静電気によってその垂直転送ゲートの電極下の絶縁膜 (ゲート絶縁膜) が破壊され易い。

【0005】

たとえば、水平転送レジスタ 3 の端子、垂直転送レジスタ 2 の端子では、電荷転送電極のゲート絶縁膜が静電気によって破壊されないように、保護回路が接続されている。その他、電源端子、出力端子、リセットドレイン端子についても、内部素子 (出力 MOS トランジスタやリセットトランジスタ) の接合破壊を防ぐために、保護回路が接続されている。また、これらの保護回路は、MOS トランジスタ、バイポーラトランジスタあるいはダイオード等で構成されている。

30

【0006】

従来の CCD 固体撮像素子の保護回路の構成例について、図 6 (a) にその概略の断面図を、図 6 (b) にその等価回路をそれぞれ示す。図 6 において、T 1 は垂直転送レジスタ 2 の端子、C 1 は垂直転送レジスタ 2 のゲート、T 2 は水平転送レジスタ 3 の端子、C 2 は水平転送レジスタ 3 のゲートを示す。動作時には、端子 T 1 には例えば - 9 V、0 V、15 V の正から負電圧の 3 値パルスあるいは - 9 V、0 V の負電圧の 2 値パルス (転送クロックパルス) が印加され、また、端子 T 2 には例えば 0 V、5 V の正電圧の 2 値パルス (転送クロックパルス) が印加される。ゲート C 1、C 2 は撮像部 5 で電荷を転送するため、グラウンド電圧の P 型ウエル 6 上に設けられている。

40

【0007】

H 1 1、H 1 2 はそれぞれ、ゲート C 1、C 2、およびそれに対向する絶縁膜を保護するための、端子 T 1、T 2 に接続された保護回路であり、例えば MOS トランジスタで構成されている。保護トランジスタ H 1 1 は N 型基板 1 5 に形成された P 型ウエル 7 に設けられたソース 8 とドレイン 1 0 と、それらの間に設けられたチャンネル上にゲート絶縁膜を介して設けられたゲート 9 から構成され、H 1 2 は N 型基板 1 5 に形成された P 型ウエ

50

ル6に設けられたソース11とドレイン13と、それらの間に設けられたチャンネル上にゲート絶縁膜を介して設けられたゲート12から構成される。保護MOSトランジスタH11は、端子T1が負電圧駆動のため、負電圧($V_L = -9V$)のP型ウエル7上に形成される必要があり、そのソース8とゲート9は負電位ウエル端子 V_L に、ドレイン10は端子T1に接続されている。保護MOSトランジスタH12は、端子T2が正電圧駆動であり、撮像部5と同じグランド電圧のP型ウエル6上に形成され、そのソース11とゲート12はグランド電圧に、ドレイン13は端子T2に接続されている。その他の正電圧の端子、たとえば電源端子、出力端子、リセットドレイン端子等も同様に保護回路が設けられる。

【0008】

次に、保護MOSトランジスタH12の動作について説明する。何らかの原因により、例えば、グランド端子G1に対して端子T2に正の静電気が加えられた場合、保護MOSトランジスタH12のスナップバック現象(後述する)により、端子T2からグランド端子G1へ正の静電気を放電し(I_{p1})、水平転送レジスタ3のゲートC2のゲート耐圧以上の電圧が端子T2にかからないようにし、水平転送レジスタ3のゲートC2の絶縁膜14の破壊を防止する。図7にこのスナップバック現象の電圧-電流特性を示す。

【0009】

正の静電気が端子T2、すなわち保護MOSトランジスタH12のドレイン13に入力された場合、ドレイン13とP型ウエル6間でブレイクダウンする(ブレイクダウン電圧 V_B)。ドレイン13とP型ウエル6間のブレイクダウン電流(I_{p2})の増加に伴い、P型ウエル6の電位が上昇し(或いは深くなり)、保護MOSトランジスタH12がオン状態(スナップバック電圧 V_S)になって、ソース11、ドレイン13間に大電流 I_{p1} が流れるとともにドレイン電圧は減少、すなわち端子T2の電圧は減少する。

【0010】

グランド端子G1に対して端子T2に負の静電気が加えられた場合、保護MOSトランジスタH12のドレイン13とP型ウエル6は順方向バイアスとなり、端子T2からグランド端子G1へ負の静電気を放電し(I_{m1})、水平転送レジスタ3のゲートC2の絶縁膜14の破壊を防止する。

【0011】

次に、保護MOSトランジスタH11の動作について説明する。何らかの原因により、例えば、グランド端子G1に対して端子T1に正の静電気が加えられた場合、保護MOSトランジスタH11のドレイン10とP型ウエル7間でブレイクダウンし、P型ウエル7の電位が上昇し(或いは深くなり)静電気はN型基板15へ放電し(I_{p3})、垂直転送レジスタ2のゲートC1の絶縁膜16の破壊を防止する。

【0012】

グランド端子G1に対して端子T1に負の静電気が加えられた場合、保護MOSトランジスタH11のドレイン10とP型ウエル7は順方向バイアスとなり、P型ウエル7の電位が下降し(或いは浅くなり)、その結果P型ウエル7とN型基板間でブレイクダウンすることにより、端子T1からグランド端子G1へN型基板15を介して負の静電気を放電し(I_{m2})、垂直転送レジスタ2のゲートC1の絶縁膜16の破壊を防止する。

【0013】

端子T1に対して、端子T2に正の静電気が加えられた場合、保護MOSトランジスタH12のドレイン13とP型ウエル6間でブレイクダウンし、静電気はN型基板15へ放電(I_{p4})し、垂直転送レジスタ2のゲートC1と水平転送レジスタ3のゲートC2との間の絶縁膜17の破壊を防止する。

【0014】

端子T1に対して、端子T2に負の静電気が加えられた場合、保護MOSトランジスタH12のドレイン13とP型ウエル6間は順方向バイアスとなり、P型ウエル6の電位が下降し(或いは浅くなり)その結果、P型ウエルとN型基板間でブレイクダウンすることにより、端子T2から端子T1へN型基板15を介して負の静電気を放電し(I_{m3})、垂直転

10

20

30

40

50

送レジスタ2のゲートC1と水平転送レジスタ3のゲートC2との間の絶縁膜17の破壊を防止する。端子T2に対して、端子T1に静電気が加えられた場合も、上記と同様である。

【0015】

また、各端子の保護回路をバイポーラトランジスタで構成し、そのエミッタを各端子へ接続し、そのベースを共通接続し、そのコレクタをN型基板へ接続した別の構成の例は、特開平8-116027号公報にも提案されている。

【0016】

【発明が解決しようとする課題】

ところで、CCD固体撮像素子の垂直転送レジスタは、負電圧駆動を必要とするため、その保護回路は負電圧のP型ウエル上に設けられなければならない。一方、垂直転送レジスタのゲートは、電荷転送のために、撮像部のグランド電圧のP型ウエル上に設けられている。上記図6に示す従来の保護回路構成では、グランド端子G1に対して、垂直転送レジスタ2の端子T1に静電気が加えられた場合、その静電気はN型基板15へあるいはN型基板15を介して放電する経路しか存在しなかった。N型基板15は比較的高抵抗(R1、R2)であり、そのため放電の時定数は大きくなり、垂直転送レジスタ2のゲートC1に容易にゲート耐圧以上の電圧がかかり、絶縁膜16の破壊を引き起こす。つまり、静電強度が低くなるという不都合があった。端子T1-T2間に静電気が加えられた場合も、静電気の放電経路は、N型基板15へあるいはN型基板15を介するため、上記と同様の不都合があった。

【0017】

また、特開平8-116027号公報の構成においても、静電気の放電経路はすべてN型基板を介するため上記と同様の不都合があった。

【0018】

また、垂直転送レジスタ端子、特にV1及びV3の端子は一番大きな動作電圧が印加されるため、それに接続される保護回路の動作電圧は、V1およびV3端子の動作電圧よりさらに高く設定される。従来の構成では、動作電圧の比較的低い端子、例えば垂直転送レジスタのV2およびV4の端子および水平転送レジスタのH1及びH2の端子に接続される保護回路においても、V1およびV3に接続される保護回路と同じ動作電圧の保護回路を用いていた。このため端子の動作電圧が低いにもかかわらずそれに接続される保護回路の動作電圧が高く設定されているため、保護回路の動作電圧とゲート絶縁膜の破壊電圧とのマージンが小さく静電強度が低いという不都合があった。

【0019】

本発明は、この点に鑑み、ある端子に加えられた静電気を、基板抵抗に比して低抵抗の放電経路を介して放電でき、それによって、上記静電気による装置内部の絶縁膜破壊や接合破壊を防止できる保護作用の優れたCCD固体撮像素子を提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明のCCD固体撮像素子は、

第1の端子に接続された垂直転送レジスタのゲートと、第2の端子に接続された水平転送レジスタのゲートとの間の絶縁膜の破壊を防止する保護回路が、少なくとも前記第1の端子、前記第2の端子、負電位端子およびグランド端子を含む複数の端子に接続されていると共に、前記複数の端子に印加されるグランド電圧、正電圧、負電圧のパルスを用いるCCD固体撮像素子において、

前記保護回路は、

前記第1の端子と前記グランド端子とを接続する第1の放電経路と、前記第1の放電経路の途中に設けられると共に前記負電位端子の電圧によって制御される接合型トランジスタ部とを含んで、前記第1の端子における負の静電気による負電荷を前記第1の放電経路を介して前記グランド端子に放電するように動作する第1の回路と、

前記第1の端子と前記接合型トランジスタ部との間と、前記グランド端子とを接続し

10

20

30

40

50

、抵抗が前記第1の放電経路よりも小さい第2の放電経路と、前記第2の放電経路の途中に設けられた第2の回路素子とを含んで、前記第1の端子における負の静電気による負電荷を前記第2の放電経路を介して前記グランド端子に放電するように動作すると共に、前記第1の端子における正の静電気による正電荷を前記第2の放電経路を介して前記グランド端子に放電するように動作する第2の回路とを有することを特徴としている。

このCCD固体撮像素子においては、グランド電圧に対して正または負の静電気が前記第1の端子に加えられると、前記第1の端子とグランド端子との間に接続された第2の回路によって、半導体基板を介さない放電経路（第2の放電経路）が形成される。したがって、前記第1の端子が負電圧駆動を要する端子であっても、前記第1の端子に接続された素子内部の破壊を防止できる。

10

【0021】

本発明のCCD固体撮像素子は、好ましくは、前記保護回路が、前記グランド端子と前記第2の端子との間に接続された第3の回路素子を含んで、前記第2の端子における正の静電気による正電荷、または、前記第2の端子における負の静電気による負電荷を、前記第2の回路素子を介して前記第1の端子に放電するように動作する第3の回路をさらに有するものとすることができる。

この場合、前記第2の端子に静電気が加えられた場合においても、前記第2の端子とグランド端子との間に接続された第3の回路素子によって、半導体基板を介さないで放電経路が形成されるため、比較的low抵抗で静電気が放電され、前記第2の端子に接続された素子内部の破壊（絶縁膜の破壊、接合破壊）を防止できる。

20

更にまた、第1及び第2の端子間に静電気が加えられた場合においても、前記第1の端子とグランド端子との間に接続された第2の回路素子および前記第2の端子とグランド端子との間に接続された第3の回路素子によって、高抵抗の半導体基板を介することなく、比較的low抵抗で静電気が放電され、前記第1および第2の端子間に接続された素子内部の破壊（絶縁膜の破壊、接合破壊）を防止できる。

【0022】

【0023】

一実施形態では、前記第1の回路は、ドレインが前記第1の端子に、ソースが前記負電位端子に、ゲートが前記第1の端子又は前記負電位端子のいずれか一方に接続された第1のMOSトランジスタを備え、前記第2の回路素子は、ドレインが前記第1の端子に、ソースが前記グランド端子に、ゲートが前記第1の端子又は前記グランド端子のいずれか一方に接続された第2のMOSトランジスタであり、前記第3の回路素子は、ドレインが前記第2の端子に、ソースが前記グランド端子に、ゲートが前記第2の端子又は前記グランド端子のいずれか一方に接続された第3のMOSトランジスタである。

30

【0024】

一実施形態では、前記第1の回路は、エミッタが前記第1の端子に、ベースとコレクタが前記負電位端子に接続された第1のバイポーラトランジスタを備え、前記第2の回路素子は、エミッタが前記第1の端子に、ベースが前記負電位端子に、コレクタが前記グランド端子に接続された第2のバイポーラトランジスタであり、前記第3の回路素子は、エミッタが前記第2の端子に、ベースとコレクタが前記グランド端子に接続された第3のバイポーラトランジスタである。

40

【0025】

一実施形態では、前記第1の回路は、前記第1の端子と前記負電位端子との間に挿入されたダイオードを備え、前記第2の回路素子は、ドレインが前記第1の端子に、ソースが前記グランド端子に、ゲートが前記第1の端子又は前記グランド端子のいずれか一方に接続されたMOSトランジスタであり、前記第3の回路素子は、ドレインが前記第2の端子に、ソースが前記グランド端子に、ゲートが前記第2の端子又は前記グランド端子のいずれか一方に接続されたMOSトランジスタである。

【0026】

50

一実施形態では、前記第1の回路は、前記第1の端子と前記負電位端子との間に挿入されたダイオードを備え、前記第2の回路素子は、エミッタが前記第1の端子に、ベースが前記負電位端子に、コレクタが前記グランド端子に接続された第2のバイポーラトランジスタであり、前記第3の回路素子は、エミッタが前記第2の端子に、ベースとコレクタが前記グランド端子に接続された第3のバイポーラトランジスタである。

【0027】

好ましくは、前記第1、第2および第3の回路の動作電圧は、前記第1および第2の端子の動作電圧に応じて設定されている。これにより、これらの端子に接続された素子内部の破壊（絶縁膜の破壊、接合破壊）をさらに防止できる。

【0028】

【0029】

【0030】

【0031】

【0032】

【0033】

【0034】

（実施の形態1）

図1に本発明の実施の形態1の概略断面図および等価回路図を示す。この実施例において、従来例で示した図6と同じ部分は同一記号で示しており、従来例に更に次の構成を追加した例を挙げて説明する。要するに、端子T1とグランド端子との間に保護回路としての保護MOSトランジスタを設けており、以下に図1を参照し説明する。

【0035】

負電圧駆動を要する垂直転送レジスタの端子T1に対し、それに接続される保護MOSトランジスタH11の他に、更にそれに接続される保護MOSトランジスタH13をも負電圧VLのP型ウエル7上において設けている。このMOSトランジスタH13は、P型ウエル7に設けられたドレイン10とソース19と、それら間に設けられたチャンネルの上にゲート絶縁膜を介して設けられたゲート18から構成されている。このMOS保護トランジスタは、そのゲート18およびソース19がグランド端子G1に、そのドレイン10が端子T1に接続されている。

【0036】

このような構成において、何等かの原因によりグランド端子G1に対して端子T1に正の静電気が加えられた場合、保護MOSトランジスタH13のスナップバック現象により、端子T1からグランド端子G1へ正の静電気を保護MOSトランジスタH13を介して（高抵抗のN型基板15を介することなく）、比較的抵抗で放電する（Ip5）。これにより、垂直転送レジスタのゲートC1のゲート耐圧以上の電圧が端子T1にかからないようにし、垂直転送レジスタのゲートC1の絶縁膜16の破壊を防止できる。

【0037】

グランド端子G1に対して端子T1に負の静電気が加えられた場合、保護MOSトランジスタH13のドレイン10とP型ウエル7は順方向バイアスとなり、端子T1からグランド端子G1へN型基板15を介して負の静電気を放電（Im2）するとともに、保護MOSトランジスタH13のスナップバック現象により、端子T1からグランド端子G1へ負の静電気を保護MOSトランジスタH13を介して（高抵抗のN型基板15を介することなく）放電する（Im4）。これにより、垂直転送レジスタのゲートC1のゲート耐圧以上の電圧が端子T1にかからないようにし、垂直転送レジスタのゲートC1の絶縁膜16の破壊を防止できる。

【0038】

また、端子T1に対して、端子T2に正（負）の静電気が加えられた場合、保護MOSトランジスタH12のスナップバック現象（オン動作）によって、グランド端子G1の電位が上昇（下降）する。すなわち、保護MOSトランジスタH13のゲート18とソース19の電位が上昇（下降）し、保護MOSトランジスタH13がオン状態（スナップバ

10

20

30

40

50

ク現象)となり、静電気は端子T2から端子T1へ保護MOSトランジスタH13を介して(高抵抗のN型基板15を介することなく)、更にはMOSトランジスタH12を介して電流Ip6(I m5)として放電する。尚、このときMOSトランジスタH12のスナップバック現象および、MOSトランジスタH13のオン動作により電流Ip6が流れ、MOSトランジスタH12のオン動作および、MOSトランジスタH13のスナップバック現象により、電流Im5が流れる。これにより、垂直転送レジスタのゲートC1と水平転送レジスタのゲートC2との間の絶縁膜17の破壊を防止できる。

【0039】

端子T2に対して、端子T1に正(負)の静電気が加えられた場合も同様の動作によって、垂直転送レジスタのゲートC1と水平転送レジスタのゲートC2との間の絶縁膜17

10

【0040】

(実施の形態2)

図2に本発明の実施の形態2の概略断面図および等価回路図を示す。この実施の形態2は、実施の形態1の保護MOSトランジスタH12およびH13のゲートの接続をソースから端子に変更したものであり、端子の動作電圧が比較的低い端子、すなわち端子のうち、端子の動作電圧が-9V、0Vの2値のパルスが印加されるV2およびV4端子T1、および端子の動作電圧が0V、5Vの2値のパルスの印加される端子T2に適用したものである。

【0041】

このような構成において、何らかの原因によりグランド端子G1に対して端子T1に正の静電気が加えられた場合、保護MOSトランジスタH13のゲートに正電圧がかかり、保護MOSトランジスタH13は実施の形態1の場合に比べて低電圧でオン状態となり、端子T1からグランド端子G1へ正の静電気を保護MOSトランジスタH13を介して(高抵抗のN型基板15を介することなく)、比較的low抵抗で放電する(I p5)。これにより、垂直転送レジスタのゲートC1のゲート耐圧以上の電圧が端子T1にかからないようにし、垂直転送レジスタのゲートC1の絶縁膜16の破壊を防止できる。この場合、保護MOSトランジスタH13の動作電圧(オン状態となる電圧)は実施の形態1の場合と比べて低電圧に設定できるため、垂直転送レジスタのゲートC1のゲート耐圧と保護MOSトランジスタH13の動作電圧とのマージンが大きくとれ、さらに静電強度を改善でき

20

30

【0042】

グランド端子G1に対して端子T1に負の静電気が加えられた場合、保護MOSトランジスタH13のドレイン10とP型ウエル7は順方向バイアスとなり、端子T1からグランド端子G1へN型基板15を介して負の静電気を放電(I m2)するとともに、保護MOSトランジスタH13のスナップバック現象により、端子T1からグランド端子G1へ負の静電気を保護MOSトランジスタを介して(高抵抗のN型基板15を介することなく)放電する(I m4)。これにより、垂直転送レジスタのゲートG1のゲート耐圧以上の電圧が端子T1にかからないようにし、垂直転送レジスタのゲートG1の絶縁膜16の破壊を防止できる。

40

【0043】

また、端子T1に対して、端子T2に正(負)の静電気が加えられた場合、保護MOSトランジスタH12のオン動作(スナップバック現象)によって、グランド端子G1の電位が上昇(下降)する。すなわち、保護MOSトランジスタH13のソース19の電位が上昇(下降)し、保護MOSトランジスタH13のスナップバック現象(オン状態)により、静電気は端子T2から端子T1へ保護MOSトランジスタH13を介して(高抵抗のN型基板15を介することなく)電流Ip6(I m5)として放電する。なお、このとき保護MOSトランジスタH12のオン動作およびH13のスナップバック現象により電流Ip6が流れ、保護MOSトランジスタH12のスナップバック現象および保護MOSトランジスタH13のオン動作により電流Im5が流れる。これにより、垂直転送レジスタ

50

のゲートC1と水平転送レジスタのゲートC2との間の絶縁膜17の破壊を防止できる。

【0044】

端子T2に対して、端子T1に正(負)の静電気が加えられ場合も同様の動作によって、垂直転送レジスタのゲートC1と水平転送レジスタのゲートC2との間の絶縁膜17の破壊を防止できる。

【0045】

何らかの原因によりグランド端子G1に対して端子T2に正の静電気が加えられた場合、グランド端子G1に対して端子T1に正の静電気が加えられた場合と同様、保護MOSトランジスタH12のゲートに正電圧がかかり、保護MOSトランジスタH12は実施の形態1に比べて低電圧でオン状態となり、端子T2からグランド端子G1へ正の静電気を保護MOSトランジスタH12を介して、比較的抵抗で放電する。保護MOSトランジスタH12の動作電圧(オン状態となる電圧)は従来および実施の形態1の場合と比べて低電圧に設定できるため、水平転送レジスタのゲートC2のゲート耐圧と保護MOSトランジスタH12の動作電圧とのマージンが大きくとれ、さらに静電強度を改善できる。

10

【0046】

このように、保護MOSトランジスタH12およびH13のゲートと端子を接続する構成とすることにより、保護MOSトランジスタH12およびH13の動作電圧を、保護MOSトランジスタH12およびH13のゲートをソースに接続した場合より低く設定できる。端子の動作電圧が保護MOSトランジスタH12およびH13の動作電圧を越えない程度に比較的低い端子、すなわち端子T1のうち、端子の動作電圧が-9V、0Vの2値のパルスが印加されるV2およびV4端子、および端子の動作電圧が0V、5Vの2値のパルスが印加される端子T2にこれらの保護回路を適用すれば、保護回路の動作電圧とゲート絶縁膜の破壊電圧とのマージンが大きくとれ、端子の静電強度を改善することができる。

20

(実施の形態3)

図3に本発明のCCD固体撮像素子の実施の形態3の概略断面図および等価回路図を示す。この実施の形態3は、実施の形態1の保護MOSトランジスタH11に関してダイオードのみの構造に代えたものに相当する。ここで実施の形態1と同等部分は同一記号を用いる。保護回路H11に関して図3に示したようなダイオードのみの構造であっても、上述した動作に影響はない。

30

【0047】

(実施の形態4)

図4に本発明のCCD固体撮像素子の実施の形態4の概略断面図および等価回路図を示す。この実施の形態4は、実施の形態1の保護MOSトランジスタH11及びH12に代えて保護バイポーラトランジスタH21及びH22を設け、更に保護MOSトランジスタH13に代えて保護バイポーラトランジスタH23を設けた構成の例を挙げて説明する。ここで実施の形態1と同等部分は同一記号を用いる。

【0048】

保護バイポーラトランジスタ21は、コレクタ20とベース21とエミッタ22から構成され、保護バイポーラトランジスタH23は、コレクタ27、ベース26、エミッタ22から構成され、ともにP型ウエル7に設けられ、保護バイポーラトランジスタH22は、コレクタ23、ベース24、エミッタ25から構成され、P型ウエル6に設けられている。保護バイポーラトランジスタH21、H22はそれぞれ、ゲートC1、C2を保護するため端子T1、T2に接続されている。保護バイポーラトランジスタH21は、端子T1が負電圧駆動のため、負電圧($V_L = -9V$)のP型ウエル7上に形成され、そのコレクタ20とベース21は V_L に、エミッタ22は端子T1に接続されている。保護バイポーラトランジスタH22は、端子T2が正電圧駆動であり、撮像部5と同じグランド電圧のP型ウエル6上に形成され、そのコレクタ23とベース24はグランド電圧に、エミッタ25は端子T2に接続されている。

40

【0049】

50

負電圧駆動を要する垂直転送レジスタの端子T1に対し、それに接続されるバイポーラトランジスタH21の他に、更にそれに接続される保護バイポーラトランジスタH23が負電圧VLのP型ウエル6上に設けられている。この保護バイポーラトランジスタH23は、そのベース26がVLに、そのコレクタ27がグランド端子G1に、そのエミッタ22が端子T1に接続されている。

【0050】

このような構成において、何等かの原因により、グランド端子G1に対して端子T1に正の静電気が加えられた場合、保護バイポーラトランジスタH23のスナップバック現象により、端子T1からグランド端子G1へ正の静電気を、保護バイポーラトランジスタH23を介し（高抵抗のN型基板15を介することなく）放電する（Ip7）。これにより、垂直転送レジスタC1のゲート耐圧以上の電圧が端子T1にかからないようにし、垂直転送レジスタのゲートC1の絶縁膜16の破壊を防止できる。

10

【0051】

グランド端子G1に対して端子T1に負の静電気が加えられた場合、保護バイポーラトランジスタH23のエミッタ22とベース26は順方向バイアスとなり、端子T1からグランド端子G1へN型基板15を介して負の静電気を放電（Im6）するとともに、保護バイポーラトランジスタH23のスナップバック現象により、端子T1からグランド端子G1へ負の静電気を、保護バイポーラトランジスタH23を介して（高抵抗のN型基板15を介することなく）放電する（Im7）。これにより、垂直転送レジスタのゲートC1のゲート耐圧以上の電圧が端子T1にかからないようにし、垂直転送レジスタのゲートC1の絶縁膜16の破壊を防止できる。

20

【0052】

また、端子T1に対して、端子T2に正（負）の静電気が加えられた場合、保護バイポーラトランジスタH22のスナップバック現象によって、グランド端子G1の電位が上昇（下降）する。すなわち、保護バイポーラトランジスタH23のコレクタ27の電位が上昇（下降）し、保護バイポーラトランジスタH23のコレクタ27とベース26間のブレークダウン電圧以上にコレクタ27電位が上昇すると、保護バイポーラトランジスタH23もスナップバック現象を引き起こす。よって、静電気は端子T2から端子T1へ、保護バイポーラトランジスタH23を介し（高抵抗のN型基板15を介することなく）、更には保護バイポーラトランジスタH22をも介し電流Ip8（Im8）として放電する。これにより、垂直転送レジスタのゲートC1と水平転送レジスタのゲートC2との間の絶縁膜17の破壊を防止できる。

30

【0053】

端子T2に対して、端子T1に正（負）の静電気が加えられた場合も同様の動作によって、垂直転送レジスタのゲートC1と水平転送レジスタのゲートC2との間の絶縁膜17の破壊を防止できる。これら上述した実施の形態によれば、垂直転送レジスタのような、正電圧から負電圧の駆動を必要とする端子に、静電気が加えられた場合、前記端子に接続する保護回路が、前記端子と負電圧を供給する負電位端子との間に接続され、前記端子とグランド電圧を供給するグランド端子との間に接続することにより、高抵抗のN型基板を介さない放電経路も形成されるため比較的抵抗で静電気を放電することができ、前記端子の静電強度を改善することができる。例えば、MIL仕様のESD試験において、従来の保護回路の構成に比べ、本発明の構成は約1500Vの静電強度の向上が確認された。また、前記端子の動作電圧に応じて異なった動作電圧の保護回路が接続されるので、更に静電強度を改善することができる。

40

【0054】

また、上述の保護回路は、MOSトランジスタ、バイポーラトランジスタの実施例を示したが、その他に、ゲート絶縁膜にフィールド酸化膜を用い、そのフィールド酸化膜により分離形成されたソース、ドレイン領域をもったフィールドトランジスタであってもよい。

【0055】

50

また、上記実施例は本発明をCCD固体撮像装置に適用した例について説明したが、これに限らずCCDに適用できるのは勿論のこと、MOSを複数用いるとともにそれらに異なる電位を与えるような半導体装置に用いても良い。

【0056】

【発明の効果】

本発明によれば、グランド電圧、正電圧、負電圧が混在して複数の端子を介して印加されるべきCCD固体撮像素子において、特に垂直転送レジスタのような正電圧から負電圧の駆動を必要とする端子等に、何等かの原因により静電気が印加されるようなことが生じても、保護回路を通じて静電気を放電することから、CCD固体撮像素子を破壊する電圧が印加されるのを防止することが可能であり、CCD固体撮像素子の静電強度を改善 10
ことができる。また、各端子の動作電圧に応じた保護回路を配置しているので更に静電強度を改善することができる。よって、CCD固体撮像素子の信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】 本発明にかかるCCD固体撮像素子の実施の形態1の概略の断面図と等価回路図である。

【図2】 本発明にかかるCCD固体撮像素子の実施の形態2の概略の断面図と等価回路図である。

【図3】 本発明にかかるCCD固体撮像素子の実施の形態3の概略の断面図と等価回路図である。 20

【図4】 本発明にかかるCCD固体撮像素子の実施の形態4の概略の断面図と等価回路図である。

【図5】 固体撮像素子の概略の全体図である。

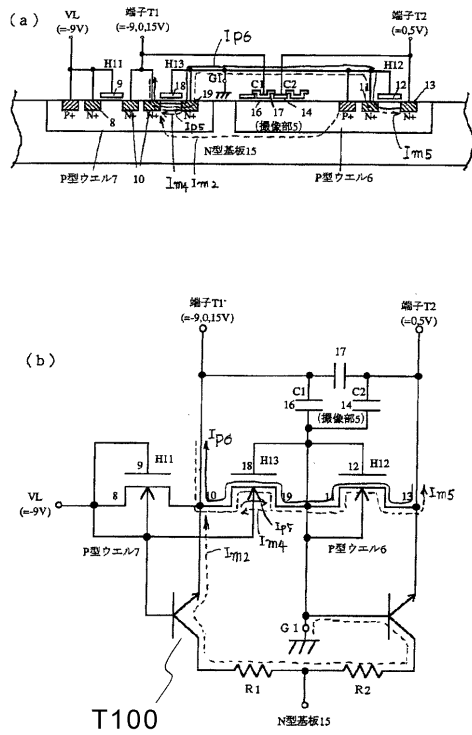
【図6】 従来の固体撮像素子の概略の断面図と等価回路図である。

【図7】 保護回路のスナップバック特性図である。

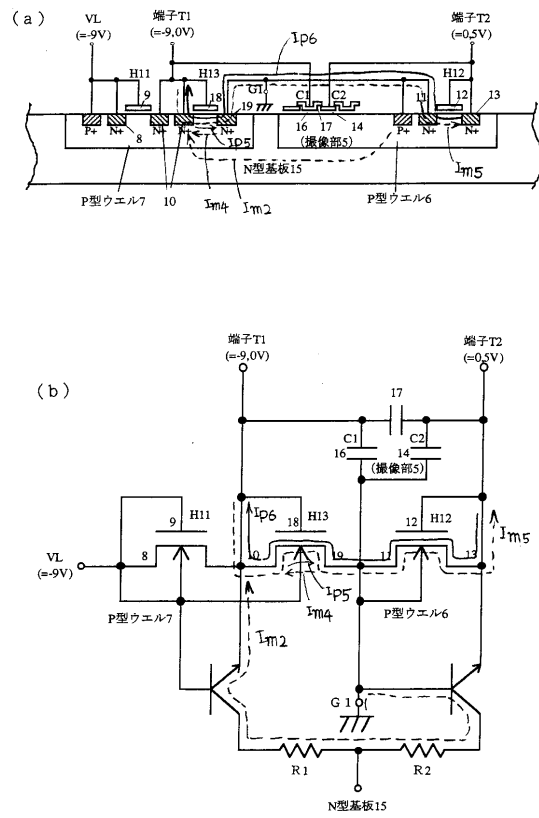
【符号の説明】

1	受光部	
2	垂直レジスタ	
3	水平レジスタ	
4	出力回路	30
5	撮像部	
6、7	P型ウエル	
T1	垂直転送レジスタの端子	
T2	水平転送レジスタの端子	
C1	垂直転送レジスタのゲート	
C2	水平転送レジスタのゲート	
VL	負電位ウエルの端子	
G1	グランド端子	
H11、H12、H13	保護MOSトランジスタ	
H21、H22、H23	保護バイポーラトランジスタ	40

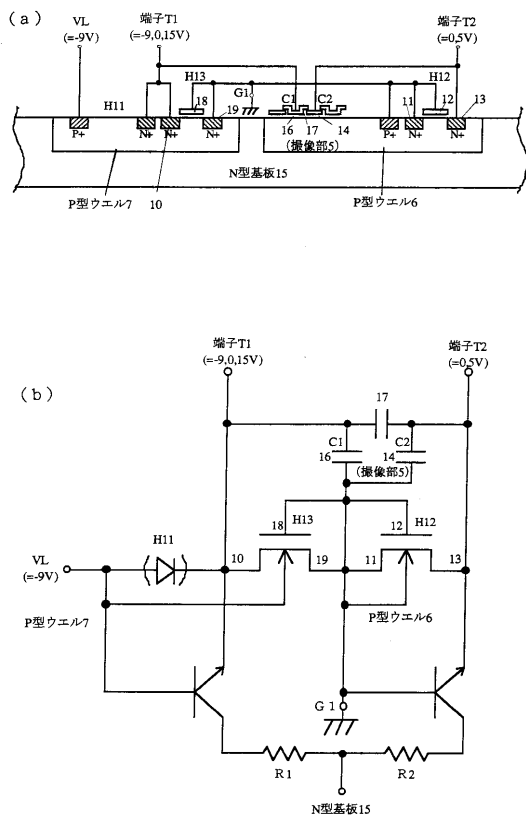
【図1】



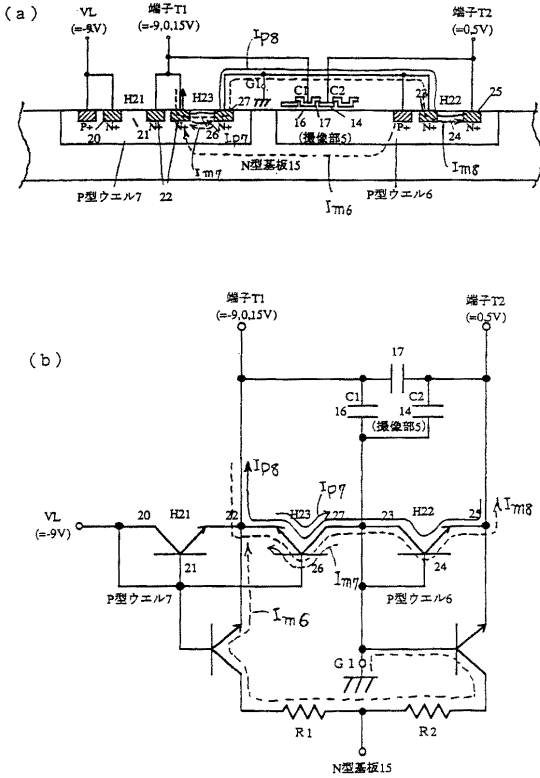
【図2】



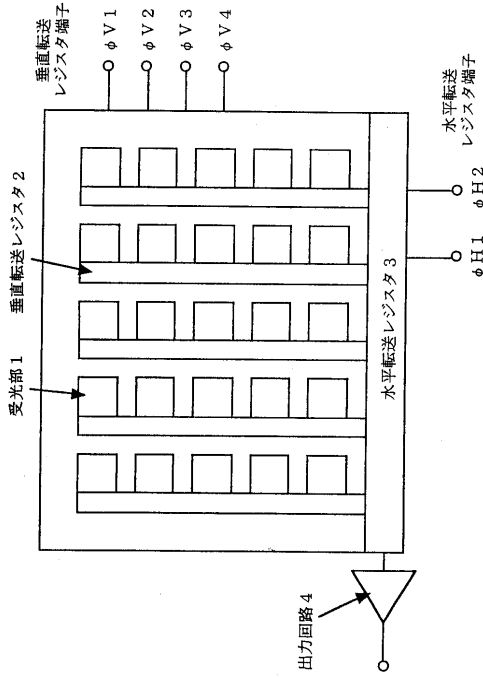
【図3】



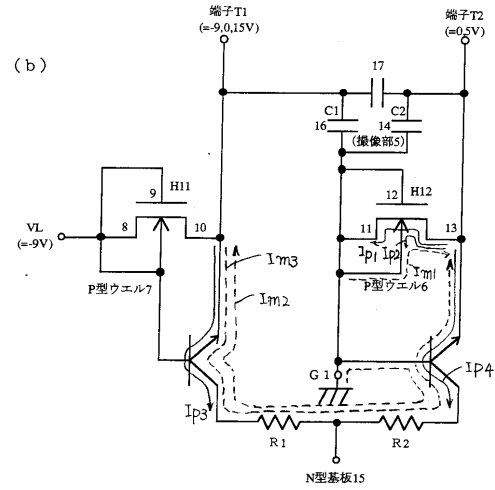
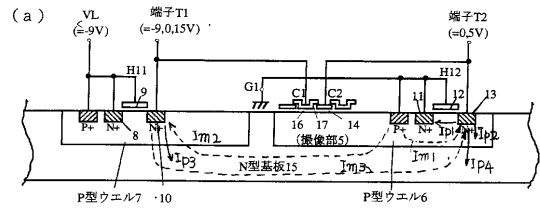
【図4】



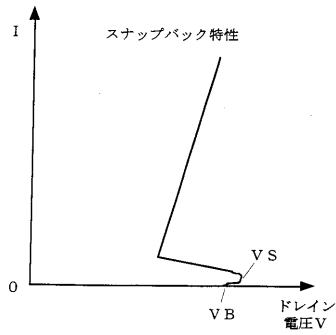
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開平07 - 335854 (JP, A)
特開平06 - 077406 (JP, A)
特開平05 - 121679 (JP, A)
特開平03 - 234063 (JP, A)
特開平09 - 191102 (JP, A)
特開平06 - 021356 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H04N 5/30 - 5/335
H01L 27/148