

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-109453

(P2014-109453A)

(43) 公開日 平成26年6月12日(2014.6.12)

(51) Int.Cl.		F I		テーマコード (参考)
GO1R 31/28	(2006.01)	GO1R 31/28	V	2G132
HO1L 27/04	(2006.01)	HO1L 27/04	T	5F038
HO1L 21/822	(2006.01)			

審査請求 未請求 請求項の数 9 O L (全 23 頁)

(21) 出願番号	特願2012-262826 (P2012-262826)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成24年11月30日(2012.11.30)	(74) 代理人	110001195 特許業務法人深見特許事務所
		(72) 発明者	伊藤 一幸 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		(72) 発明者	城田 博史 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内
		Fターム(参考)	2G132 AA01 AH03 AK07 AK09 AK21 AL12 AL31 5F038 CD09 DF01 DF04 DF17 DT12 DT15 DT18 EZ20

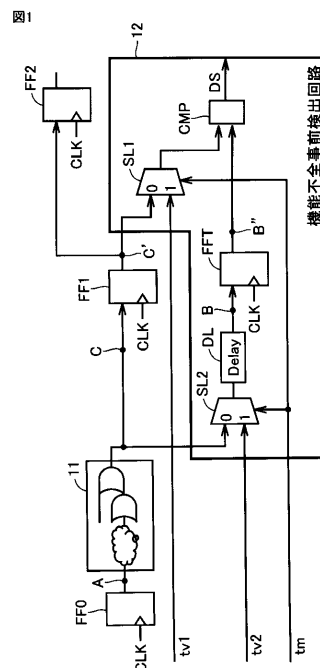
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 信号遅延検出用回路を構成する排他的論理和回路自体が故障した場合に、信号の遅延を正しく検出することができない。

【解決手段】 機能不全事前検出回路12は、FF0の後段に設けられるFF1のデータ入力端子への入力データを遅延させる遅延回路DLと、遅延回路DLの出力を受けるFFTと、FF1の出力とFFTの出力とを比較する比較器CMPとを含む。機能不全事前検出回路12には、機能不全事前検出回路12の動作テスト時には、テストデータtv1と、テストデータtv2が入力される。テストデータtv2は、遅延回路DLに入力される。比較器CMPは、動作テスト時には、テストデータtv1と、FFTの出力とを比較する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 のフリップフロップと、
前記第 1 のフリップフロップの後段に設けられる第 2 のフリップフロップと、
前記第 2 のフリップフロップのデータ入力端子へのルートと分岐したルートに設けられた機能不全事前検出回路とを備え、
前記機能不全事前検出回路は、
前記第 2 のフリップフロップのデータ入力端子への入力データを遅延させる遅延素子と

、
前記遅延素子の出力を受ける第 3 のフリップフロップと、
前記第 2 のフリップフロップの出力と前記第 3 のフリップフロップの出力とを比較する比較器とを含み、

前記機能不全事前検出回路には、前記機能不全事前検出回路の動作テスト時には、第 1 のテストデータと、第 2 のテストデータが入力され、前記第 2 のテストデータは、前記遅延素子に入力され、

前記比較器は、前記動作テスト時には、前記第 1 のテストデータと、前記第 3 のフリップフロップの出力とを比較する、半導体装置。

【請求項 2】

前記機能不全事前検出回路は、

前記動作テスト時に、前記第 2 のテストデータを前記遅延素子へ出力し、通常動作時には、前記入力データを前記遅延素子へ出力する第 1 のセクタと、

前記動作テスト時に、前記第 1 のテストデータを前記比較器へ出力し、前記通常動作時には、前記第 2 のフリップフロップの出力を前記比較器へ出力する第 2 のセクタを含む、請求項 1 記載の半導体装置。

【請求項 3】

前記半導体装置は、

前記比較器の比較結果が不一致の場合に、前記第 1 のフリップフロップおよび前記第 2 のフリップフロップへの電力供給を停止させるためのスイッチを備える、請求項 2 記載の半導体装置。

【請求項 4】

前記半導体装置は、各々が、別個の電源電圧で動作する複数個の回路ブロックを備え、
前記スイッチは、前記比較器の比較結果が不一致の場合に、前記第 1 のフリップフロップおよび前記第 2 のフリップフロップを含む回路ブロックへの電力供給を停止させる、請求項 3 記載の半導体装置。

【請求項 5】

前記半導体装置は、デュアルロックステップ方式のマイクロコンピュータであり、

第 1 の CPU コアと、

第 2 の CPU コアと、

前記第 1 の CPU コアの演算結果と前記第 2 の CPU コアの演算結果を比較する比較器とを備える、請求項 4 記載の半導体装置。

【請求項 6】

前記比較器の比較結果が不一致の場合、前記第 1 の CPU コアおよび前記第 2 の CPU コアに割込みが通知され、

前記第 1 の CPU コアは、前記スイッチを制御して電力供給を停止させる、請求項 5 記載の半導体装置。

【請求項 7】

前記比較器の比較結果を表わす信号が、直接前記スイッチに送られて、前記電力供給が停止させる、請求項 4 記載の半導体装置。

【請求項 8】

前記比較器の比較結果を表わす信号が前記半導体装置の外部へ送られて、外部からの制

10

20

30

40

50

御によって前記電源供給が停止させる、請求項 4 記載の半導体装置。

【請求項 9】

第 1 のフリップフロップと、
 前記第 1 のフリップフロップの後段に設けられる第 2 のフリップフロップと、
 前記第 2 のフリップフロップのデータ入力端子へのルートと分岐したルートに設けられた機能不全事前検出回路とを備え、
 前記機能不全事前検出回路は、
 前記第 2 のフリップフロップのデータ入力端子への入力データを遅延させる直列接続された複数段の遅延素子と、
 各々が、各遅延素子の出力を受ける複数の第 3 のフリップフロップと、
 各々が、前記第 2 のフリップフロップの出力と対応の第 3 のフリップフロップの出力とを比較する複数の比較器とを含み、
 前記機能不全事前検出回路には、前記機能不全事前検出回路の動作テスト時には、第 1 のテストデータと、第 2 のテストデータが入力され、前記第 2 のテストデータは、前記複数段の遅延素子の初段に入力され、
 前記比較器は、前記動作テスト時には、前記第 1 のテストデータと、前記対応の第 3 のフリップフロップの出力とを比較する、半導体装置。

10

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置に関し、たとえば温度上昇による信号の遅延による機能不全のリスクを検出する機能を有する半導体装置に関する。

【背景技術】

【0002】

半導体装置の内部の回路に何らかの機能不全が発生し電源とグラウンドが低抵抗性ショートし、その結果温度が上昇し、内部の回路内での信号の伝達が遅延することがある。

【0003】

このような信号の遅延を検出するために、たとえば、特許文献 1（特開 2008 - 256491 号公報）に記載された信号遅延検出用回路は、少なくとも 1 つの信号伝播遅延回路（1）と、信号伝播遅延回路（1）から出力された信号（B）と、信号伝播遅延回路（1）の入力部から分岐した信号伝達経路を通過した信号 C とを受けて信号を出力する排他的論理和回路（C）とを有する遅延検出用ユニットを 1 つまたは複数備える。排他的論理和回路（C）から出力されるデジタル信号を用いて信号伝播遅延回路（1）における異常の有無を判定する。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2008 - 256491 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 では、信号遅延検出用回路を構成する排他的論理和回路（C）自体が故障した場合に、信号の遅延を正しく検出することができないという問題がある。

【0006】

また、特許文献 1 では、2 つのフリップフロップ間の信号の遅延を検出する構成については開示されていない。

【0007】

50

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかであろう。

【課題を解決するための手段】

【0008】

本発明の一実施形態によれば、機能不全事前検出回路は、第1のフリップフロップの後段に設けられる第2のフリップフロップのデータ入力端子への入力データを遅延させる遅延素子と、遅延素子の出力を受ける第3のフリップフロップと、第2のフリップフロップの出力と第3のフリップフロップの出力とを比較する比較器とを含む。機能不全事前検出回路には、機能不全事前検出回路の動作テスト時には、第1のテストデータと、第2のテストデータが入力され、第2のテストデータは、遅延素子に入力される。比較器は、動作テスト時には、第1のテストデータと、第3のフリップフロップの出力とを比較する。

10

【発明の効果】

【0009】

本発明の一実施形態によれば、信号の遅延を検出する回路自体の故障を検出することができるので、温度異常などによる信号の遅延を正しく検出することができる。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態のマイコンの一部の構成を表わす図である。

【図2】通常動作時における、正常時の動作を説明するための図である。

【図3】通常動作時における、機能不全事前検出時の動作を説明するための図である。

【図4】第1の実施形態のマイコンの構成を表わす図である。

20

【図5】マイコン1による機能不全事前検出の手順を表わすフローチャートである。

【図6】図5のステップS202における機能不全事前検出回路自体の故障を検出する手順を表わすフローチャートである。

【図7】テスト動作時における機能不全事前検出回路が故障しているか否かの判定方法を説明するための図である。

【図8】テスト動作時における機能不全事前検出回路が故障しているか否かの判定方法を説明するための図である。

【図9】テスト動作時における機能不全事前検出回路が故障しているか否かの判定方法を説明するための図である。

【図10】テスト動作時における機能不全事前検出回路が故障しているか否かの判定方法を説明するための図である。

30

【図11】第2の実施形態のマイコンの一部の構成を表わす図である。

【図12】通常動作時における、正常時の動作を説明するための図である。

【図13】通常動作時における、機能不全事前検出時の動作の例を説明するための図である。

【図14】通常動作時における、機能不全事前時の動作の別の例を説明するための図である。

【図15】通常動作時における、機能不全事前時の動作の別の例を説明するための図である。

【図16】第3の実施形態のマイコンの構成を表わす図である。

40

【図17】第4の実施形態のマイコンの構成を表わす図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態について、図面を用いて説明する。

[第1の実施形態]

図1は、第1の実施形態のマイコンの一部の構成を表わす図である。

【0012】

図1を参照して、マイコンは、機能回路として、フリップフロップFF0と、論理回路11と、フリップフロップFF1と、フリップフロップFF2とを備える。

【0013】

50

マイコン 1 は、フリップフロップ F F 0 とフリップフロップ F F 1 との間のルートの分岐ルートに設けられる機能不全事前検出回路 1 2 を備える。機能不全事前検出回路 1 2 は、セクタ S L 2 と遅延回路 D L 1 とフリップフロップ F F T とからなる遅延側経路と、セクタ S L 1 の基準側経路と、遅延側経路と基準側経路との其々からの信号を比較する比較器 C M P とを備える。

【 0 0 1 4 】

フリップフロップ F F 0 は、通常動作時に実データが入力されるデータ入力端子と、クロック C L K が入力される入力端子と、出力端子とを有する。

【 0 0 1 5 】

論理回路 1 1 は、フリップフロップ F F 0 の出力端子から出力されるデータを受けて、データの論理演算などを行なう。

10

【 0 0 1 6 】

論理回路 1 1 の出力は 2 つに分岐し、一方がフリップフロップ F F 1 と接続し、他方が機能不全事前検出回路 1 2 のセクタ S L 2 と接続する。

【 0 0 1 7 】

フリップフロップ F F 1 は、通常動作時に論理回路 1 1 の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

【 0 0 1 8 】

フリップフロップ F F 1 の出力は 2 つに分岐し、一方がフリップフロップ F F 2 と接続し、他方が機能不全事前検出回路 1 2 のセクタ S L 1 と接続する。

20

【 0 0 1 9 】

フリップフロップ F F 2 は、通常動作時にフリップフロップ F F 1 の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

【 0 0 2 0 】

セクタ S L 2 は、論理回路 1 1 から出力されるデータと、テストデータ t v 2 とを受ける。セクタ S L 2 は、テストモード信号 t m が活性化されている場合には、テストデータ t v 2 を遅延回路 D L へ出力する。セクタ S L 2 は、テストモード信号 t m が非活性化されている場合には、論理回路 1 1 から出力されるデータを遅延回路 D L へ出力する。

【 0 0 2 1 】

遅延回路 D L は、セクタ S L 2 の出力信号を遅延させる。遅延回路 D L による遅延量は、動作保障温度を外れた場合に、比較器 C M P で不良が判定できるような値に設定されている。

30

【 0 0 2 2 】

フリップフロップ F F T は、遅延回路 D L の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

【 0 0 2 3 】

セクタ S L 1 は、フリップフロップ F F 1 から出力されるデータと、テストデータ t v 1 とを受ける。セクタ S L 1 は、テストモード信号 t m が活性化されている場合には、テストデータ t v 1 を比較器 C M P へ出力する。セクタ S L 1 は、テストモード信号 t m が非活性化されている場合には、フリップフロップ F F 1 から出力されるデータを比較器 C M P へ出力する。

40

【 0 0 2 4 】

比較器 C M P は例えば X N O R 回路であり、セクタ S L 1 の出力信号と、フリップフロップ F F T の出力信号とが一致したときには、比較結果信号 D S を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S を「 L 」レベルに設定する。

【 0 0 2 5 】

すなわち、比較器 C M P は、テスト動作時には、テストデータ t v 1 と、遅延回路 D L およびフリップフロップ F F T を経由したテストデータ t v 2 とが一致したときには、比較結果信号 D S を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S を「 L 」

50

レベルに設定する。

【0026】

比較器CMPは、通常動作時には、フリップフロップFF1を経由した実データと、遅延回路DLおよびフリップフロップFFTを経由した実データとが一致したときには、比較結果信号DSを「H」レベルに設定し、不一致のときには、比較結果信号DSを「L」レベルに設定する。

【0027】

図1では、セクタSL1はフリップフロップFF1の後段に配置している。かかる配置を行うことで、フリップフロップFF1からフリップフロップFF2の経路での動作に影響を及ぼすことなく、機能不全事前検出テストを実施することが可能となる。フリップフロップFF1からフリップフロップFF2の経路での動作に支障を生じない場合は、フリップフロップFF1の前段にセクタSL1を配置し、遅延側経路と同様の配置順序としても良い。

10

【0028】

図2は、通常動作時における、正常時の動作を説明するための図である。

図2を参照して、フリップフロップFF1のデータ入力端子には、C点のデータが入力される。C点のデータは、クロックCLKの立ち上りエッジ#0に対して、d0の時間だけ遅れている。フリップフロップFF1は、クロックCLKの立ち上りエッジ#1に同期して、出力(C点のデータ)を「H」レベルに変化させる。

20

【0029】

一方、フリップフロップFFTのデータ入力端子には、B点のデータが入力される。B点のデータは、遅延回路DLによってC点のデータよりもd1の時間だけ遅れている。フリップフロップFFTは、クロックCLKの立ち上りエッジ#1に同期して、出力(B点のデータ)を「H」レベルに変化させる。

【0030】

比較器CMPは、C点のデータとB点のデータとを比較する。C点のデータとB点のデータとは常に一致するので、比較結果信号DSは常に「H」レベルを維持する。

【0031】

図3は、通常動作時における、機能不全事前検出時の動作を説明するための図である。

図3を参照して、フリップフロップFF1のデータ入力端子には、C点のデータが入力される。C点のデータは、クロックCLKの立ち上りエッジ#0に対して、d0の時間だけ遅れている。フリップフロップFF1は、クロックCLKの立ち上りエッジ#1に同期して、出力(C点のデータ)を「H」レベルに変化させる。

30

【0032】

一方、フリップフロップFFTのデータ入力端子には、B点のデータが入力される。B点のデータは、遅延回路DLによってC点のデータよりもd1の時間だけ遅れている。

【0033】

フリップフロップFFTは、動作保証温度を外れたことによって、クロックCLKの立ち上りエッジ#2に同期して、出力(B点のデータ)を「H」レベルに変化させる。

【0034】

比較器CMPは、C点のデータとB点のデータとを比較する。C点のデータとB点のデータとは、クロックCLKの立ち上りエッジ#1から立ち上りエッジ#2までの期間不一致となるので、この期間は、比較結果信号DSが「L」レベルとなる。

40

【0035】

図4は、第1の実施形態のマイコン1の構成を表わす図である。

図4を参照して、マイコン1は、デュアルロックステップ方式のマイクロコンピュータであり、電源A回路群81と、電源B回路群82と、電源C回路群83と、レギュレータ37と、制御回路41と、電源Aスイッチ42と、電源Bスイッチ43と、電源Cスイッチ44とを備える。

【0036】

50

電源 A 回路群 8 1 は、メインの CPU コア 2 と、回路 # 1 とを備える。

メインの CPU コア 2 は、割込コントローラ 3 2、システムレジスタ 3 1、およびシステムレジスタ 3 3 を含む。

【 0 0 3 7 】

回路 # 1 は、回路 # 1 内の機能回路を構成する 2 つのフリップフロップ FF 0、FF 1 間のルートの分岐ルートに設けられる機能不全事前検出回路 1 2 - 1 を含む。

【 0 0 3 8 】

電源 B 回路群 8 2 は、チェック用の CPU コア 3 と、比較器 3 6 と、回路 # 2 とを備える。

【 0 0 3 9 】

回路 # 2 は、回路 # 2 内の機能回路を構成する 2 つのフリップフロップ FF 0、FF 1 間のルートの分岐ルートに設けられる機能不全事前検出回路 1 2 - 2 を含む。

【 0 0 4 0 】

チェック用の CPU コア 3 は、割込コントローラ 3 5、およびシステムレジスタ 3 4 を含む。

【 0 0 4 1 】

電源 C 回路群 8 3 は、回路 # 3 と、回路 # 4 とを備える。

回路 # 3 は、回路 # 3 内の機能回路を構成する 2 つのフリップフロップ FF 0、FF 1 間のルートの分岐ルートに設けられる機能不全事前検出回路 1 2 - 3 を含む。回路 # 4 は、回路 # 4 内の機能回路を構成する 2 つのフリップフロップ FF 0、FF 1 間のルートの分岐ルートに設けられる機能不全事前検出回路 1 2 - 4 を含む。

【 0 0 4 2 】

レギュレータ 3 7 は、外部から供給する電源電圧から電源 A 回路群 8 1 への電源電圧を生成して、生成した電源電圧を電源 A スイッチ 4 2 を介して電源 A 回路群 8 1 へ供給する。レギュレータ 3 7 は、外部から供給する電源電圧から電源 B 回路群 8 2 への電源電圧を生成して、生成した電源電圧を電源 B スイッチ 4 3 を介して電源 B 回路群 8 2 へ供給する。レギュレータ 3 7 は、外部から供給する電源電圧から電源 C 回路群 8 3 への電源電圧を生成して、生成した電源電圧を電源 C スイッチ 4 4 を介して電源 C 回路群 8 3 へ供給する。

【 0 0 4 3 】

メインの CPU コア 2 とチェック用の CPU コア 3 は、同一の処理を実行する。メインの CPU コア 2 の処理結果を表わす信号と、チェック用の CPU コア 3 の処理結果を表わす信号は、比較器 3 6 へ送られる。比較器 3 6 は、2 つの CPU コア 2、3 の処理結果を表わす信号を比較して、比較結果を表わす信号を端子 PD を通じてマイコン 1 の外部のシステムへ送る。

【 0 0 4 4 】

回路 # 1 の機能不全事前検出回路 1 2 - 1、回路 # 2 の機能不全事前検出回路 1 2 - 2、回路 # 3 の機能不全事前検出回路 1 2 - 3、および回路 # 4 の機能不全事前検出回路 1 2 - 4 のそれぞれの比較結果信号 DS は、メインの CPU コア 2 内の割込コントローラ 3 2 およびチェック用の CPU コア 3 内の割込コントローラ 3 5 に送られる。割込コントローラ 3 2 および割込コントローラ 3 5 は、比較結果信号 DS が「L」レベルとなったときに、機能不全のリスクを知らせる割込みが通知されたと認識する。

【 0 0 4 5 】

システムレジスタ 3 3 からテストモード信号 tm、テストデータ tv 1、およびテストデータ tv 2 が、回路 # 1 の機能不全事前検出回路 1 2 - 1、回路 # 2 の機能不全事前検出回路 1 2 - 2、回路 # 3 の機能不全事前検出回路 1 2 - 3 および回路 # 4 の機能不全事前検出回路 1 2 - 4 のうちのいずれかにかに送られる。

【 0 0 4 6 】

メインの CPU コア 2 は、システムレジスタ 3 1 から電源 C スイッチ 4 4、電源 B スイッチ 4 3 の各々に切り換え信号を送る。電源 C スイッチ 4 4 への切り換え信号が「L」レ

10

20

30

40

50

ベルの場合には、電源 C スイッチ 4 4 はオフとなり、電源 C スイッチ 4 4 への切り換え信号が「H」レベルの場合には、電源 C スイッチ 4 4 はオンとなる。電源 B スイッチ 4 3 への切り換え信号が「L」レベルの場合には、電源 B スイッチ 4 3 はオフとなり、電源 B スイッチ 4 3 への切り換え信号が「H」レベルの場合には、電源 B スイッチ 4 3 はオンとなる。

【0047】

また、メインの CPU コア 2 は、システムレジスタ 3 1 から制御回路 4 1 に切り換え信号を送る。また、チェック用の CPU コア 3 も、システムレジスタ 3 4 から制御回路 4 1 に切り換え信号を送る。制御回路 4 1 の切り換え信号が「L」レベルの場合には、制御回路 4 1 は、電源 A スイッチ 4 2 をオフにし、制御回路 4 1 への切り換え信号が「H」レベルの場合には、制御回路 4 1 は、電源 A スイッチ 4 2 をオンとする。

10

【0048】

メインの CPU コア 2 は、割込コントローラ 3 2 が機能不全事前検出回路 1 2 - 1 から機能不全のリスクを知らせる割込を受信した場合には、制御回路 4 1 への切り替え信号を「L」レベルに設定する。メインの CPU コア 2 は、割込コントローラ 3 2 が機能不全事前検出回路 1 2 - 2 から機能不全のリスクを知らせる割込を受信した場合には、電源 B スイッチ 4 3 への切り替え信号を「L」レベルに設定する。メインの CPU コア 2 は、割込コントローラ 3 2 が機能不全事前検出回路 1 2 - 3 から機能不全のリスクを知らせる割込を受信した場合には、電源 C スイッチ 4 4 への切り替え信号を「L」レベルに設定する。メインの CPU コア 2 は、割込コントローラ 3 2 が機能不全事前検出回路 1 2 - 4 から機能不全のリスクを知らせる割込を受信した場合には、電源 C スイッチ 4 4 への切り替え信号を「L」レベルに設定する。

20

【0049】

また、メインの CPU コア 2 は、割込コントローラ 3 2 が機能不全のリスクを知らせる割込みを受信した場合には、システムレジスタ 3 1 から端子 P S を通じてマイコン 1 の外部のシステムへ機能不全のリスクの発生を知らせる信号を出力する。

【0050】

図 5 は、マイコン 1 による機能不全事前検出の手順を表わすフローチャートである。

マイコン 1 が搭載されるシステムの電源がオンとなる。また、電源 A スイッチ 4 2、電源 B スイッチ 4 3、および電源 C スイッチ 4 4 がオンとなり、レギュレータ 3 7 から電源 A 回路群 8 1 の回路、電源 B 回路群 8 2 の回路、電源 C 回路群 8 3 の回路に電源電圧が供給される (ステップ S 2 0 1)。

30

【0051】

次に、メインの CPU コア 2 は、マイコン 1 内に設けられた 1 個以上の機能不全事前検出回路 1 2 自体が故障しているか否かが判定する。機能不全事前検出回路 1 2 自体の故障判定はシステムの電源オン直後に限定されず、機能不全のリスク検出した際等に機能不全事前検出回路 1 2 が故障していないことを確認するための故障判定を行うのであってよい。判定方式については後述する。

【0052】

故障と判定された場合には (ステップ S 2 0 2 で YES)、メインの CPU コア 2 は、故障が発生したことを表わす信号を端子 P S を通じてシステムへ送る (ステップ S 2 0 3)。

40

【0053】

故障と判定されなかった場合には (ステップ S 2 0 2 で NO)、メインの CPU コア 2 は、マイコン 1 全体を通常動作させる (ステップ S 2 0 4)。

【0054】

機能不全事前検出回路 1 2 が、機能不全のリスク (つまり、前段のフリップフロップから後段のフリップフロップへの信号の伝送遅延が増大) を検出しなかった場合には、図 2 に示すように、機能不全事前検出回路 1 2 から出力される比較結果信号 D S は「H」レベルとなる。

50

【 0 0 5 5 】

機能不全事前検出回路 1 2 が、機能不全のリスクを検出した場合には（ステップ S 2 0 5 で Y E S ）、機能不全事前検出回路 1 2 から出力される比較結果信号 D S が C L K の周期 T の整数倍以上の期間だけ「 L 」レベルとなる（ステップ S 2 0 6 ）。

【 0 0 5 6 】

メインの C P U コア 2 の割込コントローラ 3 2 およびチェック用の C P U コア 3 の割込コントローラ 3 5 は、比較結果信号 D S が「 L 」レベルとなったときに、機能不全のリスクを知らせる割込みが通知されたと認識する（ステップ S 2 0 7 ）。

【 0 0 5 7 】

メインの C P U コア 2 は、割込みを検知すると、機能不全事前検出回路 1 2 および機能不全のリスクが検出された機能回路（フリップフロップ F F 1 およびフリップフロップ F F 2 ）が含まれる回路群への電源供給を停止する。すなわち、メインの C P U コア 2 は、機能不全事前検出回路 1 2 および機能不全のリスクが検出された機能回路が電源 A 回路群 8 1 の場合は、制御回路 4 1 を指示して電源 A スイッチ 4 2 をオフにさせる。メインの C P U コア 2 は、機能不全事前検出回路 1 2 および機能不全のリスクが検出された機能回路が電源 B 回路群 8 2 の場合は、電源 B スイッチ 4 3 をオフにする。メインの C P U コア 2 は、機能不全事前検出回路 1 2 および機能不全のリスクが検出された機能回路が電源 C 回路群 8 3 の場合は、電源 C スイッチ 4 4 をオフにする（ステップ S 2 0 8 ）。

10

【 0 0 5 8 】

次に、メインの C P U コア 2 は、システムレジスタ 3 1 から端子 P S を通じてマイコン 1 の外部のシステムへ機能不全のリスクの発生を知らせる信号を出力する（ステップ S 2 0 9 ）。

20

【 0 0 5 9 】

図 6 は、図 5 のステップ S 2 0 2 における機能不全事前検出回路 1 2 自体の故障を検出する手順を表わすフローチャートである。

【 0 0 6 0 】

図 6 を参照して、メインの C P U コア 2 は、回路 X（図 4 の回路 # 1 ~ 回路 # 4 のいずれか）へのテストモード信号 t m を活性化する（ステップ S 1 0 1 ）。

【 0 0 6 1 】

次に、メインの C P U コア 2 は、回路 X へのテストデータ t v 1 を「 L 」レベルに設定し、回路 X へのテストデータ t v 2 を「 L 」レベルに設定する（ステップ S 1 0 2 ）。

30

【 0 0 6 2 】

メインの C P U コア 2 は、テストデータの不一致を検知した（つまり、比較結果信号 D S が「 L 」レベルとなった）ときには（ステップ S 1 0 3 で N O ）、回路 X 内の機能不全事前検出回路 1 2 が故障していると判定する（ステップ S 1 1 2 ）。

【 0 0 6 3 】

メインの C P U コア 2 は、テストデータの不一致を検知しなかった（つまり、比較結果信号 D S が「 H 」レベルを維持した）ときには（ステップ S 1 0 3 で Y E S ）、テストデータ t v 1 を「 L 」レベルに設定し、テストデータ t v 2 を「 H 」レベルに設定する（ステップ S 1 0 4 ）。

40

【 0 0 6 4 】

メインの C P U コア 2 は、テストデータの不一致を検知しなかった（つまり、比較結果信号 D S が「 H 」レベルを維持した）ときには（ステップ S 1 0 5 で N O ）、回路 X 内の機能不全事前検出回路 1 2 が故障していると判定する（ステップ S 1 1 2 ）。

【 0 0 6 5 】

メインの C P U コア 2 は、テストデータの不一致を検知した（つまり、比較結果信号 D S が「 L 」レベルとなった）ときには（ステップ S 1 0 5 で Y E S ）、テストデータ t v 1 を「 H 」レベルに設定し、テストデータ t v 2 を「 H 」レベルに設定する（ステップ S 1 0 6 ）。

【 0 0 6 6 】

50

メインのCPUコア2は、テストデータの不一致を検知した（つまり、比較結果信号DSが「L」レベルとなった）ときには（ステップS107でNO）、回路X内の機能不全事前検出回路12が故障していると判定する（ステップS112）。

【0067】

メインのCPUコア2は、テストデータの不一致を検知しなかった（つまり、比較結果信号DSが「H」レベルを維持した）ときには（ステップS107でYES）、テストデータtv1を「H」レベルに設定し、テストデータtv2を「L」レベルに設定する（ステップS108）。

【0068】

メインのCPUコア2は、テストデータの不一致を検知しなかった（つまり、比較結果信号DSが「H」レベルを維持した）ときには（ステップS109でNO）、回路X内の機能不全事前検出回路12が故障していると判定する（ステップS112）。

10

【0069】

メインのCPUコア2は、テストデータの不一致を検知した（つまり、比較結果信号DSが「L」レベルとなった）ときには（ステップS109でYES）、回路X内の機能不全事前検出回路12が正常動作していると判定する（ステップS110）。

【0070】

次に、メインのCPUコア2は、回路Xへのテストモード信号tmを非活性化する（ステップS111）。

【0071】

図7は、テスト動作時における機能不全事前検出回路12が故障しているか否かの判定方式を説明するための図である。

20

【0072】

図7を参照して、メインのCPUコア2は、テストデータtv1を「H」レベルに設定し、テストデータtv2を「H」レベルに設定する。

【0073】

フリップフロップFFTのデータ入力端子には、テストデータtv2が入力される。フリップフロップFFTは、クロックCLKの立ち上りエッジ#0に同期して、出力（B点のデータ）を「H」レベルに変化させる。

【0074】

比較器CMPは、テストデータtv1とB点のデータとを比較する。テストデータtv1とB点のデータとは、クロックCLKの立ち上りエッジ#0以降において一致し、比較結果信号DSは「H」レベルとなる。

30

【0075】

図8は、テスト動作時における機能不全事前検出回路12が故障しているか否かの判定方式を説明するための図である。

【0076】

図8を参照して、メインのCPUコアは、テストデータtv1を「H」レベルに設定し、テストデータtv2を「L」レベルに設定する。

【0077】

フリップフロップFFTのデータ入力端子には、テストデータtv2が入力される。テストデータtv2が「L」レベルなので、フリップフロップFFTの出力（B点のデータ）は「L」レベルのまま変化しない。

40

【0078】

比較器CMPは、テストデータtv1とB点のデータとを比較する。テストデータtv1とB点のデータとは、不一致なので、比較結果信号DSは「L」レベルとなる。

【0079】

図9は、テスト動作時における機能不全事前検出回路12が故障しているか否かの判定方式を説明するための図である。

【0080】

50

図 8 を参照して、メインの CPU コアは、テストデータ $t v 1$ を「L」レベルに設定し、テストデータ $t v 2$ を「H」レベルに設定する。

【0081】

フリップフロップ F F T のデータ入力端子には、テストデータ $t v 2$ が入力される。フリップフロップ F F T は、クロック C L K の立ち上りエッジ # 0 に同期して、出力 (B 点のデータ) を「H」レベルに変化させる。

【0082】

比較器 C M P は、テストデータ $t v 1$ と B 点のデータとを比較する。テストデータ $t v 1$ と B 点のデータとは、クロック C L K の立ち上りエッジ # 0 以降において不一致となり、比較結果信号 D S は「L」レベルとなる。

10

【0083】

図 10 は、テスト動作時における機能不全事前検出回路 1 2 が故障しているか否かの判定方法を説明するための図である。

【0084】

図 10 を参照して、メインの CPU コアは、テストデータ $t v 1$ を「L」レベルに設定し、テストデータ $t v 2$ を「L」レベルに設定する。

【0085】

フリップフロップ F F T のデータ入力端子には、テストデータ $t v 2$ が入力される。テストデータ $t v 2$ が「L」レベルなので、フリップフロップ F F T の出力 (B 点のデータ) は「L」レベルのまま変化しない。

20

【0086】

比較器 C M P は、テストデータ $t v 1$ と B 点のデータとを比較する。テストデータ $t v 1$ と B 点のデータとは、一致するので、比較結果信号 D S は「H」レベルとなる。

【0087】

以上のように、本実施の形態によれば、半導体装置内の任意の箇所に機能不全事前検出回路を設けて、低抵抗性ショートを早期に検出することができ、半導体装置の機能回路内に不良が発現する前に対処することができる。また、本実施の形態によれば、機能不全事前検出回路自体の故障を検出することができるので、温度異常などによる信号の遅延を正しく検出することができる。また、温度上昇を検知した回路群への電源供給を直ちに停止するので、故障の影響範囲を電源とグランドがショートした電源プレーン (回路群) にとどめることができるので、他の回路群へ発熱が伝搬せず、他の回路群は温度上昇せず動作不良にならない。

30

【0088】

なお、本実施の形態とは別の方法として、温度異常による動作不全を検出するために、チェック用の CPU コア 3 の 1 箇所以上の動作マージンの少ないパスの遅延を故意に悪化させて動作マージンを無くしてインプリするという方式が考えられる。このように故意に一方の遅延を悪化させ、動作マージンをなくさせることによって、動作保証温度から動作温度が少しはずれて該パスの遅延が少し劣化したときに、動作エラーとなる規定の遅延を超えて、チェック用の CPU コア 3 の動作不良が起こり、メインの CPU コア 2 側と動作が異なることにより、メインの CPU コア 2 側の機能不全を事前に検出できる。

40

【0089】

しかしながら、この方法には以下のような欠点がある。

(1) デュアルロックステップ方式自体の動作マージンを下げることで、機能不全を事前に検出できるが、この方法は、機能不全を発生しやすくさせる機構であり、機能安全の観点では本末転倒の技術である。

【0090】

(2) デュアルロックステップの機構をそのまま用いるため、遅延劣化させるフリップフロップの出力と比較器とが接続されるとは限らない。したがって、遅延劣化により動作不全が発生しても直後にエラーを検出されるとは限らない。

【0091】

50

(3) デュアルロックステップ方式の機構をそのまま用いており、動作不良を検出した場合、線などによるソフトウェアによる動作不良と、発熱による動作不良とが区別ができず、対処を正常にできないという問題がある。

【0092】

(4) CPUコア2そのものの機能不全を検出するために、エラーを検出した場合にCPUコア2そのものの信頼性に疑義があり、半導体装置内部での判断はできないため、半導体装置の外部のシステムへ通知することしかできない。

【0093】

(5) チェック用のCPUコア3側の一部のパスを使用するため、チェック用のCPUコア3側の内部温度上昇の検出が限定される。仮に半導体装置内の特定個所が低抵抗性ショートを起こし発熱しても、上記限定された個所まで発熱が伝搬するまで検知することができない。この熱伝搬するまでの間に他の回路が動作不良を起こすような場合へも適用できない。

10

【0094】

(6) メインのCPUコア2側の動作マージンを稼ぐという観点で、メインのCPUコア2側にはこの機構を入れることができない。したがって、チェック用のCPUコア3側で正常動作していても、メインのCPUコア2側の温度上昇が激しい場合は、メインのCPUコア2側の速度不良が先に発現し、この方法では動作不良を先に検出することができない場合がある。

【0095】

(7) メインのCPUコア2とチェック用のCPUコア3側とで、物理的に異なり、それぞれ別々にレイアウトを実施する必要がある。

20

【0096】

(8) 半導体装置内の電源系統が複数ある場合に、どこで機能不全(低抵抗性ショート)が発生しているのか判別できなく、電源系統毎の対策が打てない。

【0097】

これに対して、本実施の形態によれば、上記の問題を発生することがないという特徴を有する。

【0098】

[第2の実施形態]

30

図11は、第2の実施形態のマイコンの一部の構成を表わす図である。

【0099】

図11を参照して、マイコンは、機能回路として、フリップフロップFF0と、論理回路11と、フリップフロップFF1と、フリップフロップFF2とを備える。

【0100】

マイコン1は、フリップフロップFF0とフリップフロップFF1との間のルートと分岐するルートに設けられた機能不全事前検出回路52を備える。機能不全事前検出回路52は、セクタSL2と、遅延回路DL1, DL2, DL3と、フリップフロップFF1, FF2, FF3と、セクタSL1と、比較器CMP1, CMP2, CMP3とを備える。

40

【0101】

フリップフロップFF0は、通常動作時に実データが入力されるデータ入力端子と、クロックCLKが入力される入力端子と、出力端子とを有する。

【0102】

論理回路11は、フリップフロップFF0の出力端子から出力されるデータを受けて、データの論理演算などを行なう。

【0103】

論理回路11の出力は2つに分岐し、一方がフリップフロップFF1と接続し、他方が機能不全事前検出回路52のセクタSL2と接続する。

【0104】

50

フリップフロップ F F 1 は、通常動作時に論理回路 1 1 の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

【 0 1 0 5 】

フリップフロップ F F 1 の出力は 2 つに分岐し、一方がフリップフロップ F F 2 と接続し、他方が機能不全事前検出回路 5 2 のセクタ S L 1 と接続する。

【 0 1 0 6 】

フリップフロップ F F 2 は、通常動作時にフリップフロップ F F 1 の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

【 0 1 0 7 】

セクタ S L 2 は、論理回路 1 1 から出力されるデータと、テストデータ t v 2 とを受ける。セクタ S L 2 は、テストモード信号 t m が活性化されている場合には、テストデータ t v 2 を遅延回路 D L 1 へ出力する。セクタ S L 2 は、テストモード信号 t m が非活性化されている場合には、論理回路 1 1 から出力されるデータを遅延回路 D L 1 へ出力する。

10

【 0 1 0 8 】

遅延回路 D L 1 は、セクタ S L 2 の出力信号を遅延させる。遅延回路 D L 2 は、遅延回路 D L 1 の出力を遅延させる。遅延回路 D L 3 は、遅延回路 D L 2 の出力を遅延させる。

【 0 1 0 9 】

フリップフロップ F F T 1 は、遅延回路 D L 1 の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

20

【 0 1 1 0 】

フリップフロップ F F T 2 は、遅延回路 D L 2 の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

【 0 1 1 1 】

フリップフロップ F F T 3 は、遅延回路 D L 3 の出力を受けるデータ入力端子と、クロック C L K が入力されるクロック端子と、出力端子とを有する。

【 0 1 1 2 】

セクタ S L 1 は、フリップフロップ F F 1 から出力されるデータと、テストデータ t v 1 とを受ける。セクタ S L 1 は、テストモード信号 t m が活性化されている場合には、テストデータ t v 1 を比較器 C M P 1 , C M P 2 , C M P 3 へ出力する。セクタ S L 1 は、テストモード信号 t m が非活性化されている場合には、フリップフロップ F F 1 から出力されるデータを比較器 C M P 1 , C M P 2 , C M P 3 へ出力する。

30

【 0 1 1 3 】

比較器 C M P 1 は、セクタ S L 1 の出力信号と、フリップフロップ F F T 1 の出力信号とが一致したときには、比較結果信号 D S 1 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 1 を「 L 」レベルに設定する。

【 0 1 1 4 】

すなわち、比較器 C M P 1 は、テスト動作時には、テストデータ t v 1 と、遅延回路 D L 1 およびフリップフロップ F F T 1 を経由したテストデータ t v 2 とが一致したときには、比較結果信号 D S 1 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 1 を「 L 」レベルに設定する。

40

【 0 1 1 5 】

比較器 C M P 1 は、通常動作時には、フリップフロップ F F 1 を経由した実データと、遅延回路 D L 1 およびフリップフロップ F F T 1 を経由した実データとが一致したときには、比較結果信号 D S 1 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 1 を「 L 」レベルに設定する。

【 0 1 1 6 】

比較器 C M P 2 は、セクタ S L 1 の出力信号と、フリップフロップ F F T 2 の出力信号とが一致したときには、比較結果信号 D S 2 を「 H 」レベルに設定し、不一致のときに

50

は、比較結果信号 D S 2 を「 L 」レベルに設定する。

【 0 1 1 7 】

すなわち、比較器 C M P 2 は、テスト動作時には、テストデータ t v 1 と、遅延回路 D L 1 , D L 2 およびフリップフロップ F F T 2 を経由したテストデータ t v 2 とが一致したときには、比較結果信号 D S 2 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 2 を「 L 」レベルに設定する。

【 0 1 1 8 】

比較器 C M P 2 は、通常動作時には、フリップフロップ F F 1 を経由した実データと、遅延回路 D L 1 , D L 2 およびフリップフロップ F F T 2 を経由した実データとが一致したときには、比較結果信号 D S 2 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 2 を「 L 」レベルに設定する。

10

【 0 1 1 9 】

比較器 C M P 3 は、セクタ S L 1 の出力信号と、フリップフロップ F F T 3 の出力信号とが一致したときには、比較結果信号 D S 3 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 3 を「 L 」レベルに設定する。

【 0 1 2 0 】

すなわち、比較器 C M P 3 は、テスト動作時には、テストデータ t v 1 と、遅延回路 D L 1 , D L 2 , D L 3 およびフリップフロップ F F T 3 を経由したテストデータ t v 2 とが一致したときには、比較結果信号 D S 3 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 3 を「 L 」レベルに設定する。

20

【 0 1 2 1 】

比較器 C M P 3 は、通常動作時には、フリップフロップ F F 1 を経由した実データと、遅延回路 D L 1 , D L 2 , D L 3 およびフリップフロップ F F T 3 を経由した実データとが一致したときには、比較結果信号 D S 3 を「 H 」レベルに設定し、不一致のときには、比較結果信号 D S 3 を「 L 」レベルに設定する。

【 0 1 2 2 】

図 1 2 は、通常動作時における、正常時（保証動作温度の範囲）の動作を説明するための図である。

【 0 1 2 3 】

図 1 2 を参照して、フリップフロップ F F 1 のデータ入力端子には、C 点のデータが入力される。C 点のデータは、クロック C L K の立ち上りエッジ # 0 に対して、d 0 の時間だけ遅れている。フリップフロップ F F 1 は、クロック C L K の立ち上りエッジ # 1 に同期して、出力（C 点のデータ）を「 H 」レベルに変化させる。

30

【 0 1 2 4 】

フリップフロップ F F T 1 のデータ入力端子には、B 1 点のデータが入力される。B 1 点のデータは、遅延回路 D L 1 によって C 点のデータよりも d 1 の時間だけ遅れている。フリップフロップ F F T 1 は、クロック C L K の立ち上りエッジ # 1 に同期して、出力（B 1 点のデータ）を「 H 」レベルに変化させる。

【 0 1 2 5 】

比較器 C M P 1 は、C 点のデータと B 1 点のデータとを比較する。C 点のデータと B 1 点のデータとは常に一致するので、比較結果信号 D S 1 は常に「 H 」レベルを維持する。

40

【 0 1 2 6 】

フリップフロップ F F T 2 のデータ入力端子には、B 2 点のデータが入力される。B 2 点のデータは、遅延回路 D L 1 および D L 2 によって C 点のデータよりも d 2 の時間だけ遅れている。フリップフロップ F F T 2 は、クロック C L K の立ち上りエッジ # 1 に同期して、出力（B 2 点のデータ）を「 H 」レベルに変化させる。

【 0 1 2 7 】

比較器 C M P 2 は、C 点のデータと B 2 点のデータとを比較する。C 点のデータと B 2 点のデータとは常に一致するので、比較結果信号 D S 2 は常に「 H 」レベルを維

50

持する。

【0128】

フリップフロップFF T 3のデータ入力端子には、B 3点のデータが入力される。B 3点のデータは、遅延回路DL 1、DL 2およびDL 3によってC点のデータよりもd 3の時間だけ遅れている。フリップフロップFF T 3は、クロックCLKの立ち上りエッジ# 1に同期して、出力(B 3点のデータ)を「H」レベルに変化させる。

【0129】

比較器CMP 3は、C点のデータとB 3点のデータとを比較する。C点のデータとB 3点のデータとは常に一致するので、比較結果信号DS 3は常に「H」レベルを維持する。

10

【0130】

図13は、通常動作時における、機能不全事前検出時の動作の例(温度が第1段階だけ増加した場合)を説明するための図である。

【0131】

図13を参照して、フリップフロップFF 1のデータ入力端子には、C点のデータが入力される。C点のデータは、クロックCLKの立ち上りエッジ# 0に対して、d 0(1)の時間だけ遅れている。フリップフロップFF 1は、クロックCLKの立ち上りエッジ# 1に同期して、出力(C点のデータ)を「H」レベルに変化させる。

【0132】

フリップフロップFF T 1のデータ入力端子には、B 1点のデータが入力される。B 1点のデータは、遅延回路DL 1によってC点のデータよりもd 1(1)の時間だけ遅れている。フリップフロップFF T 1は、クロックCLKの立ち上りエッジ# 1に同期して、出力(B 1点のデータ)を「H」レベルに変化させる。

20

【0133】

比較器CMP 1は、C点のデータとB 1点のデータとを比較する。C点のデータとB 1点のデータとは常に一致するので、比較結果信号DS 1は常に「H」レベルを維持する。

【0134】

フリップフロップFF T 2のデータ入力端子には、B 2点のデータが入力される。B 2点のデータは、遅延回路DL 1およびDL 2によってC点のデータよりもd 2(1)の時間だけ遅れている。フリップフロップFF T 2は、クロックCLKの立ち上りエッジ# 1に同期して、出力(B 2点のデータ)を「H」レベルに変化させる。

30

【0135】

比較器CMP 2は、C点のデータとB 2点のデータとを比較する。C点のデータとB 2点のデータとは常に一致するので、比較結果信号DS 2は常に「H」レベルを維持する。

【0136】

フリップフロップFF T 3のデータ入力端子には、B 3点のデータが入力される。B 3点のデータは、遅延回路DL 1、DL 2およびDL 3によってC点のデータよりもd 3(1)の時間だけ遅れている。フリップフロップFF T 3は、クロックCLKの立ち上りエッジ# 2に同期して、出力(B 3点のデータ)を「H」レベルに変化させる。

40

【0137】

比較器CMP 3は、C点のデータとB 3点のデータとを比較する。C点のデータとB 3点のデータとは、クロックCLKの立ち上りエッジ# 1から立ち上りエッジ# 2までの期間不一致となるので、この期間は、比較結果信号DS 3が「L」レベルとなる。

【0138】

図14は、通常動作時における、機能不全事前検出時の動作の別の例(温度が第2段階だけ増加した場合)を説明するための図である。

【0139】

図14を参照して、フリップフロップFF 1のデータ入力端子には、C点のデータが入

50

力される。C点のデータは、クロックCLKの立ち上りエッジ#0に対して、d0(2)の時間だけ遅れている。フリップフロップFF1は、クロックCLKの立ち上りエッジ#1に同期して、出力(C点のデータ)を「H」レベルに変化させる。

【0140】

フリップフロップFF1のデータ入力端子には、B1点のデータが入力される。B1点のデータは、遅延回路DL1によってC点のデータよりもd1(2)の時間だけ遅れている。フリップフロップFF1は、クロックCLKの立ち上りエッジ#1に同期して、出力(B1点のデータ)を「H」レベルに変化させる。

【0141】

比較器CMP1は、C点のデータとB1点のデータとを比較する。C点のデータとB1点のデータとは常に一致するので、比較結果信号DS1は常に「H」レベルを維持する。

10

【0142】

フリップフロップFF2のデータ入力端子には、B2点のデータが入力される。B2点のデータは、遅延回路DL1およびDL2によってC点のデータよりもd2(2)の時間だけ遅れている。フリップフロップFF2は、クロックCLKの立ち上りエッジ#2に同期して、出力(B2点のデータ)を「H」レベルに変化させる。

【0143】

比較器CMP2は、C点のデータとB2点のデータとを比較する。C点のデータとB2点のデータとは、クロックCLKの立ち上りエッジ#1から立ち上りエッジ#2までの期間不一致となるので、この期間は、比較結果信号DS2が「L」レベルとなる。

20

【0144】

フリップフロップFF3のデータ入力端子には、B3点のデータが入力される。B3点のデータは、遅延回路DL1、DL2およびDL3によってC点のデータよりもd3(2)の時間だけ遅れている。フリップフロップFF3は、クロックCLKの立ち上りエッジ#2に同期して、出力(B3点のデータ)を「H」レベルに変化させる。

【0145】

比較器CMP3は、C点のデータとB3点のデータとを比較する。C点のデータとB3点のデータとは、クロックCLKの立ち上りエッジ#1から立ち上りエッジ#2までの期間不一致となるので、この期間は、比較結果信号DS3が「L」レベルとなる。

30

【0146】

図15は、通常動作時における、機能不全事前検出時の動作の別の例(温度が第3段階だけ増加した例)を説明するための図である。

【0147】

図15を参照して、フリップフロップFF1のデータ入力端子には、C点のデータが入力される。C点のデータは、クロックCLKの立ち上りエッジ#0に対して、d0(3)の時間だけ遅れている。フリップフロップFF1は、クロックCLKの立ち上りエッジ#1に同期して、出力(C点のデータ)を「H」レベルに変化させる。

【0148】

フリップフロップFF1のデータ入力端子には、B1点のデータが入力される。B1点のデータは、遅延回路DL1によってC点のデータよりもd1(3)の時間だけ遅れている。フリップフロップFF1は、クロックCLKの立ち上りエッジ#2に同期して、出力(B1点のデータ)を「H」レベルに変化させる。

40

【0149】

比較器CMP1は、C点のデータとB1点のデータとを比較する。C点のデータとB1点のデータとは、クロックCLKの立ち上りエッジ#1から立ち上りエッジ#2までの期間不一致となるので、この期間は、比較結果信号DS1が「L」レベルとなる。

【0150】

フリップフロップFF2のデータ入力端子には、B2点のデータが入力される。B2点のデータは、遅延回路DL1およびDL2によってC点のデータよりもd2(3)の時

50

間だけ遅れている。フリップフロップ F F T 2 は、クロック C L K の立ち上りエッジ # 2 に同期して、出力 (B 2 点のデータ) を「 H 」レベルに変化させる。

【 0 1 5 1 】

比較器 C M P 2 は、C 点のデータと B 2 点のデータとを比較する。C 点のデータと B 2 点のデータとは、クロック C L K の立ち上りエッジ # 1 から立ち上りエッジ # 2 までの期間不一致となるので、この期間は、比較結果信号 D S 2 が「 L 」レベルとなる。

【 0 1 5 2 】

フリップフロップ F F T 3 のデータ入力端子には、B 3 点のデータが入力される。B 3 点のデータは、遅延回路 D L 1、D L 2 および D L 3 によって C 点のデータよりも d 3 (3) の時間だけ遅れている。フリップフロップ F F T 3 は、クロック C L K の立ち上りエッジ # 2 に同期して、出力 (B 3 点のデータ) を「 H 」レベルに変化させる。

10

【 0 1 5 3 】

比較器 C M P 3 は、C 点のデータと B 3 点のデータとを比較する。C 点のデータと B 3 点のデータとは、クロック C L K の立ち上りエッジ # 1 から立ち上りエッジ # 2 までの期間不一致となるので、この期間は、比較結果信号 D S 3 が「 L 」レベルとなる。

【 0 1 5 4 】

以上のように、本実施の形態の半導体装置によれば、第 1 の実施形態と同様の効果を有する。

【 0 1 5 5 】

また、本実施の形態によれば、複数の遅延回路を設けることによって、機能不全の深刻度を検知できる。たとえば、比較器 C M P 1 で不一致が検出されたときには、メインの C P U コアが、機能不全の可能性がある旨の警告をユーザに通知し、比較器 C M P 2 で不一致が検出されたときには、メインの C P U コアが、機能不全の可能性が高い旨の警告をユーザに通知し、比較器 C M P 3 で不一致が検出されたときには、メインの C P U コアが電源電圧の供給を停止するようにしてもよい。

20

【 0 1 5 6 】

[第 3 の実施形態]

図 1 6 は、第 3 の実施形態のマイコン 5 1 の構成を表わす図である。

【 0 1 5 7 】

図 1 6 のマイコン 5 1 が、図 4 のマイコン 1 と相違する点は以下である。

30

回路 # 1 の機能不全事前検出回路 1 2 - 1 からの比較結果信号 D S は、メインの C P U コア 2 内の割込コントローラ 3 2 およびチェック用の C P U コア 3 内の割込コントローラ 3 5 に送られるとともに、制御回路 4 5 に送られる。制御回路 4 5 は、比較結果信号 D S が「 L 」レベルとなったときに、機能不全のリスクを知らせる割込みが通知されたと認識し、電源 A スイッチ 4 2 をオフにする。

【 0 1 5 8 】

回路 # 2 の機能不全事前検出回路 1 2 - 2 からの比較結果信号 D S は、メインの C P U コア 2 内の割込コントローラ 3 2 およびチェック用の C P U コア 3 内の割込コントローラ 3 5 に送られるとともに、制御回路 4 6 に送られる。制御回路 4 6 は、比較結果信号 D S が「 L 」レベルとなったときに、機能不全のリスクを知らせる割込みが通知されたと認識し、電源 B スイッチ 4 3 をオフにする。

40

【 0 1 5 9 】

回路 # 3 の機能不全事前検出回路 1 2 - 3 および回路 # 4 の機能不全事前検出回路 1 2 - 4 からの比較結果信号 D S は、メインの C P U コア 2 内の割込コントローラ 3 2 およびチェック用の C P U コア 3 内の割込コントローラ 3 5 に送られるとともに、制御回路 4 7 に送られる。制御回路 4 7 は、比較結果信号 D S が「 L 」レベルとなったときに、機能不全のリスクを知らせる割込みが通知されたと認識し、電源 C スイッチ 4 4 をオフにする。

【 0 1 6 0 】

以上のように、本実施の形態の半導体装置によれば、第 1 の実施形態と同様の効果を有する。また、機能不全のリスクが発生した場合に、C P U コアを介さずに、制御回路によ

50

って電源スイッチをオフにするので、CPUコアが温度上昇などによって異常動作している場合でも、電源スイッチを適切に制御することができる。

【0161】

[第4の実施形態]

図17は、第4の実施形態のマイコン181の構成を表わす図である。

【0162】

図17のマイコン181が、図4のマイコン1と相違する点は以下である。

回路#1の機能不全事前検出回路12-1からの比較結果信号DSは、メインのCPUコア2内の割込コントローラ32およびチェック用のCPUコア3内の割込コントローラ35に送られるとともに、端子P1を通じてマイコン181の外部のシステムに送られる。

10

【0163】

回路#2の機能不全事前検出回路12-2からの比較結果信号DSは、メインのCPUコア2内の割込コントローラ32およびチェック用のCPUコア3内の割込コントローラ35に送られるとともに、端子P2を通じてマイコン181の外部のシステムに送られる。

【0164】

回路#3の機能不全事前検出回路12-3からの比較結果信号DSは、メインのCPUコア2内の割込コントローラ32およびチェック用のCPUコア3内の割込コントローラ35に送られるとともに、端子P3を通じてマイコン181の外部のシステムに送られる。

20

【0165】

回路#4の機能不全事前検出回路12-4からの比較結果信号DSは、メインのCPUコア2内の割込コントローラ32およびチェック用のCPUコア3内の割込コントローラ35に送られるとともに、端子P4を通じてマイコン181の外部のシステムに送られる。

【0166】

マイコン181の外部のシステムは、回路#1の機能不全事前検出回路12-1からの比較結果信号DSが「L」レベルとなったときに、機能不全のリスクを知らせる割込みが通知されたと認識し、端子PAを通じて制御回路45に切り換え信号を送る。制御回路45の切り換え信号が「L」レベルの場合には、制御回路45は、電源Aスイッチ42をオフにし、制御回路45への切り換え信号が「H」レベルの場合には、制御回路45は、電源Aスイッチ42をオンとする。

30

【0167】

マイコン181の外部のシステムは、回路#2の機能不全事前検出回路12-2からの比較結果信号DSが「L」レベルとなったときに、機能不全のリスクを知らせる割込みが通知されたと認識し、端子PBを通じて制御回路46に切り換え信号を送る。制御回路46の切り換え信号が「L」レベルの場合には、制御回路46は、電源Bスイッチ43をオフにし、制御回路46への切り換え信号が「H」レベルの場合には、制御回路46は、電源Bスイッチ43をオンとする。

40

【0168】

マイコン181の外部のシステムは、回路#3の機能不全事前検出回路12-3からの比較結果信号DSが「L」レベルとなったとき、または回路#4の機能不全事前検出回路12-4からの比較結果信号DSが「L」レベルとなったとき、機能不全のリスクを知らせる割込みが通知されたと認識し、端子PCを通じて制御回路47に切り換え信号を送る。制御回路47の切り換え信号が「L」レベルの場合には、制御回路47は、電源Cスイッチ44をオフにし、制御回路47への切り換え信号が「H」レベルの場合には、制御回路47は、電源Cスイッチ44をオンとする。

【0169】

以上のように、本実施の形態の半導体装置によれば、第1の実施形態と同様の効果を有

50

する。また、機能不全のリスクが発生した場合に、外部からの制御で電源スイッチをオフにするので、CPUコアが温度上昇などによって異常動作している場合でも、電源スイッチを適切に制御することができる。

【0170】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

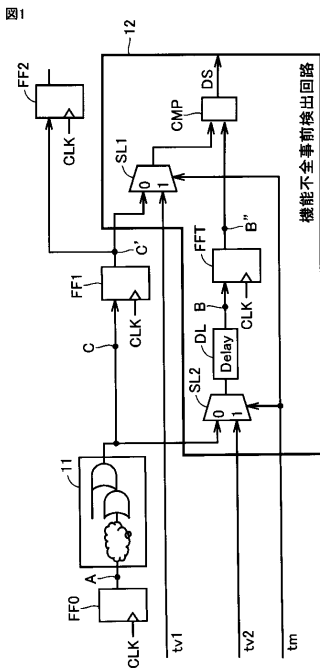
【符号の説明】

【0171】

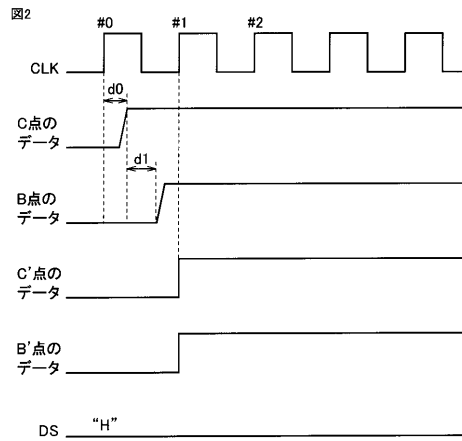
1, 51, 181 マイコン、2, 3 CPUコア、11 論理回路、12, 52 機能不全事前検出回路、31, 33, 34 システムレジスタ、32, 35 割込コントローラ、37 レギュレータ、41, 45, 46, 47 制御回路、42 電源Aスイッチ、43 電源Bスイッチ、44 電源Cスイッチ、81 電源A回路群、82 電源B回路群、83 電源C回路群、FF0, FF1, FFT, FFT1, FFT2, FFT3 フリップフロップ、SL1, SL2 セレクタ、36, CMP, CMP1, CMP2, CMP3 比較器、DL, DL1, DL2, DL3 遅延回路、PA, PB, PC, PD, PS, P1~P4 端子。

10

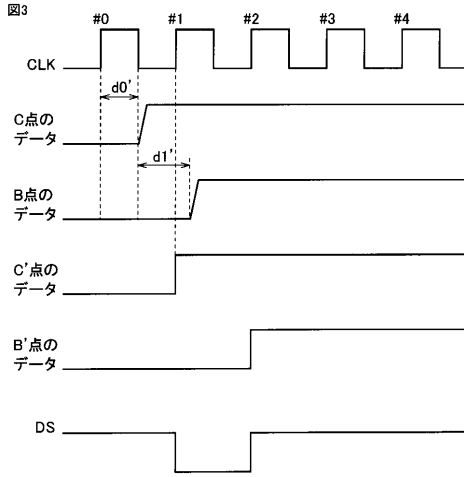
【図1】



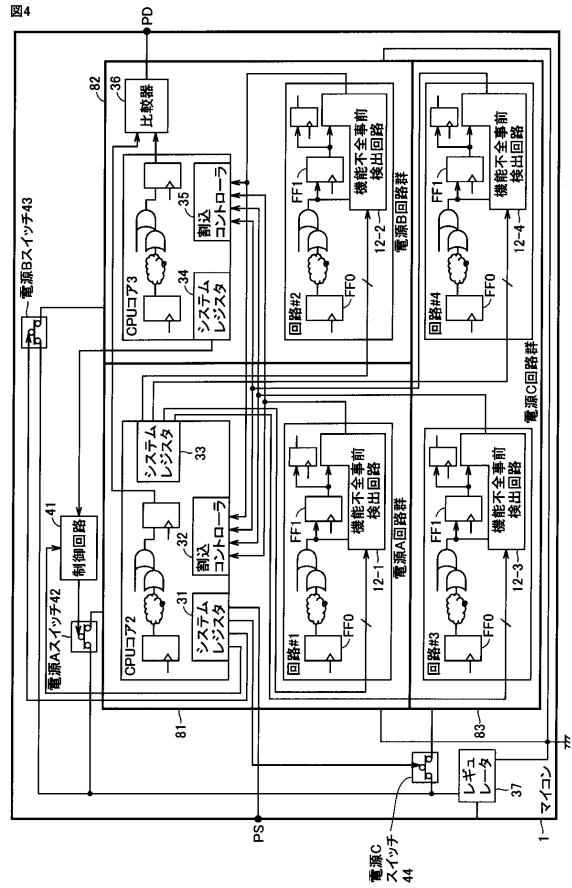
【図2】



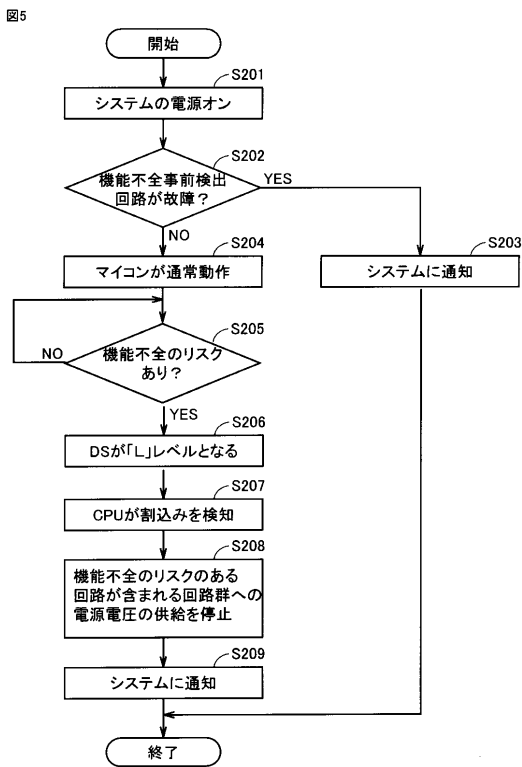
【 図 3 】



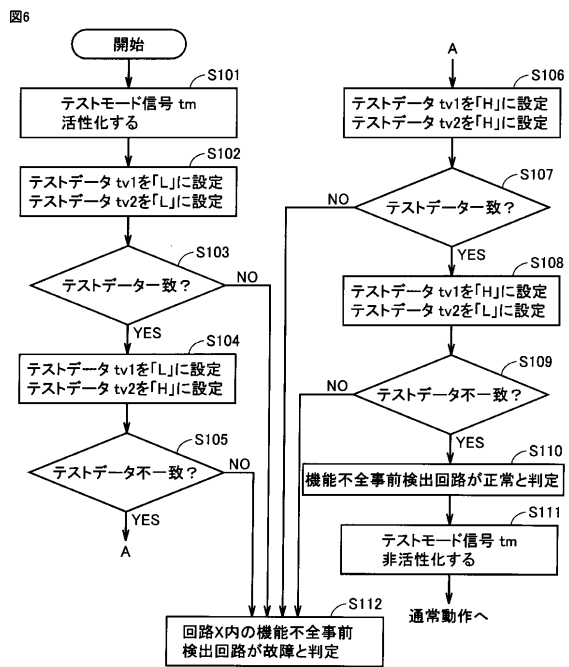
【 図 4 】



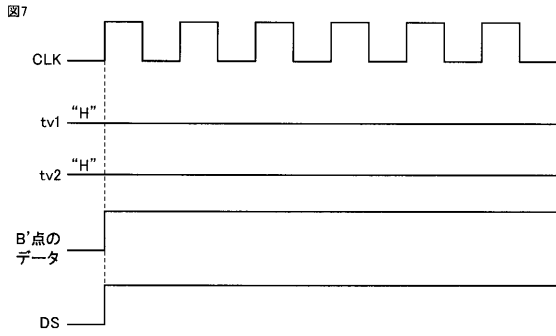
【 図 5 】



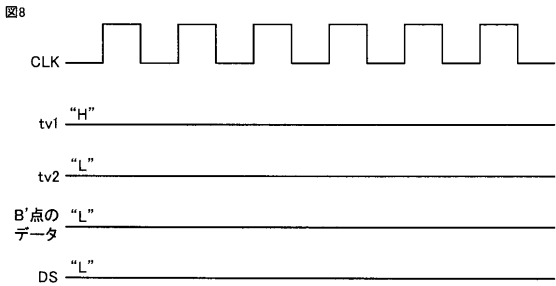
【 図 6 】



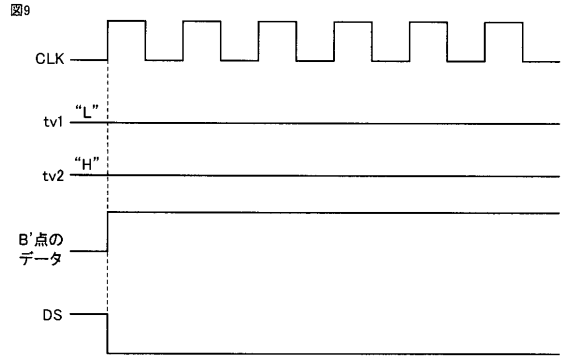
【 図 7 】



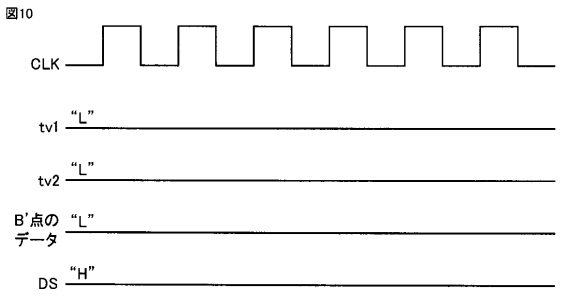
【 図 8 】



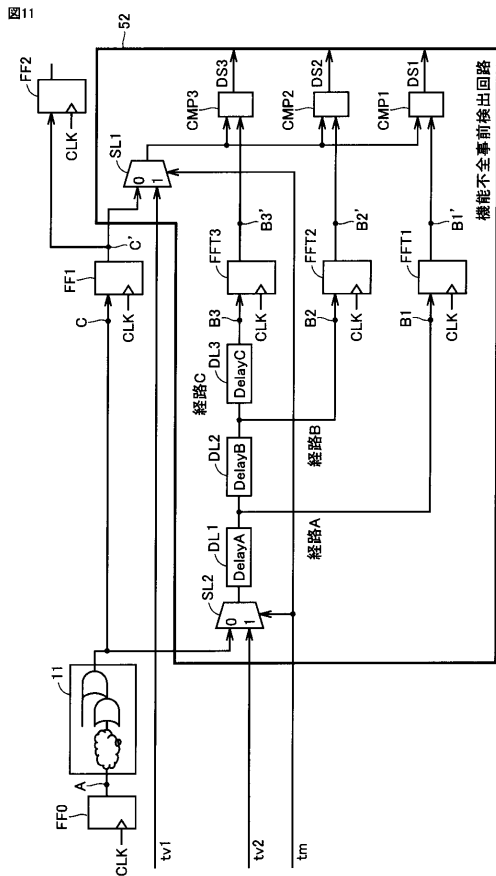
【 図 9 】



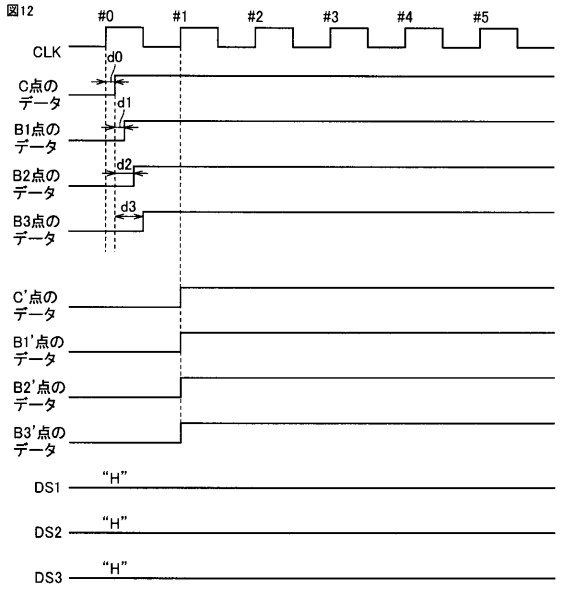
【 図 10 】



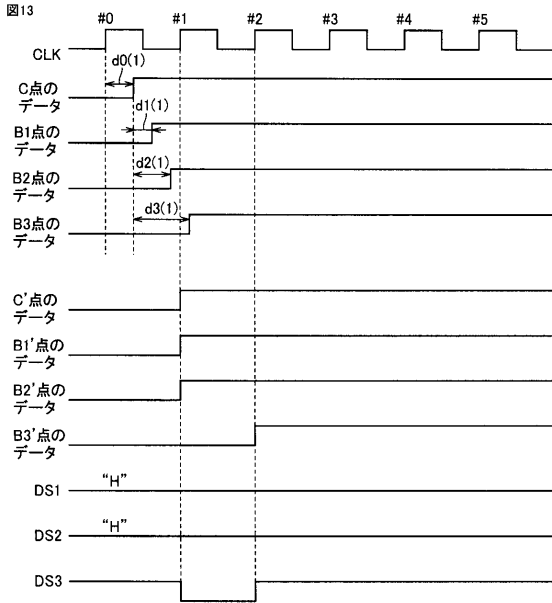
【 図 11 】



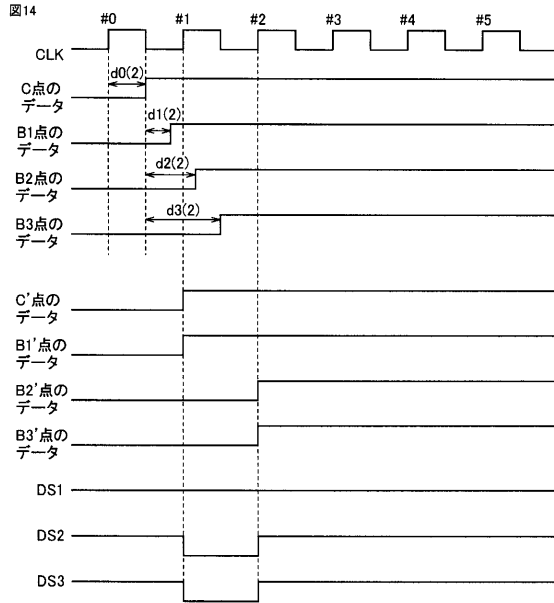
【 図 12 】



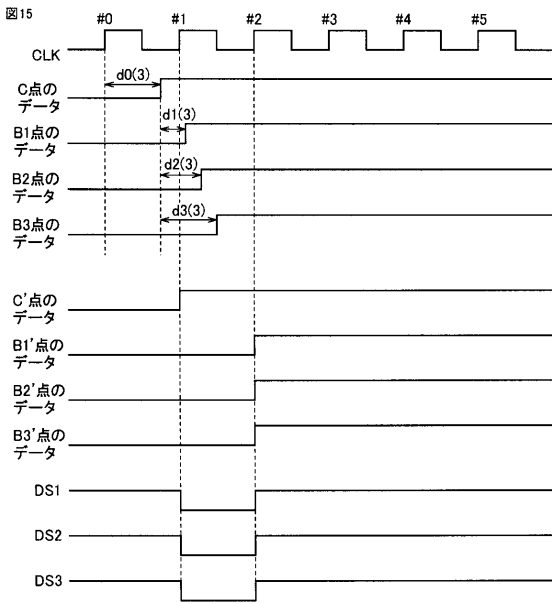
【 図 1 3 】



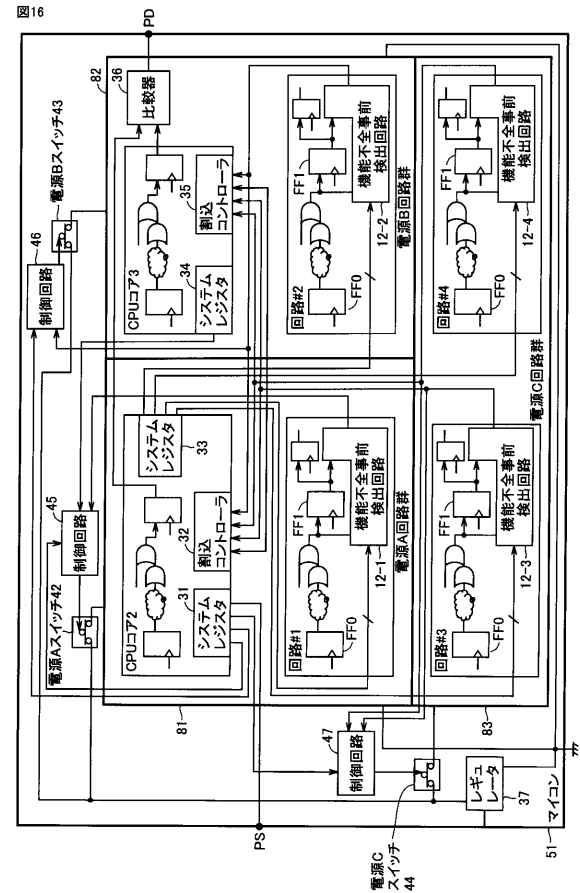
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



【 図 17 】

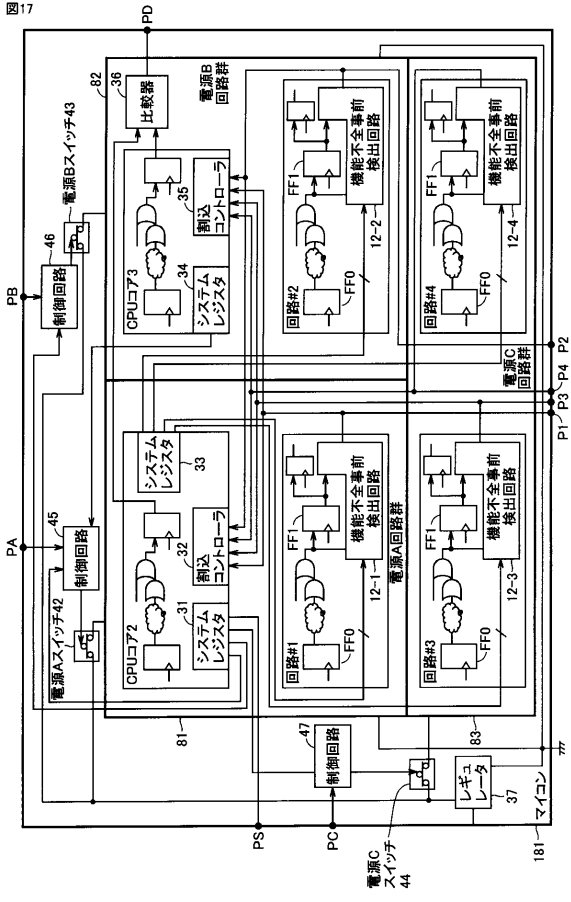


図17