

公告本

申請日期：88.11.22

案號：88120343

類別：H01L 21/66

(以上各欄由本局填註)

發明專利說明書

452907

一、 發明名稱	中文	移動正離子污染的測試裝置及方法
	英文	
二、 發明人	姓名 (中文)	1. 陳偉梵
	姓名 (英文)	1. Wei-Fan Chen
	國籍	1. 中華民國
	住、居所	1. 台中市北區三民路三段89巷6號
三、 申請人	姓名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研新三路四號
	代表人 姓名 (中文)	1. 焦佑鈞
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

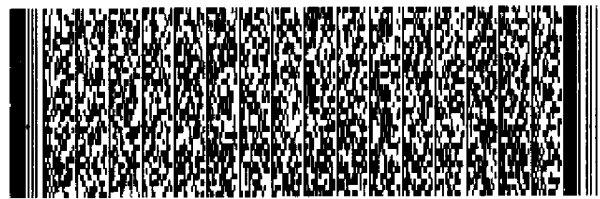
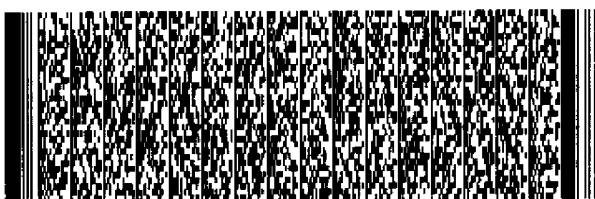
五、發明說明 (1)

本發明是有關於一種測試裝置及方法，且特別是有關於一種移動正離子污染(Positive Mobile Ion Contamination, 以下簡稱為PMIC)的測試裝置及方法。

早期MOS技術發展所面臨的最嚴重問題之一，便是被稱為"移動離子問題(Mobile ion problem)"的電性不穩定(Electrical instability)。亦即，利用平面技術(Planar technology)製成的MOS電晶體元件，其臨限電壓(V_T)將會更負於理論預測值。另外，在升溫的偏壓操作中，MOS電晶體元件亦會變得十分不穩定。MOS電晶體元件的臨限電壓(V_T)會隨著正閘極偏壓的增加而往更負的方向偏移。臨限電壓(V_T)的偏移大小及偏移速率則會隨著溫度而增加。不過，負閘極偏壓卻不會產生臨限電壓的偏移效應，且可以維持電性穩定。因此，大部分學者乃將電性不穩定的成因歸各於閘氧化層中移動正離子(特別是 Na^+ 及 K^+)的漂移。

不過，移動正離子(Positive mobile ion)卻常會在金屬暨平坦化蝕刻(Metals and planarization etching)及光阻移除(Photoresistor stripping)時引入閘氧化層，且這些製程均是多層金屬製程(MLM processing)所無法或缺的步驟。因此，當元件尺寸日益縮小之際，吾人便需要施行一晶圓階段可靠度測試(WLR test)，據以確定在何種製程中引入移動正離子污染(PMIC)，進而尋求減少或消弭移動正離子污染的方案。

通常，減少移動正離子污染的常見手段包括：降低閘氧化層中的移動正離子濃度、固定(Immobile)閘氧化層中的



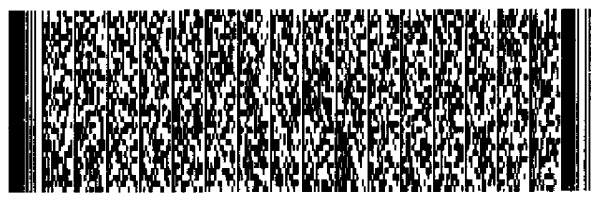
五、發明說明 (2)

離子、中和閘氧化層中的離子。舉例來說，吾人可在閘氧化層表面沈積磷矽玻璃(PSG)、在複晶矽閘極中植入磷離子、利用磷矽玻璃(PSG)作為介層材料，藉以吸附(Gettering)引入閘氧化層的移動正離子。或者，吾人可在閘氧化層生長時將氯離子摻入Si/SiO₂界面、在爐管預氧化清潔(Preoxidation cleaning of furnace tubes)時使用氯離子，藉以中和(Neutralize)閘氧化層中的移動正離子。或者，吾人可以改善化學物品及氣體的純度、改善設備及晶圓清洗技術，藉以提供更為潔淨的生產線(Fabrication line)。

以現今技術而言，晶圓階段可靠性測試(WRL test)通常是配合SEM/EDS、XSEM、XTEM、三維SIMS等儀器以測量移動正離子污染(PMIC)的數量及位置。這些儀器可精確地獲知移動正離子污染的數量及位置，但卻存在幾個缺點。首先，這些儀器均相當昂貴，且需要專家操作及分析獲取的資訊；其次，這些儀器均採用破壞性的量測方法，故測量效能(throughput)相當低。因此，如何在非破壞性、低成本、高測量效能的條件下，完成晶圓階段可靠性測試，乃成為熟習該領域者所極欲探知。

在積體電路的製程中，移動正離子污染(PMIC)的濃度通常是在MOS電容上施加偏壓及溫度應力以得到電容-電壓(C-V)曲線，並利用平坦能帶電壓(flatband voltage)差值以推算出來。

第1A~1D圖是利用偏壓暨溫度應力(BTS)技術量測移動



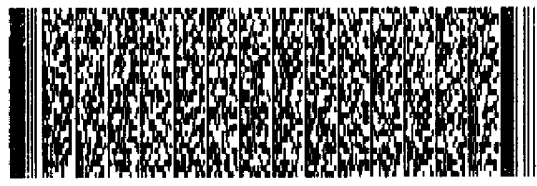
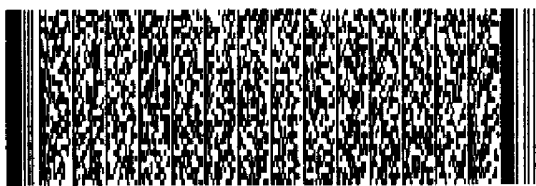
五、發明說明(3)

正離子污染的示意圖。在未施加任何偏壓及溫度應力時，移動正離子會均勻地分佈在閘氧化層中，如第1A圖所示。首先，在複晶矽或金屬閘極上施加一大小約 $1\sim 2\text{MV/cm}$ 的正向偏壓，將閘氧化層中的移動正離子全部推斥至半導體基底與閘氧化層的界面，如第1B圖所示。然後，將應力溫度逐步升高至 $100\sim 200^\circ\text{C}$ ，並維持此溫度達 $3\sim 50$ 分鐘。然後，將應力溫度逐步降低至室溫，並移除正向偏壓以量測得到一電場變化。隨後，在複晶矽或金屬閘極上施加一大小約 $-1\sim -2\text{MV/cm}$ 的負向偏壓，將閘氧化層中的移動正離子全部吸引至複晶矽或金屬閘極與閘氧化層的界面，如第1C圖所示，並重覆上述各步驟以量測得到另一電場變化。如此，移動正離子污染(PMIC)的濃度便可以經由平坦能帶電壓(flatband voltage)差值以推算出來，如第1D圖所示，亦即：

$$\frac{b}{|q_A \Delta V|^{x_0}} = nN$$

不過，這種技術只能適用在薄氧化層，而無法對厚氧化層中的移動正離子污染(PMIC)進行觀測。

第2A~2C圖是利用三角電壓掃描(TVS)技術量測移動正離子污染的示意圖。如第2A~2B圖所示，三角電壓掃描(TVS)技術首先會對複晶矽或金屬閘極施加正向偏壓 V_G 及應力溫度 T 。接著，再將應力溫度 T 急降至約 -20°C 的低溫，藉以將移動正離子困住(Trap)在半導體基底及閘氧化層的

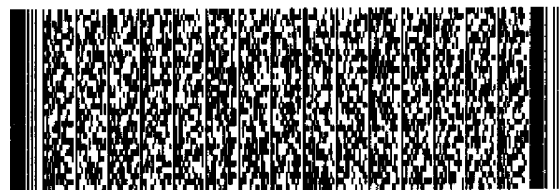
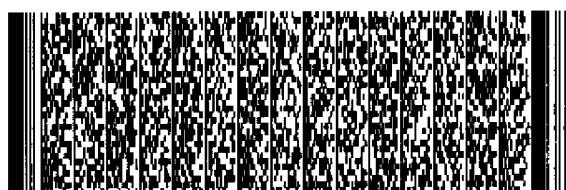


五、發明說明 (4)

界面。此時，移動正離子並沒有足夠的動能，因此即便電場改變亦不會產生電流。接著，應力溫度 T 便會以約 $0.5^{\circ}\text{C}/\text{sec}$ 的速度自低溫逐步升高。當應力溫度 T 升高時，困在半導體基底及閘氧化層界面的移動正離子便會被熱激發出來 (Thermally excited)。在第2C圖中，兩個位移電流 (Displacement current) 的高峰分別是 Na^+ 及 K^+ 被熱激發出來的位置。因為 Na^+ 的激發能量小於 K^+ 的激發能量，亦即： $E(\text{Na}^+) < E(\text{K}^+)$ ，因此 K^+ 位移電流高峰會位於 Na^+ 位移電流高峰的右側。另外， Na^+ 及 K^+ 的數量則分別正比於 Na^+ 電流高峰及 K^+ 電流高峰下方的面積。

不過，這種技術所偵得的位移電流非常微弱，因此必須佔用較大的晶方面積 (Chip area)，並接面電容亦會造成極大的實驗誤差。

第3A~3C圖亦是利用三角電壓掃描 (TVS) 技術量測移動正離子污染的示意圖。如第3A~3B圖所示，三角電壓掃描 (TVS) 技術首先會對複晶矽或金屬閘極施加正向偏壓 V_G 及應力溫度 T ，以電場將移動正離子維持在半導體基底及閘氧化層界面。接著，將正向偏壓 V_G 調整至起始條件，並以約 $5\sim 100\text{mV/s}$ 的速度自此起始條件逐步降低。當電場改變時，移動正離子便會漂移 (Drift) 及擴散 (Diffuse) 至複晶矽或金屬閘極及閘氧化層界面。在第3C圖中，兩個電流高峰分別是 Na^+ 及 K^+ 被解析 (Resolved) 出來的位置， Na^+ 及 K^+ 的數量則分別正比於 Na^+ 電流高峰及 K^+ 電流高峰下方的面積，如第2C圖所示。



五、發明說明 (5)

不過，這種技術亦只能適用在薄氧化層，而無法對厚氧化層中的移動正離子污染(PMIC)進行觀測。

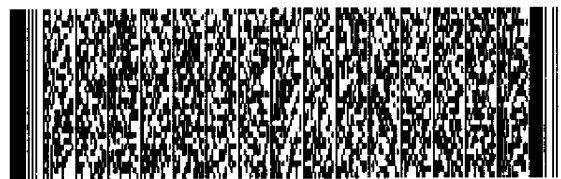
有鑑於此，本發明的主要目的就是提供一種移動正離子污染的量測裝置及方法，可在晶圓階段可靠性(WLR)測試中，迅速地測量出移動正離子污染的位置及數量。

本發明的另一個目的就是提供一種移動正離子污染的量測裝置及方法，利用複晶矽電阻所產生的功率消耗來提高 Na^+ 及 K^+ 的動能，藉以在短時間內達到測量的效果。

本發明的另一個目的就是提供一種移動正離子污染的量測裝置及方法，可非破壞性地完成移動正離子污染的測量，且具有成本低及解析度高的優點。

為達上述及其他目的，本發明乃提出一種移動正離子污染(PMIC)的量測裝置，設置於半導體基底上。半導體基底是以場氧化層定義主動區，並在主動區中設置有MOS電晶體。移動正離子污染的量測裝置則是由加熱裝置、溫度量測裝置、閘極所構成。加熱裝置是設置在等場氧化層的表面，藉以加熱半導體基底。溫度量測裝置是設置在加熱裝置的表面，藉以量測半導體基底的溫度，進而作為調整的依據。閘極是設置在加熱裝置的上方，藉以施加偏壓。其中，加熱裝置可以是複晶矽層；溫度量測裝置可以是Kelvin結構的鋁線；外接電流計則可以在各種條件下量測半導體基底的電荷唧電流，藉以推得移動正離子污染的數量。

另外，本發明亦提供一種移動正離子的量測方法。首先，提供一半導體基底，其移動正離子污染會隨機地分佈於



五、發明說明 (6)

半導體基底與閘極相間的介電層中。然後，分別經由閘極施加大小約 $-1\sim-2V$ 的負向偏壓及大小約 $+1\sim+2V$ 的正向偏壓，藉以將移動正離子污染吸引至介電層及閘極的界面及排斥至介電層及半導體基底的界面、並施加電流至複晶矽加熱器，藉以將整個半導體基底的溫度升高至 $400^{\circ}C$ 達約1分鐘。當施加負向偏壓時，MOS電晶體的閘極及源極/汲極區連接至地點(0V)、且半導體基底亦連接至地點(0V)。當施加正向偏壓時，MOS電晶體的閘極及半導體基底連接至正電源(+5V)，MOS電晶體的源極/汲極區連接至地點(0V)。然後，將測試溫度再降低至室溫、並分別以電流計量測電荷唧電流(Charge pumping current)。如此，兩電荷唧電流的差值便可用作移動離子的相對值、據以推導得到移動正離子污染的數量及位置。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

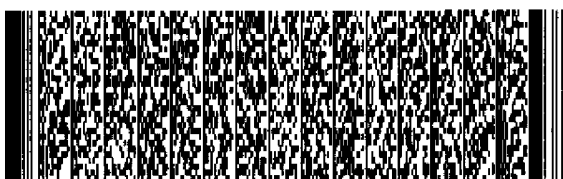
圖示之簡單說明

第1A~1D圖是利用偏壓暨溫度應力(BTS)技術量測移動正離子污染的示意圖；

第2A~2C圖是利用一種三角電壓掃描(TVS)技術量測移動正離子污染的示意圖；

第3A~3C圖亦是利用另一種三角電壓掃描(TVS)技術量測移動正離子污染的示意圖；

第4圖是本發明移動正離子污染的測試裝置的剖面示



五、發明說明 (7)

意圖；

第5圖是第4圖中Kelvin結構的平面示意圖；以及
第6圖是本發明移動正離子污染的測試方法的流程

圖。

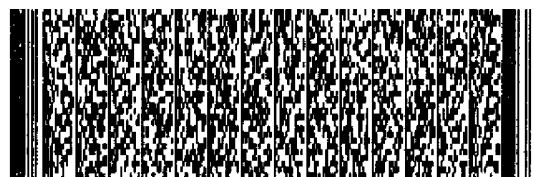
實施例

為在晶圓階段可靠性測試中節省測量時間，本發明乃在場氧化層上覆蓋複晶矽層、並利用其電阻效應所造成的功率消耗(IR^2)來加熱欲測試結構，使移動正離子污染(如 Na^+ 及 K^+)的移動率(Mobility)提高，進而能在短時間內跑至預定位置，完成量測效果。

請參考第4圖，此即本發明移動正離子污染的量測裝置的剖面示意圖。如圖中所示，半導體基底10是由場氧化層FOX定義主動區12，其中設有閘極13、源極/汲極區14以構成MOS電晶體。本發明移動正離子污染的量測裝置則是由複晶矽加熱器15、Kelvin結構的金屬繞線16、複晶矽或金屬閘極17(以下以金屬閘極17稱之)所構成。複晶矽加熱器15是在場氧化層FOX的表面沈積複晶矽層以得到。Kelvin結構的金屬繞線16是在複晶矽層的表面分佈金屬繞線以得到。金屬閘極17則是在MOS電晶體的上方沈積金屬層以得到。

接著，說明本發明的工作原理。在這個實施例中，複晶矽加熱器15所產生的功率效耗可表示成：

$$I_p^2 \times R = I_p^2 \times R_0 (1 + TCR_{POLY} \times \Delta T)$$



五、發明說明 (8)

其中, I_p 是施加在複晶矽加熱器15的電流, R_0 是複晶矽加熱器15在室溫下的阻值, TCR_{POLY} 則是複晶矽加熱器15的阻值溫度係數(在 $-65 < T < 400$ 間約為 $0.04\%/^{\circ}C$), DT 則是複晶矽加熱器15的溫度變化。

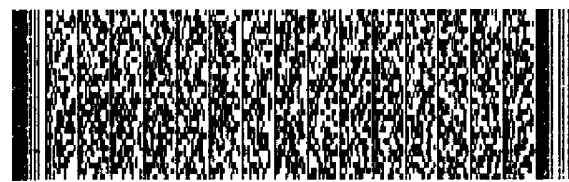
由於半導體基底10(尤其矽基底)是良好的熱導體, 其較於局部區域(Local area)可視為很大的熱能匯集處(Thermal sink), 因此複晶矽加熱器15所造成的功率消耗, 絕大部分是往下的。因此, 若 W_p 表示複晶矽層寬度、 L_p 表示複晶矽層長度、 K 表示複晶矽材質的熱傳導率(Thermal conductivity)、 h 表示場氧化層FOX的厚度, 則施加在複晶矽加熱器15的電流 I_p 可以利用下式而由溫度變化 DT 推導得到:

$$I_p^2 \times R_0 (1 + TCR_{POLY} \Delta T) = K W_p L_p \Delta T / h$$

舉例來說, 將複晶矽加熱器15加熱至 $400^{\circ}C$ 需要施加 $500mA$ 電流。另外, 本發明亦利用Kelvin結構的金屬繞線16以立即(In-situ)地偵測複晶矽加熱器15的溫度, 藉以作為測試溫度的調整依據, 使溫度誤差控制在1%內。

以Kelvin結構的金屬繞線16測量半導體基底10溫度的方法說明如下。首先, 將一組鋁金屬線繞過複晶矽加熱器15, 如第5圖所示。然後, 在焊墊PAD1及焊墊PAD2之間設置電流源20、並在焊墊PAD3及焊墊PAD4之間設置電壓計22。如此, 鋁金屬線在複晶矽加熱器15上的阻值便可利用下式推導得到:

$$R_m = \frac{V}{I} \Big|_{I \rightarrow 0}$$



五、發明說明 (9)

在實際應用中，電流源20通常會選擇在5mA以下，避免因金屬自加熱效應(Self heating)而造成的量測誤差。另外，鋁金屬線的阻值，如複晶矽加熱器15，亦會隨著溫度的升高而約略增加，其可以表示為下式：

$$R_m = R_{m0}(1 + TCR_m \times \Delta T)$$

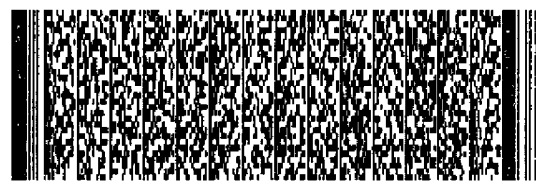
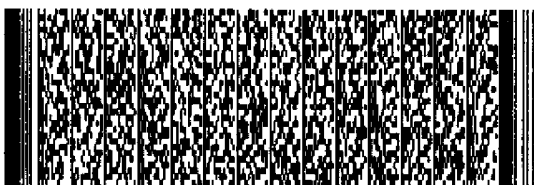
其中， R_{m0} 是鋁金屬線在室溫時的阻值， TCR_m 是鋁材質的阻值溫度係數(約0.3%/°C)， T 是複晶矽加熱器15的溫度變化。

因此，複晶矽加熱器15的實際溫度可以透過鋁金屬線的阻值變化而計算出來。舉例來說，若溫度上升至400°C時，鋁金屬線的阻值會是在室溫時的2.1倍。

請參考第6圖，此即本發明移動正離子污染的量測方法的流程圖。

首先，如步驟S1所示，提供一半導體基底10。此時，移動正離子污染會隨機地分佈於半導體基底10上金屬閘極17與閘極13間的介電層18，如第4圖所示。

然後，如步驟S2所示，經由金屬閘極17施加大小約-1~-2V的負向偏壓，藉以將移動正離子污染吸引至介電層18及金屬閘極17的界面、並施加電流至複晶矽加熱器15，藉以將整個半導體基底10的溫度升高至400°C達約1分鐘。此時，MOS電晶體的閘極13及源極/汲極區14連接至地點



五、發明說明 (10)

(0V)、半導體基底10則連接至地點(0V)。

然後，如步驟S3所示，將測試溫度降低至室溫、並以電流計24量測半導體基底10的電荷唧電流(Charge pumping current)，其表示為 I_{CP0} 。

接著，如步驟S4所示，經由金屬閘極17施加大小約+1~+2V的正向偏壓，藉以將移動正離子污染排斥至介電層18及MOS電晶體(閘極13及源極/汲極區14)的界面、並施加電流至複晶矽加熱器15，藉以將整個半導體基底10的溫度升高至400℃達約1分鐘。此時，MOS電晶體的閘極13及半導體基底10連接至正電源(+5V)，MOS電晶體的源極/汲極區14則連接至地點(0V)。

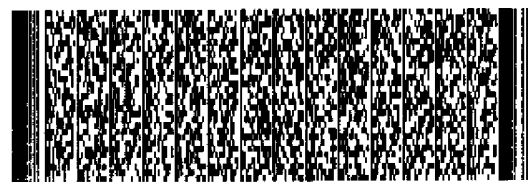
然後，如步驟S5所示，將測試溫度降低至室溫、並以電流計24量測半導體基底10的電荷唧電流(Charge pumping current)，其表示為 I_{CP1} 。

然後，如步驟S6所示，以施加負向偏壓及施加正向偏壓時的電荷唧電流差值 $I_{CP1} - I_{CP0}$ 作為移動離子的相對值，據以推得移動正離子污染的數量及位置。

綜上所述，本發明移動正離子污染的量測裝置及方法，可在晶圓階段可靠性測試中，迅速地測量出移動正離子污染的位置及數量。

另外，本發明移動正離子污染的量測裝置及方法，利用複晶矽電阻所產生的功率消耗來提高 Na^+ 及 K^+ 的動能，可以在短時間內達到測量的效果。

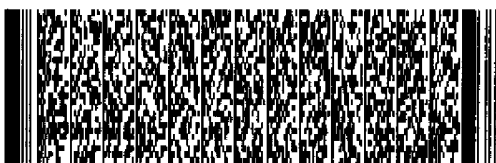
再者，本發明移動正離子污染的量測裝置及方法，可非



五、發明說明 (11)

破壞性地完成移動正離子污染的測量，且具有成本低及解析度高的優點。

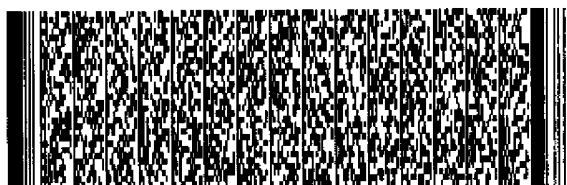
雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：移動正離子污染的測試裝置及方法)

一種移動正離子污染(PMIC)的量測裝置，設置於半導體基底上。半導體基底是以場氧化層定義主動區，並在主動區中設置有MOS電晶體。移動正離子污染的量測裝置則是由加熱裝置、溫度量測裝置、閘極所構成。加熱裝置是設置在等場氧化層的表面，藉以加熱半導體基底。溫度量測裝置是設置在加熱裝置的表面，藉以量測半導體基底的溫度，進而作為調整的依據。閘極是設置在加熱裝置的上方，藉以施加偏壓。其中，加熱裝置可以是複晶矽層；溫度量測裝置可以是Kelvin結構的鋁線；外接電流計則可以在各種條件下量測半導體基底的電荷唧電流，藉以推得移動正離子污染的數量。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種移動正離子污染(PMIC)的量測裝置,設置於一半導體基底上,該半導體基底是以場氧化層定義一主動區,該主動區中則設置一MOS電晶體,包括:

一加熱裝置,設置於該等場氧化層的表面以加熱該半導體基底;

一溫度量測裝置,設置於該加熱裝置的表面以量測該半導體基底的溫度,進而作為調整的依據;以及

一閘極,設置於該MOS電晶體的上方以施加偏壓。

2. 如申請專利範圍第1項所述移動正離子污染的量測裝置,其中,該加熱裝置是一複晶矽層。

3. 如申請專利範圍第1項所述移動正離子污染的量測裝置,其中,該溫度量測裝置是Kelvin結構的金屬繞線。

4. 如申請專利範圍第3項所述移動正離子污染的量測裝置,其中,該Kelvin結構的金屬繞線是由鋁線所構成。

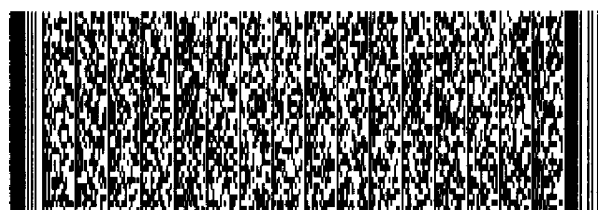
5. 如申請專利範圍第1項所述移動正離子污染的量測裝置,更包括一外接電流計,用以量測該半導體基底的電荷唧電流。

6. 如申請專利範圍第1項所述移動正離子污染的量測裝置,其中該閘極係金屬閘極。

7. 如申請專利範圍第1項所述移動正離子污染的量測裝置,其中該閘極係複晶矽閘極。

8. 一種移動正離子污染的量測方法,包括:

提供一半導體基底,利用場氧化層定義一主動區,該主動區中設置一MOS電晶體,該等場氧化層表面設置一加熱裝



六、申請專利範圍

置，該MOS電晶體上方則設置一閘極；

分別經由該閘極施加一負向偏壓及一正向偏壓，藉以將移動正離子污染吸引至該閘極界面及排斥至該MOS電晶體界面；

以該加熱裝置加溫該半導體基底一段時間後，再降低至室溫；以及

分別量測施加該負向偏壓及施加該正向偏壓時的電荷唧電流，並利用其差值推導移動正離子污染的數量。

9. 如申請專利範圍第8項所述移動正離子污染的量測方法，其中，該負向偏壓是在 $-1\sim -2V$ 之間。

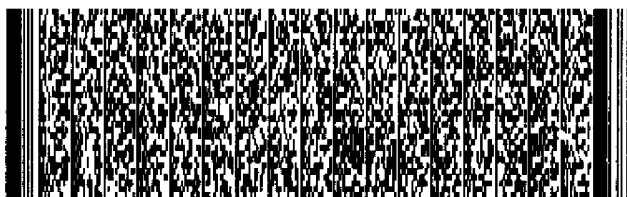
10. 如申請專利範圍第8項所述移動正離子污染的量測方法，其中，該正向偏壓是在 $+1\sim +2V$ 之間。

11. 如申請專利範圍第8項所述移動正離子污染的量測方法，其中，該加熱裝置是先將該半導體基底升溫至 $400^{\circ}C$ 達1分鐘後，再降低至室溫。

12. 如申請專利範圍第8項所述移動正離子污染的量測方法，當施加該負向偏壓時，該MOS電晶體的閘極及源極/汲極區連接至地點，且該半導體基底亦連接至地點。

13. 如申請專利範圍第8項所述移動正離子污染的量測方法，當施加該正向偏壓時，該MOS電晶體的閘極及該半導體基底連接至正電源，該MOS電晶體的源極/汲極區則連接至地點。

14. 如申請專利範圍第8項所述移動正離子污染的量測方法，其中，該等電荷唧電流是經由一串連該半導體基底的



六、申請專利範圍

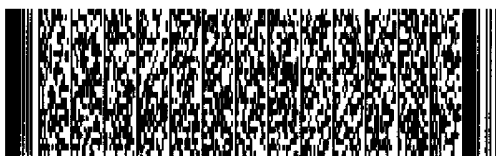
電流計量測得到。

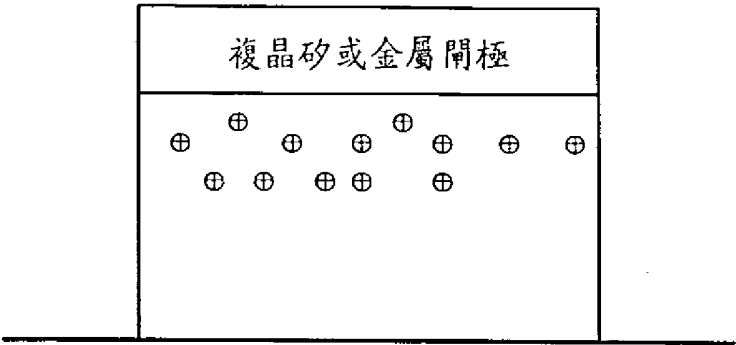
15. 如申請專利範圍第8項所述移動正離子污染的量測方法，其中，該加熱裝置可以在該等場氧化層表面沈積一複晶矽層以得到。

16. 如申請專利範圍第8項所述移動正離子污染的量測方法，其中，該溫度量測裝置可以在該加熱裝置表面分佈Kelvin結構的金屬繞線以得到。

17. 如申請專利範圍第8項所述移動正離子污染的量測裝置，其中該閘極係金屬閘極。

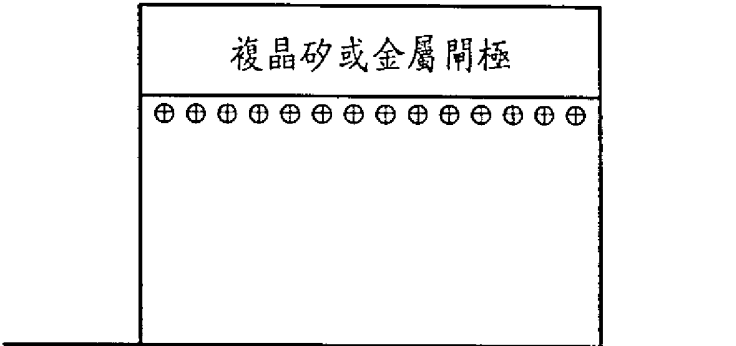
18. 如申請專利範圍第8項所述移動正離子污染的量測裝置，其中該閘極係複晶矽閘極。





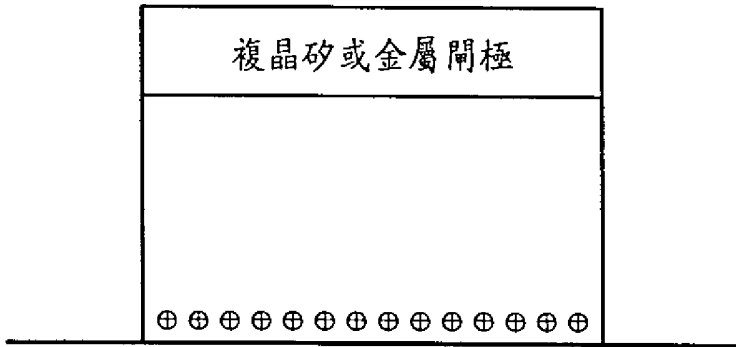
(原始狀態)

第 1A 圖



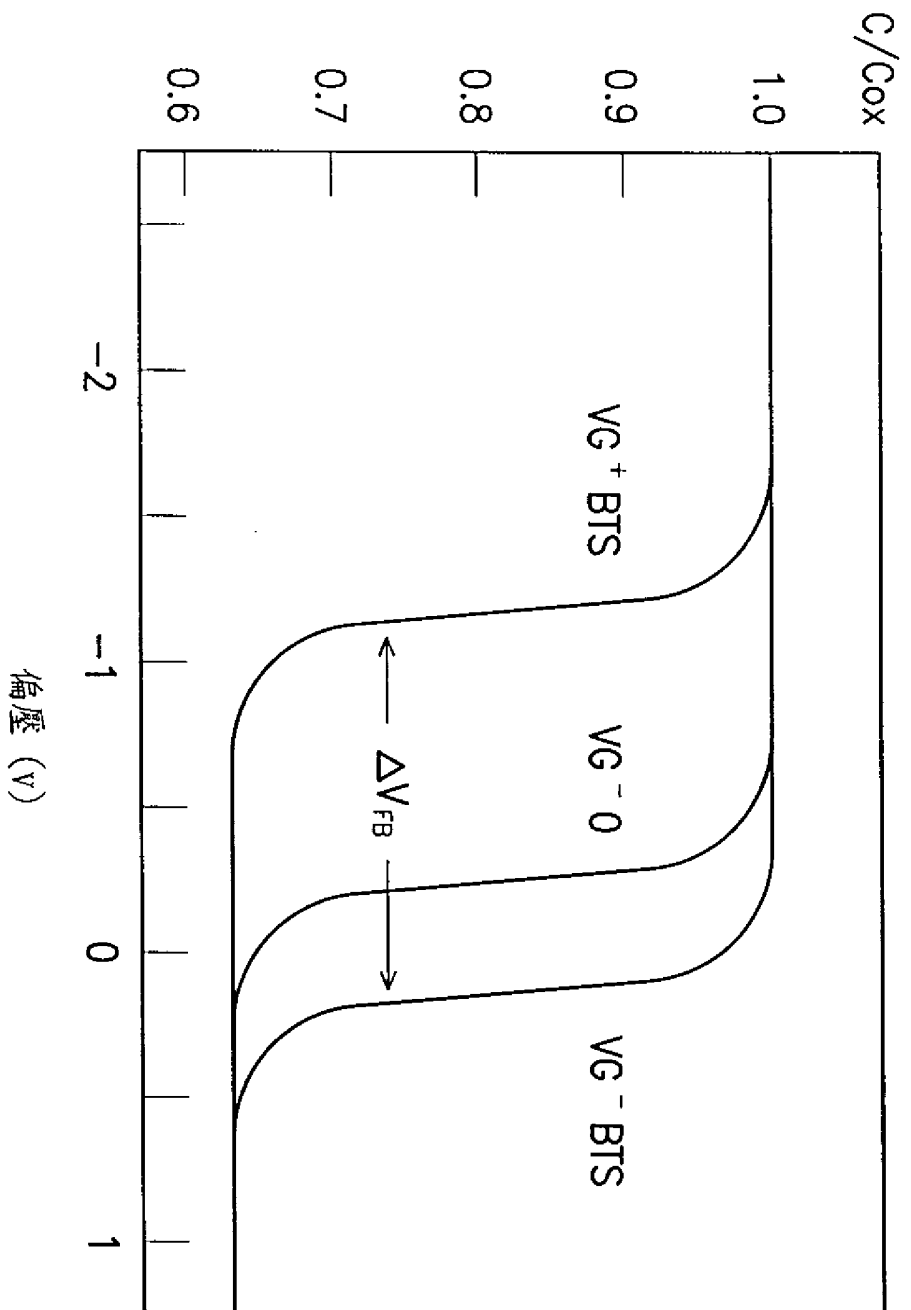
(施加負向偏壓)

第 1B 圖

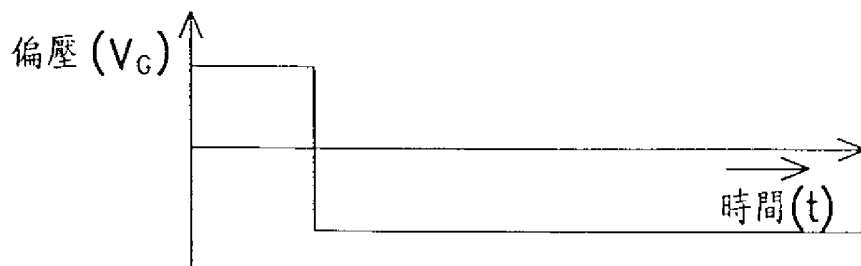


(施加正向偏壓)

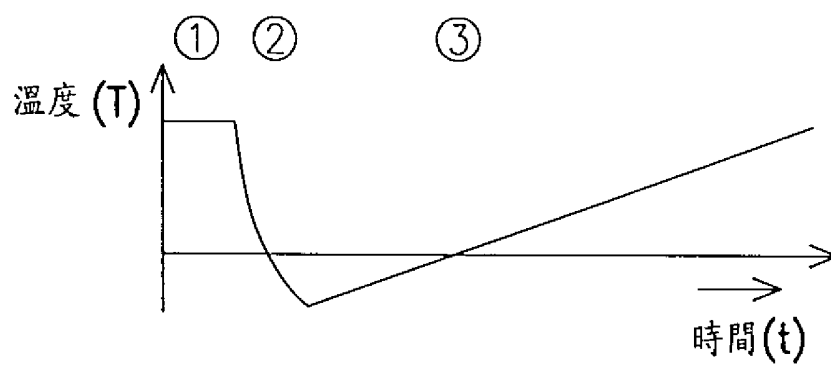
第 1C 圖



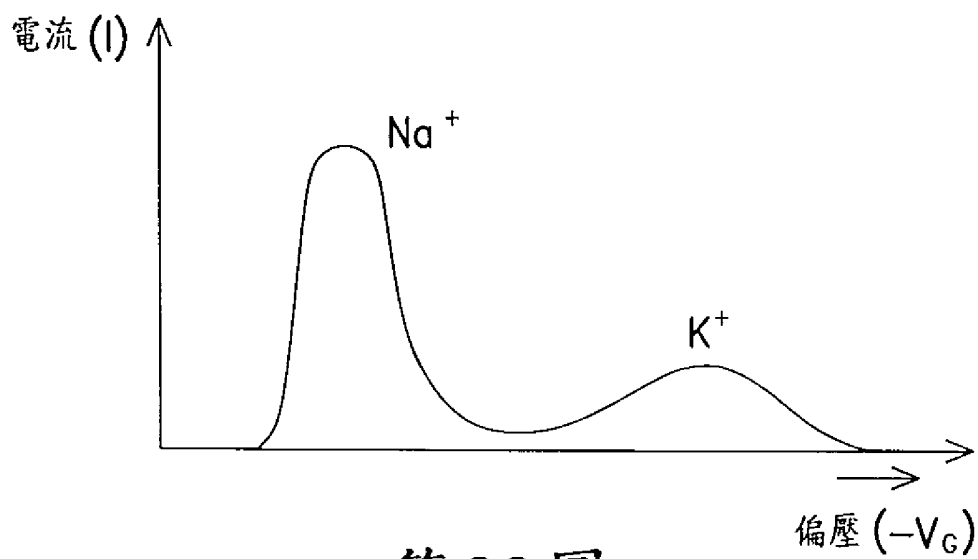
第1D圖



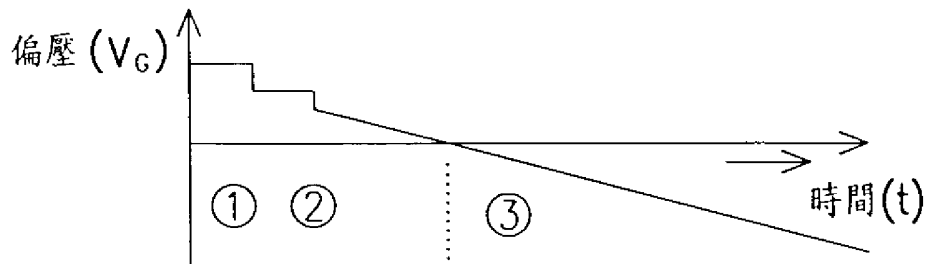
第2A圖



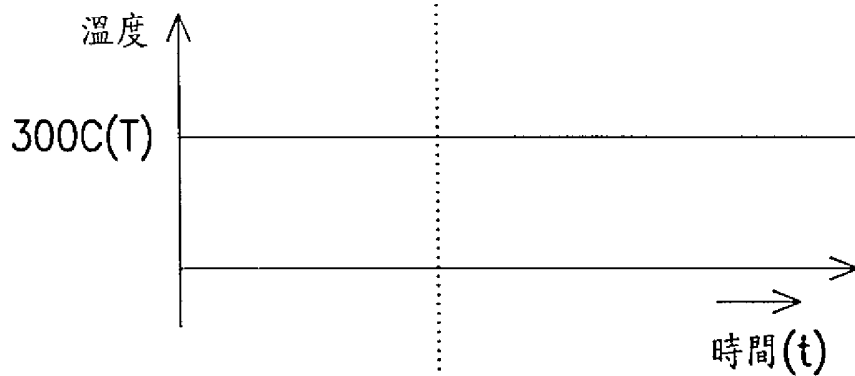
第2B圖



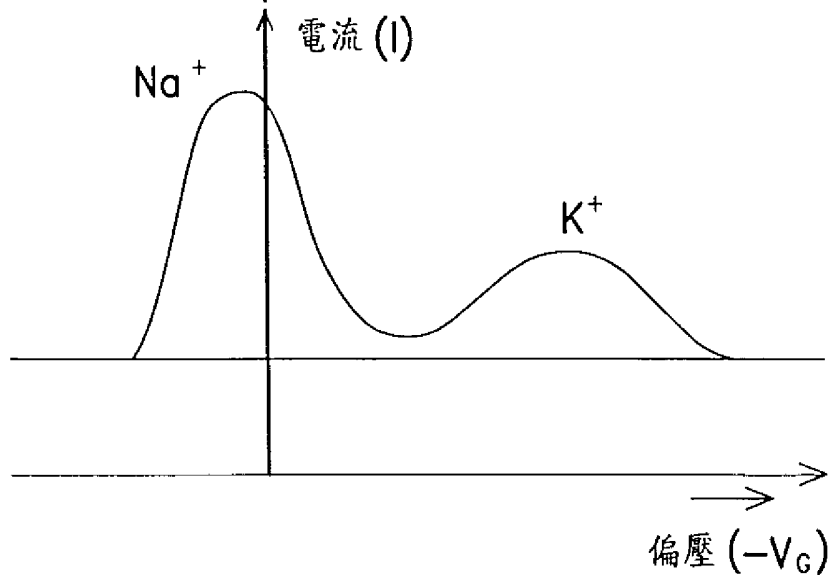
第2C圖



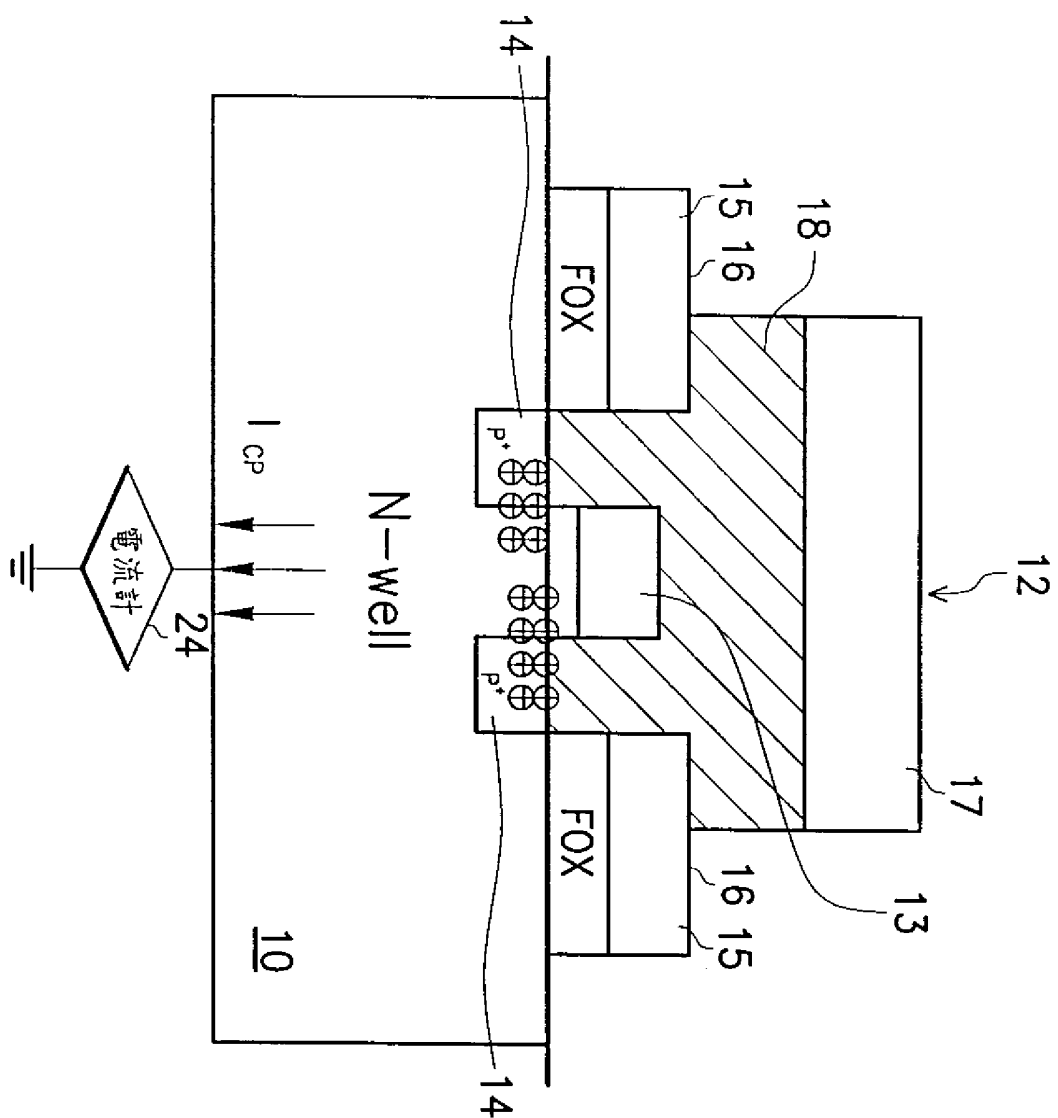
第 3A 圖



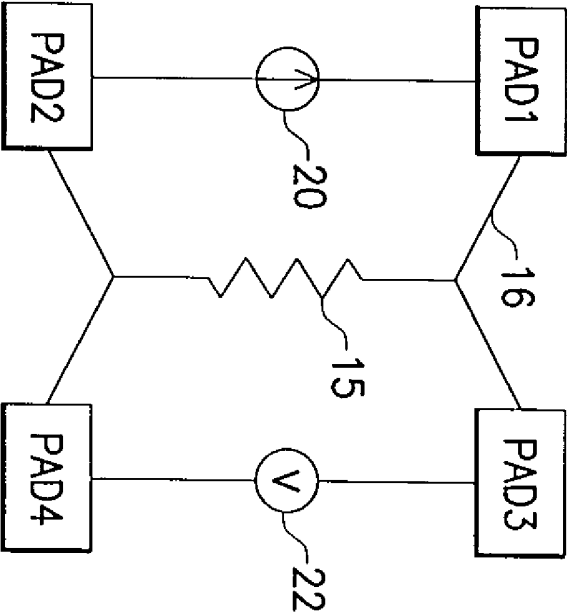
第 3B 圖



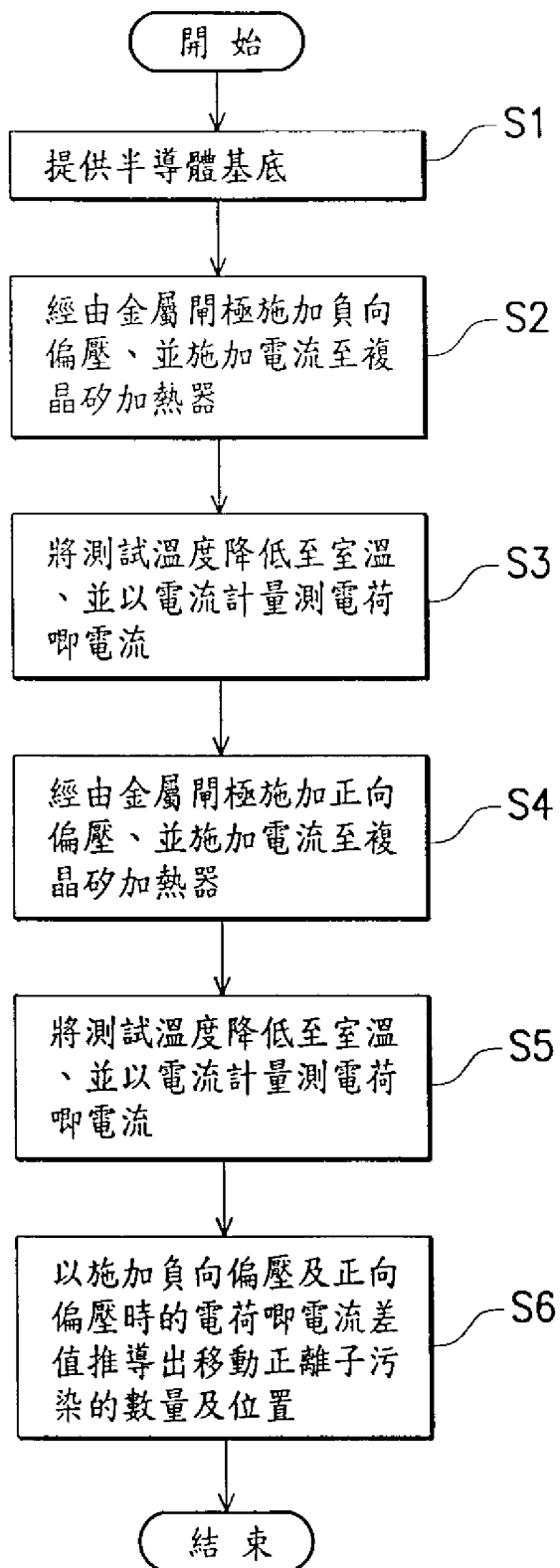
第 3C 圖



第 4 圖



第 5 圖



第 6 圖