



申請日期	P1.6.6
案 號	P1112212
類 別	H01L 25/00

A4
C4

548825

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 ~~新~~ 型名稱	中 文	半導體裝置
	英 文	"SEMICONDUCTOR DEVICE"
二、發明人 ~~創作~~	姓 名	1. 上田 路人 MICHIHITO UEDA 2. 豐田 健治 KENJI TOYODA
	國 籍	均日本 JAPAN
三、申請人	住、居所	1. 日本國大阪府高槻市大手町5-16-103 5-16-103, OTEMACHI, TAKATSUKI-SHI, OSAKA, JAPAN 2. 日本國大阪府大阪市住吉區帝塚山中3-2-13 3-2-13, TEZUKAYAMA-NAKA, SUMIYOSHI-KU, OSAKA-SHI, OSAKA, JAPAN
	姓 名 (名 稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地 1006, OAZA KADOMA, KADOMA-SHI, OSAKA 571-8501, JAPAN
	代 表 人 名 姓	中村 邦夫 KUNIO NAKAMURA

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 ~~新~~ 型名稱	中 文	
	英 文	
二、發明 ~~人~~ 姓名	姓 名	3.森田 清之 KIYOYUKI MORITA 4.大塚 隆 TAKASHI OHTSUKA
	國 籍	均日本 JAPAN
	住、居所	3.日本國京都府八幡市八幡清水井45-1-303 45-1-303, YAWATA-SHIMIZUI, YAWATA-SHI, KYOTO, JAPAN 4.日本國大阪府豐中市上野東2-7-2 2-7-2, UENO-HIGASHI, TOYONAKA-SHI, OSAKA, JAPAN
	姓 名 (名 稱)	
三、申請人	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

日本	2001年06月06日	特願2001-170583	☒ 有 ☐ 無主張優先權
日本	2001年09月26日	特願2001-293793	☒ 有 ☐ 無主張優先權
日本	2001年10月29日	特願2001-330438	☒ 有 ☐ 無主張優先權
日本	2001年07月23日	特願2001-221131	☒ 有 ☐ 無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明(1)

[發明之技術領域]

本發明係有關半導體裝置，尤其是有關具備構成人工神經電路網要素之神經元元件、電位產生裝置、及邏輯轉換電路等功能之半導體裝置。

[先前技藝]

近年來，半導體積體電路技術的發展驚人，除單純之記憶體元件之外，還開發出各種高功能邏輯積體電路。但是，就此等邏輯電路使用兩值信號執行運算方面，亦可說自LSI出現以來邏輯並無進展。目前半導體積體電路之此種兩值運算對單純之數值計算，雖可執行極快速的運算，然而其缺點是對於圖案識別及影像處理等一般人視為簡單的運算，卻需要花費龐大的時間。

針對可快速執行先前LSI所不擅長之運算處理的元件所進行之一種研究，係希望開發出類似動物腦部工作的電腦，亦即所謂之神經電路電腦(Neurocomputer)。該神經電路電腦具有將許多神經元元件連接成神經電路的構造。

先前之神經元元件大部分係由CMIS裝置製成，此時並不具藉由學習使電路工作改變的學習功能。如專利第3122756號公報揭示有：配置電容結合於MISFET之閘極之許多輸入部的MIS型神經元元件。其雖係利用電容結合，執行僅相加輸入部數量之數個輸入端子之各信號強度與結合強度之積的運算，但是並不具備保留運算結果作為學習效果的功能。

另外，近年來提出一種使用強電介質之剩餘極化以實現

五、發明說明(2)

學習功能的第一種先前例。如專利第2929909號公報中揭示有：於配置電容結合於MISFET之閘極之數個輸入部之MIS型神經元元件，係藉由強電介質構成輸入部之全部的電容絕緣膜。此外，專利第2942088號公報中揭示有：於電容結合於MISFET之閘極之數個輸入部之MIS型神經元元件，藉由強電介質構成輸出側之MISFET之閘極絕緣膜的元件。

此外，LSI的發展非常快速，電晶體日趨微細化與高積體化。但是，隨電晶體微細化與晶片面積龐大化，導致良率不易提高。此外，由於電路規模極為龐大，並以多種少量生產的系統LSI為主，因此設計上需要耗費龐大的人力與時間。以致難以縮短開發期間。為求解決此種問題，可重組電路受到矚目。所謂可重組電路，係一種LSI製造後，可隨電路規格之變更而重寫的電路。如現場可程式閘陣列(FPGA; Field Programmable Gate Array)及複雜可程式邏輯裝置(CPLD; Complex Programmable Logic Device)等。其可多段組合基本邏輯區塊，以實現可變更的邏輯電路。亦即，該FPGA/CPLD係使用開關元件及多工器作為程式元件，藉由此等元件組成基本邏輯電路以決定功能。但是，此等方式之基本邏輯區塊的冗餘電路所佔面積較大，配線較長。另外，還提出一種使用強電介質，程式元件可執行邏輯轉換的元件(川口直一、尹聖民、德光永輔：第61屆應用物理學會學術演講會預備演講稿彙編6a-g-1)。

圖40係上述公報所揭示之第二種先前例之神經元元件的

五、發明說明(3)

等效電路圖。該例係藉由脈衝信號在強電介質電容器內產生剩餘電荷，並藉由利用該剩餘電荷以控制漂浮閘之電位，嘗試實現NOR電路與NAND電路的邏輯轉換電路。

如圖40所示，該神經元元件具備n通道型MIS電晶體(NMISFET 510)。此時，NMISFET 510之閘極係未連接於其他端子之漂浮狀態的漂浮閘506。源極予以接地，汲極連接於輸出端子509。輸出端子509經由負荷電阻元件508連接於供給電源電壓VDD用之電源電壓供給端子507。

此外，具備：電容結合於漂浮閘506的兩個輸入端子500，501；介於輸入端子500，501與漂浮閘506之間的常電介質電容器503，504；接收控制信號之控制端子502；及藉由控制端子502與漂浮閘506的強電介質電容器505。

此時，來自輸入端子500之輸入信號的邏輯為X1，來自輸入端子501之輸入信號為X2，控制端子502之電荷量為CR，漂浮閘506之電荷量為 ϕF ，來自輸出端子509之輸出信號的邏輯為Y。此外，NMISFET 510之臨限值電壓為0V。再者，X1，X2為"1"時，在常電介質電容器503，504之各上部電極(輸入端子側之電極)感應有電荷量Q0。

圖41以圖表顯示在控制端子502上施加負的脈衝信號時之對輸入信號X1，X2之各部電荷量與輸出信號Y的邏輯值。

首先，藉由在控制端子502上施加負電壓的脈衝信號，使強電介質電容器505的上部電極上產生電荷量 $-Q0/2$ 的剩餘電荷。此時之漂浮閘506之電荷量 ϕF 如圖41所示。此

五、發明說明(4)

時，漂浮閘 506 之電荷為正時，由於在氧化矽/矽界面形成有通道，MOS 電晶體接通，因此，輸出值 Y 為圖 41 所示之值。從圖 41 上可知，此時之電路工作為 NOR 電路工作。

圖 42 以圖表顯示繼續在控制端子 502 上施加振幅大之負脈衝信號時之對輸入信號 X1，X2 之各部電荷量與輸出信號 Y 的邏輯值。

首先，藉由在控制端子 502 上施加振幅大之負電壓的脈衝信號，使強電介質電容器 505 的上部電極上產生電荷量 $-3Q_0/2$ 的剩餘電荷。此時之漂浮閘 506 之電荷量 ϕ_F 如圖 42 所示。

漂浮閘 506 之電荷為正時，由於在氧化矽/矽界面形成有通道，NMISFET 510 接通，因此，輸出值 Y 如圖 42 所示。從圖 42 上可知，此時之電路工作為 NAND 電路工作。因而，藉由控制強電介質電容器之剩餘電荷，可實現 NOR 電路與 NAND 電路之邏輯轉換電路的程式元件。

此外，說明第三種先前例之先前的神經電路電腦。為說明神經電路電腦之工作，首先簡單地說明所模擬之人體腦部的工作。

圖 44 係簡化顯示腦部基本單位構造的區塊電路圖。該圖中之 601a，601b，601c 係神經元，602a，602b，602c 係神經纖維。603a，603b，603c 稱之為突觸結合，如送達神經纖維 602a 之信號乘以稱之為 w_a 的負荷，並輸入於神經元 601a。神經元 601a 取得所輸入之信號強度的線形和，此等合計值超過某個臨限值時，神經細胞活化(啟動)，輸出信

五、發明說明(5)

號至神經纖維602b。合計值低於臨限值時，神經元不輸出信號。此種較單純之積和運算執行非常多的並列處理，可說實現了腦部特有的資訊處理。

此種神經元工作的研究，先前多作為軟體積極進行。另外，在硬體上，亦有藉由實現該神經元功能並予以最佳化，以實現快速工作等。此種神經元元件的開發，如專利第2662559號公報中揭示的神經元MOSFET(簡稱為 ν MOS)。

圖45係簡化顯示第三種先前例之 ν MOS構造的模式圖。如該圖所示， ν MOS具備構成場效型電晶體(MISFET)之閘極的漂浮閘FG，且具有彼此並聯漂浮閘FG與作為下部電極之數個電容器CG的構造。藉由此種構造， ν MOS之閘極部形成串聯電容器CG，CO的構造，因此輸入於輸入端子G1~G4之信號(電壓)依據串聯電容器之電壓分配原理，在電容更小之 ν MOS的閘極部分配有大電壓。輸入於輸入端子G1~G4之全部信號愈多，分配至閘極部的電壓愈大， ν MOS之汲極電流也愈大。

藉由該工作，上述腦部之神經元工作形成半導體裝置的元件工作。

另外，希望實現腦部功能時，還需要另一項功能。其係圖44中作為突觸說明的功能，亦即係針對一個神經元，對存在數個的輸入分別實現負荷的功能。一種先前之具有此種負荷功能之神經電路電腦之神經元元件，如專利第3122756號公報中揭示的技術。

五、發明說明(6)

圖46係顯示專利公報中揭示之一種先前神經元元件之構造的模式圖。該圖中之611, 612分別為NMOS及PMOS電晶體。漂浮閘613經由閘極氧化膜, 設於NMOS之通道區域上。此外, 漂浮閘613經由約5~7 nm之氧化矽膜, 與電荷注入用電極616相對。配線617係PMOS電晶體611的閘極, 同時經由NMOS電晶體611之漂浮閘與厚度約20 nm的氧化矽膜電容結合, 且擔任NMOS電晶體611之閘極的功能。620係配線。電極621經由厚度為20 nm之氧化矽膜, 與漂浮閘613電容結合。神經元電路630具有數個輸入端子628a~628d。

圖46所示之先前的神經元元件自電荷注入用電極616, 藉由隧道電流注入電荷於漂浮閘613, 使漂浮閘613的電位改變。藉此, 可使NMOS電晶體611的臨限值電壓改變。藉由該效果與經由配線617, 自配線619所輸入之信號(電壓), 可使NMOS電晶體611處於導通狀態之電壓電平改變。其不外是改變輸入信號對神經元電路之接通(啟動)的影響, 實現使負荷改變的突觸工作者。另外, 由於上述專利公報中之實施形態的突觸電路係結合NMOS電晶體611與PMOS電晶體612而構成, 因此輸出為VDD與GND (0V)兩值。

為求正確地控制設定此種負荷係數用之隧道電流的電荷量, 該先前例除注入控制電壓之絕對值之外, 亦改變成注入控制電壓脈衝狀, 並藉由脈寬及脈高或脈衝數進行控制。

五、發明說明(7)

此外，上述先前例中，使NMOS電晶體之臨限電壓改變的機構，除上述之漂浮閘型MOS電晶體之外，亦可使用利用強電介質膜之非揮發性記憶體元件(強電介質閘極電晶體)。

圖47係顯示上述公報中揭示之先前強電介質閘極電晶體構造的剖面圖。該圖中之656係P型矽基板，657如為5 nm之氧化矽膜。658係強電介質膜，如使用膜厚為300 nm之PZT($\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_2$)。659如為鈦的電極。660a，660b為 N^+ 型之源極及汲極。該公報中，係藉由在閘極659上施加正或負的脈衝，使強電介質膜極化，藉由其極化的大小來控制電晶體的臨限值電壓。

[發明所欲解決之問題]

但是，上述第一種先前例存在如下的問題。

第一，神經元元件對某個輸入，自神經元輸出有「1」或「0」時，需要自下次起仍容易執行相同的輸出。亦即，需要預先學習記憶各神經元的輸出狀況。然而，專利第2929909號公報中揭示之MIS型神經元元件，各神經元之輸入部形成「1」或「0」時，雖可以設於各輸入部之強電介質膜的剩餘極化學習記憶，但是該神經元無法學習記憶輸出「1」或「0」的資訊。即使許多輸入部為「1」，仍無法簡單地決定輸出為「1」或「0」。

第二，使神經元元件具備學習功能時，有時亦希望附加重設或減弱學習記憶功能。由於專利第2942088號公報中所揭示之MIS型神經元元件之輸出側MISFET之閘極絕緣膜

五、發明說明(8)

係藉由強電介質構成，因此可執行第一問題之神經元之輸出狀態的學習記憶。然而，為求重設或減弱該學習記憶資訊，需要在基板與閘極之間施加與一般 MISFET 之工作不同極性的電壓，使強電介質膜的極化改變。因而需要將各 MIS 型神經元元件之基板部分予以電性絕緣，包含控制電路非常複雜。

此外，具備上述第二先前例之邏輯轉換電路(程式元件)功能之神經元元件還存在強電介質電容器 505 之強電介質膜上產生之剩餘電荷影響漂浮閘 506 之電位 ϕF 的問題。

此時，施加於強電介質膜之電壓(使控制端子側為正)為 V_{ferr} 時， V_{ferr} 以下列公式(101)表示：

$$V_{ferr} = CR - \phi F = -\phi F \quad (101)$$

ϕ 此處，著眼於控制端子 502 上未施加脈衝信號的區域加以考慮。此時，從公式(101)可知施加於強電介質膜之電壓與漂浮閘 506 之電位 ϕF 相關。由於 ϕF 因輸入而改變，因此，根據公式(101)，施加於強電介質膜之電壓必定變動。以致發生強電介質膜上感應之剩餘電荷變動的問題。該問題參照圖加以說明。

圖 43(a)，(b)依序為顯示第二先前例之神經元元件之漂浮閘電位隨時間而變化之時序圖，及顯示施加於強電介質膜之電壓隨時間而變化之時序圖。此時之邏輯值 "0" 的電壓值為 0V，邏輯值 "1" 之電壓值為 5V。分別在輸入端子 500，501 上輸入 (0, 0)，(1, 1)，(0, 1)，(1, 0) 後，在控制端子 502 上施加 -10V 的脈衝信號，使強電介質電容器 505 上

五、發明說明 (9)

感應剩餘電荷。之後，分別在輸入端子500, 501上重複輸入(0, 0)，(1, 1)，(0, 1)，(1, 0)。

此時，從圖43(a)可知，施加於強電介質膜之電壓即使在未施加脈衝信號之區域亦發生變動。亦即，如圖43(a)之區域Rx所示，對施加有脈衝信號前之輸入(0, 1)之漂浮閘506的電位 ϕ_F 與對輸入(1, 0)之電位 ϕ_F 彼此不同。因此，如前所述，在輸入端子上施加有輸入信號時，施加於強電介質電容器之強電介質膜上的電壓發生變動。此外，如圖43(a)之區域Ry所示，於脈衝信號施加於控制端子502後，對第一次與第二次之相同輸入之漂浮閘的電位 ϕ_F 彼此不同。此亦因在輸入端子上施加有電壓時，施加於強電介質電容器之強電介質膜的電壓不固定，以致強電介質電容器之剩餘電荷發生變動。

因而，具備第二先前例之NOR電路與NAND電路之邏輯轉換電路功能之神經元元件的強電介質電容器之剩餘電荷因施加於其他輸入端子之電壓而變動，無法穩定地保持被強電介質電容器所感應的剩餘電荷，導致邏輯轉換功能不穩定的問題。

此外，使用以構成上述第三種先前例之神經電路電腦之突觸電路之第一種方法之圖46所示之隧道電流的構造，考慮隧道電流對電場強度產生指數函數性變化時，很難藉由脈寬及脈高，甚至脈衝數來控制隧道電荷量。

圖48係顯示電子貫穿厚度為10 nm之熱氧化矽膜時之施加電壓與隧道電流的關係圖。如該圖所示，由於隧道電流

五、發明說明(10)

具有指數函數性增加的性質，因而可知對先前例之漂浮電極的電荷控制極困難。以致很難多段且精度良好地設定負荷係數。由於類神經網路之運算處理中，負荷係數之設定需要講求精度，因此以圖46所揭示之方法，很難設定精確的負荷係數，以致發生神經元元件之工作亦難加以學習等，而無法獲得適切工作的問題。此外，以有效之裝置使用隧道現象的電場強度約在6 MV/cm以上，以致亦發生需要極高之驅動電壓的問題。

再者，有關構成圖47所示之先前突觸電路之第二種方法的強電介質閘極電晶體，亦有若不針對具體之配線的連接形態及驅動電壓之施加方法講求具體手段，能否獲得突觸之適切工作的問題。

本發明之第一目的，在提供一種內建可簡便地學習記憶各神經元之輸出狀況，且容易重設或減弱其學習記憶之機構的神經元元件。

本發明之第二目的，在提供一種具備穩定之邏輯轉換電路功能的神經元元件。

本發明之第三目的，在提供一種可多階段地設定負荷係數的神經元元件。

[解決問題之手段]

本發明之第一種半導體裝置包含：半導體層；第一絕緣膜，其係設於上述半導體層之上；第一閘極，其係設於上述第一絕緣膜上；至少一個第二閘極，其係與上述第一閘極相對設置，並接收輸入信號；至少一個第二絕緣膜，其

五、發明說明(11)

係介於上述第一閘極與上述至少一個第二閘極之間；第三閘極，其係與上述第一閘極相對設置；強電介質膜，其係介於上述第一閘極與上述第三閘極之間；及輸出部，其係連接於上述半導體層之一部分，因應輸入於上述至少一個第二電極之輸入信號而輸出輸出信號；且具有因應上述強電介質膜之極化特性，加強或減弱上述輸入信號與上述輸出信號之相關關係的學習功能。

藉此，於強電介質膜之剩餘極化係在減弱半導體裝置接通之閘偏壓方向上極化的情況下，產生負的學習效果，於強電介質膜之剩餘極化係在加強半導體裝置接通之閘偏壓方向上極化的情況下，產生正的學習效果。尤其具有將負的學習功能作為基本性功能。藉此可獲得適於具備多種學習功能之神經元元件的半導體裝置。

藉由在上述第三閘極上供給有一定的電壓，可獲得無須執行複雜之控制即可具備學習功能的半導體裝置。

藉由在上述第三閘極上施加有對上述第一電極之電位為正或負的電壓，可使半導體裝置上任意具有正的學習功能或負的學習功能。

上述第三閘極上宜施加有脈衝狀電壓，即使在該情況下，仍可在上述第三閘極上施加對第一閘極為正或負的脈衝狀電壓。

藉由進一步包含：評估機構，其係評估自上述輸出部輸出之輸出信號；及信號產生電路，其係因應上述評估機構之評估結果，產生供給至上述第三閘極的信號，可因應輸

五、發明說明(12)

出適切地控制學習功能的正負及電平。

使上述強電介質膜之極化反轉用之抗電壓的絕對值宜小於電流流入位於上述半導體層內之上述第一閘極下方區域用之臨限值電壓的絕對值。

上述至少一個第二閘極上施加電流流入位於上述半導體層內之上述第一閘極下方區域之範圍內的最大輸入電壓時，上述第一閘極與第三閘極間之電壓宜不超過上述強電介質膜的抗電壓。

宜包含：第一、第二擴散區域，其係形成於上述半導體層中之位於上述第一閘極的兩側方；及第一、第二電壓供給部，其係分別連接於上述第一、第二擴散區域，並供給具有高低差的第一、第二電壓；且上述輸出部宜連接於上述第一擴散區域，上述輸出部與上述第一電壓供給部之間，宜介有具備電阻體功能的電阻性構件。

上述半導體裝置宜具有運算電路之神經元元件，尤其宜具有邏輯運算電路之神經元元件的功能。

此外，半導體裝置宜配置於執行辨識與判斷之人工智慧系統內。

宜分別設置等數量之數個上述至少一個第二閘極與上述至少一個第二絕緣膜，並因應數個輸入信號，輸出上述輸出信號。

本發明之第二種半導體裝置包含：半導體層；第一絕緣膜，其係設於上述半導體層之上；第一閘極，其係設於上述第一絕緣膜上；第二閘極，其係與上述第一閘極相對；

五、發明說明(13)

強電介質電容器，其係包含：下部電極，其係連接於上述第一閘極；上部電極，其係連接於上述第二閘極；及強電介質膜，其係介於上述上部電極一下部電極之間；第三閘極，其係連接於上述強電介質電容器之上部電極；至少一個第四閘極，其係與上述第三閘極相對設置，並接收輸入信號；至少一個第二絕緣膜，其係介於上述第三閘極與上述第四閘極之間；第五閘極，其係與上述第三閘極相對設置，並供給有上述強電介質膜之極化調整用電壓；第三絕緣膜，其係介於上述第三閘極與上述第五閘極之間；及輸出部，其係連接於上述半導體層之一部分，因應輸入於上述至少一個第四電極之輸入信號而輸出輸出信號；且具有因應上述強電介質膜之極化特性，加強或減弱上述輸入信號與上述輸出信號之相關關係的學習功能。

藉此，可獲得特別適於將正的學習功能作為基本性功能之神經元元件的半導體裝置。

宜分別設置等數量之數個上述至少一個第四閘極與上述至少一個第二絕緣膜，並因應數個輸入信號，輸出上述輸出信號。

本發明之第三種半導體裝置包含：半導體層；第一絕緣膜，其係設於上述半導體層之上；第一閘極，其係設於上述第一絕緣膜上；第二閘極，其係與上述第一閘極相對設置；第三閘極，其係與上述第二閘極相對設置；至少一個第四閘極，其係與上述第三閘極相對設置，並接收輸入信號；至少一個第二絕緣膜，其係介於上述第三閘極與上述

五、發明說明 (14)

第四閘極之間；第五閘極，其係與上述第三閘極相對設置；第三絕緣膜，其係介於上述第三閘極與上述第五閘極之間；輸出部，其係連接於上述半導體層之一部分，因應輸入於上述至少一個第四閘極之輸入信號而輸出輸出信號；強電介質電容器，其係包含：下部電極，其係連接於上述第一閘極；上部電極，其係連接於上述第二閘極；及強電介質膜，其係介於上述上部電極一下部電極之間；及電壓供給部，其係用於在上述第五閘極上供給上述強電介質膜之極化控制用電壓；且上述強電介質電容器之下部電極可電性連接上述第三閘極或上述第五閘極之任何一方，上述強電介質電容器之上部電極可電性連接於上述第五閘極或上述電壓供給部之任何一方。

藉此，可切換成具有將正之學習功能作為基本性功能之半導體裝置、與具有將負之學習功能作為基本性功能之半導體裝置。

宜分別設置等數量之數個上述至少一個第五閘極與上述至少一個第二絕緣膜，並因應數個輸入信號，輸出上述輸出信號。

本發明之第四種半導體裝置包含：第一半導體層；第一MISFET，其係包含：第一絕緣膜，其係形成於上述第一半導體層上之；第一閘極，其係形成於上述第一閘極絕緣膜上之；及第一、第二P型擴散區域，其係形成於上述第一半導體層內之位於上述第一閘極兩側方的區域內；第二半導體層；第二MISFET，其係包含：第二絕緣膜，其係

五、發明說明 (15)

形成於上述第二半導體層上之；第二閘極，其係形成於上述第二閘極絕緣膜上之；及第一、第二N型擴散區域，其係形成於上述第二半導體層內之位於上述第二閘極兩側方的區域內；強電介質電容器，其係包含：第一電極，其係共同連接於上述第一、第二閘極；第二電極，其係與該第一電極相對；及強電介質膜，其係介於上述第一電極—第二電極之間；第一電壓供給部，其係用於在上述第二MISFET之第一N型擴散區域內供給第一電壓；第二電壓供給部，其係用於在上述第一MISFET之第一P型擴散區域內供給低於上述第一電壓之第二電壓；及電壓輸出部，其係共同連接於上述各MISFET之第二P型擴散區域及N型擴散區域，用於輸出因應輸入於上述強電介質電容器之上述第二電極之電壓的輸出電壓；且具備電位產生裝置的功能。

藉此，可利用強電介質膜之剩餘極化，大致將輸入於電壓輸入部之輸入電壓直接作為輸出電壓而輸出。亦即，可獲得具備緩衝器功能的電位產生裝置。

上述第二閘極藉由電性連接於上述第一MISFET之第一P型擴散區域，形成第二MISFET作為電阻體之功能。

上述第一閘極藉由電性連接於上述第二MISFET之第一N型擴散區域，形成第一MISFET作為電阻體之功能。

上述第一P型擴散區域與上述第二半導體層內之除上述第一、第二N型擴散區域以外之區域的一部分彼此電性連接，上述第一N型擴散區域與上述第一半導體層內之除上述第一、第二P型擴散區域以外之區域的一部分彼此電性

五、發明說明(16)

連接的情況下，可獲得具備源極隨動器電路功能的緩衝器。

上述第一及第二MISFET宜為增強型(常關)電晶體。

藉由進一步具備形成於上述第一及第二閘極中之至少任何一方側面上之側壁，可使閘極、源極重疊量減少，可抑制輸出側之電位變動對強電介質膜之極化狀態的影響。

藉由進一步具備連接於上述強電介質電容器之上述第二電極的傳遞電晶體，可進一步抑制對強電介質膜之極化的干擾。

進一步包含：第三半導體層；第三MISFET，其係包含：第三閘極絕緣膜，其係設於上述第三半導體層之上；第三閘極，其係設於上述第三閘極絕緣膜之上；及第一、第二擴散區域，其係形成於上述第三半導體層中之位於上述第三閘極兩側方的區域內；至少一個第四閘極，其係與上述第三閘極相對設置，並接收輸入信號；至少一個第一絕緣膜，其係介於上述第三閘極與上述至少一個第四閘極之間；第五閘極，其係與上述第三閘極相對設置，且電性連接於上述電壓輸出部；第二絕緣膜，其係介於上述第三閘極與上述第五閘極之間；及信號輸出部，其係連接於上述第三半導體層內之上述第一擴散區域，因應輸入於上述至少一個第四閘極之輸入信號而輸出輸出信號；且藉由具備邏輯轉換電路之功能，可利用上述電位產生裝置之功能部分的輸出，執行穩定之邏輯工作的切換。

宜進一步具備第一、第二電壓供給部，其係連接於上述

五、發明說明(17)

第三半導體層內之上述第一、第二擴散區域，用於分別供給具有高低差之第一、第二電壓，在上述信號輸出部與上述第一電壓供給部之間介有電阻體。

上述第三 MISFET 為 NMISFET，亦可採用進一步具備第一、第二電壓供給部，其係連接於上述第三半導體層內之上述第一、第二擴散區域，用於分別供給具有高低差之第一、第二電壓，在上述信號輸出部與上述第一電壓供給部之間設有具有連接於上述第三閘極之閘極之 PMISFET 的第四 MISFET，構成有反相器電路的構造。

上述反相器電路之臨限值電壓宜藉由上述強電介質電容器之強電介質膜，設定在上述第三 MISFET 之第三閘極及第四 MISFET 之閘極上所感應之電位的最大值與最小值之間。

上述至少一個第四閘極及上述至少一個第一絕緣膜可形成分別設有等數量的數個，上述強電介質電容器之第二電極上施加有具有負振幅之脈衝狀電壓時，輸入於上述數個第四閘極之輸入信號、與自上述輸出部所輸出之輸出信號之邏輯關係自 NOR 轉換成 NAND 的構造。

藉由數個半導體裝置經由開關元件配置成陣列狀，可獲得組合邏輯轉換電路的積體電路。

可獲得具備類神經網路之功能的半導體裝置。

本發明之第五種半導體裝置包含：數個突觸部，其係負荷於輸入信號，輸出輸出信號；及神經元部，其係接收來自上述數個突觸部之數個輸出信號；且上述突觸部包含：

五、發明說明 (18)

半導體層；強電介質閘極電晶體，其係包含：閘極絕緣膜，其係形成於上述半導體層之上；閘極，其係形成於上述閘極絕緣膜之上；第一、第二擴散區域，其係形成於上述半導體層內之位於上述閘極兩側方之區域內；通道區域，其係介於該第一—第二擴散區域間；第一電極，其係連接於上述MISFET之閘極；第二電極，其係與該第一電極相對；及強電介質膜，其係介於上述第一電極—第二電極之間；輸入部，其係電性連接於上述強電介質閘極電晶體之上述第一擴散區域，用於供給輸入信號；輸出部，其係連接於上述強電介質電晶體之上述第二擴散區域，用於將上述輸入信號乘以負荷係數並輸出；及負荷信號輸入部，其係電性連接於上述強電介質電容器之上述第二電極，並接收負荷控制信號。

藉此，可因應負荷控制信號使強電介質膜之極化狀態改變，可對輸入信號，自輸出部輸出因應極化狀態的電壓。

藉由進一步包含：電阻性構件，其係具備電性連接於上述強電介質閘極電晶體之上述第二擴散區域之電阻體的功能；及電壓供給部，其係夾住上述電阻性構件，並連接於上述第二擴散區域；容易控制自輸出部所輸出的電壓。

藉由上述閘極—半導體層間之電容大於上述第一電極—第二電極間之電容，可簡化負荷係數的控制。

尤其是，上述第一—第二電極之彼此重疊面積宜小於上述通道區域之面積。

此外，藉由上述第一—第二電極之彼此重疊面積小於上

五、發明說明 (19)

述通道區域之面積的 $1/5$ ，可精細且多階段地設定負荷係數。

構成上述強電介質膜之材料，宜含有包含鉛、鋇、鋇、鋇、鋇、鋇、鋇之群之元素中的至少兩個以上。

將上述負荷控制信號輸入後之上述強電介質膜之剩餘極化設定為 PW ，上述閘極絕緣膜之厚度及相對介電常數分別設定為 tI ， ϵI ，對上述強電介質閘極電晶體之汲極電流值二位數變化用之閘極施加電壓之差設定為 ΔVg ，真空介電常數設定為 $\epsilon 0$ 時，上述通道區域之面積與上述第一—第二電極彼此重疊面積之比藉由以 $2PW \times tI / (\Delta Vg \times \epsilon 0 \times \epsilon I)$ 表示，負荷係數之設定精度特別提高。

在上述負荷信號輸入部內施加絕對值大於上述負荷控制信號之最大電壓，且為反極性之電壓後，藉由輸入上述負荷控制信號實施驅動，即使剩餘極化受到各種信號之影響而變動，仍可將其重設，執行正確之負荷係數的設定。

藉由進一步具備介於上述強電介質電容器之上述第二電極與上述負荷信號輸入部之間之選擇電晶體，藉由使自電壓輸出部施加於強電介質膜上之電壓分散，可抑制強電介質膜的極化變動。

藉由數個半導體裝置及選擇電晶體配置成陣列狀，可構成將半導體作為神經元元件之類神經網路，並可有效執行各神經元元件之負荷係數的控制。

[發明之實施形態]

(第一種實施形態)

五、發明說明(20)

圖1係顯示本發明第一種實施形態之半導體裝置之神經元元件之電路構造的模式圖。圖3係僅取出本實施形態之神經元元件之電容器部分時的等效電路圖。

本實施形態之神經元元件包含：源極端子2、汲極端子3、閘極絕緣膜6、及具有閘極之n通道型MIS電晶體(NMISFET1)。此處之NMISFET1之閘極係未連接於其他端子之漂浮狀態的漂浮閘4。源極端子2與NMISFET1之基板區域均接地，汲極端子3連接於輸出端子10。輸出端子10經由負荷電阻元件9連接於供給電源電壓VDD用的電源電壓供給部。

此外，設有電容結合於漂浮閘4之n個信號輸入部5。信號輸入部5包含：輸入端子5a、連接於輸入端子5a之輸入閘極5b、及介於輸入閘極5b與漂浮閘4之間的常電介質膜5c。亦即，輸入閘極5b與漂浮閘4係藉由常電介質膜5c電容結合。

輸入閘極5b與漂浮閘4之間的電容依常電介質膜5c之材料、厚度及面積而定。各輸入閘極5b與漂浮閘4之間的電容亦可全部相同，亦可為加權而彼此不同。

此外，還設有學習記憶部7，其包含：電壓端子7a，其係接收極化用電壓；及極化用電極7b，其係夾住強電介質膜8，與漂浮閘4相對。學習記憶部7之電壓端子7a上通常施加有0V的一定電壓(接地電壓)。

此處將n個信號輸入部5之各輸入閘極5b與漂浮閘4之間的電容設定為C1~Cn。此外，將漂浮閘4與半導體基板間

五、發明說明 (21)

之電容設定為 C_0 ，將漂浮閘4與學習記憶部7之間的有效電容設定為 C_M ，將強電介質膜8之剩餘極化設定為 Q_M 。此外，將漂浮閘4之電位設定為 V_F ，將學習記憶部7之電位設定為 V_M 時，近似性地下列公式(1)成立：

$$V_F = (C_1 \cdot V_1 + C_2 \cdot V_2 + \dots + C_n \cdot V_n + C_M \cdot V_M + Q_M) / (C_1 + C_2 + \dots + C_n + C_M + C_0) \quad (1)$$

圖2係顯示強電介質膜8之剩餘極化與電壓的關係(磁滯迴路)圖。另外，本實施形態將強電介質膜4中，半導體基板側上產生正電荷之極化作為正的極化。從圖2可知，在強電介質膜上施加有抗電壓 $+V_c$ 或 $-V_c$ 時，極化反轉。此外，施加電壓恢復為0時之剩餘極化為 $+P_r$ 或 $-P_r$ 。

其次，藉由調整各輸入部5之電容 $C_1 \sim C_n$ 、學習記憶部-漂浮閘間之有效電容 C_M 、與漂浮閘-半導體基板間之電容 C_0 ，以NMISFET1之臨限值電壓 V_{TH} 與強電介質膜8之抗電壓 V_c 大致相等之方式設計元件。 n 個信號輸入部5之輸入值的合計成為某值時，漂浮閘4之電位 V_F 大於NMISFET1之臨限值電壓 V_{TH} ，NMISFET1接通，電流在源極端子2與汲極端子3之間流動，形成導通狀態。此時，源極端子2與汲極端子3之間的電阻小於負荷電阻元件9，輸出端子10之輸出電壓幾乎為0V。另外，由於強電介質膜8之抗電壓 V_c 被設計成與NMISFET1之臨限值電壓 V_{TH} 大致相等，因此NMISFET1接通的同時，強電介質膜8之極化自 $+Q_M$ 反轉成 $-Q_M$ ，僅改變 $-2Q_M$ 。

參照圖1所示之電路與圖3所示之等效電路圖，說明以上

五、發明說明 (22)

的作用。其中，如前所述，閘極絕緣膜6係顯示將漂浮閘4作為閘極之NMISFET的閘極絕緣膜。該NMISFET1之臨限值電壓 V_{TH} 被設計成與強電介質膜8之抗電壓 V_c 大致相等，漂浮閘4之電壓在正方向上大於 V_c 時，NMISFET1接通，此外則斷開。

信號輸入部5上施加有各種電壓時，漂浮閘4之電壓為前述公式(1)所表示的 V_F 。如前所述，將漂浮閘4作為閘極之NMISFET1之臨限值電壓 V_{TH} 被設計成與強電介質膜8之抗電壓 V_c 大致相等。因而，信號輸入部5上，自全部為0V之狀態施加有各種正電壓，漂浮閘4之電壓大於臨限值電壓 V_{TH} 時，NMISFET1接通。與此同時，在強電介質膜8之兩端施加有大於抗電壓 V_c 之電壓，強電介質膜8之極化開始反轉。信號輸入部5之電壓再度全部恢復為0V時，強電介質膜8之極化結果，從+QM反轉成-QM，僅改變-2QM。另外，所謂QM係圖2所示之 P_r 乘以強電介質膜的面積者。此時，漂浮閘4之電壓與執行以上之電壓操作前比較，為僅 $2QM/(C_1+C_2+\dots+C_n+C_M+C_0)$ 的負電壓。

因而，繼續為接通NMISFET1，需要將漂浮閘4之電壓 V_F 僅大於初始狀態 $2QM/(C_1+C_2+\dots+C_n+C_M+C_0)$ 之電壓施加於信號輸入部5。換言之，此與強電介質膜8之剩餘極化學習記憶NMISFET1的接通工作，並抑制在負的方向上相同。因而將圖1所示之電路視為一個人工神經元，而採用本實施形態時，人工神經元可學習記憶輸出「1」或「0」的資訊。此時， n 個信號輸入部5之電壓可以為類比值，亦

五、發明說明 (23)

可為H或L之數位值。

圖4顯示圖1所示之電路中設置兩個信號輸入部5時的一種工作波形圖。電源電壓VDD為5V，學習記憶部7之電壓端子7a之電壓為0V。將兩個信號輸入部之電壓V1，V2同時自0V提高至5V時，如圖4所示，輸出端子10之電壓VOUT自5V下降至約0.5V。再者，將兩個信號輸入部5之電壓V1,V2同時為0V後，再度同時提高至5V時，輸出電壓VOUT自5V下降至約1.4V。亦即，第一次輸入時下降至約0.5V，而第二次輸入時僅下降至1.4V。此顯示NMISFET1不易接通，此與強電介質膜108之剩餘極化學習記憶並抑制NMISFET1之接通工作相同。

再者，於學習記憶部7之極化用電極7b上施加正電壓，使強電介質膜8上施加有 $-V_0$ 以上之電壓時，強電介質膜8之剩餘極化自 $-QM$ 反轉成 $+QM$ ，僅改變 $+2QM$ ，因此恢復初始狀態。在極化用電極7b上施加稍小之電壓時，因應電壓而減少之強電介質膜8的極化量改變。此可說是重設神經元之學習記憶資訊的工作。因而，採用本實施形態時，不論NMISFET1之構造為何，只須控制學習記憶部7的電壓，即可輕易地執行重設神經元之學習記憶資訊的工作。採用本實施形態時，不需要將各MIS型神經元元件之基板部分予以電性絕緣，亦不需要設計非常複雜的控制電路。

因而，藉由本實施形態可以簡便之方法提供一種具備神經元元件功能的半導體裝置，該神經元元件內建簡便地學習記憶各神經元的輸出狀況，且容易重設或減弱其學習記

五、發明說明(24)

憶的機構。

-第一種類似例-

本實施形態之MIS型神經元元件雖僅具備一個保持學習記憶資訊之學習記憶部7，不過，亦可具備數個學習記憶部7。

圖5係顯示設置數個學習記憶部之第一種實施形態之第一種類似例之半導體裝置之神經元元件的構造模式圖。該類似例之神經元元件除學習記憶部7A之外，該學習記憶部7A包含：接收極化用電壓之電壓端子7Aa；及夾住強電介質膜8A，與漂浮閘4相對之極化用電極7Ab，還具備學習記憶部7B，其包含接收極化用電壓之電壓端子7Ba；及夾住強電介質膜8B，與漂浮閘4相對之極化用電極7Bb。其他構造則與圖1所示之構造相同。

該類似例與介於兩個學習記憶部7A，7B與漂浮閘4之間之強電介質膜8A，8B之電容的比率亦可相同，亦可不同。此外，該類似例係將學習記憶部7A，7B及強電介質膜8A，8B配置於漂浮閘4的兩端部，不過學習記憶部7A，7B及強電介質膜8A，8B之配置部未並不影響學習記憶部7A，7B的功能。

該類似例係以相互獨立之電壓控制學習記憶部7A與學習記憶部7B，因此可多段地執行極化控制，且可實現高精度或多樣化學習記憶。

因而，該類似例亦可以簡便之方法提供一種具備神經元元件功能的半導體裝置，該神經元元件內建簡便地學習記

五、發明說明 (25)

憶各神經元的輸出狀況，且容易重設或減弱其學習記憶的機構。

-第二種類似例-

本實施形態雖係以組合NMISFET1與負荷電阻元件9來建構電路，不過亦可使用p型MIS電晶體來取代負荷電阻元件9。

圖6係顯示第一種實施形態之第二種類似例之半導體裝置之神經元元件的構造模式圖。該類似例之神經元元件具備串聯於NMISFET1之p通道型MIS電晶體11 (PMISFET11)，來取代圖1所示之構造的負荷電阻元件9。而PMISFET11之源極端子12連接於供給電源電壓VDD之電源電壓供給部，PMISFET11之汲極端子13連接於NMISFET1之汲極端子3。輸出端子10連接於NMISFET1之汲極端子3及PMISFET11之汲極端子13。此外，漂浮閘4設計成橫跨NMISFET1及PMISFET11，在漂浮閘4與PMISFET11之基板區域之間介有常電介質膜16。

於前述之NMISFET與負荷電阻元件之組合電路的說明中，漂浮閘與半導體基板間之電容為C0，而該類似例使用p型MISFET11時，若橫跨NMISFET1與PMISFET11之漂浮閘4與半導體基板間之電容的和為C0時，則與上述公式(1)相同的關係成立。

(第二種實施形態)

第一種實施形態係使NMISFET1之臨限值電壓VTH與強電介質膜8之抗電壓Vc大致相等來設計元件，不過亦可採

五、發明說明 (26)

用與第一種實施形態不同之方式來設計元件。本實施形態參照圖1與圖7說明採用與第一種實施形態相同電路構造，而以不同之方式設計的元件。亦即，本實施形態之神經元元件的電路構造如圖1所示。

圖7係顯示採用與第一種實施形態不同之方式時，強電介質膜8之剩餘極化與電壓之關係(磁滯迴路)圖。例如，可以NMISFET1之臨限值電壓 V_{TH} 小於強電介質膜8之抗電壓 V_c ， n 個信號輸入部5之輸入電壓取最大值時之漂浮閘4之電位 V_F 低於抗電壓 V_c 之方式執行元件的設計。介於 n 個信號輸入部5與漂浮閘4之間之各常電介質膜5c的電容亦可為全部相同的電容，為求加權，亦可形成彼此不同的電容。

圖1所示之神經元元件，於 n 個信號輸入部5之全部輸入電壓取最大值時，由於漂浮閘4之電位 V_F 大於NMISFET1之臨限值電壓 V_{TH} ，因此NMISFET1接通，電流在源極端子2與汲極端子3之間流動，NMISFET1成導通狀態。此時，源極端子2與汲極端子3間之電阻小於負荷電阻元件9，輸出端子10之輸出電壓幾乎為0V。另外，由於強電介質膜8之抗電壓 V_c 被設計成大於NMISFET1之臨限值電壓 V_{TH} ，因此即使NMISFET1接通，強電介質膜8之極化狀態僅有小的變化，而無大的變動。

圖7中， n 個信號輸入部5之全部輸入電壓為0V時，漂浮閘4的電位 V_F 亦為0V，強電介質膜8之剩餘極化位於初始化後之最初狀態的A點。之後，即使 n 個信號輸入部5之全

五、發明說明 (27)

部輸入電壓取最大值時，由於漂浮閘4之電位VF小於強電介質膜8之抗電壓Vc，因此極化狀態僅移動至C點，n個信號輸入部5之全部輸入電壓恢復為0時，極化狀態移動至B點。因而，剩餘極化僅改變A點與B點之剩餘極化差X。如此，由於剩餘極化小，因此係在NMISFET1不易接通之方向上變化。因而，繼續為使NMISFET1接通時，VF需要僅大至 $X/(C1+C2+\dots+Cn+CM+C0)$ ，換言之，強電介質膜8之剩餘極化係學習記憶NMISFET1已接通工作，而再度NMISFET1之接通則被抑制。

n個信號輸入部5中，數個信號輸入部5未取最高電壓時，剩餘極化因應漂浮閘4之電位VF而位於A點與C點間之某處。此外，全部之信號輸入部5的電壓恢復為0V時，剩餘極化位於A點與B點間的某處。為使漂浮閘4之電位VF逐漸變大，而n個信號輸入部5之全部電壓改變時，將全部之信號輸入部5的電壓恢復為0V時之剩餘極化係以逐漸變小之方式變化。此與強化學習相同。

另外，漂浮閘4之電位VF取某值後，以逐漸變小之方式，使n個信號輸入部5之全部電壓改變時，全部之信號輸入部5的電壓恢復為0V時之剩餘極化不改變，無法強化學習。

再者，執行高度的強化學習時，於學習記憶部7內，對漂浮閘4施加負電壓，在強電介質膜8之兩端施加有大於抗電壓Vc之電壓。施加時間可比強電介質膜8產生極化反轉所需時間為長，亦可為任意的時間。例如，在強電介質膜

五、發明說明 (28)

8之兩端施加有大於抗電壓 V_c 之電壓之時間亦可約為100 ns的脈衝。此時，圖7所示之磁滯特性，由於施加於強電介質膜8之兩端的電壓，在施加脈衝電壓前為0V，因此剩餘極化位於A點與B點之間的某處。脈衝施加中，由於施加在強電介質膜8兩端之電壓大於 V_c ，因此極化狀態移至D點。施加脈衝後，由於施加電壓恢復為0V，因此極化狀態移至E點。當初，極化狀態位於A點時，剩餘極化僅改變Y，從正向負的方向上大幅極化。因而，n個信號輸入部5之輸入電壓若不提高，NMISFET1不接通。此表示藉由施加於學習記憶部7之脈衝，NMISFET1更難接通，與負的學習被強化，大幅被抑制等值。

繼續說明執行正之學習的功能。其係以先前說明相同的程序，在學習記憶部7內施加電壓，不過，此時係在學習記憶部7內對漂浮閘4施加正電壓，並在強電介質膜8之兩端施加有大於抗電壓 V_c 的電壓。施加時間可比強電介質膜8產生極化反轉所需時間為長，亦可任意設定。例如，亦可在強電介質膜8之兩端施加在強電介質膜8之兩端施加有大於 V_c 之電壓時間約為100 ns的脈衝信號。此時，圖7所示之磁滯特性，由於施加於強電介質膜8兩端之電壓，於脈衝電壓施加前為0V，因此極化狀態位於E點。脈衝信號施加中，由於施加於強電介質膜8兩端之電壓大於抗電壓 $-V_c$ ，因此極化狀態移至F點。此外，施加脈衝信號後，由於施加電壓恢復為0V，因此極化狀態移至A點。由於當初位於E點之極化狀態移至A點，因此，剩餘極化僅改變Y，

五、發明說明 (29)

從負向正的方向上大幅極化。因而， n 個信號輸入部5之輸入電壓即使降低，NMISFET1仍接通。此表示藉由施加於學習記憶部7之脈衝，NMISFET1更容易接通，形成正的學習。

此外，以在強電介質膜8之兩端施加有小於抗電壓 V_c 之電壓的方式，將此時之脈衝信號的電壓設定較低時，由於脈衝信號施加前位於E點之極化狀態，於施加脈衝信號中移至G點，於施加脈衝信號後，施加電壓恢復為0V，因此極化狀態移至H點。由於，當初位於E點之極化狀態移至H點，因此剩餘極化僅改變Z，負的極化減少若干。因而，即使各信號輸入部5之輸入電壓降低若干，NMISFET1仍接通。此表示藉由施加於學習記憶部7之脈衝信號，NMISFET1較容易接通，而形成正的弱學習。

如上所述，本實施形態可控制施加於學習記憶部7之電壓，以各種比率執行學習的強化及抑制。藉由本實施形態，不論NMISFET1為何，僅須控制學習記憶部7之電壓即可簡便地以各種比率執行神經元之學習記憶資訊的強化及抑制。且藉由本實施形態不需要將各MIS型神經元元件之基板部分予以電性絕緣，不需要設計非常複雜的控制電路。

因而，採用本實施形態時，可以簡便之方法提供神經元元件，該神經元元件內建可簡便地學習記憶各神經元的輸出狀況，且容易強化、抑制其學習記憶的機構。再者，由於係組合該神經元元件以構成運算電路，因此亦可形成神

五、發明說明 (30)

經元元件，亦可使用該神經元元件實現具有學習功能的半導體應用機器。再者，亦可使用該半導體應用機器實現執行精確之辨識、判斷等之系統，亦即可實現人工智慧系統。

另外，本實施形態雖係藉由組合NMISFET1與負荷電阻元件9來構件電路，不過與第一種實施形態同樣地，亦可使用p型MIS電晶體來取代負荷電阻元件9。

(第三種實施形態)

圖8係顯示本發明第三種實施形態之半導體裝置之神經元元件及控制電路的構造模式圖。

本實施形態除第一種實施形態中之神經元元件之外，還具備控制電路，本實施形態之控制電路包含：邏輯電路21，其係連接於輸出端子10，並接收第一輸出信號Vout1；次段之邏輯電路22，其係連接於邏輯電路21，並接收自邏輯電路21輸出之第二輸出信號Vout2；評估電路23，其係內藏各種資料；及脈衝信號產生電路24，其係用於產生供給至學習記憶部7的脈衝信號。

本實施形態之NMISFET1的基本構造及工作如第一或第二種實施形態中之說明。

自輸出端子10輸出之第一輸出信號Vout1通過邏輯電路21後，成為第二輸出信號Vout2，並傳送至次段之邏輯電路22。如第一種實施形態之說明，n個信號輸入部5之輸入值的合計形成某值時，漂浮閘4之電位VF大於NMISFET1之臨限值電壓VTH，NMISFET1接通，電流於源極端子2與汲

五、發明說明 (31)

極端子3之間流動，形成導通狀態。NMISFET1接通時，第一輸出信號Vout1自1變成0。

此外，藉由評估電路23比較第二輸出信號Vout2與收納於評估電路23之評估用基準值，其結果之評估信號Sev反饋至邏輯電路21。評估信號Sev係評估第二輸出信號Sout2是否接近整個電路之信號輸出所求之結果之輸出有結果的信號，評估信號Sev可供給至所有需要該信號的其他神經元元件。評估信號Sev於接近第二輸出信號Vout2所求之結果(評估用基準值)時，為正的電壓信號，與第二輸出信號Vout2所求之結果(評估用基準值)相差極為懸殊時，為負的電壓信號，在其中間時，為0V的信號。亦即，係使用評估信號Sev，以邏輯電路21執行強化或抑制學習第一輸出信號Vout1的判斷。

例如，NMISFET1接通，第一輸出信號Vout1接近於0V，評估信號Sev為正的電壓信號時，為強化第一輸出信號Vout1，自邏輯電路21供給有正的指導信號Spt至脈衝信號產生電路24。此時，自脈衝信號產生電路24接收第一輸出信號Vout1與正的指導信號Spt，輸出有強化學習用之正電壓的脈衝信號，作為供給至學習記憶部7的學習信號Sln。因此，強電介質膜8的兩端施加有負方向之強電場。因而，於施加有正電壓之脈衝信號後被除去時，強電介質膜8之剩餘極化變成負，且其絕對值變大。此表示輸入部5內接收正的輸入信號時，NMISFET1容易接通。亦即表示藉由正電壓之脈衝信號的學習信號Sln，NMISFET1容易接

五、發明說明 (32)

通，正的學習被強化。學習信號 S_{ln} 之施加時間可比強電介質膜 8 產生極化反轉所需時間為長。例如，學習信號 S_{ln} 亦可為在強電介質膜 8 兩端施加有大於抗電壓 V_c 之電壓之時間約為 100 ns 的脈衝信號。

同樣地，NMISFET1 斷開，第一輸出信號 V_{out1} 接近電源電壓，評估信號 Sev 為正的電壓信號時，為求強化第一輸出信號 V_{out1} ，自邏輯電路 21 供給有正的指導信號 S_{pt} 至脈衝信號產生電路 24。脈衝信號產生電路 24 接收第一輸出信號 V_{out1} 與正的指導信號 S_{pt} ，輸出有強化學習用之負電壓的脈衝信號，作為供給至學習記憶部 7 的學習信號 S_{ln} 。

另外，NMISFET1 接通，第一輸出信號 V_{out1} 接近於 0V，評估信號 Sev 為負的電壓信號時，為減弱第一輸出信號 V_{out1} ，自邏輯電路 21 供給有負的指導信號 S_{nt} 至脈衝信號產生電路 24。此時，自脈衝信號產生電路 24 接收第一輸出信號 V_{out1} 與負的指導信號 S_{nt} ，輸出有減弱(抑制)學習用之負電壓的脈衝信號，作為供給至學習記憶部 7 的學習信號 S_{ln} 。因此，強電介質膜 8 的兩端施加有正方向之強電場。因而，於施加有負電壓之脈衝信號後被除去時，強電介質膜 8 之剩餘極化變成正，且其絕對值變大。此表示輸入部 5 內接收正的輸入信號時，NMISFET1 不易接通。亦即表示藉由負電壓之脈衝信號的學習信號 S_{ln} ，NMISFET1 不易接通，學習被減弱(被抑制)。學習信號 S_{ln} 之施加時間可比強電介質膜 8 產生極化反轉所需時間為長。例如，學習信號 S_{ln} 亦可為在強電介質膜 8 兩端施加有大於抗電壓 V_c

五、發明說明 (33)

之電壓之時間約為 100 ns 的脈衝信號。

同樣地，NMISFET1 斷開，第一輸出信號 Vout1 接近電源電壓，評估信號 Sev 為負的電壓信號時，為求減弱第一輸出信號 Vout1，自邏輯電路 21 供給有負的指導信號 Snt 至脈衝信號產生電路 24。脈衝信號產生電路 24 接收第一輸出信號 Vout1 與負的指導信號 Snt，輸出有減弱學習用之正電壓的脈衝信號，作為供給至學習記憶部 7 的學習信號 Sln。

如以上所述，係因應自輸出端子 10 之輸出信號 Sout1, Sout2，以抑制學習信號 Sln 的電壓，與第二種實施形態同樣地，可以各種比率執行學習的強化及抑制。

另外，由於評估信號 Sev 為 0V 時，自邏輯電路 21 均不輸出正的指導信號 Spt 或負的指導信號 Snt，因此學習信號 Sln 保持在 0V，不執行學習的強化及抑制。

如以上所述，可使用正電壓之脈衝信號或負電壓之脈衝信號作為學習信號 Sln。此時，NMISFET1 可在一般工作模式中使用，亦不需要控制 NMISFET1 之基板區域的電壓。

因而，本實施形態之神經元元件不使用複雜之控制電路，即可簡便地強化、抑制使用強電介質膜 8 的學習。因而，藉由組合許多本實施形態的神經元元件，可以簡便之方法提供一種神經元元件，其係內建可簡便地學習記憶各神經元元件的輸出狀態，且容易強化或減弱其學習記憶的機構。

另外，本實施形態雖係組合 NMISFET1 與負荷電阻元件 9，來建構神經元元件的電路，不過，與第二種實施形態

五、發明說明 (34)

同樣地，亦可使用p型MIS電晶體來取代負荷電阻元件9。此外，評估信號Sev雖有正電壓、負電壓、0V等三種，不過亦可藉由類比值或脈衝數等灰階調整評估信號Sev的電壓，可類比性地控制學習信號Sln的電壓，可進一步執行高精度的學習強化、抑制。

(第四種實施形態)

第一～第三種實施形態係針對本發明說明適用於輸出抑制型的神經元元件，而本實施形態則係針對本發明說明適用於可選擇輸出強化型、或輸出抑制型與輸出強化型之類型的神經元元件。

圖9係顯示本發明第四種實施形態之半導體裝置之神經元元件的構造模式圖。

本實施形態之神經元元件具備n通道型MIS電晶體(NMISFET31)，其包含：源極端子32、汲極端子33、閘極絕緣膜36、及閘極41。源極端子32與NMISFET31的基板區域均接地，汲極端子33連接於輸出端子40。輸出端子40經由負荷電阻元件39，連接於供給電源電壓VDD用之電源電壓供給部。

此外，設有夾住強電介質膜38而與NMISFET31之閘極41相對之漂浮電極34。並設有電容結合於漂浮電極34之n個信號輸入部35。信號輸入部35包含：輸入端子35a、連接於輸入端子35a之輸入閘極35b、及介於輸入閘極35b與漂浮電極34間之常電介質膜35c。亦即，輸入閘極35b與漂浮電極34係藉由常電介質膜35c電容結合。

五、發明說明 (35)

輸入閘極35b與漂浮閘34之間的電容依常電介質膜35c之材料、厚度及面積而定。各輸入閘極35b與漂浮電極34之間的電容亦可全部相同，亦可為加權而彼此不同。

此外，還設有學習記憶部37，其包含：電壓端子37a，其係接收極化用電壓；及電極37b，其係夾住強電介質37c，與漂浮電極34相對。學習記憶部37之電壓端子37a上通常施加有0V的一定電壓(接地電壓)。

另外，與第三種實施形態同樣地，輸出端子40之信號傳送至邏輯電路(圖上未顯示)。

此處，如第一種實施形態之說明， n 個信號輸入部35之輸入值的合計成為某值時，閘極41之電位 V_F 大於NMISFET31之臨限值電壓 V_{TH} ，NMISFET31接通，電流在源極端子32與汲極端子33之間流動，形成導通狀態。NMISFET31接通時，輸出端子40之電壓自電源電壓 V_{DD} 變成0。閘極41之電位 V_F 變成NMISFET31之臨限值電壓 V_{TH} 時，以在強電介質膜38兩端施加有抗電壓 V_c 之方式，最佳化設計強電介質膜38之電容、NMISFET31之閘極電容、 n 個信號輸入部35之各常電介質膜35c與學習記憶部37之常電介質膜37c之電容。如此，於NMISFET31接通的同時，強電介質膜38之極化自 $-QM$ 反轉成 $+QM$ ，僅增加 $+2QM$ 。因而，為求繼續使NMISFET31接通，漂浮電極34之電位 V_F 亦可僅降低 $2QM/(C_1+C_2+\dots+C_n+C_M+C_0)$ 。換言之，此與強電介質膜38之剩餘極化學習記憶NMISFET31已接通的工作，並強化輸出相同。為求重設該學習，可在學習控制部

五、發明說明(36)

37內，對信號輸入部35施加負電壓。

本實施形態雖係說明輸出強化型之神經元元件的構造，不過，亦有使用配線或電晶體選擇輸出抑制型與輸出強化型的方法。

圖10(a)~(c)依序為顯示本發明第四種實施形態之類似例之半導體裝置之神經元元件切換配線前之構造、輸出抑制型上配線時之構造、及輸出強化型上配線時之構造的模式圖。

如圖10(a)所示，於切換配線前，NMISFET31之閘極41、漂浮閘34、與夾住強電介質膜38之兩個電極部連接。此外，學習記憶部37之電壓端子37a與電極37b亦彼此不連接。

一種方法如圖10(b)所示，係以連接夾住強電介質膜38之兩個電極與學習記憶部37之電壓端子37a、電極37b之方式實施配線的方法。換言之，係在學習記憶部37之電壓端子37a中介有強電介質膜38者。藉由此種連接，與第一種實施形態同樣地，在電壓端子37a上施加0V之一定電壓時，學習記憶部37具有減弱學習的負學習功能。

另一種方法如圖10(c)所示，係以將夾住強電介質膜38之兩個電極與閘極41與漂浮閘34連接之方式實施配線的方法。換言之，係使強電介質膜38介於閘極41與漂浮閘34之間者。藉由此種連接，與第四種實施形態同樣地，在電壓端子37a上施加0V之一定電壓時，學習記憶部37具有強化學習的正學習功能。

五、發明說明(37)

另外該類似例係採用藉由配線切換強電介質膜38、閘極41、漂浮閘34及學習記憶部37之連接關係的構造，不過於實施配線時，亦可藉由於各路徑上設置切換電晶體，切換成圖10(b)或(c)所示的連接關係。此種情況下，於使用中可變更功能。

(第五種實施形態)

圖11(a)，(b)依序為本發明第五種實施形態之神經元元件之電位產生裝置的平面圖及XIb-XIb線的剖面圖。

圖11(a)，(b)中，200為輸入電極，201為強電介質電容器之上部電極，202為強電介質電容器之強電介質膜，203為強電介質電容器之下部電極，204為觸點，205為P型MIS電晶體(以下稱PMIS)之基板電極，亦即為PMIS基板電極，206為N型MIS電晶體(以下稱NMIS)之NMIS基板電極，207為PMIS汲極，208為輸出電極，209為NMIS汲極，210a為第一層間絕緣膜，210b為第二層間絕緣膜，211為包含多晶矽之PMIS閘極，212為NMIS閘極，213為PMIS汲極區域，214為PMIS源極區域，215為NMIS源極區域，216a為NMIS汲極區域，216為N型井區域，217為P型井區域，219為LOCOS氧化膜，220為N型三井區域，221為P型矽基板，222為N型高濃度接觸區域，223為P型高濃度接觸區域。另外，在PMIS閘極211與N型井區域216之間，在NMIS閘極212與P型井區域217之間分別介有矽氧化膜、矽氧氮化膜等之閘極絕緣膜，不過，圖11(a)，(b)上並未顯示。

如圖11(a)，(b)所示，在P型矽基板221內設有N型井區域

五、發明說明 (38)

216與P型井區域217，P型井區域217之下面及側面被N型三井區域220包圍。此外P型矽基板221之表面部上形成有包圍設有電晶體等之活性區域的LOCOS氧化膜219。此外，於P型矽基板221上依序形成有包含厚矽氧化膜之第一層間絕緣膜210a與第二層間絕緣膜210b。

而本發明第五種實施形態之神經元元件的電位產生裝置包含：P型MIS電晶體(PMIS)，其係形成於N型井區域217上；及N型MIS電晶體(NMIS)，其係形成於P型井區域218上。PMIS源極區域214與NMIS源極區域215經由觸點204電性連接於共同的輸出電極208。此外，NMIS汲極區域216經由觸點204電性連接於接收電源電壓之NMIS汲極209，PMIS汲極區域213經由觸點204電性連接於接收接地電壓之PMIS汲極207。輸出電極208、PMIS汲極207及NMIS汲極209均形成於第二層間絕緣膜210b上。此外，於第二層間絕緣膜210b上設有PMIS基板電極205與P型井區域217。於N型井區域216內形成有N型高濃度接觸區域222，PMIS基板電極205經由觸點204電性連接於N型高濃度接觸區域222。於P型井區域217內形成有P型高濃度接觸區域223，NMIS基板電極206經由觸點204電性連接於P型高濃度接觸區域223。

強電介質電容器包含：形成於第一層間絕緣膜210a上之下部電極203；形成於下部電極203上之強電介質膜202；及形成於強電介質膜202上之上部電極201。強電介質電容器之下部電極203電性連接於PMIS閘極211及NMIS閘極

五、發明說明(39)

212，強電介質電容器之上部電極201連接於設置於第二層間絕緣膜210b上的輸入電極200。

輸入電極200上施加有輸入電壓時，與強電介質膜202比較閘極絕緣膜之電容值非常小的情況下，施加於強電介質膜202的電壓變小，因此強電介質膜202之剩餘極化變小，下部電極203之電壓，亦即施加於PMIS閘極211及NMIS閘極212之間偏壓變小。此外，與強電介質膜202比較，閘極絕緣膜之電容值非常大的情況下，雖對強電介質膜202之分配電壓增加，然而由於最後極化形成飽和，因此從 $V=Q/C$ 可知，下部電極203之電壓，亦即施加於PMIS閘極211及NMIS閘極212之間偏壓也變小。因而，為使閘偏壓最大，須使強電介質膜202與閘極絕緣膜之電容比形成最佳值。因此，不改變強電介質膜202與閘極絕緣膜之材料、膜厚時，強電介質膜202與閘極絕緣膜的面積比很重要。本實施形態由於在第一層間絕緣膜210a上形成強電介質膜202，因此容易調整強電介質膜202與閘極絕緣膜之比。

以下說明本實施形態之電位產生裝置的製造方法。

首先在P型矽基板221上形成LOCOS氧化膜219作為元件分離。其次，本實施形態為求獨立控制各MIS電晶體之基板電位，係於形成有NMIS電晶體之區域內，藉由植入高能之砷離子，形成N型三井區域220。N型三井區域220經由觸點連接於電位控制用電極，不過圖上並未顯示，藉此控制N型三井區域220之電位，避免P型井區域217與N型三

五、發明說明(40)

井區域220正向偏置。

另外，為求相互獨立地控制各基板區域之電位，本實施形態係使用N型三井，不過亦可使用SOI技術。

其次，分別藉由植入砷離子，形成N型井區域216，藉由植入硼離子，形成P型井區域217。

之後，於基板上形成厚度為10 nm之閘極絕緣膜與厚度為400 nm之多晶矽膜後，藉由將多晶矽膜予以圖案化，形成閘長為5 μm ，閘寬為50 μm 之PMIS閘極211，及閘長為5 μm ，閘寬為25 μm 之NMIS閘極212。

繼續，藉由將PMIS閘極211作為掩模之一部分使用之硼離子植入，在N型井區域216內形成PMIS汲極區域213與PMIS源極區域214。同樣地，藉由將NMIS閘極212作為掩模之一部分使用之砷離子植入，在P型井區域217內形成NMIS汲極區域216a與NMIS源極區域215。

其次，為求降低接觸電阻，將各閘極211, 212、各源極區域214, 215、各汲極區域213, 216a、與各高濃度接觸區域222, 223之表面部予以矽化。之後，在基板上以電漿CVD堆積TEOS膜，堆積第一層間絕緣膜210a。

其次，形成貫穿第一層間絕緣膜210a，而到達各閘極211, 212之孔後，形成掩埋孔之鎢等的觸點204。之後，藉由CVD法，在第一層間絕緣膜210a及觸點204上堆積氮化鈦，作為密合層後，使用濺射法，堆積鉑膜(Pt膜)。繼續，將鉑膜及氮化鈦膜予以圖案化，以形成下部電極203。繼續，本實施形態係在下部電極203及第一層間絕緣

五、發明說明 (41)

膜210a上，約以基板溫度600℃，藉由濺射法堆積面積為 $50\mu\text{m}^2$ ，膜厚為400 μm 之鈦酸鉛鋇 $((\text{Pb}_{0.85}(\text{La}_{0.1}\text{Ti}_{0.9})_{0.15}\text{O}_3)$ 膜之PLT膜之後，將PLT膜予以圖案化，在下部電極203上形成強電介質膜202。之後，在強電介質膜202、下部電極203及第一層間絕緣膜210a上，藉由濺射法堆積鉑膜後，將鉑膜予以圖案化，在強電介質膜202上形成上部電極201。

其次，在基板上堆積包含TEOS之第二層間絕緣膜210b，形成貫穿第二層間絕緣膜210b，而到達各源極區域214，215、各汲極區域213，216、與各高濃度接觸區域222，223之孔後，藉由鎢等掩埋孔以形成觸點204。之後，在第二層間絕緣膜210b上形成包含：PMIS汲極207、輸出電極208、NMIS汲極209、PMIS基板電極205、NMIS基板電極206、及輸入電極200等的A1配線。

該A1配線中之電性連接於強電介質電容器之上部電極201之輸入電極200係接收輸入信號的電極，電性連接於PMIS源極區域214與NMIS源極區域215之輸出電極208係輸出輸出信號的電極。NMIS汲極209與PMIS基板電極205連接於供給電源電壓VDD之電源電壓供給部(圖上未顯示)。PMIS汲極207與NMIS基板電極206連接於供給接地電壓VSS之接地(圖上未顯示)。

另外，本實施形態雖係使用P型矽基板，不過亦可使用N型矽基板。

圖12係本實施形態之神經元元件之電位產生裝置的等效

五、發明說明 (42)

電路圖。本實施形態如圖12所示，與在第二MISFET之N型MIS電晶體(NMISFET) 54與第一MISFET之P型MIS電晶體(PMISFET) 56共同之閘極的閘極部52上，連接有第一電容器之強電介質電容器51的電路等效。

繼續，N型MIS電晶體54一方擴散區域之源極與P型MIS電晶體56之源極彼此連接，且連接於輸出端子55。N型MIS電晶體54另一方擴散區域之汲極連接於供給電源電壓VDD之電源電壓供給部53，P型MIS電晶體56之汲極連接於供給接地電壓VSS之接地57。此外，N型MIS電晶體54之基板電位係接地電壓VSS，P型MIS電晶體56之基板電位係電源電壓VDD。因而，自源極取得輸出之電路稱之為源極隨動器電路。

以下說明本實施形態之電位產生裝置之源極隨動器電路的工作。閘極部52之電位(閘偏壓)為 V_g ，輸出端子55之電位為 V_s 。N型MIS電晶體54在飽和區域工作，P型MIS電晶體56處於斷開狀態。N型MIS電晶體54之臨限值電壓為 V_{tn} ，P型MIS電晶體56之臨限值電壓為 V_{tp} 時，流入N型MIS電晶體54之電流 I_s 以下列公式(2)表示：

$$I_s = \mu_n \cdot C_{ox} \cdot W_n (V_g - V_s - V_{tn})^2 / 2L_n \quad (2)$$

其中， μ_n 為電子移動率， C_{ox} 為閘極絕緣膜之電容， W_n 為閘寬， L_n 為閘長。

由於P型MIS電晶體56處於斷開狀態，因此被視為非常大的電阻。因而 I_s 大致為0。因此，依據公式(2)，輸出端子55之電位 V_s 以下列公式(3)表示：

五、發明說明 (43)

$$V_s = V_g - V_{tn} \quad (3)$$

亦即，輸出端子55之電位 V_s 為自閘極部之電位 V_g 減去N型MIS電晶體54之臨限值電壓 V_{tn} 的值。而輸出端子55之電位 V_s 的範圍係在 V_{SS} 至 V_{DD} 之間。因而輸入藉由源極隨動器電路大致直接傳送至次段的電路。再者，由於源極隨動器電路與前段或次段之電路間的相互影響小，因此源極隨動器電路用作插入電路與電路間之緩衝放大器(緩衝器)。

本實施形態之電位產生裝置包含：構成源極隨動器電路之兩個MIS電晶體54，56；及在各MIS電晶體54，56之共同閘極之閘極部52與輸入端子50之間設置強電介質電容器51。而藉由強電介質電容器51之極化在閘極部52內感應電荷時，藉由藉此產生之電位，可非揮發性地產生源極隨動器電路之自輸出端子55輸出用的電壓信號。

其次，參照圖13、圖14，說明本實施形態之電位產生裝置的工作特性。以下的工作說明中，電源電壓 V_{DD} 設定為0V，接地電壓 V_{SS} 設定為-5V。此外，N型MIS電晶體54之臨限值電壓設定為1.0V，P型MIS電晶體56之臨限值電壓設定為-1.0V。

圖13(a)，(b)依序係顯示輸入端子50之電壓隨時間變化的時間圖、及閘極部52及輸出端子55之電壓隨時間變化的時間圖。

如圖13(a)所示，輸入端子50上輸入有-10V之脈衝信號時，於強電介質電容器51內產生剩餘極化。如圖13(b)所示，脈衝信號通過後，藉由強電介質電容器51之剩餘極

五、發明說明 (44)

化，閘極部 52 之電位仍保持在 -0.85V 。其次，由於該閘極部 52 之電位係通過上述之源極隨動器電路傳送至輸出端子 55，因此，如圖 13(b) 所示，脈衝信號通過後，輸出端子 55 之電位仍保持在 -2.2V 。由於在輸入端子 50 上輸入脈衝信號，因此輸入端子 50 之電位恢復為 0V 後，藉由強電介質電容器 51 之極化，輸出端子 55 上仍保持負電位。藉由該非揮發性的偏壓，即使不在輸入端子 50 上施加恆壓，仍可將輸出端子 55 之電位保持在所需的電位，可抑制耗電。

其次，參照圖 14 說明本實施形態之電位產生裝置之電路工作時閘極部 52 的電位穩定性。

圖 14(a)，(b)，(c) 依序係顯示檢查閘極部 52 之電位穩定性用之測試用電路構造的電路圖、顯示輸入端子 50 之電位隨時間變化的時間圖、及顯示閘極部 52 之電位隨時間變化的時間圖。

如圖 14(a) 所示，該測試用電路除圖 12 所示之電位產生裝置之外，還包含：第二輸入端子 59，及介於該第二輸入端子 59 與電位產生裝置之輸出端子 55 之間之電容值為 0.1 pF 的常電介質電容器 58。於輸入端子 50 上輸入 -10V 之脈衝信號時，在閘極部 52 內產生 -1.08V 之電位。之後，藉由在第二輸入端子 59 上輸入 5V 之脈衝信號，分別於脈衝信號上昇時及下降時，過渡電流流入各 MIS 電晶體 54，56 與常電介質電容器 58，可知閘極部 52 之電位雖稍有變動，但是於閘極部 52 之電位的穩定區域內，閘極部 52 之電位大致穩定，且為 -1.00V ，並恢復成原先的設定電壓。

五、發明說明(45)

因而，本實施形態之電位產生裝置，即使如先前例所述，於強電介質電容器之輸出電位變動時，強電介質電容器內所感應之電荷並不變動，可穩定地保持剩餘極化。此外，過渡電流雖可藉由提高MIS電晶體之臨限值電壓來控制，但是提高臨限值電壓時，從公式(3)可知，將對輸出造成影響，且因電位傳送時，MIS電晶體在飽和區域內不工作，因此，不太可能提高臨限值電壓。

而本實施形態之電位產生裝置如上所述，N型MIS電晶體之臨限值電壓為1.0V，P型MIS電晶體之臨限值電壓為-1.0V，即使未提高所需之各MIS電晶體的臨限值電壓，仍可獲得最佳工作。因而，藉由在強電介質電容器51上連接源極隨動器以構成電位產生裝置，即使在第二輸入端子59上施加脈衝信號，使輸出端子55之電位變動，閘極部52的電位幾乎不變動。

如上所述，本實施形態之電位產生裝置，藉由利用強電介質電容器51，即使不在輸入端子50上施加恆壓，藉由剩餘極化，仍可大致穩定地保持輸出端子55的電位，亦即輸出信號的電壓。藉此，可減少利用該電位產生裝置之電路的耗電。

尤其是，藉由在強電介質電容器51之輸出側電極上連接源極隨動器電路，即使在源極隨動器電路之輸出部(輸出端子55)上施加電壓變動，對強電介質電容器51內產生之剩餘極化幾乎不造成影響。亦即，藉由剩餘極化所感應的電位，藉由通過源極隨動器電路，可穩定地傳送至次段的

五、發明說明(46)

電路。

另外，本實施形態之構成強電介質電容器之強電介質膜的材料係使用PLT，不過，本發明之強電介質膜亦可採用顯示具有磁滯性之極化特性的材料。例如，藉由使用鈦酸鉍($\text{Bi}_4\text{Ti}_3\text{O}_{12}$)(BIT)、鉍酸鋇鉍($\text{SrBi}_2\text{Ta}_2\text{O}_9$)(YI)、鈦酸鋇酸鉛($\text{Pb}(\text{Zr}_{0.45}\text{Ti}_{0.55})\text{O}_3$)(PZT)等之強電介質材料、及利用電荷偏置以保持資料之高分子化合物等，作為本發明之電位產生裝置之強電介質電容器中的強電介質膜，可獲得與本實施形態相同的作用效果。

(第六種實施形態)

圖15係本發明第六種實施形態之電位產生裝置的等效電路。

如該圖所示，本實施形態之電位產生裝置具備與第五種實施形態之產生元件大致相同的要素，不過，本實施形態與第五種實施形態不同之處在於，N型MIS電晶體54之閘極連接於接地57，並維持在接地電位VSS。

本實施形態之電位產生裝置的工作特性與第五種實施形態大致相同，不過，由於本實施形態之N型MIS電晶體54具備高電阻體之功能，因此具有不提高P型MIS電晶體56之臨限值電壓 V_{pt} ，可使過渡電流極小的優點。

另外，亦可配置具備高電阻值之電阻元件，以取代本實施形態之N型MIS電晶體54。

(第七種實施形態)

圖16係本發明第七種實施形態之電位產生裝置的等效電

五、發明說明 (47)

路圖。

如該圖所示，本實施形態之電位產生裝置具備與第五種實施形態之產生元件大致相同的要素，不過，本實施形態與第五種實施形態不同之處在於，P型MIS電晶體56之閘極連接於電源電壓供給部53，並維持在電源電壓VDD。

本實施形態之電位產生裝置的工作特性與第五種實施形態大致相同，不過，由於本實施形態之P型MIS電晶體56具備高電阻體之功能，因此具有不提高N型MIS電晶體54之臨限值電壓 V_{pn} ，可使過渡電流極小的優點。

另外，亦可配置具備高電阻值之電阻元件，以取代本實施形態之P型MIS電晶體56。

(第八種實施形態)

圖17係第八種實施形態之神經元元件的等效電路圖。如該圖所示，本實施形態之神經元元件的構造，係在具有與第一種實施形態大致相同構造的神經元元件上附加第五種實施形態之電位產生裝置。

亦即，本實施形態之神經元元件與第一種實施形態同樣地具備n通道型MIS電晶體(NMISFET61)，其係包含：源極端子62、汲極端子63、閘極絕緣膜66、及閘極。此時，NMISFET61之閘極係未連接於其他端子之漂浮狀態的漂浮閘64。源極端子62與NMISFET61之基板區域均接地，汲極端子63連接於輸出端子70。輸出端子70經由負荷電阻元件69，連接於供給電源電壓VDD用之電源電壓供給端子71。

此外，設有電容結合於漂浮閘64之兩個信號輸入部65。

五、發明說明 (48)

信號輸入部 65 包含：輸入端子 65a；連接於輸入端子 65a 之輸入閘極 65b；及介於輸入閘極 65b 與漂浮閘 64 之間的常電介質膜 65c。亦即，輸入閘極 65b 與漂浮閘 64 係藉由常電介質膜 65c 電容結合。其中，信號輸入部 65 亦可設置三個以上。

而本實施形態在接收控制信號之控制端子 67 與漂浮閘 64 之間介有第五種實施形態之電位產生裝置(參照圖 12)。亦即，控制端子 67 與電位產生裝置之輸入端子 50 連接，電位產生裝置之輸出端子 55 與漂浮閘 64 連接。

本實施形態將輸入部 65 之各常電介質膜 65c 之電容值設定為 0.5 pF，將負荷電阻元件 69 之電阻設定為 100 k Ω 。此外，N 型 MIS 電晶體 61 之閘長設定為 10 μm ，閘寬設定為 50 μm ，臨限值電壓設定為 -0.8V。電源電壓供給端子 71 之電壓 VDD 設定為 5V。

其次，參照圖 18(a)，(b) 及圖 19，說明本實施形態之電路的工作特性。

圖 18(a)，(b) 依序係顯示使輸入於兩個輸入部 65 之各輸入端子 65a 之輸入信號的邏輯值改變時之漂浮閘 64 之電位隨時間變化的時間圖、及顯示施加於強電介質電容器 51 之電壓隨時間變化的時間圖。此時，於兩個輸入部 65 之各輸入端子 65a 上輸入 (0, 0)，(1, 1)，(0, 1)，(1, 0) 之邏輯值信號後，於控制端子 67 上施加 -10V 之脈衝信號，使強電介質電容器 51 之強電介質膜上產生剩餘電荷。之後，在兩個輸入部 65 之各輸入端子 65a 上重複輸入邏輯值信號 (0, 0)，(1,

五、發明說明 (49)

1), (0, 1), (1, 0)。

此時，從圖 18(a)，(b)上可知，施加於強電介質電容器 51 上之電壓，於未施加脈衝信號的區域內大致一定。此因本實施形態之神經元元件之漂浮閘 64 相當於連接在圖 14(a) 所示之常電介質電容器 58 之輸出端子 55 的電極，如圖 14(c) 所示，亦知藉由施加於輸出端子 55 上電壓的變動，連接於強電介質電容器之閘極部 52 的電壓不隨之變動。亦即，本實施形態之神經元元件，藉由在漂浮閘 64 與控制端子 67 之間介有具有與第五種實施形態相同構造的電位產生裝置 Egn，漂浮閘 64 之電位 VF 幾乎不影響施加於強電介質電容器 51 之強電介質膜的電壓，可大致一定地保持強電介質膜的電壓。

具體而言，如圖 18(a)之區域 Rx 所示，於控制端子 67 上施加有脈衝信號之前，接收邏輯值 (0, 1) 之輸入時之漂浮閘 64 的電位，與接收邏輯值 (1, 0) 之輸入時之漂浮閘 64 的電位大致相同。此外，如圖 18(a)之區域 Ry 所示，於控制端子 67 上施加脈衝信號後，接收第一次與第二次之相同邏輯值之輸入之漂浮閘 64 的電位大致相同。此因施加於強電介質之電壓幾乎不變動，強電介質上所感應之剩餘電荷亦不變動。

圖 19 係顯示對與圖 18(a) 相同邏輯值輸入之輸出端子 70 之電位 V_{out} 隨時間變化的時間圖。本例中，使 N 型 MIS 電晶體 61 之臨限值電壓小於在控制端子 67 上施加脈衝信號前，兩個輸入部 65 之任何一個施加有邏輯值 "1" 時之漂浮閘 64

五、發明說明(50)

的電位，並大於在控制端子67上施加有脈衝信號後，兩個輸入部65之任何一個施加有邏輯值"0"時之漂浮閘64的電位。如圖19所示，本實施形態之神經元元件於控制端子67上施加有脈衝信號前，係作為NOR電路工作，於控制端子67上施加有脈衝信號後，係作為NAND電路工作。

本實施形態，如前所述，係將N型MIS電晶體之臨限值電壓設定為-0.8V。並知可藉由強電介質電容器上所感應之剩餘電荷轉換邏輯。由於本發明第八種實施形態之強電介質膜上所感應之剩餘電荷不變動，因此邏輯轉換電路之電路工作遠較先前穩定。此外，本實施形態之電路工作作為NAND電路來工作時，當然可藉由重設強電介質之極化，自NAND電路工作切換成NOR電路工作。

另外，本實施形態係使用第五種實施形態之電路，不過，亦可使用第二或第三種實施形態之電路。此外，本實施形態係使用N型MIS電晶體與負荷電阻之電路作為反相器電路，不過，亦可使用P型MIS電晶體與負荷電阻。

(第九種實施形態)

圖20係第九種實施形態之神經元元件的等效電路圖。如該圖所示，本實施形態之神經元元件具有，於圖6所示之第一種實施形態之第二種類似例之神經元元件上附加第五種實施形態之電位產生裝置的構造。本實施形態之神經元元件具備串聯於NMISFET61之p通道型MIS電晶體(PMISFET73)，以取代圖17所示構造的負荷電阻元件69。亦即，設置包含CMIS裝置的反相器電路。而PMISFET73之

五、發明說明 (51)

源極連接於供給電源電壓VDD之電源電壓供給部，PMISFET73之汲極連接於NMISFET61之汲極。輸出端子70連接於NMISFET61之汲極與PMISFET73之汲極。此外，漂浮閘64設置成橫跨NMISFET61及PMISFET73，在漂浮閘64與PMISFET73之基板區域之間介有常電介質膜74。

本實施形態之電路構造與第八種實施形態大致相同，不同之處在於反相器電路係藉由CMIS電路構成。本實施形態之電路的工作特性與第八種實施形態相同。尤其是本實施形態與第八種實施形態比較，由於在反相器電路上使用CMIS電路，因此可進一步抑制耗電。

此外，由於藉由圖20所示之構造，施加於強電介質電容器51(參照圖12)之強電介質膜上之電壓幾乎不受圖17所示之漂浮閘64之電位變動的影響，因此不需要於圖18(a)(b)所示的時序施加脈衝信號。亦即，具有不論輸入信號的值為何，施加脈衝信號，可在NOR電路工作與NAND電路工作之間切換神經元元件之功能的優點。

(第十種實施形態)

圖21係顯示第十種實施形態之半導體積體電路裝置之構造的區塊電路圖。如該圖所示，本實施形態之半導體積體電路裝置具備配置成陣列狀之邏輯轉換電路80，形成各邏輯轉換電路80經由切換元件81，並藉由配線82連接的構造。本實施形態之各邏輯轉換電路80使用有第八種實施形態之神經元元件(參照圖17)。並包含延伸於陣列之列的第一控制信號線83；與延伸於陣列之行之第二控制信號線

五、發明說明 (52)

84；藉由自第一控制信號線83及第二控制信號線84所供給之控制信號，各邏輯轉換電路80因應控制信號切換NOR工作或NAND工作。

本實施形態藉由同時在所選擇之第一控制信號線83上施加-5V之脈衝狀電壓信號，在所選擇之第二控制信號線84上施加-5V之脈衝狀電壓信號，可僅切換位於所選擇之第一控制信號線83與所選擇之第二控制信號線84交叉點之邏輯轉換電路80的電路工作(NOR工作或NAND工作之切換)。如此，可藉由第一、第二控制信號線83，84控制邏輯轉換電路80的電路工作。

此外，本實施形態係使用保險絲電晶體作為切換元件81，形成半導體積體電路裝置之基本構造後，因應製品之種類及用途，執行保險絲電晶體之斷開、接通，可實現最後重新構成半導體積體電路之規格及邏輯的設計彈性。

此外，切換元件81可使用MIS電晶體、快閃型EEPROM、MFMIS等。此種情況下，可利用切換元件81，在使用中重新構成半導體積體電路的規格及邏輯。

(第十一種實施形態)

圖22(a)，(b)係顯示本發明第十一種實施形態之MISFET之構造的平面圖及縱剖面圖。本實施形態之MISFET90係如第五種實施形態之圖12所示之電位產生裝置中的NMISFET54或PMISFET56。

本實施形態之MISFET90除閘極91、設於閘極91下方之閘極絕緣膜92、及形成於矽基板內之源極區域93及汲極區

五、發明說明 (53)

域 94 之外，還具備設於閘極 91 之側面上的側壁 95。亦即，於閘極 91 之側面上形成側壁 95 後，使用閘極 91 及側壁 95 作為掩模之一部分，藉由植入砷離子或硼離子，以形成源極區域 93 及汲極區域 94。藉由此種製造方法所形成之 MISFET 之閘長為 L_g ，閘寬為 W_g ，閘極、源極重疊量為 L_{gs} 時，閘極-通道區域間之電容 C_{ox} 與閘極、源極重疊電容 C_{gs} ，分別以下列公式 (4), (5) 表示：

$$C_{ox} = (\varepsilon \cdot \varepsilon_0 \cdot L_g \cdot W_g) / t_{ox} \quad (4)$$

$$C_{ds} = (\varepsilon \cdot \varepsilon_0 \cdot L_{gs} \cdot W_g) / t_{ox} \quad (5)$$

因此，當 $L_g \gg L_{gs}$ 時， $C_{ox} \gg C_{gs}$ ，藉由以下的作用，可更有效地抑制強電介質膜的極化變動。

圖 23(a)，(b)，(c) 分別依序為配置有本實施形態之 MISFET 之電位產生裝置的等效電路圖、顯示自輸入端子輸入時之源極隨動器電路之等效電容器 C_1 的電路圖、及顯示輸出端子之電位變動時之源極隨動器電路之等效電容器的電路圖。圖 23(b)，(c) 中，等效電容器 C_1 ， C_2 僅顯示 NMISFET 54 或 PMISFET 56 之任何一方的電容器，而於圖 23(a) 所示之構造的情況下，兩個 MISFET 54，56 上分別存在等效電容器 C_1 ， C_2 。

自圖 23(a) 所示之電位產生裝置之輸入端子 50 施加有寫入用電壓的情況下，如圖 23(b) 所示，等效電容器 C_1 形成閘極-通道間電容 C_{ox} 與閘極-源極重疊電容 C_{gs} 並聯的狀態。因而藉由將施加於強電介質電容器 51 之電壓 V_f 與施加於 MISFET 之電壓 V_c 之分配比大致相同的方式予以最佳

五、發明說明 (54)

化，在強電介質膜上施加有足夠大之電壓，可獲得大的剩餘極化。

此外，如圖 23(c)所示，於電位產生裝置之輸出端子 55 之電位變動的情況下，源極隨動器電路之等效電容器 C2 僅為閘極・源極重疊電容 C_{gs} 。因此，藉由預先儘量縮小設定電容 C_{gs} 成如 $C_{gs} \doteq C_{ox}/100$ ，可使分配於強電介質電容器 51 之電壓 V_f 遠小於施加於等效電容器 C2 之電壓。因而，即使輸出端子 55 的電壓變動，強電介質膜之極化狀態幾乎不受影響。

例如，藉由本實施形態之 MISFET90 構成圖 17 所示之神經元元件之電位產生裝置 Egn 中之 NMISFET 或 PMISFET，可進一步保持對強電介質膜之寫入功能，並可抑制強電介質膜因漂浮閘(圖 17 所示之漂浮閘 64)之電壓變動造成的極化變動。

本實施形態之電位產生裝置亦可適用於圖 20 所示之第九種實施形態之神經元元件、及圖 21 所示之第十種實施形態之邏輯轉換電路上。

(第十二種實施形態)

本實施形態係於第五種實施形態之圖 12 所示之電位產生裝置的構造中，因應輸出端子 55 的電位，使電源電壓 VDD 與接地電壓 VSS 之電位改變。亦即，如圖 17 所示，電位產生裝置 Egn 內建於神經元元件中時，因應漂浮閘 64(參照圖 17)之電位，使電源電壓 VDD 與接地電壓 VSS 改變。

圖 12 所示之電位產生裝置之輸出端子 55(漂浮閘)的電位

五、發明說明 (55)

在 VSS 至 VDD 的範圍內。

因而，電源電壓 VDD 為 5V，接地電壓 VSS 為 -5V 時，輸出端子 55(漂浮閘)之電位為 1V 時，PMISFET56 之源極・汲極間電壓非常大，高達 6V。

另外，電源電壓 VDD 為 5V，接地電壓 VSS 為 0V 時，輸出端子 55(漂浮閘)之電位為 1V 時，PMISFET56 之源極・汲極間電壓非常小，僅有 1V。

因此，藉由輸出端子 55(漂浮閘)之電位為正時，使 $VDD=5(V)$ ， $VSS=0(V)$ ，輸出端子 55(漂浮閘)之電位為負時，使 $VDD=0(V)$ ， $VSS=-5(V)$ ，可將源極・汲極間電壓維持在適切範圍內。藉此，由於可降低閘極・源極間之電壓，因此可保持較小之施加於強電介質膜之電壓，可抑制強電介質膜的極化變動。

本實施形態之電位產生裝置亦可適用於圖 20 所示之第九種實施形態之神經元元件及圖 21 所示之第十種實施形態之邏輯轉換電路上。

(第十三種實施形態)

圖 24 係本發明第十三種實施形態之電位產生裝置的等效電路圖。如該圖所示，本實施形態之電位產生裝置具有在圖 12 所示之第五種實施形態之電位產生裝置之輸入端子 50 上連接傳遞電晶體 96 的構造。傳遞電晶體 96 之閘極上連接有控制信號端子 98，在基板區域上連接有後部閘極端子 99，源極上連接有輸入端子 50，汲極上連接有前段輸入端子 97。

五、發明說明(56)

而於控制信號端子98上施加有僅於輸入有圖18(a)所示之脈衝信號時，接通傳遞電晶體96，此外則斷開的閘偏壓。此外，後部閘極端子99上，於傳遞電晶體96接通時，施加有0V的電壓，於傳遞電晶體96斷開時，施加有-1V的電壓。換言之，傳遞電晶體96於斷開時，比接通時僅-1V降低設定基板區域之電壓。

本實施形態藉由此種傳遞電晶體96之接通、斷開控制及後部閘極端子99之電壓控制，於傳遞電晶體96斷開時，由於汲極・源極電容Cds較小，因此強電介質電容器51上幾乎未分配電壓，而在汲極・源極電容Cds上分配有較大的電壓。因而可控制強電介質電容器51的極化變動。

(第十四種實施形態)

圖25係本發明第十四種實施形態之神經元元件的等效電路圖。

本實施形態之神經元元件101如圖21所示之邏輯轉換電路，配置許多並予以連接，具備神經電路電腦之功能，不過，由於本發明之特徵在於形成神經電路電腦中之一個元件之神經元元件的構造，因此，以下說明單體之神經元元件101。

如該圖所示，本實施形態之神經元元件101包含：神經元部102；及連接於神經元部102之許多突觸部103。

該神經元部102內配置有：NMISFET105；漂浮閘106，其係夾住閘極絕緣膜，與NMISFET105之通道區域相對；四個控制閘107a~107d，其係夾住電容絕緣膜，與漂浮閘

五、發明說明(57)

106相對；四個輸入配線104a~104d，其係連接於各控制閘107a~107d；電源電壓供給端子110，其係用於供給電源電壓VDD；及負荷電阻元件109，其係介於NMISFET105之汲極區域與電源電壓供給端子110之間。輸出端子108輸出如對應於來自輸入配線104a~104d之合計輸入值的電位。

而NMISFET105之汲極連接於輸出輸出信號Vout用的輸出端子108。此外，各輸入配線104a~104d延伸至神經元部102之外方，而連接於各突觸部103。圖25中，為便於理解，僅顯示一個突觸部103，不過其他輸入配線104b~104c上亦設有具有相同構造之突觸部103。輸入配線及突觸部之數量，並非必須為四個，亦可因應神經元元件101之處理能力來增減此等數量。

突觸部103內設有：NMISFET113；電位限定端子125，其係經由電阻元件117連接於NMISFET113的源極；輸入端子121，其係連接於NMISFET113的汲極；及強電介質電容器115，其係一方電極連接於NMISFET113之閘極。而強電介質電容器115之另一方電極連接於負荷信號端子123。輸入端子121上，自前段之神經元元件輸入有輸入信號Vin1。負荷信號端子123上輸入有設定對輸入信號Vin1之負荷的信號Vw。電位限定端子125上輸入有低電平電位VL，其係決定輸出至輸入配線104a~104d之電位之最低電位電平的電壓。本實施形態由於電位限定端子125係接地，因此低電平電位VL為0V。換言之，該突觸部103之構造包含：強電介質閘極電晶體120(本實施形態為MFMIS裝

五、發明說明 (58)

置)，其係組合NMISFET113與強電介質電容器115；及固定電阻元件117。

突觸部103之NMISFET113的閘長為 $1\mu\text{m}$ ，閘寬為 $5\mu\text{m}$ ，閘極氧化膜之厚度為 3nm 。強電介質電容器115之一方電極連接於NMISFET113之閘極。強電介質電容器115如具有 $1\mu\text{m}$ 平方的電極面積。強電介質電容器115之兩個電極如由鉑構成。構成強電介質電容器115之強電介質膜的強電介質材料如膜厚為 400nm 之鈦酸鉛鏽(PLT)。

此時，本實施形態基於後述之理由，對NMISFET113之通道區域的面積，將強電介質電容器115之電極面積如縮小約5分之1。本實施形態如為在神經元部102內設置具有 ν MOS構造之NMISFET105，具有數個輸入部，並因應此等之和與臨限值之相關關係來啟動的電路時，可發揮與本實施形態相同的功能及作用效果。

尤其是使用圖25所示之 ν MOS時，於使用NMOS作為電晶體時，由於輸入配線104a~104d之輸入電壓之合計值愈高，漂浮閘106的電壓也愈高，因此NMISFET105之源極、汲極間的電阻值降低。以致自輸出端子108之輸出信號Vout如在0V附近。反之，輸入配線104a~104d之輸入電壓的合計值愈低，則輸出信號Vout位於電源電壓VDD附近。

圖26係顯示本實施形態之神經元元件101之突觸部一種具體例的電路圖。如該圖所示，該具體例之神經元元件的突觸部103A設有包含於閘極-基板區域間形成短路之包含NMISFET之固定電阻元件119，以取代圖25所示之突觸部

五、發明說明(59)

103的電阻元件117。

固定電阻元件119如 NMOS之閘極、源極、基板電位完全相同，藉由圖上未顯示之分離方法，如藉由使用SOI基板，可供給與周邊之元件不同的基板電位VL。由於形成此種連接，固定電阻元件119以NMISFET113之臨限值電壓與低電平電位VL之關係所決定的固定電阻工作。使用MISFET作為固定電阻元件，係因半導體製程上之製造可與周邊電路同時進行，容易形成。

圖27係本實施形態具體例之突觸部103的上面圖。另外，圖27中，為便於觀察圖式，係省略一部分配線來顯示，此等於以下的說明中說明適切連接狀態。圖27中與圖25、圖26相同的要素註記相同符號，並省略其說明。

圖27中之131a，131b分別係圖25所示之NMISFET113與圖26所示之固定電阻元件119之NMISFET的閘極。本實施形態之NMISFET113與固定電阻元件119之NMISFET之閘極131a，131b的閘長均為 $1\mu\text{m}$ ，閘寬均為 $5\mu\text{m}$ 。133為下部電極，相當於圖25所示之強電介質電容器115之基板側的電極，面積為 $1\mu\text{m}^2$ 。另外，圖27為便於觀察，稍微放大顯示強電介質電容器115，不過已知強電介質電容器115之面積遠小於NMISFET113的通道面積。

再者，135係負荷信號用配線，負荷信號配線135與負荷信號端子123電性連接。137a，137b分別為NMISFET113之汲極區域及源極區域。此外，138a，138b分別為固定電阻元件119之NMISFET的汲極區域及源極區域。汲極區域

五、發明說明(60)

137a藉由圖上未顯示之配線連接於輸入端子121，汲極區域137a內輸入有前段之神經元元件的輸出。此外，源極區域137b與汲極區域138a係藉由圖上未顯示之配線彼此電性連接，且連接於圖25所示之神經元部102的輸入配線104a~104d。源極區域138b電性連接於電位限定端子125。此外，電位限定端子125如圖26中之說明，與閘極131b電性連接，且經由基板連接部139，亦與固定電阻元件119之NMISFET的基板區域電性連接。電位限定端子125於本實施形態中，如形成接地。

圖28係圖27之XXIII-XXIII線的剖面圖。圖28中與圖27相同的要素上註記相同符號，並省略其說明。

圖28中之141係如包含矽之基板，142係如包含氧化矽之埋入氧化膜(BOX層)，本實施形態之神經元元件101係使用所謂之SOI基板形成。143係元件分離用絕緣膜，元件分離用絕緣膜143如藉由以熟知之LOCOS法所形成之氧化矽而構成。145係第一層間絕緣膜，第一層間絕緣膜145如藉由以LPCVD法所形成之氧化矽而構成。147係插塞配線，插塞配線147連接閘極131a與下部電極133。插塞配線147如藉由以濺射法所形成之鎢而構成。149係強電介質膜，強電介質膜149如藉由濺射法，在基板溫度600℃，氧分壓為10%，RF能為-100W的條件下，堆積厚度為400 nm之PLT膜之後，將其予以圖案化而形成。151係第二層間絕緣膜，第二層間絕緣膜151如藉由使用TEOS之電漿CVD堆積氧化矽膜之後，如藉由CMP法予以平坦化而形成。

五、發明說明(61)

圖29係圖27之XXIX-XXIX線的剖面圖。另外，圖29中與圖27或圖28相同之要素上註記相同符號，並省略其說明。

圖29中之161a，161b分別係圖25所示之NMISFET113與圖26之固定電阻元件119之NMISFET的閘極絕緣膜，該閘極絕緣膜161a，161b如從藉由900°C之連苯三酚氧化所形成之厚度為3 nm之氧化矽膜所形成。此外，汲極區域137a，138a、與源極區域137b，138b係藉由將閘極131a，131b作為掩模，如植入硼，之後，如實施900°C，30分鐘之熱處理而形成。167a~167d係插塞配線；各插塞配線167a~167d如藉由以濺射法所形成之鎢而構成。171a~171c係配線。如圖27中之說明，於汲極區域137a內，經由插塞167a，藉由配線171a，自前段之神經元元件的輸出，輸入有輸入信號Vin1。此外，源極區域137b與汲極區域138a分別經由插塞167b，167c連接於配線171b，並連接於圖25所示之神經元部103的輸入配線104a。源極區域138b經由插塞167d，藉由配線171c，電性連接於電位限定端子125。

以下說明具有以上構造之神經元元件101的工作。

圖30係顯示除圖25所示之突觸部103中之固定電阻元件117的構造圖。亦即，圖30僅顯示實現本發明之神經元元件101之負荷功能用的強電介質閘極電晶體120(MFMIS裝置)。

圖30中之171係端子，該端子171連接於圖25所示之電阻元件117。另外，以下之說明中，以SI表示MISFET的通道面積(MIS電容器的面積)，以SF表示強電介質電容器之電

五、發明說明(62)

容器面積，並以 RS ($RS=SI/SF$)表示此等的面積比。此外，圖30所示之 V_{FG} 表示漂浮閘的電位， V_s 表示MFMIS之源極區域的電位(=基板電位)。

已經說明之先前例的強電介質閘極電晶體為MFIS構造，而本發明之神經元元件則為MFMIS型強電介質閘極電晶體120。該構造之優點後述之。

圖31係顯示本實施形態之MFMIS之強電介質電容器115的極化特性圖。該圖之橫軸為施加於強電介質膜的電壓，於圖30所示之構造中，係以 V_w-V_{FG} 表示的電壓，該圖之縱軸為極化。如該圖所示，極化特性顯示逆時鐘旋轉之磁滯特性。由於本實施形態如使用PLT作為強電介質材料，因此剩餘極化(施加電壓為0V之極化)約為 $20\mu C/cm^2$ ，抗電壓(極化為0之電壓)約為2V。此外，施加電壓較小時，極化之迴路小，顯示所謂之小磁滯迴路特性。亦即，剩餘極化之值因應施加電壓的大小而改變。

圖32係將面積比 RS 作為參數來說明對MFMIS之施加電壓與汲極電流的相關關係。圖32係在 V_w 與 V_s 間掃描 $\pm 5.4V$ 之電壓時，觀察汲極電流變化所獲得者。圖32中，使前述之 RS 改變時，亦一併顯示MFMIS之汲極電流如何改變。如圖32所示，MFMIS之汲極電流亦顯示逆時鐘旋轉的磁滯。面積比 RS 賦予汲極電流特性之效果，可知面積比 RS 愈大，汲極電流之磁滯愈倒向縱方向，飽和汲極電流值降低。亦即，可觀察出對施加電壓之改變，汲極電流之改變趨於鈍化。

五、發明說明(63)

圖33係顯示本實施形態之神經元元件101供給負荷時使用之負荷控制信號的一種波形圖。本例之特徵為作為負荷控制信號，施加 V_{w1} 之電壓前，施加 $-V_{reset}$ 。此因，強電介質膜的特性上，極化值持續影響電壓的施加履歷，當使強電介質膜在負方向飽和極化時，因應下一個負荷控制信號的電壓，可將負荷係數儘量控制成線形。本實施形態之 $-V_{reset}$ 如為 $-10V$ 。

圖34係顯示負荷係數對本實施形態之突出部之負荷控制信號之電壓 V_w 的變化圖。

圖34中之橫軸係圖33之負荷信號控制脈衝中說明之負荷控制信號的電壓，縱軸顯示輸出至圖26所示之神經元部102之輸出信號 V_{out} 之電壓與自圖26之輸入端子121輸入之前段神經元之輸出信號 V_{in1} 的電壓之比。以下，以負荷比率表示輸出信號對該輸入信號的電壓比率。

從圖34可知， $RS=1$ 時之突觸部之負荷係數若不減少至0.3以下，無法獲得作為負荷之足夠適切的工作。此因PLT材料的有效介電常數遠大於構成串聯之NMOS之電容器的氧化矽，負荷控制信號之電壓 V_w 幾乎未施加於強電介質，結果幾乎不產生極化，即使使負荷控制信號 V_w 改變，漂浮電極上剩餘之電位 V_{FG} 幾乎不改變。當然，藉由相對性減少固定電阻元件119之電阻值，可提高此種負荷係數的變化特性。有效之使固定電阻元件119之電阻值改變的手段，如：擴大構成固定電阻元件119之NMISFET的閘寬、縮短閘長、提高通道區域之載體濃度等方法。如先

五、發明說明 (⁶⁴)

前例之MFIS中之強電介質膜而使用PZT時，由於PZT之進一步相對介電常數(約1000)遠高於PLT，因此以上之工作不良更加顯著。

但是，經本發明人檢討結果發現，即使使用此種介電常數高的強電介質，藉由縮小強電介質膜之面積，增加面積比 $RS(=SI/SF)$ ，突觸部之工作穩定。例如，使面積比 RS 至少為2以上的大小，可擴大負荷係數之變化範圍至不影響突觸部之工作的程度。

再者，如圖34所示，證實藉由使面積比 RS 在5以上，負荷係數之變化範圍變得非常寬，即使 RS 為30，負荷係數之變化特性極為穩定地描繪大致相同的曲線。此顯示於製造本實施形態之裝置時，即使因加工精度偏差等強電介質電容器之尺寸及MISFET之尺寸未形成特定大小，而面積比 RS 變動時，仍非常穩定地重現負荷係數。

本實施形態如藉由使 $RS=10$ ，可在 $V_w=2\sim3(V)$ 的範圍內，將負荷係數自0穩定地調制為1。且由於該調制特性具有大致直線性變化的線形性，因此更有利於對先前例之指數函數的變化予以控制的便利性。

本實施形態由於負荷控制信號之電壓的控制精度如為 $\pm 50\text{ mV}$ 的精度，因此可藉由負荷控制信號將負荷係數設定成約10階段。而先前例之突觸電路由於係使用隧道電流，因此電荷量之控制非常困難，而藉由本發明之強電介質閘極電晶體120可輕易地獲得多階段的負荷係數。

再者，本實施形態藉由強電介質閘極電晶體120採用

五、發明說明(65)

MFMIS構造，使面積比 $RS(=SI/SF)$ 之值儘量大，可獲得即使對製程之加工誤差仍可實現非常穩定之負荷係數的突觸電路。

從驅動電壓之觀點，由於本實施形態之突觸電路(突觸部103)可以2~3V之驅動電壓控制負荷係數，因此與先前例之利用隧道現象的突觸電路比較，可實現大幅的低電壓化。

以上，本實施形態之神經元元件101係藉由強電介質閘極電晶體120與固定電阻元件117之電壓分配，形成輸入電壓乘以負荷而輸出的突觸部103，可以低電壓實現精度良好且容易控制的突觸電路者。

此時可知，尤其是藉由增加通道面積與強電介質電容器面積之面積比 $RS(=SI/SF)$ ，對NMISFET113之閘極・基板間電容，減少構成強電介質閘極電晶體120之強電介質電容器115的電容，可使突觸電路之工作達到適切值，可將負荷係數調制在大致0至1之間。

且亦發現，藉由儘量減少面積比 RS ，亦即電容比，可實現對製程上之尺寸誤差，變動非常小且穩定工作的突觸電路。

另外，本實施形態之說明中，係說明圖25之電位限定端子125之電位 V_L 為0V時，不過，於電位 V_L 為負電位時，亦可輸出負電壓，並輸入神經元部102。此時，於神經元部102內設置所謂 ν MOS的情況下，此種信號發揮使神經元部102不易啟動的效果。亦即，形成抑制啟動的突觸工

五、發明說明(66)

作。

此外，本實施形態構成組合NMISFET113與強電介質電容器115之強電介質閘極電晶體120(MFMIS裝置)，形成自強電介質閘極電晶體120之汲極區域輸入輸入信號Vin1之構造，不過，即使將電阻體連接於強電介質閘極電晶體120之汲極側，自電阻體之另一方端子輸入輸入信號，該突觸部103仍可適切的工作。此時，由於突觸部之負荷係數對負荷控制信號與本實施形態之工作相反，因此，希望增加輸出的情況下，可輸入低電壓之負荷控制信號等，顛倒輸入信號的電壓高低。

此外，從先前之說明亦容易類推，本實施形態之突觸部103即使將電阻體連接於強電介質閘極電晶體120之汲極或源極，仍可藉由將各電阻值予以適切最佳化，將輸出信號之電壓設定在所需範圍內。

此外，本實施形態係設置NMISFET作為固定電阻元件117，不過，即使藉由其他元件構成固定電阻元件，仍可發揮同樣的效果。

此外，本實施形態係藉由NMISFET113及強電介質電容器115構成強電介質閘極電晶體120，不過，本發明之強電介質閘極電晶體亦可藉由組合強電介質電容器與PMISFET來構成。即使使用PMISFET時，與NMISFET有極性差異，工作上仍可實現以本實施形態相同之工作原理發揮功能的神經元元件。

此外本實施形態係以藉由 ν MOS構成神經元部102為例

五、發明說明 (67)

作說明，不過，由於本發明主要特徵在於突觸部103的構造，因此神經元部102內配置對數個電壓輸入，以大於某個臨限值(或小於臨限值)產生輸出變化的元件時，仍可獲得與本實施形態大致相同的效果。

(第十五種實施形態)

本實施形態之神經元元件的主要特徵在於，使用鈦酸鉍(以下稱BIT)作為構成圖25所示之神經元元件101之突觸部103之強電介質閘極電晶體(MFMIS)的強電介質材料。因此，本實施形態之神經元元件的基本構造如圖25所示。

圖35係顯示本發明第十五種實施形態使用之BIT的極化磁滯特性圖。如圖35所示，鈦酸鉍與第十四種實施形態用作強電介質材料之PLT比較，其特徵為極化值小。本實施形態之BIT之剩餘極化值約為 $3\mu\text{C}/\text{cm}^2$ 。

圖36係將面積比RS作為參數顯示本實施形態之突觸部103之負荷控制信號之電壓與藉此設定之負荷係數的相關關係圖。第十四種實施形態之突觸部103的負荷控制信號，在2~3V之範圍，亦即在抗電壓與低電壓之差約為1V的範圍內，使負荷控制係數自0變為1，而本實施形態於增強電介質閘極電晶體之MISFET之通道面積與強電介質電容器面積之比的面積比RS(=SI/SF)時，可緩和該負荷係數的變化。

如圖36所示，如RS=25時，負荷控制信號之電壓自2V變成6V的範圍中，負荷係數緩慢地自0變成1。亦即，可更精密地執行負荷係數的調整。本實施形態之負荷控制信號之

五、發明說明(68)

電壓的控制精度如為 $\pm 50 \text{ mV}$ 的精度時，藉由負荷控制信號，可將負荷係數設定在約40階段。亦即，藉由本實施形態可比第十四種實施形態之突觸部執行更精密的負荷係數控制。

此外，可看出第十四種實施形態之突觸部，面積比RS在5以上，負荷趨於穩定，而本實施形態之突觸部，因面積比RS約在10以上，因此具有負荷係數之變化坡度緩慢的特性。因而，本實施形態之突觸電路可執行負荷係數之細小控制的理由，可藉由構成強電介質閘極電晶體120之NMISFET113之 V_g - I_d 特性(閘偏壓與汲極電流之相關關係)與因強電介質電容器115之極化所感應之電荷量的均衡來說明。結果，本實施形態藉由使用極化值小之強電介質材料，可在圖35中說明之面積比RS的範圍內獲得此種特性。

本實施形態之突觸部103執行因應NMISFET113與固定電阻元件117之電壓分配的工作。若NMISFET113之電阻值為R，固定電阻元件117之電阻值為 R_0 時，負荷係數CW以下列公式(6)表示：

$$CW = R_0 / (R + R_0) \quad (6)$$

此時，如將負荷係數之調制範圍設定為0.1至0.9時，R須變化值以下列公式(7)表示：

$$R_0 / 9 \leq R \leq 9R_0 \quad (7)$$

亦即，R需要約2位數的調制。

此時，NMISFET113在臨限值電壓以上，產生2位數之電流變化所需之閘壓的變化設定為 ΔV_g 。本實施形態之 ΔV_g

五、發明說明 (69)

如為 0.2V。

藉由以強電介質電容器 115 之極化之電荷產生該電壓變化量 ΔV_g ，可非揮發性地設定負荷係數。

此時，將供給某個負荷控制信號後之強電介質電容器 115 之極化值設定為 PW，將強電介質電容器 115 之面積設定為 SF 時，圖 30 所示之漂浮閘上所感應之電荷量 QW 可藉由下列公式 (8) 算出。

$$QW = PW \cdot SF \quad (8)$$

另外，構成強電介質閘極電晶體 120 之 NMISFET 113 之閘極部的電容器設定為 CI 時，藉由負荷控制信號產生之圖 30 之漂浮閘電位 V_{FG} ，可藉由下列公式 (9) 算出。

$$V_{FG} = QW / CI \quad (9)$$

公式 (9) 所表示之漂浮閘電位 V_{FG} 的兩倍正好與 ΔV_g 一致時，可最有效地控制負荷係數。

亦即，宜形成下列公式 (10) 成立的條件。

$$\Delta V_g = 2 V_{FG} \quad (10)$$

其中，NMISFET 113 之閘極絕緣膜的相對介電常數為 ϵ_I ，厚度為 t_I 時，CI 藉由下列公式 (11) 獲得。

$$CI = \epsilon_0 \cdot \epsilon_I \cdot SI / t_I \quad (11)$$

彙整公式 (8)，(9)，(10)，(11)，並使用 $RS = SI / SF$ 之關係時，可藉由下列公式 (12) 求出最佳之面積比 RS (最佳 RS)。

$$RS = 2PW \cdot t_I / (\Delta V_g \cdot \epsilon_0 \cdot \epsilon_I) \quad (12)$$

圖 37 係顯示依據公式 (12) 所求出之最佳 RS 與強電介質膜之極化值的相關關係圖。從圖 37 可知，強電介質膜之極化

五、發明說明(70)

值變大時，最佳RS極大。本實施形態之強電介質材料的BIT，由於極化值之最大值(飽和極化值)如為 $3\mu\text{C}/\text{cm}^2$ ，因此約26之面積比RS最適切。此亦與圖36所示之結果非常一致。另外，剩餘極化大之強電介質材料即使為第十四種實施形態中說明之PLT等，如圖31所示，於強電介質未飽和狀態之所謂小磁滯迴路上工作之電壓範圍內，藉由驅動可獲得小極化值PW。亦即，不需要設定成異常大之面積比RS。此表示不需要儘量擴大以最小加工尺寸形成強電介質電容器115時之NMISFET113的通道面積。亦即，可儘量縮小單元之佔用面積方面是非常重要的觀念。另外，本實施形態之最佳面積比實際上係反映最佳的電容比，由於在半導體裝置之設計上，面積比很重要，因此將面積比作為參數。

不過，經本發明人檢討結果，由於此種小磁滯迴路的作用，會因若干的施加電壓變化致使極化量重大改變而造成工作不穩定，因此宜儘量在接近飽和的迴路上使用強電介質。亦即，使用極化量大之強電介質材料的情況下，採用在第十四種實施形態中說明之狹窄電壓範圍內，穩定地調制負荷係數的方法為有利，反之，在較大之電壓範圍內希望精密調制負荷的情況下，以使用極化量小的強電介質材料為有利。此時，依據圖37所示之關係公式設定最佳RS時，可最有效地執行負荷調制。

另外，從圖36所示之特性可知，面積比RS遠大於最佳RS的情況下，負荷係數難以到達1。反之，面積比RS小於

五、發明說明 (71)

最佳RS的情況下，於第十四種實施形態之突觸部103的工作附近，負荷控制信號之電壓的適切範圍變窄，可以低電壓實現突觸工作(控制)。

如以上所述，本實施形態之神經元元件之突觸電路構成具有經公式(12)予以最佳化之面積比RS(最佳RS)的強電介質閘極電晶體120，可迅速設計最佳之突觸電路(突觸部103)。而藉由使用經該方法予以最佳化之突觸電路，可緩和因應該負荷係數之負荷控制信號之電壓的變化。藉由該效果，負荷控制信號之負荷係數的設定可設定成約40階段，比第十四種實施形態之突觸電路可設定更精密的負荷係數。

另外，第十四種實施形態及第十五種實施形態係說明分別使用PLT與使用BIT作為強電介質材料，不過，即使使用其他之強電介質材料，藉由執行與第十五種實施形態相同的最佳化，仍可獲得執行所需之負荷係數設定的突觸電路。本發明使用之強電介質材料，除第十四、十五種實施形態之外，若為先前例中說明之PZT(最大剩餘極化 $\sim 20 \mu\text{C}/\text{cm}^2$)、及鈦酸鋯酸鉛·鐳(最大剩餘極化 $\sim 30 \mu\text{C}/\text{cm}^2$)、鉭酸鋁·鈹(SBT；最大剩餘極化 $\sim 10 \mu\text{C}/\text{cm}^2$)、鈦酸鋇(BTO；最大剩餘極化 $\sim 10 \mu\text{C}/\text{cm}^2$)、鈦酸鋇·鋁(BST；最大剩餘極化 $\sim 10 \mu\text{C}/\text{cm}^2$)、及在此等上固溶鋁等及稀土元素之強電介質時，與第十四、第十五種實施形態同樣地，可實現可多段地設定負荷係數的突觸電路。

(第十六種實施形態)

五、發明說明(72)

圖38係本發明第十六種實施形態之神經元元件的等效電路圖。

如該圖所示，本實施形態之神經元元件101'除圖25所示之第十四種實施形態的神經元元件101之外，具有在突觸部103之負荷信號端子123上連接選擇電晶體190的構造。選擇電晶體190之閘極上連接有控制信號端子191，基板區域連接於接地，源極上連接有突觸部103之負荷信號端子123，汲極上連接有負荷輸入端子192。

本實施形態藉由將此種選擇電晶體190設置在神經元元件101'內，將神經元元件101'配置成圖21所示之陣列狀時，使用在列上延伸之控制信號線(圖21所示之第一控制信號線83)與在行上延伸之控制信號線(圖21所示之第二控制信號線84)，構成類神經網路，可有效地執行各神經元元件101'之負荷係數的控制。

此外，即使因存在選擇電晶體190，而產生輸入配線104a~104d之電壓的變動，由於其電壓變動被分配至強電介質電容器115、NMISFET113之閘極電容、與選擇電晶體190之汲極・源極電容，因此可抑制強電介質電容器115之極化的變動。

圖39係僅取出強電介質閘極電晶體120與選擇電晶體190之電容器成分的等效電路圖。如該圖所示，NMISFET113之閘極部的電容為CI，強電介質電容器115之電容為CF，選擇電晶體190之汲極・源極電容為Cds時，在輸入配線104與負荷輸入端子192之間形成串聯有各電容CI, Cds, CF

五、發明說明(73)

的電路構造。

強電介質閘極電晶體為求在強電介質電容器115內執行寫入工作，宜使強電介質電容器115之電容CF與NMISFET113之閘極部之電容CI大致相等。但是，兩者之電容相等時，連接於NMISFET113之基板的輸入配線104的電壓變動，而影響強電介質電容器115的極化狀態。此時，於選擇電晶體190斷開時，由於汲極・源極電容Cds較小，在強電介質電容器115內幾乎未分配電壓，而在汲極・源極電容Cds內分配大電壓。因而，強電介質電容器115之極化狀態幾乎不受干擾地保持。

[發明之功效]

藉由本發明可提供一種具有高學習功能、邏輯轉換功能、負荷控制功能等發揮神經元元件、電位產生裝置、及邏輯轉換電路等功能的半導體裝置。

[圖式之簡單說明]

圖1係顯示本發明第一種實施形態之半導體裝置之神經元元件之電路構造的模式圖。

圖2係顯示強電介質膜之剩餘極化與電壓的關係(磁滯迴路)圖。

圖3係僅取出第一種實施形態之神經元元件之電容器部分時的等效電路圖。

圖4係顯示圖1所示之電路中設置兩個信號輸入部時之一種工作波形圖。

圖5係顯示設置數個學習記憶部之第一種實施形態之第

五、發明說明(74)

一種類似例之半導體裝置之神經元元件的構造模式圖。

圖6係顯示第一種實施形態之第二種類似例之半導體裝置之神經元元件的構造模式圖。

圖7係顯示採用與第一種實施形態不同方式時之強電介質膜之剩餘極化與電壓的關係(磁滯迴路)圖。

圖8係顯示本發明第三種實施形態之半導體裝置之神經元元件及控制電路的構造模式圖。

圖9係顯示本發明第四種實施形態之半導體裝置之神經元元件的構造模式圖。

圖10(a)~(c)分別依序係顯示本發明第四種實施形態之類似例之半導體裝置之神經元元件之切換配線前之構造、配線成輸出抑制型時之構造、及配線成輸出強化型時之構造的模式圖。

圖11(a)，(b)分別依序係本發明第五種實施形態之神經元元件之電位產生裝置的平面圖及沿XIb-XIb線的剖面圖。

圖12係第五種實施形態之神經元元件之電位產生裝置的等效電路圖。

圖13(a)，(b)分別依序係顯示第五種實施形態之輸入端子之電壓隨時間變化的時間圖、及閘極部及輸出端子之電壓隨時間變化的時間圖。

圖14(a)，(b)，(c)分別依序係顯示檢查第五種實施形態之閘極部之電位穩定性用之測試用電路構造電路圖、顯示輸入端子之電位隨時間變化之時間圖、及閘極部之電位隨

五、發明說明(75)

時間變化之時間圖。

圖 15 係本發明第六種實施形態之電位產生裝置的等效電路。

圖 16 係本發明第七種實施形態之電位產生裝置的等效電路。

圖 17 係本發明第八種實施形態之神經元元件的等效電路。

圖 18(a)，(b) 分別依序係顯示使輸入於第八種實施形態之兩個輸入部之各輸入端子之輸入信號之邏輯值改變時之漂浮閘之電位隨時間變化的時間圖、及顯示施加於強電介質電容器之電壓隨時間變化的時間圖。

圖 19 係顯示對與第八種實施形態之圖 18(a) 相同之邏輯值輸入之輸出端子之電位隨時間變化的時間圖。

圖 20 係本發明第九種實施形態之神經元元件之等效電路圖。

圖 21 係顯示本發明第十種實施形態之半導體積體電路裝置之構造的區塊電路圖。

圖 22(a)，(b) 係顯示本發明第十一種實施形態之 MISFET 之構造的平面圖及縱剖面圖。

圖 23(a)，(b)，(c) 分別依序係顯示配置有第十一種實施形態之 MISFET 之電位產生裝置的等效電路圖、顯示自輸入端子輸入時之源極隨動器電路之等效電容器的電路圖、及顯示輸出端子之電位變動時之源極隨動器電路之等效電容器的電路圖。

五、發明說明(76)

圖 24 係本發明第十三種實施形態之電位產生裝置的等效電路圖。

圖 25 係本發明第十四種實施形態之神經元元件的等效電路圖。

圖 26 係顯示第十四種實施形態之神經元元件之突觸部一種具體例的電路圖。

圖 27 係第十四種實施形態之具體例之突觸部的上面圖。

圖 28 係圖 27 之 XXIII-XXIII 線的剖面圖。

圖 29 係圖 27 之 XXIX-XXIX 線的剖面圖。

圖 30 係顯示除圖 25 所示之突觸部中之固定電阻元件外的構造圖。

圖 31 係顯示第十四種實施形態之 MFMIS 之強電介質電容器之極化特性圖。

圖 32 係將面積比 RS 作為參數，說明施加於第十四種實施形態之 MFMIS 之電壓與汲極電流的相關關係圖。

圖 33 係顯示於第十四種實施形態之神經元元件中供給負荷時使用之負荷控制信號一種波形圖。

圖 34 係顯示負荷係數對第十四種實施形態之突觸部之負荷控制信號之電壓的變化圖。

圖 35 係顯示本發明第十五種實施形態中使用之 BIT 的極化磁滯特性圖。

圖 36 係將面積比 RS 作為參數，顯示第十五種實施形態之突觸部之負荷控制信號之電壓、與藉此所設定之負荷係數的相關關係圖。

五、發明說明(77)

圖37係顯示依據公式(12)求出之最佳RS與強電介質膜之極化值的相關關係圖。

圖38係本發明第十六種實施形態之神經元元件的等效電路圖。

圖39係僅取出第十五種實施形態之強電介質閘極電晶體與選擇電晶體之電容器成分的等效電路圖。

圖40係先前公報上記載之第二種先前例之神經元元件的等效電路圖。

圖41係以圖表顯示在先前例之控制端子上施加負脈衝信號時之對輸入信號之各部電荷量與輸出信號的邏輯值。

圖42係以圖表顯示在先前例之控制端子上進一步施加振幅大之負脈衝信號時之對輸入信號之各部電荷量與輸出信號Y的邏輯值。

圖43(a)，(b)分別依序係顯示先前例之神經元元件之漂浮閘之電位隨時間變化的時間圖、及顯示施加於強電介質膜之電壓隨時間變化的時間圖。

圖44係簡化顯示腦部基本單位之構造的區塊電路圖。

圖45係簡化顯示先前例之 ν MOS構造的模式圖。

圖46係顯示專利公報中記載之先前例之神經元元件之構造的模式圖。

圖47係顯示專利公報中記載之先前強電介質閘極電晶體之構造的剖面圖。

圖48係顯示電子貫穿厚度為10 nm之熱氧化矽膜時之施加電壓與隧道電流的關係圖。

五、發明說明(78)

元件符號之說明

1	NMISFET
2	源極端子
3	汲極端子
4	漂浮閘
5	信號輸入部
5a	輸入端子
5b	輸入閘極
5c	常電介質膜
6	閘極絕緣膜
7	學習記憶部
7a	電壓端子
7b	極化用電極
8	強電介質膜
9	負荷電阻元件
10	輸出端子
11	PMISFET
12	源極端子
13	汲極端子
50	輸入端子
51	強電介質電容器
52	閘極部
53	電源電壓供給部
54	N型MIS電晶體

五、發明說明(79)

- 55 輸出端子
- 56 P型MIS電晶體
- 57 接地

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置)

本發明提供一種具備神經元元件、電位產生裝置、及邏輯轉換電路等功能之半導體裝置。其電位產生裝置之N型MIS電晶體54之源極與P型MIS電晶體56之源極彼此連接，且連接於輸出端子55。N型MIS電晶體54之汲極連接於供給電源電壓VDD之電源電壓供給部53，P型MIS電晶體56之汲極連接於供給接地電壓VSS之接地57。此外，N型MIS電晶體54之基板電位係接地電壓VSS，P型MIS電晶體56之基板電位係電源電壓VDD。如此構成自源極取得輸出的源極隨動器電路。利用該電位產生裝置，可獲得穩定切換NOR工作與NAND工作之邏輯轉換電路。

英文發明摘要(發明之名稱： "SEMICONDUCTOR DEVICE")

In an electric potential generating device, a source of an N type MIS transistor is mutually connected to that of a P type MIS transistor and also connected to an output terminal. A drain of an N type MIS transistor 54 is connected to a power supply voltage supply portion for supplying power supply voltage VDD, and a drain of the P type MIS transistor is connected to a ground. In addition, a substrate potential of the N type MIS transistor is a ground voltage VSS, and that of a P type MIS transistor 56 is the power supply voltage VDD. Thus, it is constituted as a source follower circuit for taking output out of the source. It is possible, by utilizing this electric potential generating device, to obtain a logic transformation circuit for stably switching between NOR operation and NAND operation.

六、申請專利範圍

1. 一種半導體裝置，其特徵為包含：

半導體層；

第一絕緣膜，其係設於上述半導體層之上；

第一閘極，其係設於上述第一絕緣膜上；

至少一個第二閘極，其係與上述第一閘極相對設置，
並接收輸入信號；

至少一個第二絕緣膜，其係介於上述第一閘極與上述
至少一個第二閘極之間；

第三閘極，其係與上述第一閘極相對設置；

強電介質膜，其係介於上述第一閘極與上述第三閘極
之間；

及輸出部，其係連接於上述半導體層之一部分，因應
輸入於上述至少一個第二電極之輸入信號而輸出輸出信
號；

且具有因應上述強電介質膜之極化特性，加強或減弱
上述輸入信號與上述輸出信號之相關關係的學習功能。

2. 如申請專利範圍第1項之半導體裝置，

其中上述第三閘極上供給有一定電壓。

3. 如申請專利範圍第2項之半導體裝置，

其中上述第三閘極上施加有對上述第一電極之電位為
正或負的電壓。

4. 如申請專利範圍第1項之半導體裝置，

其中上述第三閘極上施加有脈衝狀電壓。

5. 如申請專利範圍第4項之半導體裝置，

六、申請專利範圍

其中上述第三閘極上施加對第一閘極為正或負的脈衝狀電壓。

6. 如申請專利範圍第5項之半導體裝置，

其中進一步包含：評估機構，其係評估自上述輸出部輸出之輸出信號；及

信號產生電路，其係因應上述評估機構之評估結果，產生供給至上述第三閘極的信號。

7. 如申請專利範圍第1~6項中任一項之半導體裝置，

其中使上述強電介質膜之極化反轉用之抗電壓的絕對值小於電流流入位於上述半導體層內之上述第一閘極下方區域用之臨限值電壓的絕對值。

8. 如申請專利範圍第1~6項中任一項之半導體裝置，

其中上述至少一個第二閘極上施加電流流入位於上述半導體層內之上述第一閘極下方區域之範圍內的最大輸入電壓時，上述第一閘極與第三閘極間之電壓不超過上述強電介質膜的抗電壓。

9. 如申請專利範圍第1~6項中任一項之半導體裝置，

其中包含：第一、第二擴散區域，其係形成於上述半導體層中之位於上述第一閘極之兩側方的區域；及

第一、第二電壓供給部，其係分別連接於上述第一、第二擴散區域，並供給具有高低差的第一、第二電壓；

且上述輸出部連接於上述第一擴散區域，

上述輸出部與上述第一電壓供給部之間，介有具備電阻體功能的電阻性構件。

六、申請專利範圍

10. 如申請專利範圍第1~6項中任一項之半導體裝置，
其中具有邏輯運算電路之神經元元件的功能。
11. 如申請專利範圍第10項之半導體裝置，
其中具有邏輯運算電路之神經元元件的功能。
12. 如申請專利範圍第11項之半導體裝置，
其中配置於執行辨識與判斷之人工智慧系統內。
13. 如申請專利範圍第1~6項中任一項之半導體裝置，
其中分別設置等數量之數個上述至少一個第二閘極與
上述至少一個第二絕緣膜，
並因應數個輸入信號，輸出上述輸出信號。
14. 一種半導體裝置，其特徵為包含：
半導體層；
第一絕緣膜，其係設於上述半導體層之上；
第一閘極，其係設於上述第一絕緣膜上；
第二閘極，其係與上述第一閘極相對；
強電介質電容器，其係包含：連接於上述第一閘極之
下部電極、連接於上述第二閘極之上部電極、及介於上
述上部電極-下部電極間之強電介質膜；
第三閘極，其係連接於上述強電介質電容器之上部電
極；
至少一個第四閘極，其係與上述第三閘極相對設置，
並接收輸入信號；
至少一個第二絕緣膜，其係介於上述第三閘極與上述
第四閘極之間；

六、申請專利範圍

第五閘極，其係與上述第三閘極相對設置，並供給有上述強電介質膜之極化調整用電壓；

第三絕緣膜，其係介於上述第三閘極與上述第五閘極之間；及

輸出部，其係連接於上述半導體層之一部分，因應輸入於上述至少一個第四電極之輸入信號而輸出輸出信號；

且具有因應上述強電介質膜之極化特性，加強或減弱上述輸入信號與上述輸出信號之相關關係的學習功能。

15. 如申請專利範圍第14項之半導體裝置，

其中分別設置等數量之數個上述至少一個第四閘極與上述至少一個第二絕緣膜，

並因應數個輸入信號，輸出上述輸出信號。

16. 一種半導體裝置，其特徵為包含：

半導體層；

第一絕緣膜，其係設於上述半導體層之上；

第一閘極，其係設於上述第一絕緣膜上；

第二閘極，其係與上述第一閘極相對設置；

第三閘極，其係與上述第二閘極相對設置；

至少一個第四閘極，其係與上述第三閘極相對設置，並接收輸入信號；

至少一個第二絕緣膜，其係介於上述第三閘極與上述第四閘極之間；

第五閘極，其係與上述第三閘極相對設置；

六、申請專利範圍

第三絕緣膜，其係介於上述第三閘極與上述第五閘極之間；

輸出部，其係連接於上述半導體層之一部分，因應輸入於上述至少一個第四電極之輸入信號而輸出輸出信號；

強電介質電容器，其係包含：連接於上述第一閘極之下部電極、連接於上述第二閘極之上部電極、及介於上述上部電極-下部電極間之強電介質膜；及

電壓供給部，其係用於在上述第五閘極上供給上述強電介質膜之極化控制用電壓；

且上述強電介質電容器之下部電極可電性連接上述第三閘極或上述第五閘極之任何一方，

上述強電介質電容器之上部電極可電性連接於上述第五閘極或上述電壓供給部之任何一方。

17. 如申請專利範圍第16項之半導體裝置，

其中分別設置等數量之數個上述至少一個第五閘極與上述至少一個第二絕緣膜，

並因應數個輸入信號，輸出上述輸出信號。

18. 一種半導體裝置，其特徵為包含：

第一半導體層；

第一MISFET，其係包含：第一絕緣膜，其係形成於上述第一半導體層上之；第一閘極，其係形成於上述第一閘極絕緣膜上之；及第一、第二P型擴散區域，其係形成於上述第一半導體層內之位於上述第一閘極兩側方

六、申請專利範圍

的區域內；

第二半導體層；

第二 MISFET，其係包含：第二絕緣膜，其係形成於上述第二半導體層上之；第二閘極，其係形成於上述第二閘極絕緣膜上之；及第一、第二 N 型擴散區域，其係形成於上述第二半導體層內之位於上述第二閘極兩側方的區域內；

強電介質電容器，其係包含：第一電極，其係共同連接於上述第一、第二閘極；第二電極，其係與該第一電極相對；及強電介質膜，其係介於上述第一電極-第二電極之間；

第一電壓供給部，其係用於在上述第二 MISFET 之第一 N 型擴散區域內供給第一電壓；

第二電壓供給部，其係用於在上述第一 MISFET 之第一 P 型擴散區域內供給低於上述第一電壓之第二電壓；及

電壓輸出部，其係共同連接於上述各 MISFET 之第二 P 型擴散區域及 N 型擴散區域，用於輸出因應輸入於上述強電介質電容器之上述第二電極之電壓的輸出電壓；

且具備電位產生裝置的功能。

19. 如申請專利範圍第 18 項之半導體裝置，

其中上述第二閘極電性連接於上述第一 MISFET 之第一 P 型擴散區域。

20. 如申請專利範圍第 18 項之半導體裝置，

其中上述第一閘極電性連接於上述第二 MISFET 之第

六、申請專利範圍

一 N型擴散區域。

21. 如申請專利範圍第 18~20 項中任一項之半導體裝置，

其中上述第一 P 型擴散區域與上述第二半導體層內之除上述第一、第二 N 型擴散區域以外之區域的一部分彼此電性連接，

上述第一 N 型擴散區域與上述第一半導體層內之除上述第一、第二 P 型擴散區域以外之區域的一部分彼此電性連接的情況下，

具備源極隨動器電路功能。

22. 如申請專利範圍第 21 項之半導體裝置，

其中上述第一及第二 MISFET 為增強型（常關）電晶體。

23. 如申請專利範圍第 18~20 項中任一項之半導體裝置，

其中進一步具備形成於上述第一及第二閘極中之至少任何一方側面上之側壁。

24. 如申請專利範圍第 18~20 項中任一項之半導體裝置，

其中進一步具備連接於上述強電介質電容器之上述第二電極的傳遞電晶體。

25. 如申請專利範圍第 18~20 項中任一項之半導體裝置，

其中進一步包含：

第三半導體層；

第三 MISFET，其係包含：第三閘極絕緣膜，其係設於上述第三半導體層之上；第三閘極，其係設於上述第三閘極絕緣膜之上；及第一、第二擴散區域，其係形成

六、申請專利範圍

於上述第三半導體層中之位於上述第三閘極兩側方的區域內；

至少一個第四閘極，其係與上述第三閘極相對設置，並接收輸入信號；

至少一個第一絕緣膜，其係介於上述第三閘極與上述至少一個第四閘極之間；

第五閘極，其係與上述第三閘極相對設置，且電性連接於上述電壓輸出部；

第二絕緣膜，其係介於上述第三閘極與上述第五閘極之間；及

信號輸出部，其係連接於上述第三半導體層內之上述第一擴散區域，因應輸入於上述至少一個第四閘極之輸入信號而輸出輸出信號；

且具備邏輯轉換電路之功能。

26. 如申請專利範圍第25項之半導體裝置，

其中進一步具備第一、第二電壓供給部，其係連接於上述第三半導體層內之上述第一、第二擴散區域，

在上述信號輸出部與上述第一電壓供給部之間介有電阻體。

27. 如申請專利範圍第25項之半導體裝置，

其中上述第三MISFET為NMISFET，

進一步具備第一、第二電壓供給部，其係連接於上述第三半導體層內之上述第一、第二擴散區域，用於分別供給具有高低差之第一、第二電壓，

六、申請專利範圍

在上述信號輸出部與上述第一電壓供給部之間介有具有連接於上述第三閘極之閘極之PMISFET的第四MISFET，

構成有反相器電路。

28. 如申請專利範圍第27項之半導體裝置，

其中上述反相器電路之臨限值電壓藉由上述強電介質電容器之強電介質膜，設定在上述第三MISFET之第三閘極及第四MISFET之閘極上所感應之電位的最大值與最小值之間。

29. 如申請專利範圍第25項之半導體裝置，

其中上述至少一個第四閘極及上述至少一個第一絕緣膜分別設有等數量的數個，

上述強電介質電容器之第二電極上施加有具有負振幅之脈衝狀電壓時，輸入於上述數個第四閘極之輸入信號、與自上述輸出部所輸出之輸出信號之邏輯關係自NOR轉換成NAND。

30. 如申請專利範圍第25項之半導體裝置，

其中數個半導體裝置經由開關元件配置成陣列狀。

31. 一種半導體裝置，其特徵為包含：

數個突觸部，其係負荷於輸入信號，輸出輸出信號；
及神經元部，其係接收來自上述數個突觸部之數個輸出信號；

且上述突觸部包含：

半導體層；

六、申請專利範圍

強電介質閘極電晶體，其係包含：閘極絕緣膜，其係形成於上述半導體層之上；閘極，其係形成於上述閘極絕緣膜之上；第一、第二擴散區域，其係形成於上述半導體層內之位於上述閘極兩側方之區域內；通道區域，其係介於該第一-第二擴散區域間；第一電極，其係連接於上述 MISFET 之閘極；第二電極，其係與該第一電極相對；及強電介質膜，其係介於上述第一電極-第二電極之間；

輸入部，其係電性連接於上述強電介質閘極電晶體之上述第一擴散區域，用於供給輸入信號；

輸出部，其係連接於上述強電介質電晶體之上述第二擴散區域，用於將上述輸入信號乘以負荷係數並輸出；及

負荷信號輸入部，其係電性連接於上述強電介質電容器之上述第二電極，並接收負荷控制信號。

32. 如申請專利範圍第31項之半導體裝置，

其中進一步包含：電阻性構件，其係具備電性連接於上述強電介質閘極電晶體之上述第二擴散區域之電阻體的功能；及

電壓供給部，其係夾住上述電阻性構件，並連接於上述第二擴散區域。

33. 如申請專利範圍第31項之半導體裝置，

其中上述閘極-半導體層間之電容大於上述第一電極-第二電極間之電容。

34. 如申請專利範圍第33項之半導體裝置，

六、申請專利範圍

其中上述第一-第二電極之彼此重疊面積小於上述通道區域之面積。

35. 如申請專利範圍第34項之半導體裝置，

其中上述第一-第二電極之彼此重疊面積小於上述通道區域之面積的1/5。

36. 如申請專利範圍第31項之半導體裝置，

其中構成上述強電介質膜之材料，含有包含鉛、鋁、鋇、鋇、鈹、鋳、鈦、鉭、鈮之群之元素中的至少兩個以上。

37. 如申請專利範圍第31項之半導體裝置，

其中將上述負荷控制信號輸入後之上述強電介質膜之剩餘極化設定為PW，上述閘極絕緣膜之厚度及相對介電常數分別設定為tI， ϵI ，對上述強電介質閘極電晶體之汲極電流值二位數變化用之閘極施加電壓之差設定為 ΔVg ，真空介電常數設定為 $\epsilon 0$ 時，

上述通道區域之面積與上述第一-第二電極彼此重疊面積之比以 $2PW \times tI / (\Delta Vg \times \epsilon 0 \times \epsilon I)$ 來表示。

38. 如申請專利範圍第31~37項中任一項之半導體裝置，

其中在上述負荷信號輸入部內施加絕對值大於上述負荷控制信號之最大電壓，且為反極性之電壓後，輸入上述負荷控制信號實施驅動。

39. 如申請專利範圍第31~37項中任一項之半導體裝置，

其中進一步具備選擇電晶體，其係介於上述強電介質電容器之上述第二電極與上述負荷信號輸入部之間。

六、申請專利範圍

40. 如申請專利範圍第39項之半導體裝置，

其中數個半導體裝置及選擇電晶體配置成陣列狀。

裝

訂

線

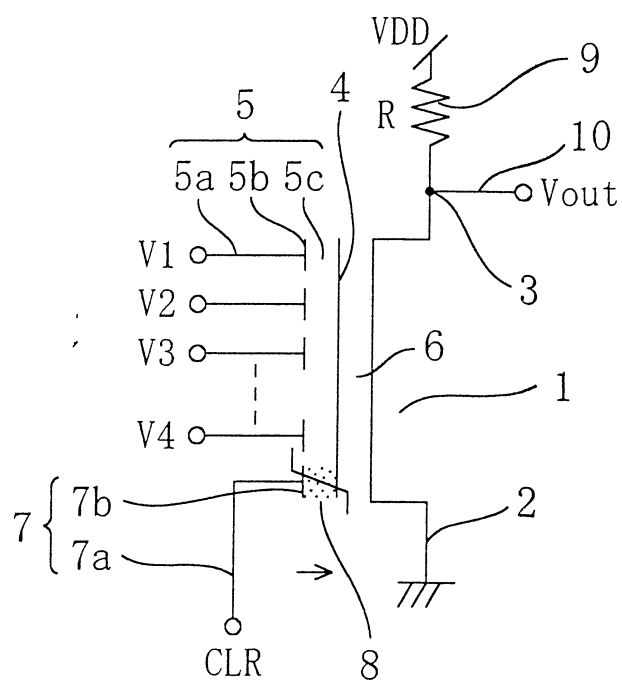


圖 1

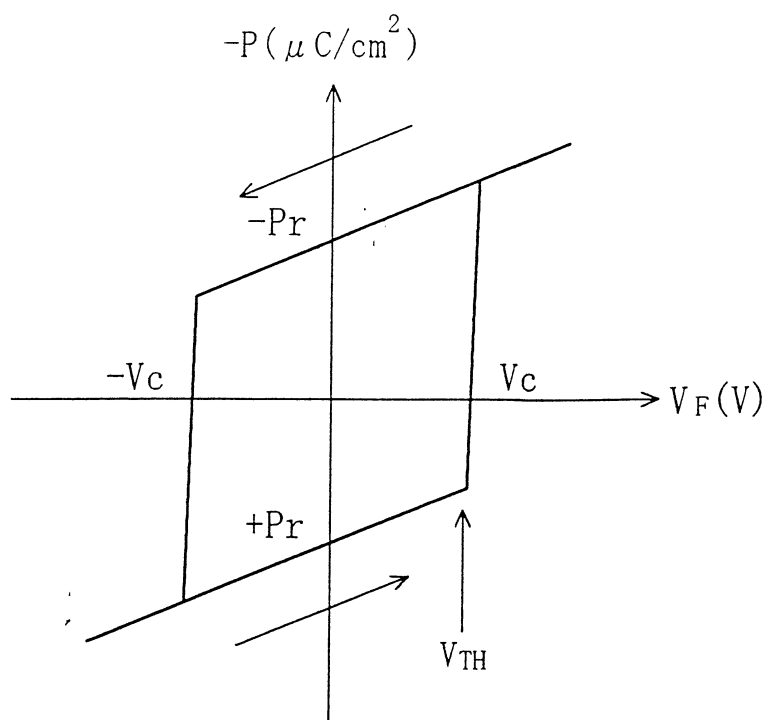


圖 2

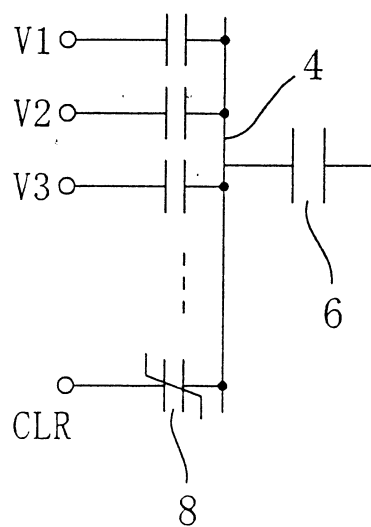


圖 3

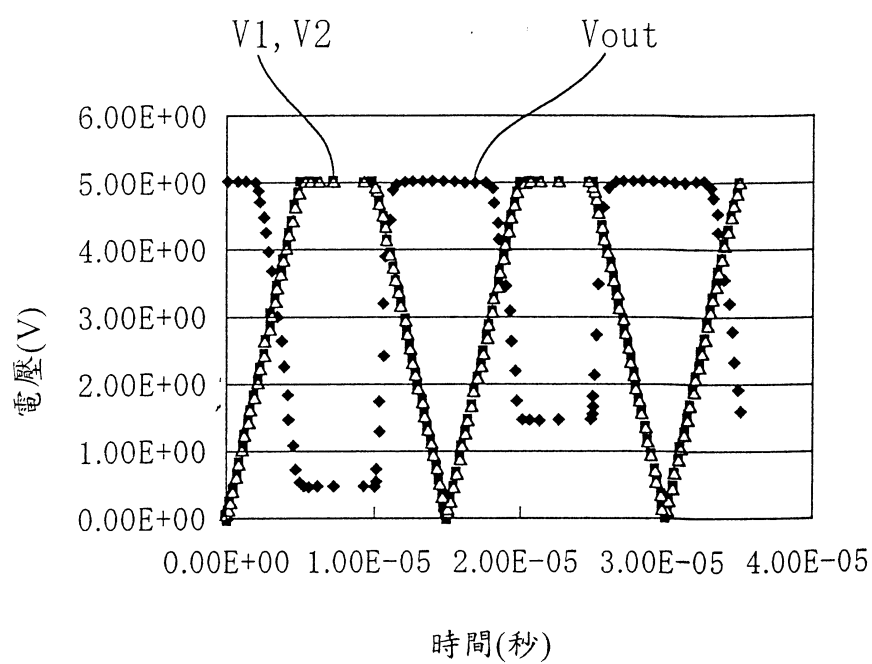


圖 4

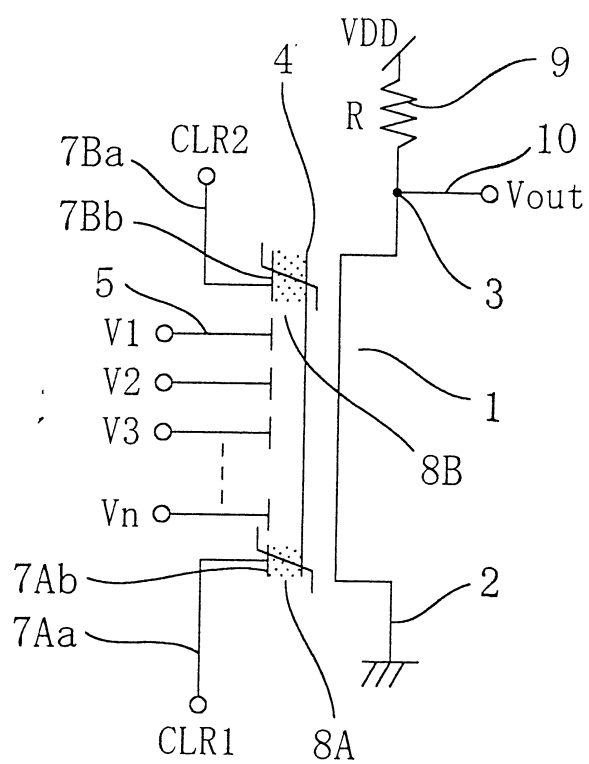


圖 5

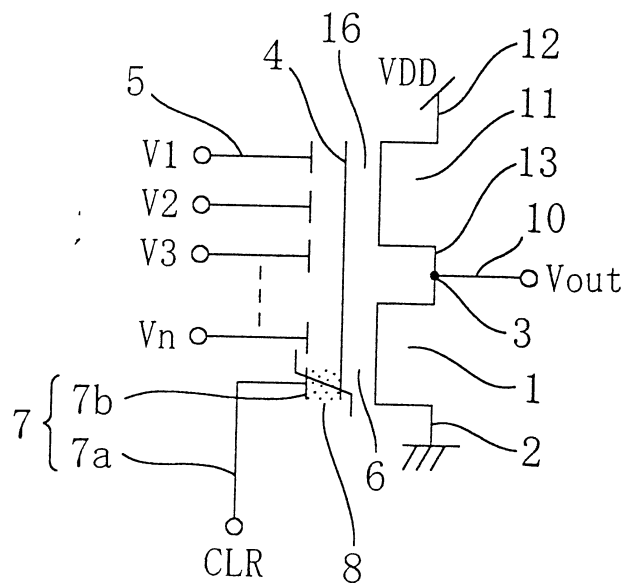


圖 6

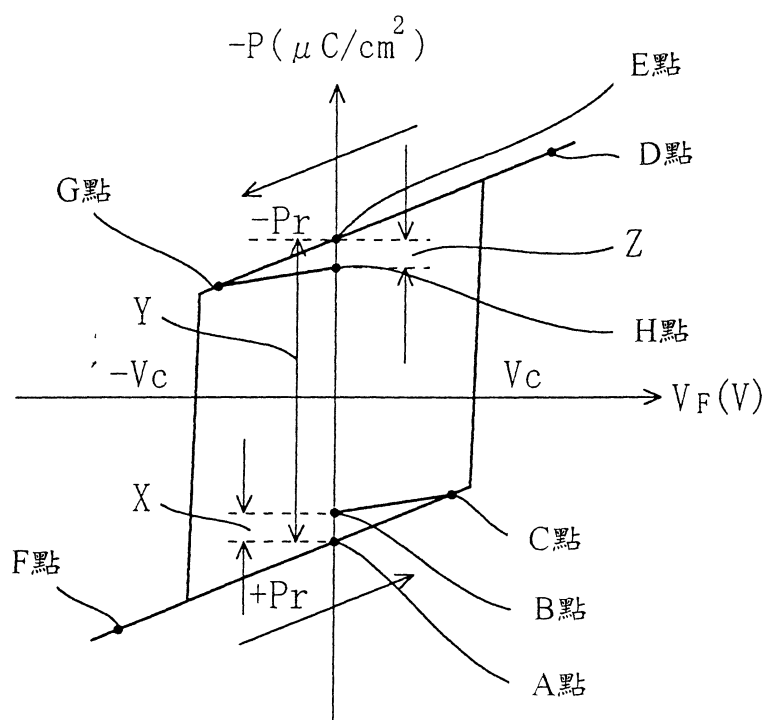


圖 7

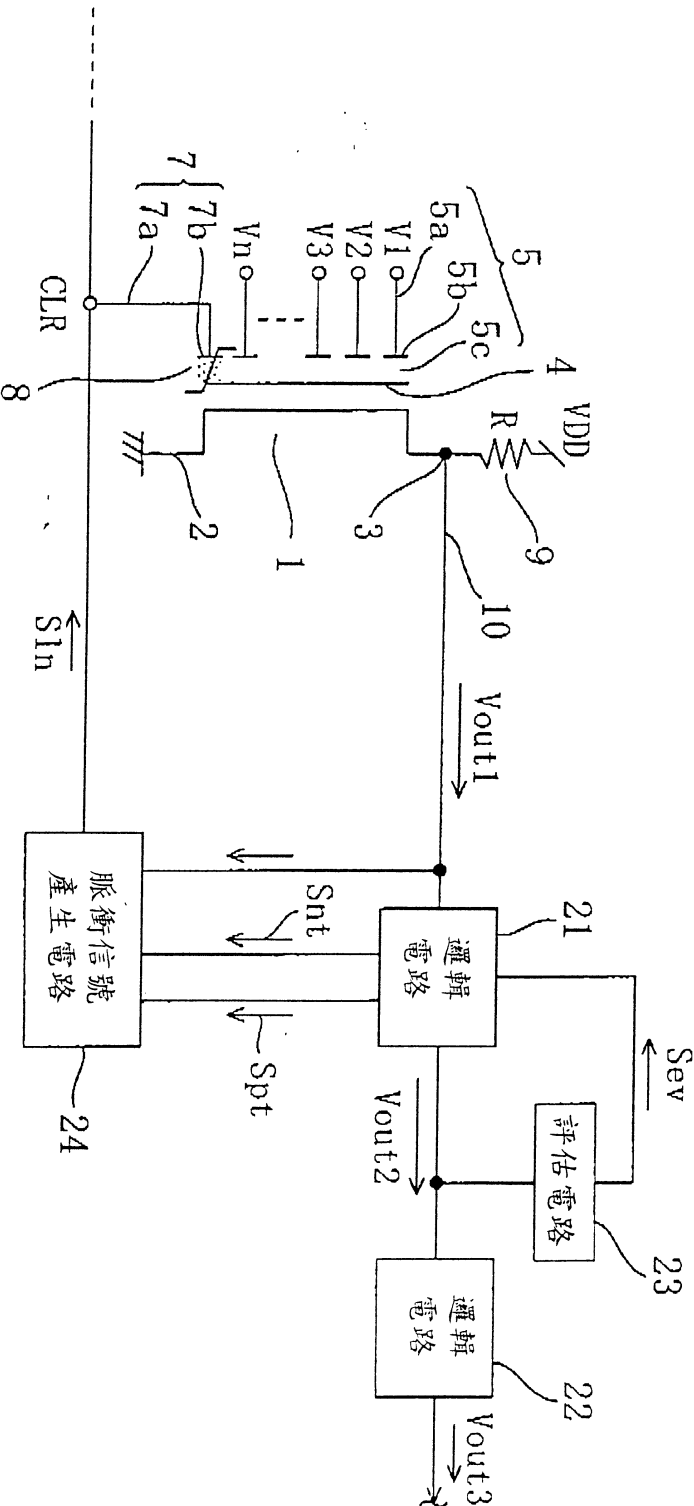


圖 8

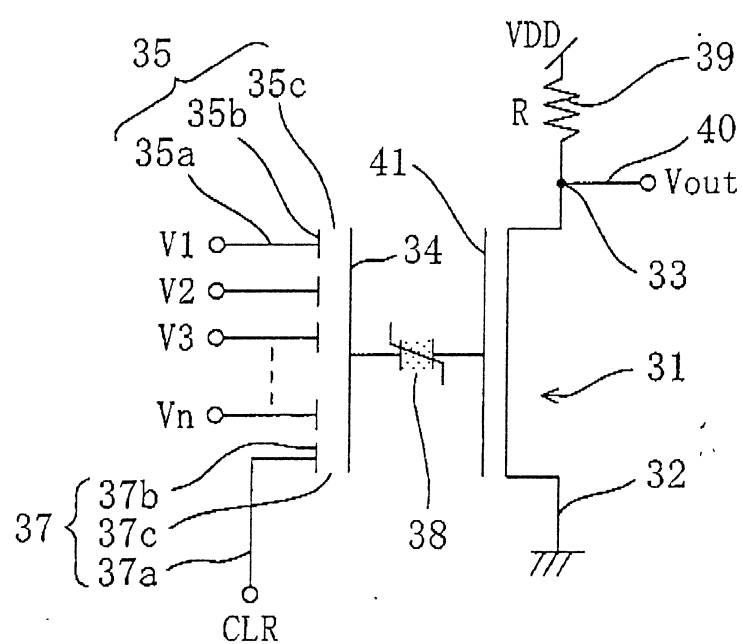


圖 9

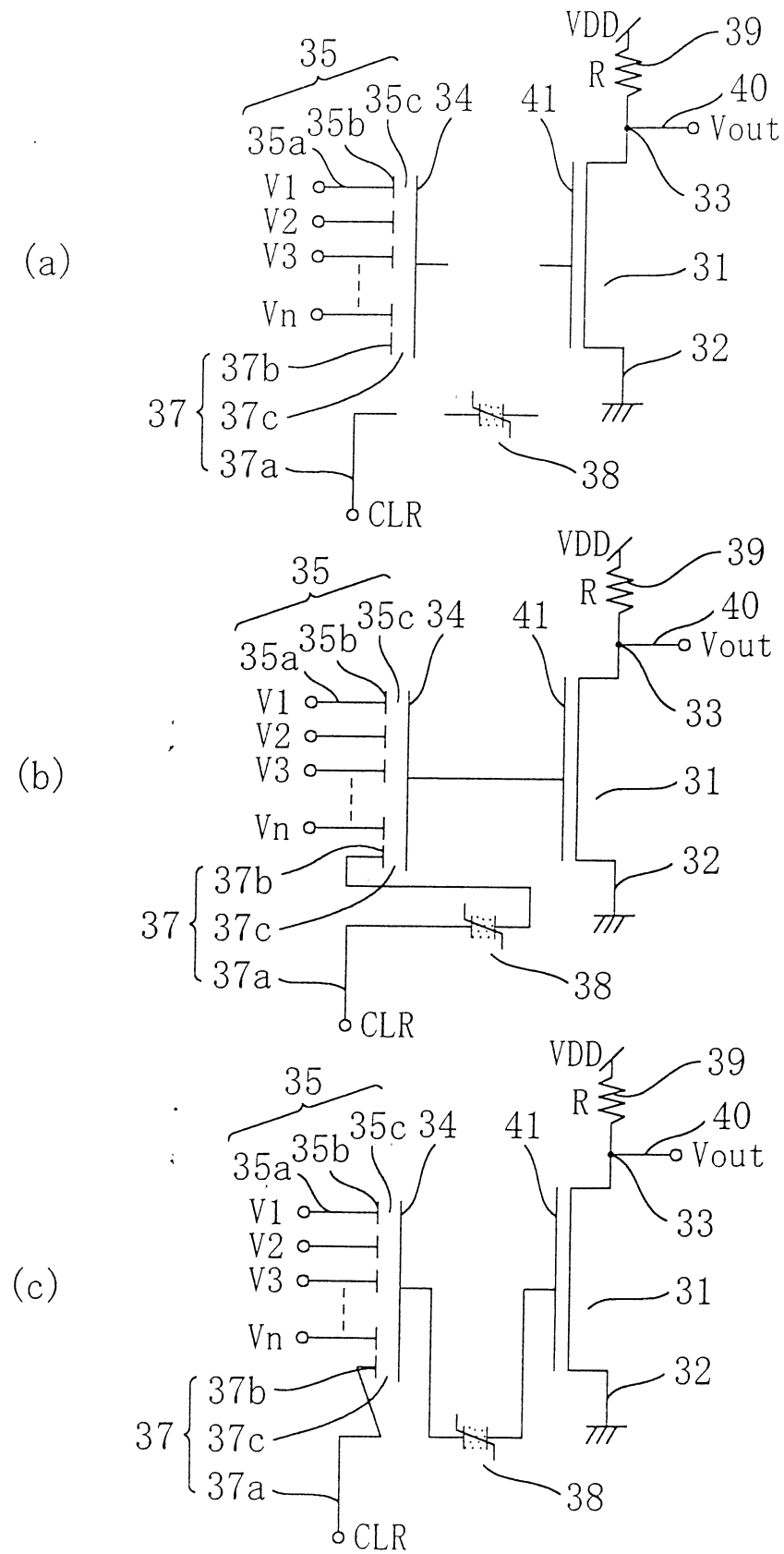


圖 10

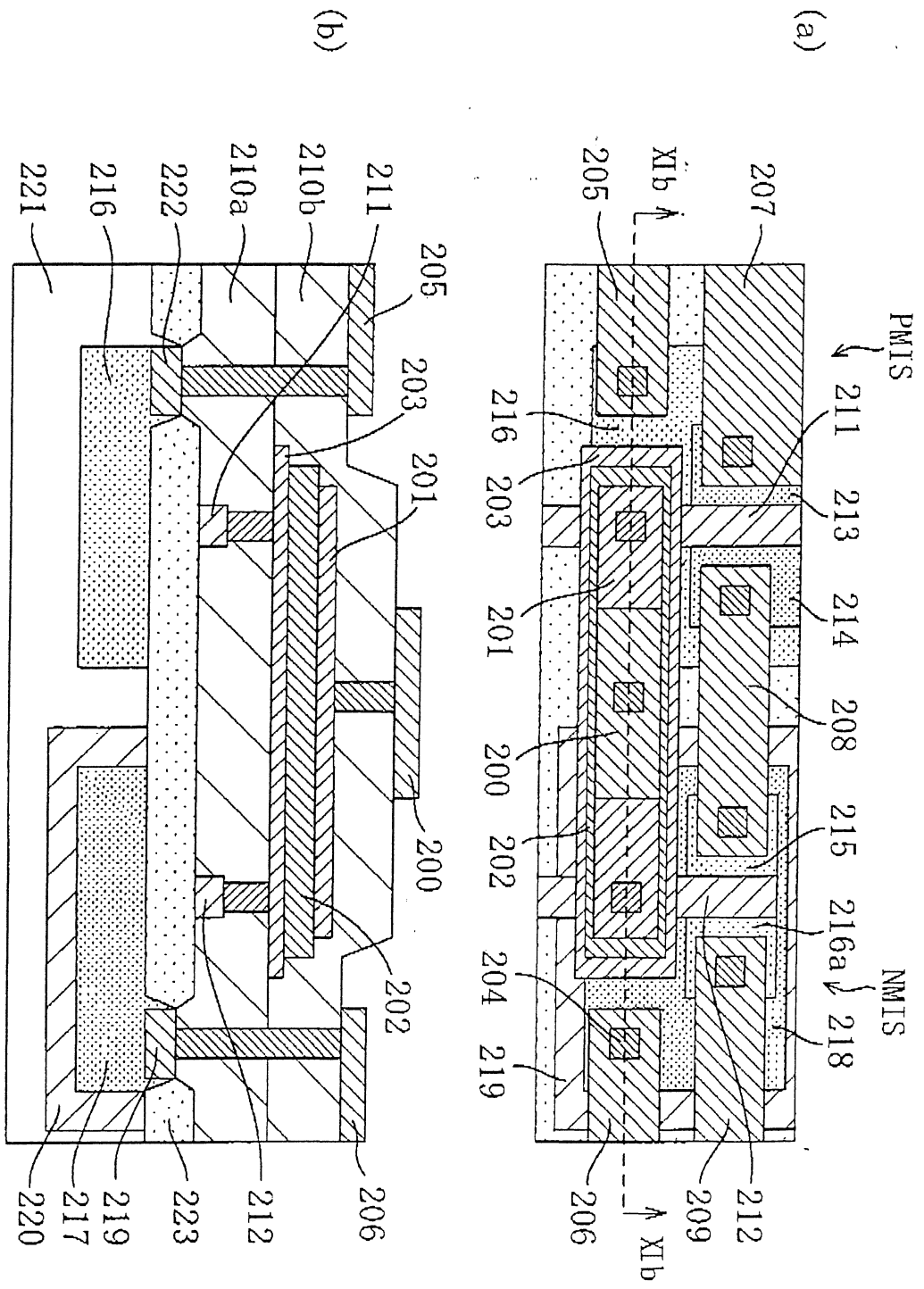


圖 11

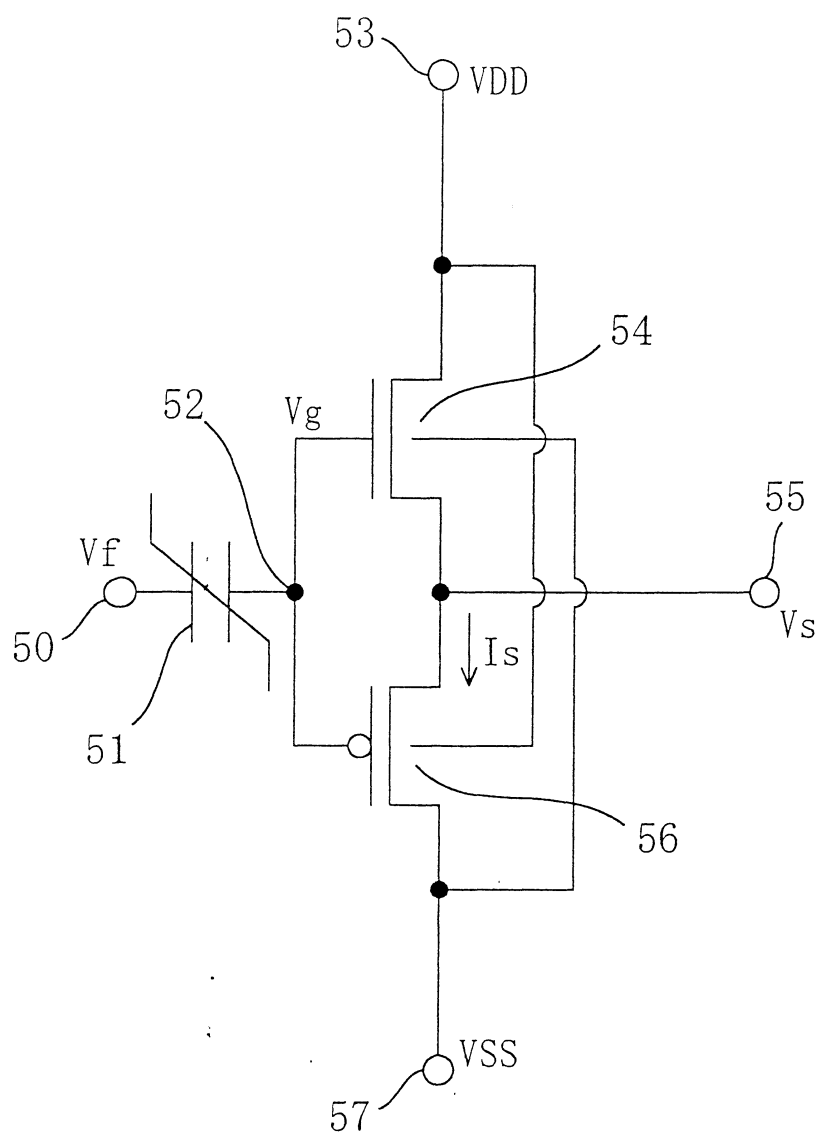


圖 12

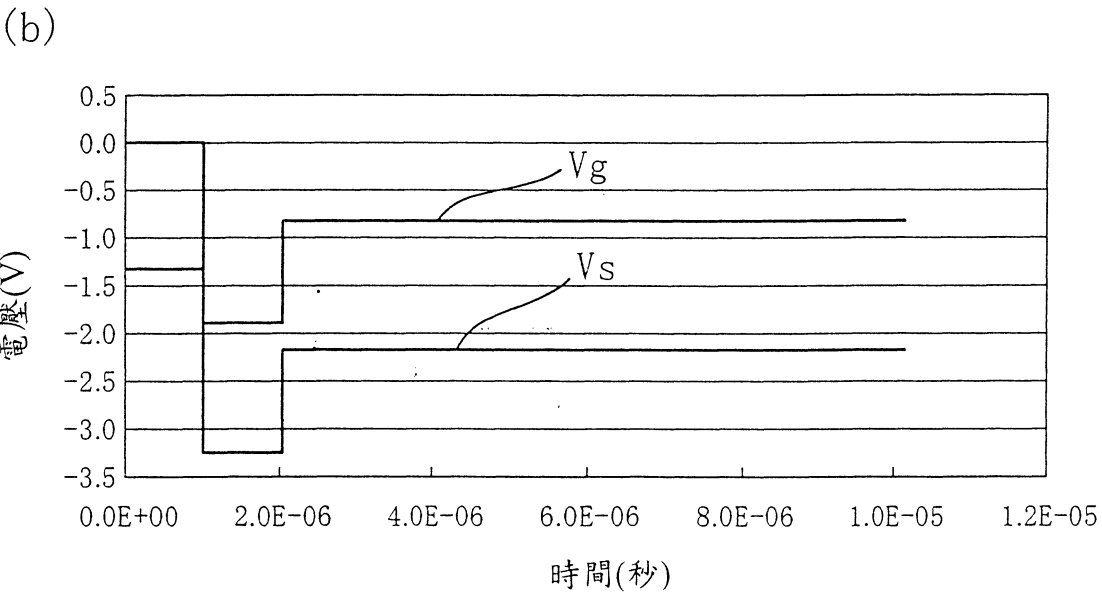
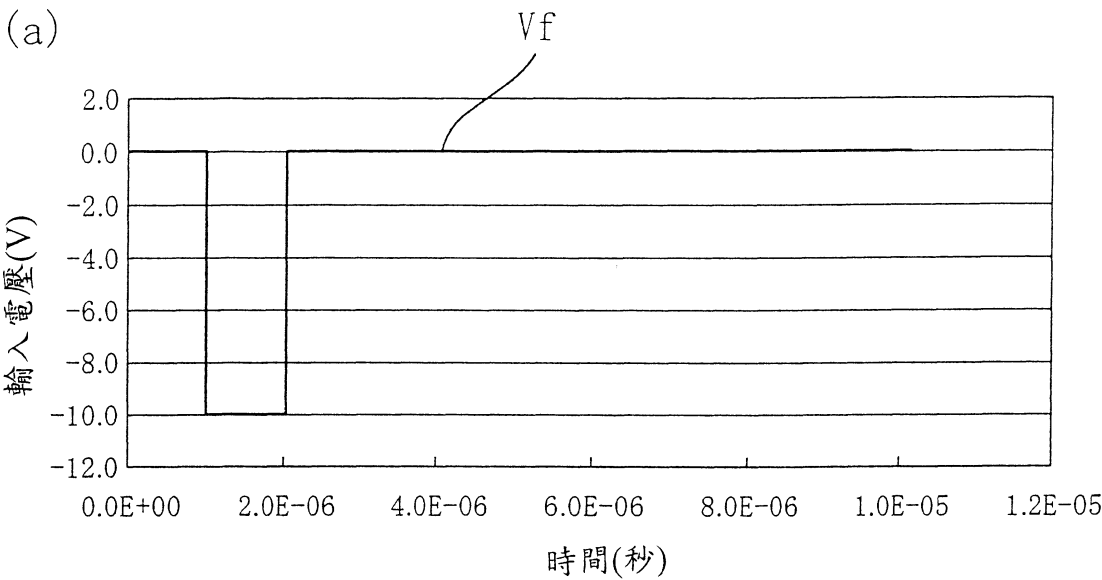


圖 13

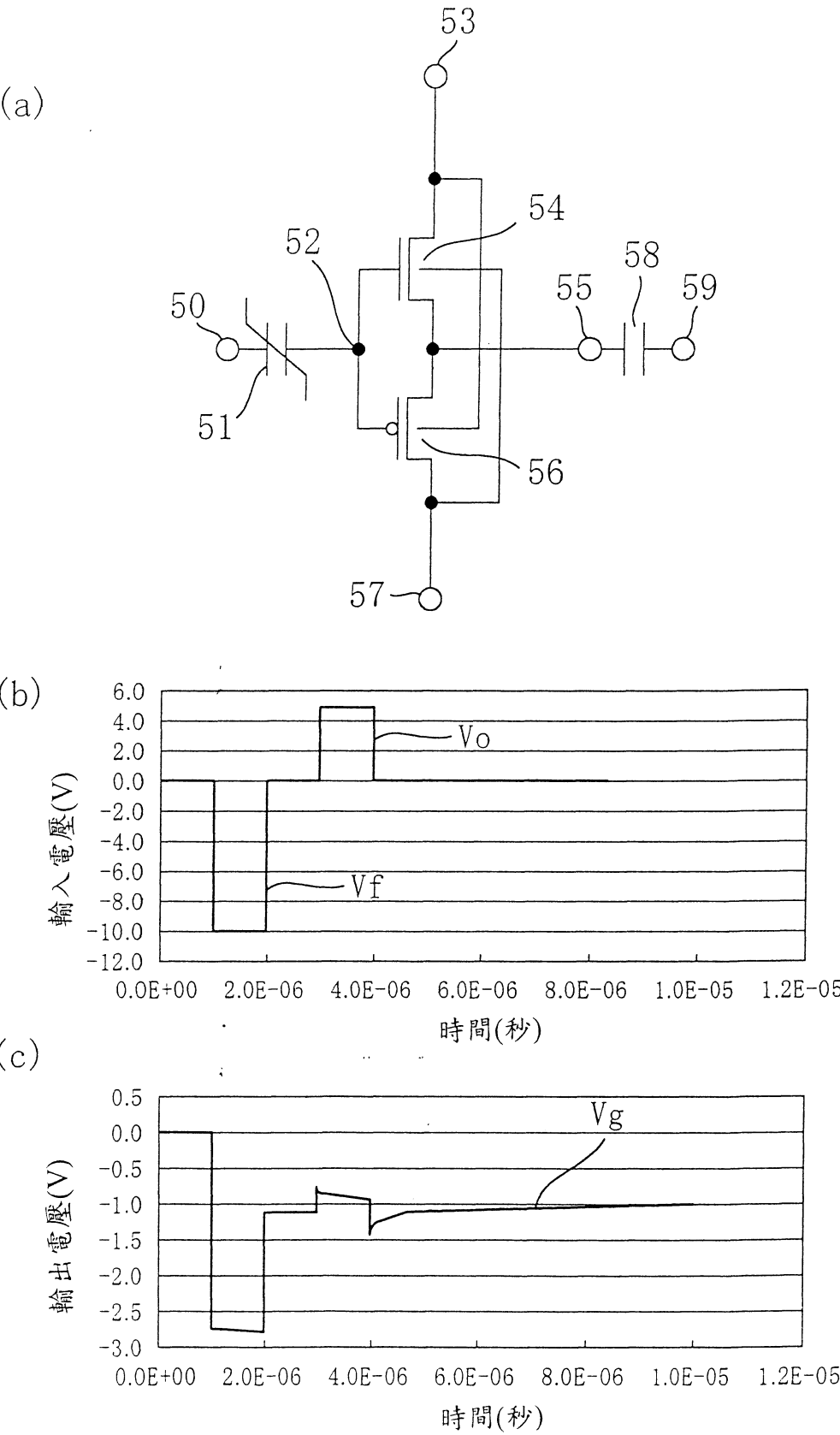


圖 14

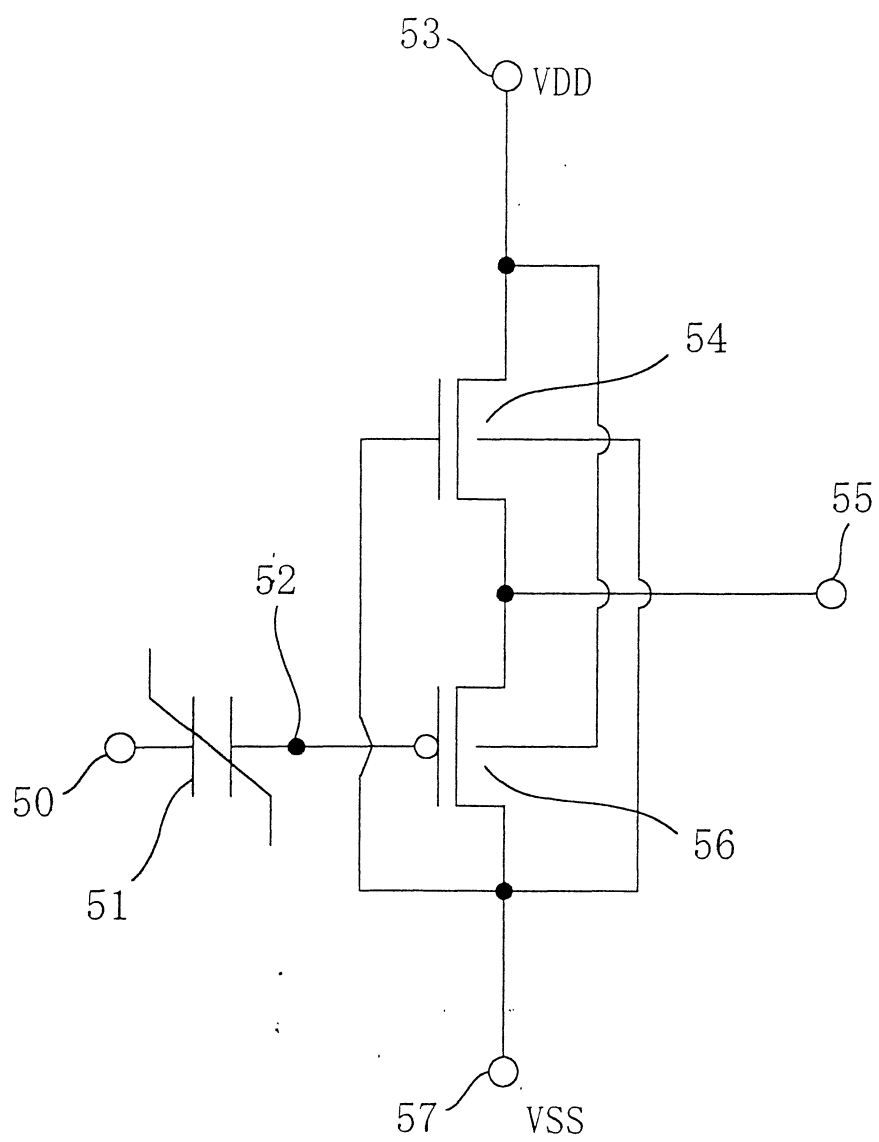


圖 15

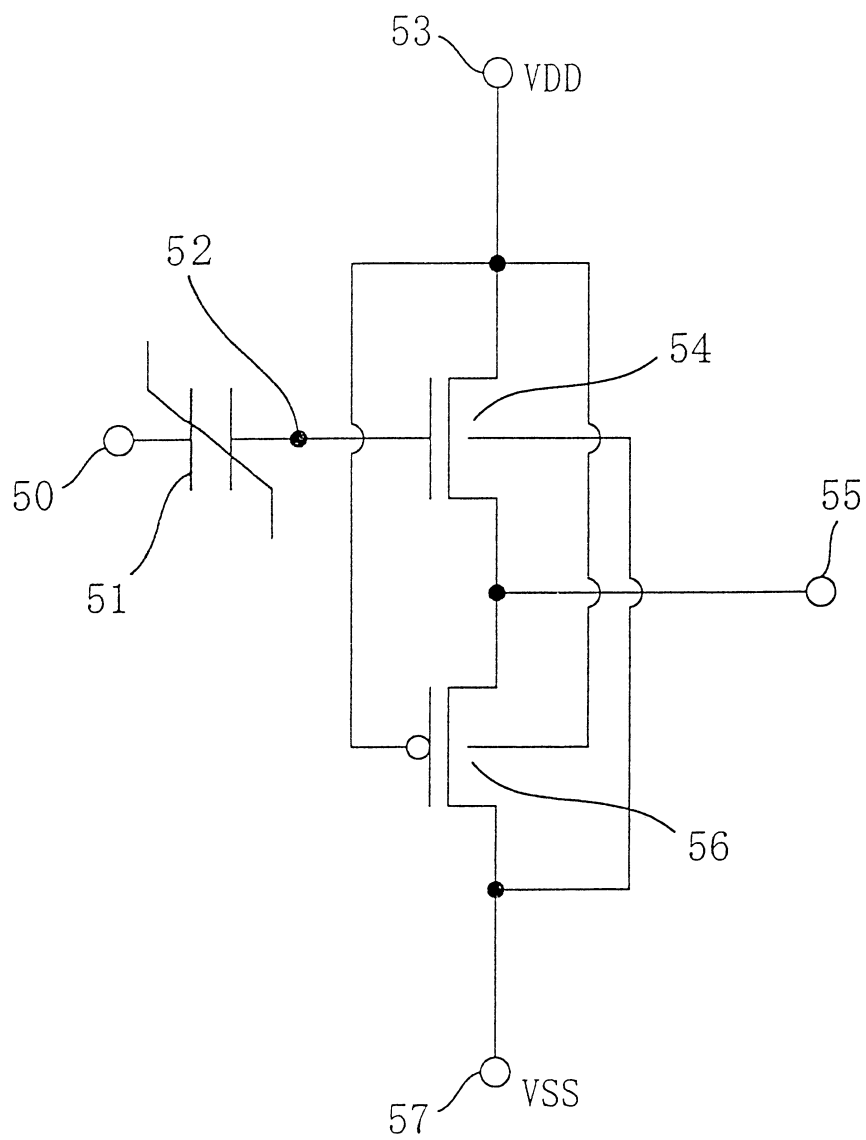


圖 16

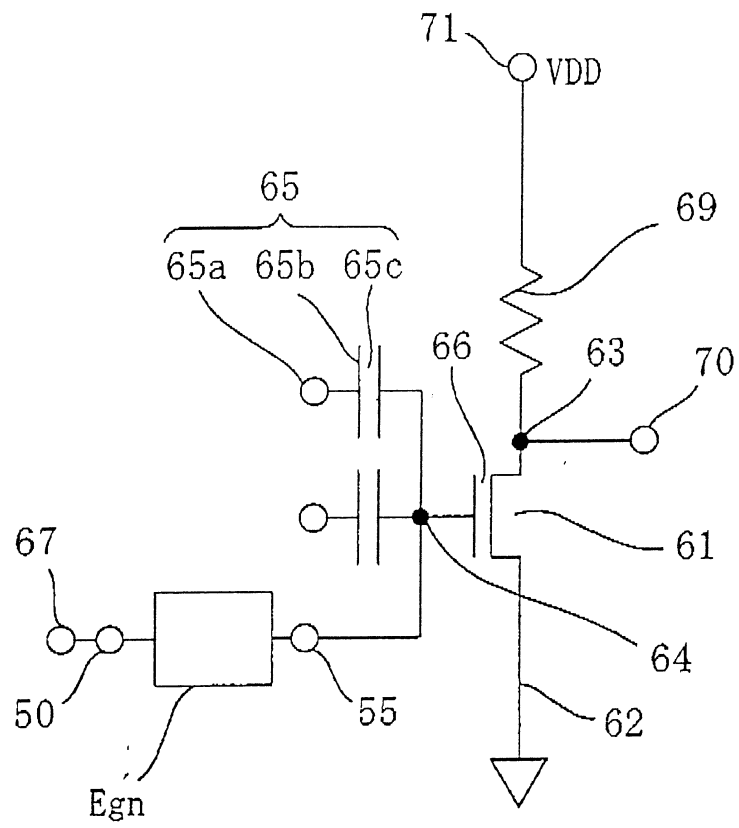


圖 17

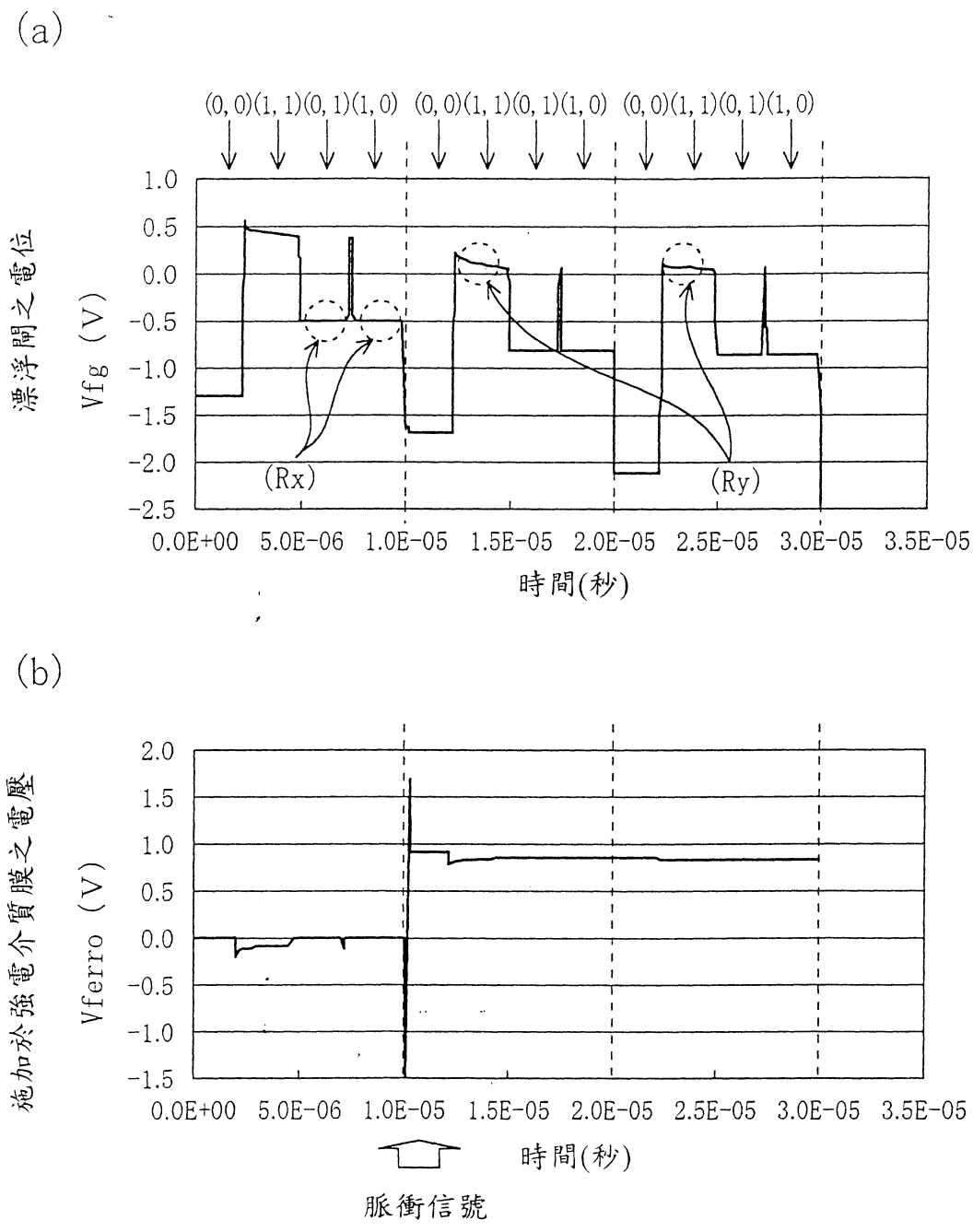


圖 18

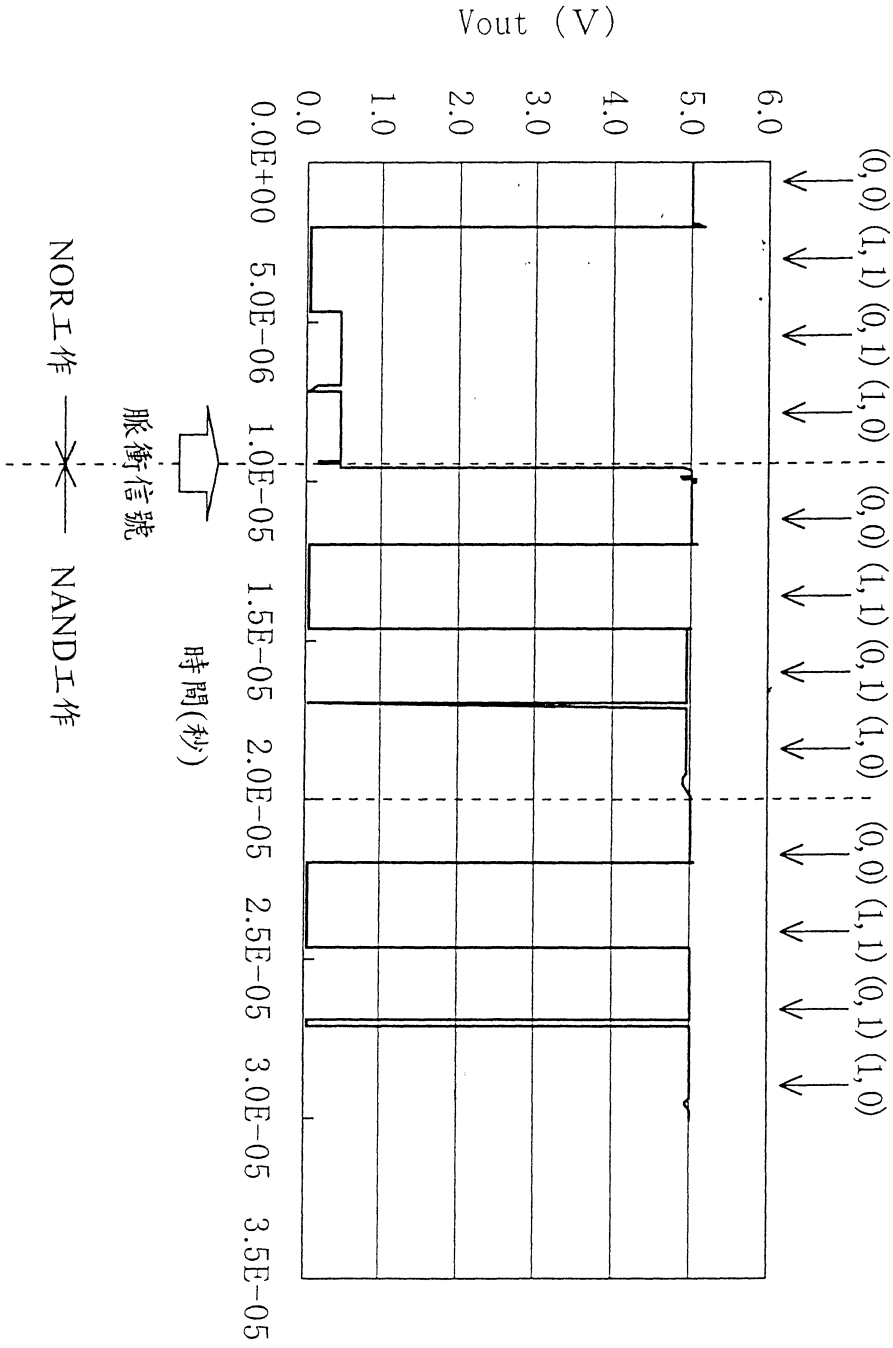


圖 19

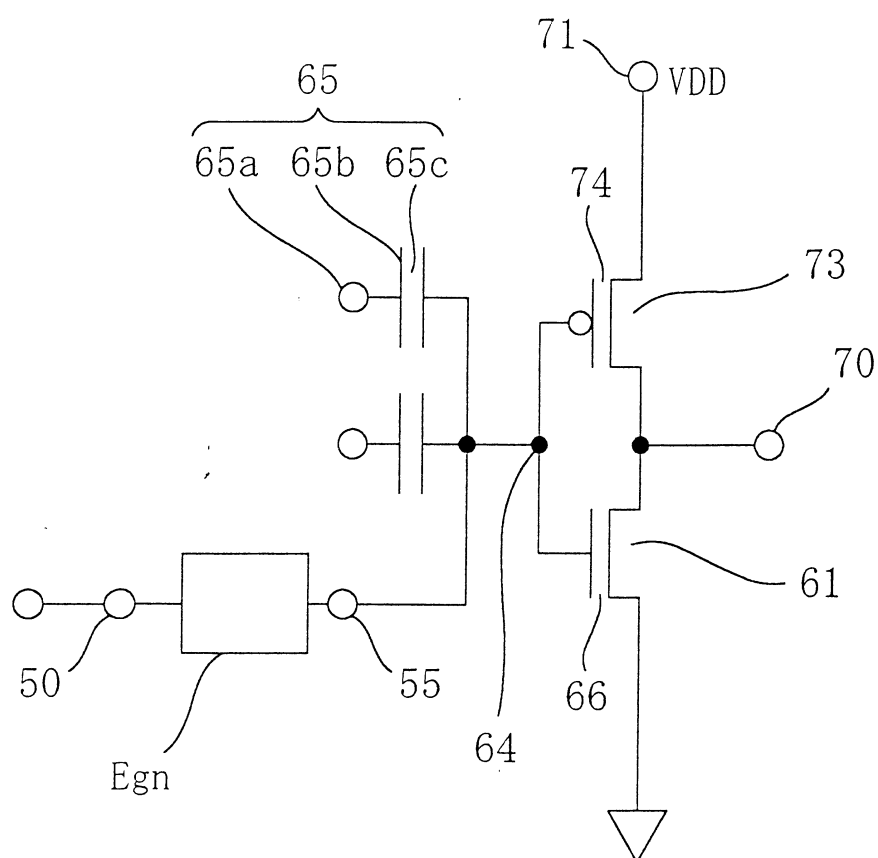
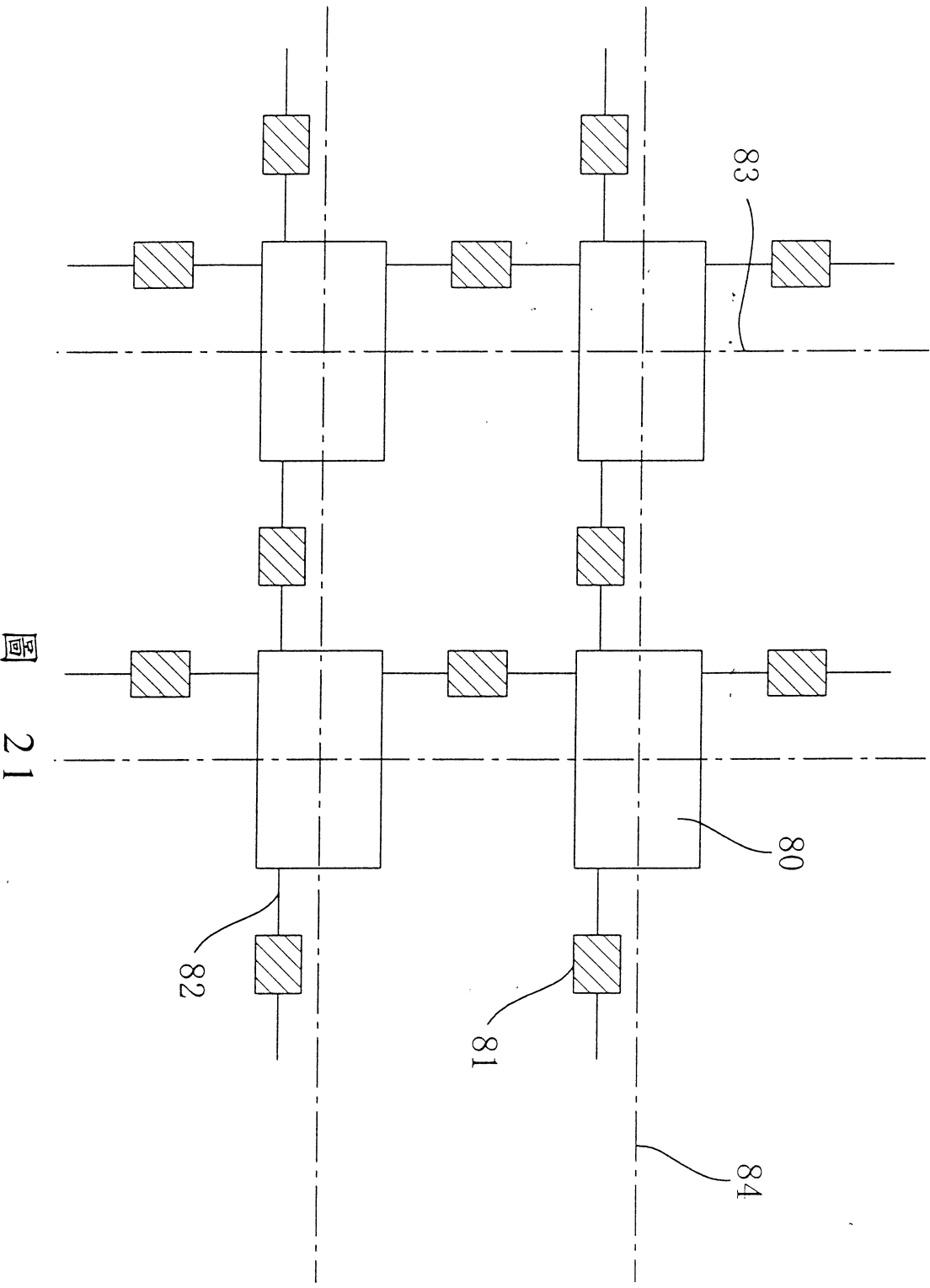


圖 20



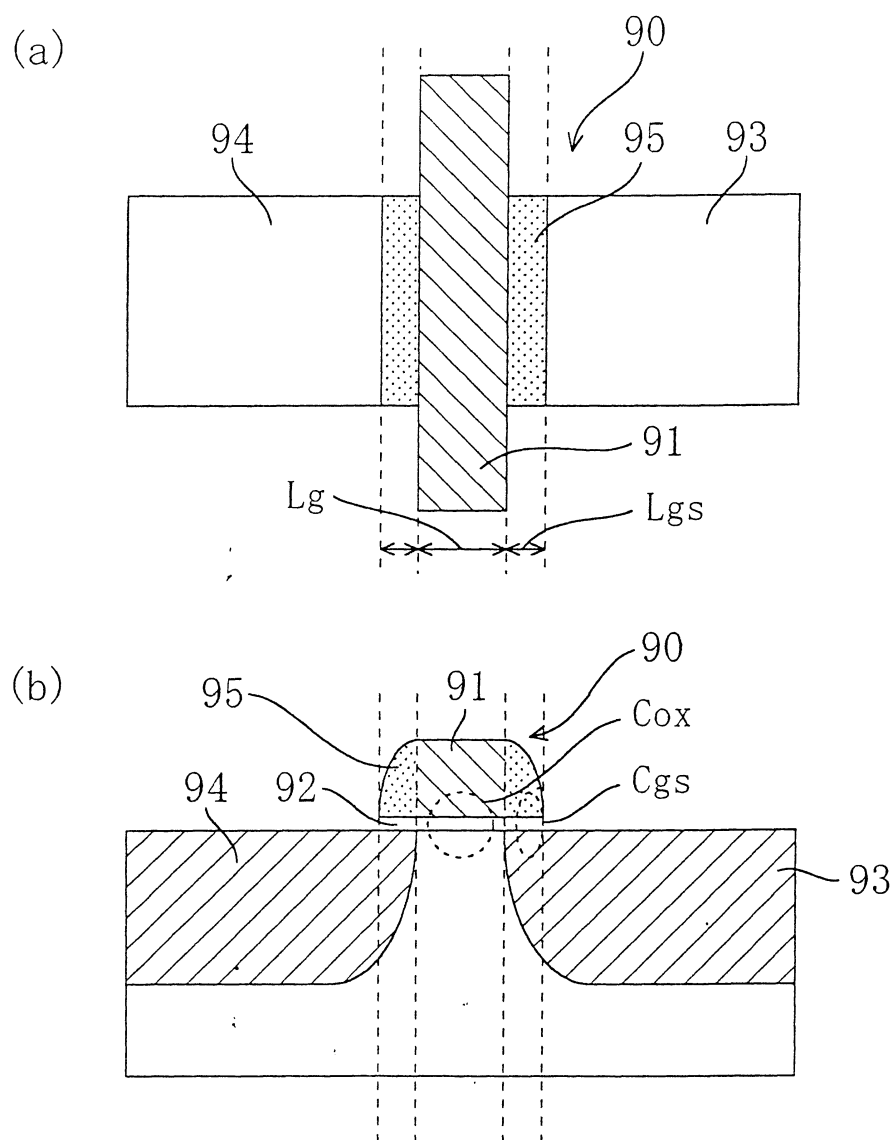


圖 22

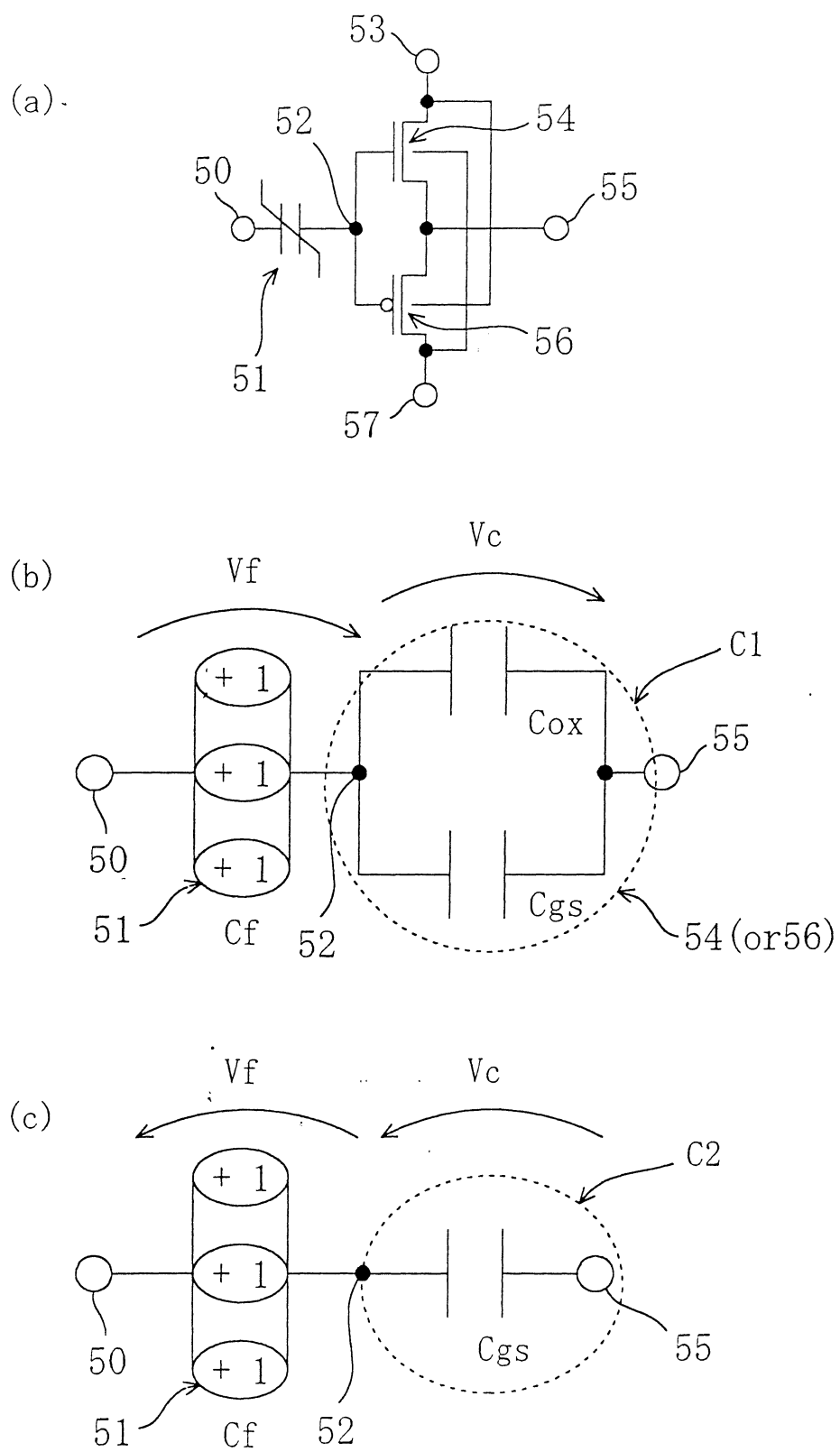


圖 23

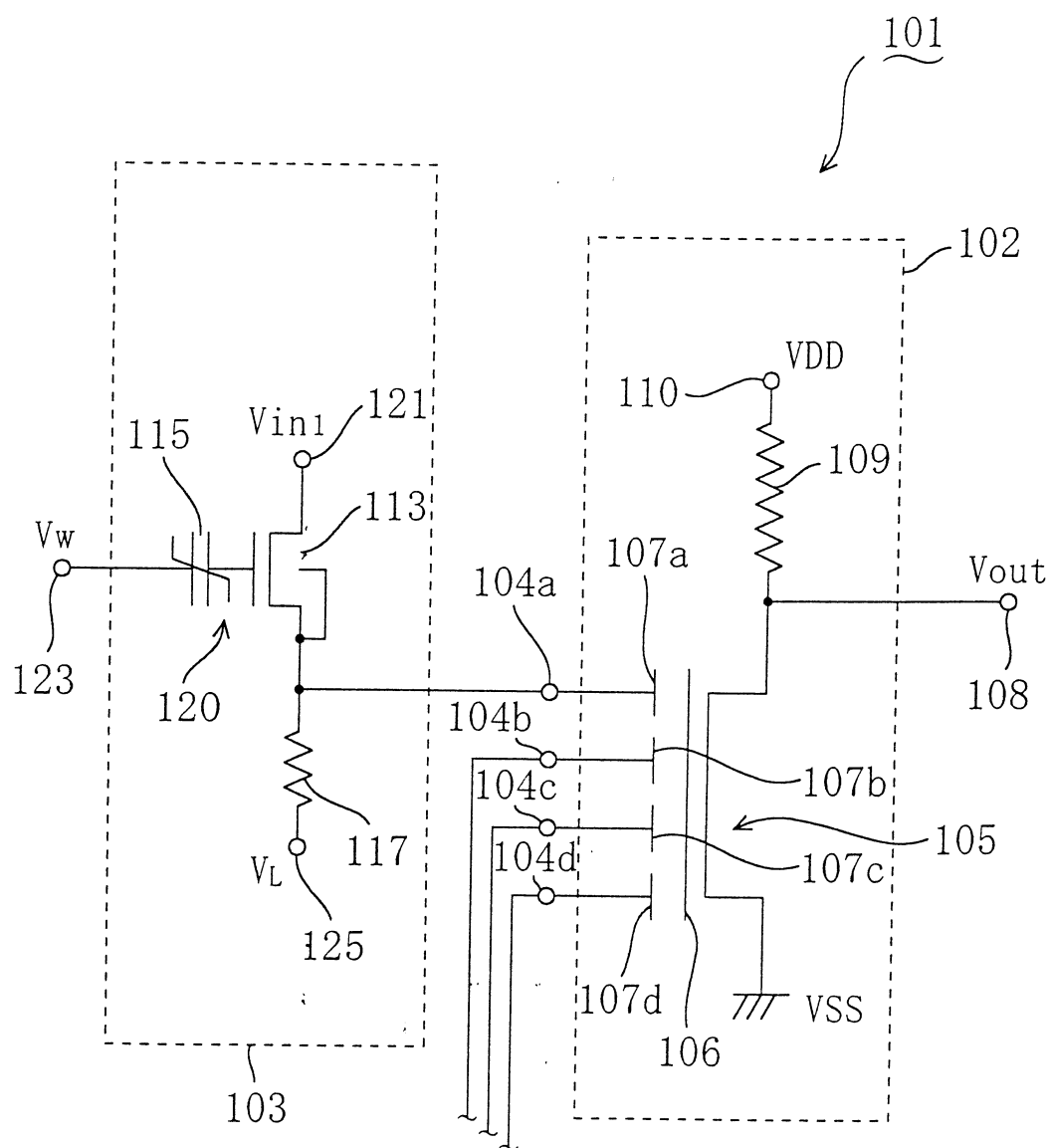


圖 25

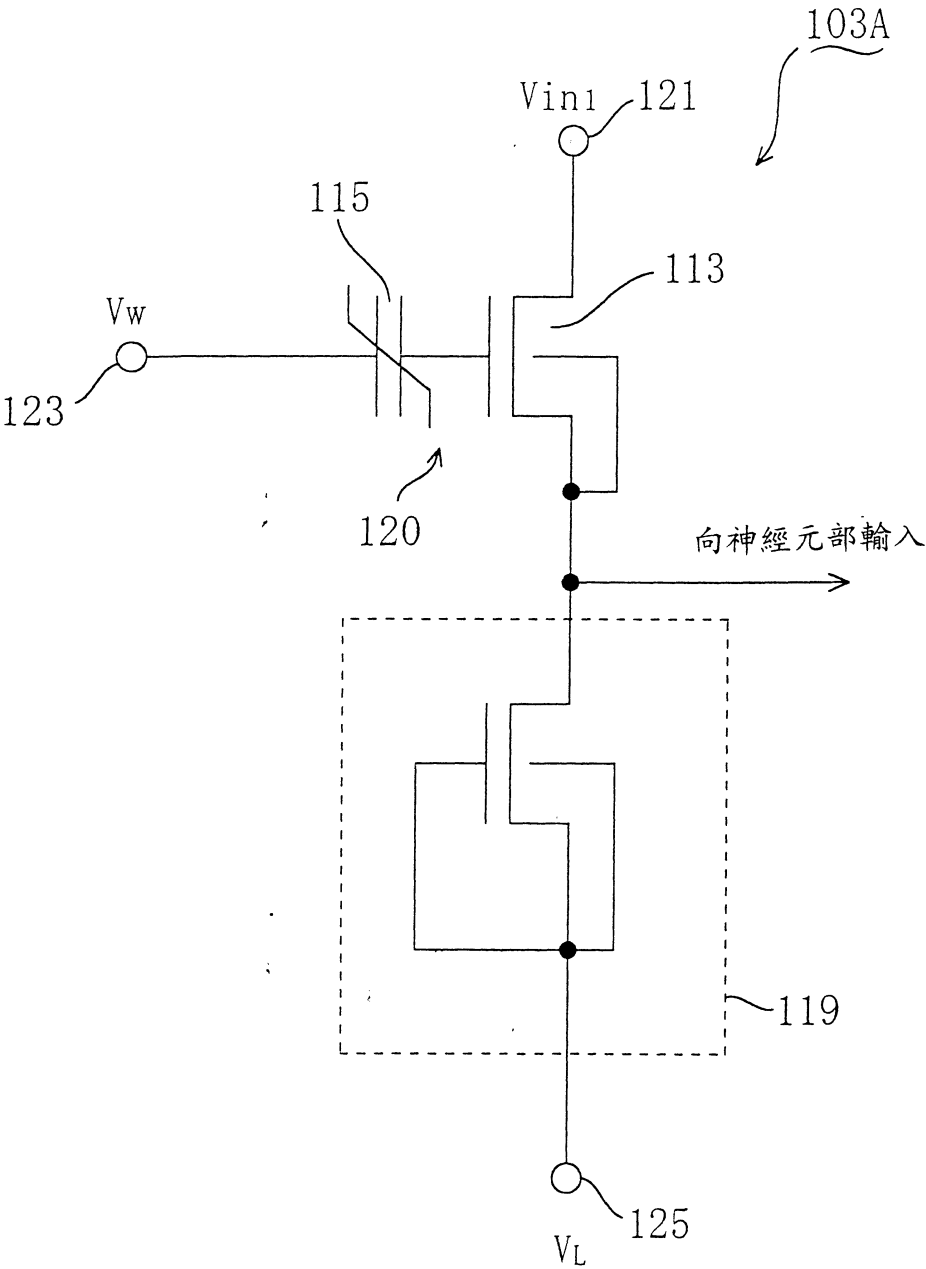


圖 26

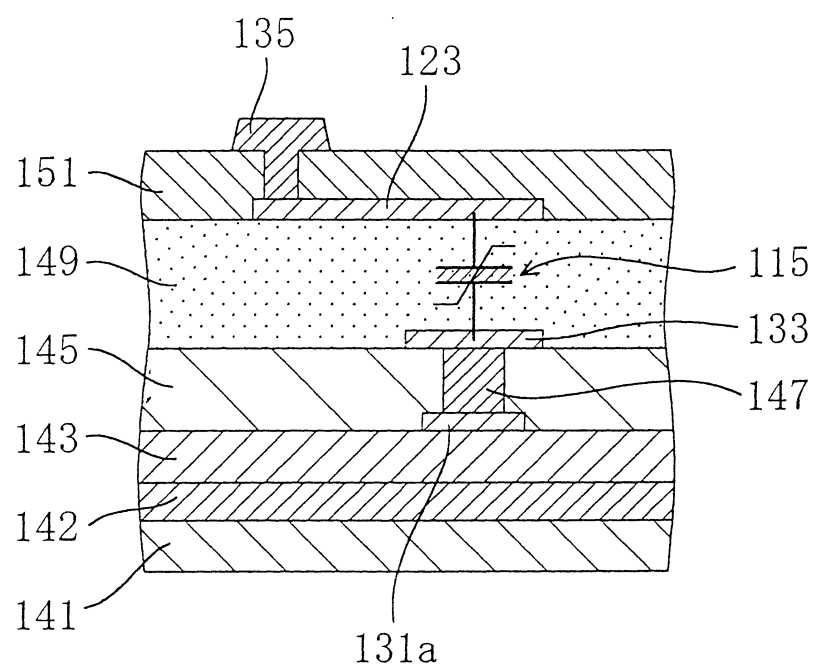


圖 28

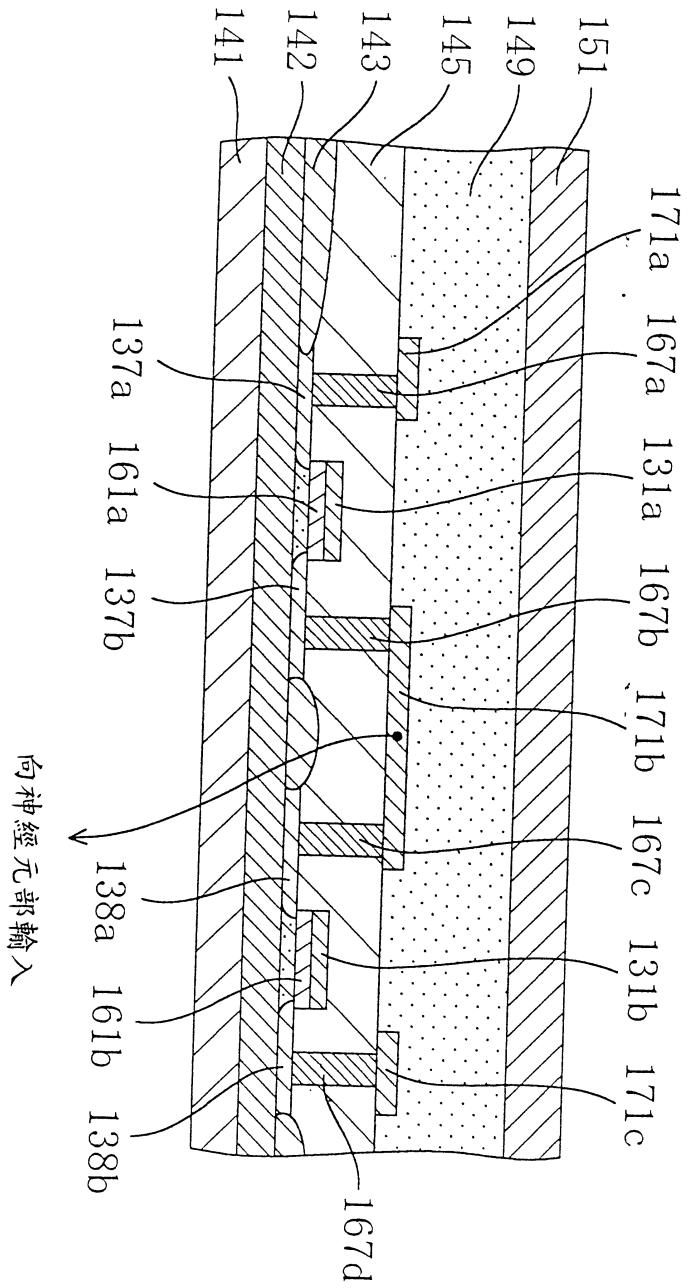


圖 29

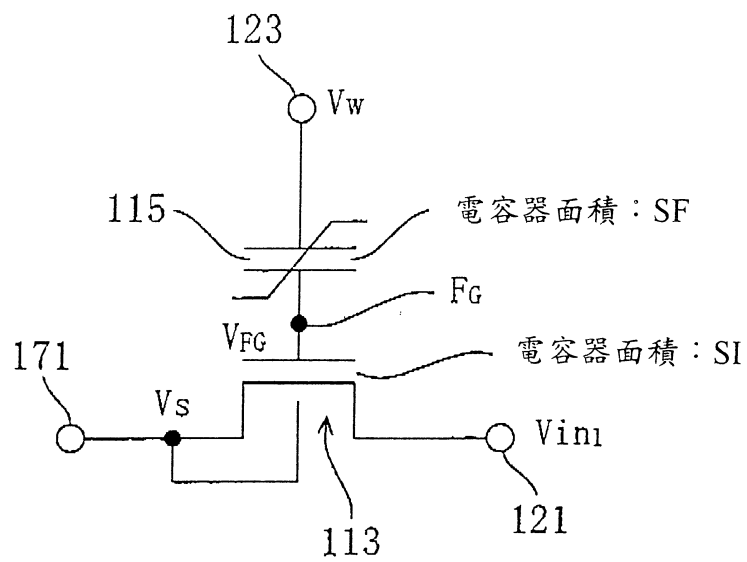


圖 30

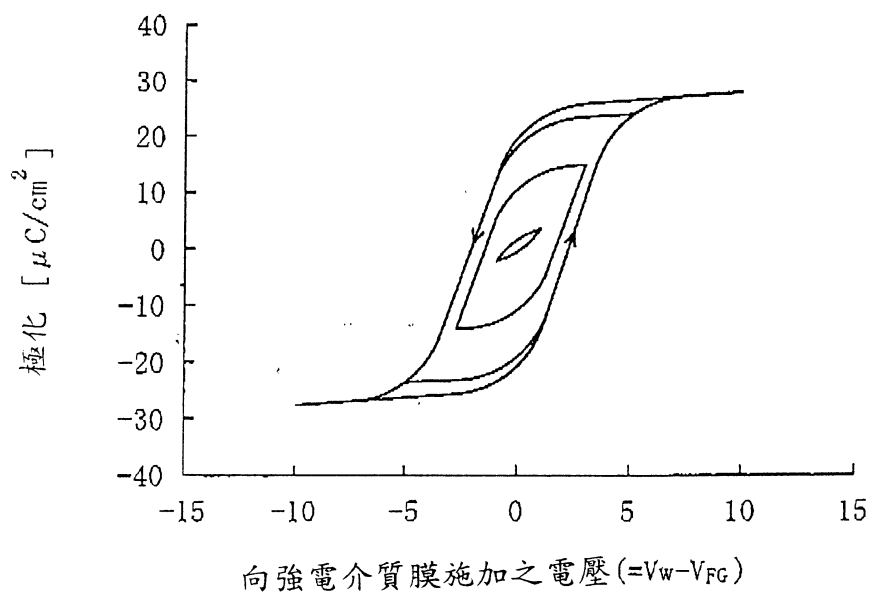


圖 31

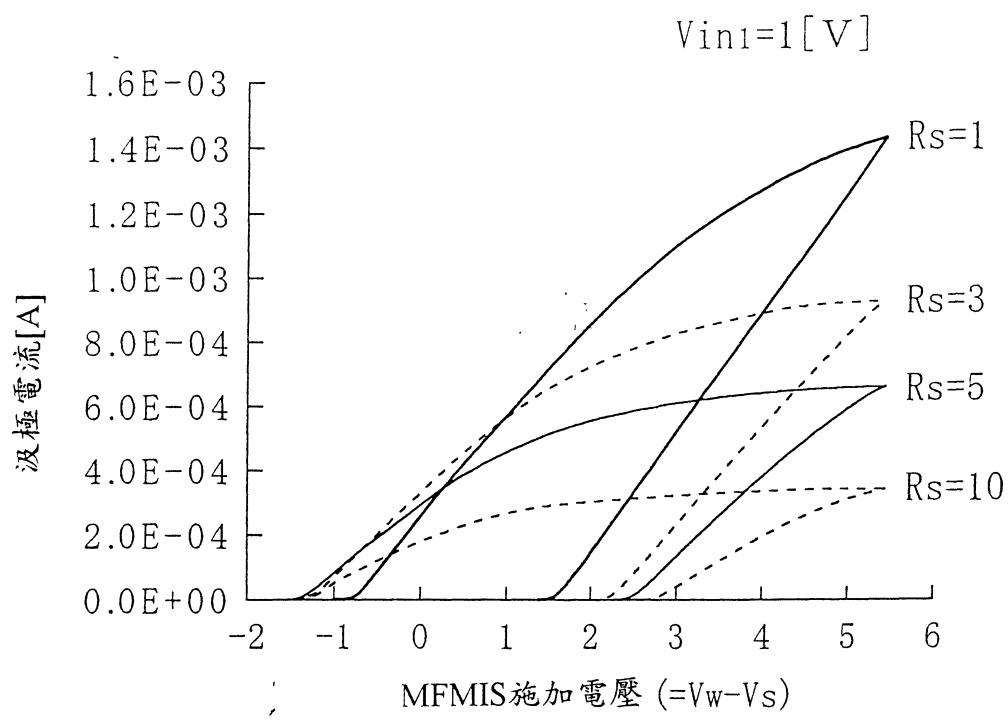


圖 32

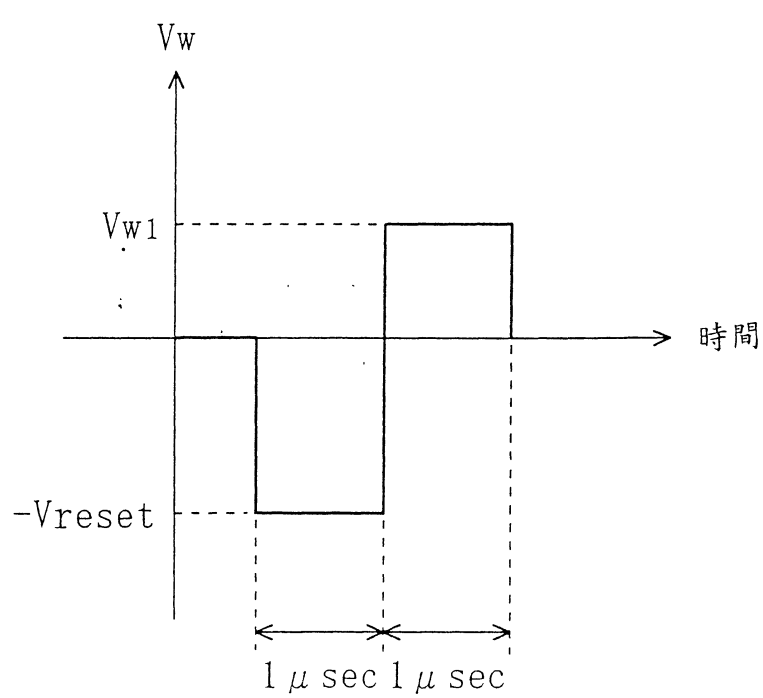


圖 33

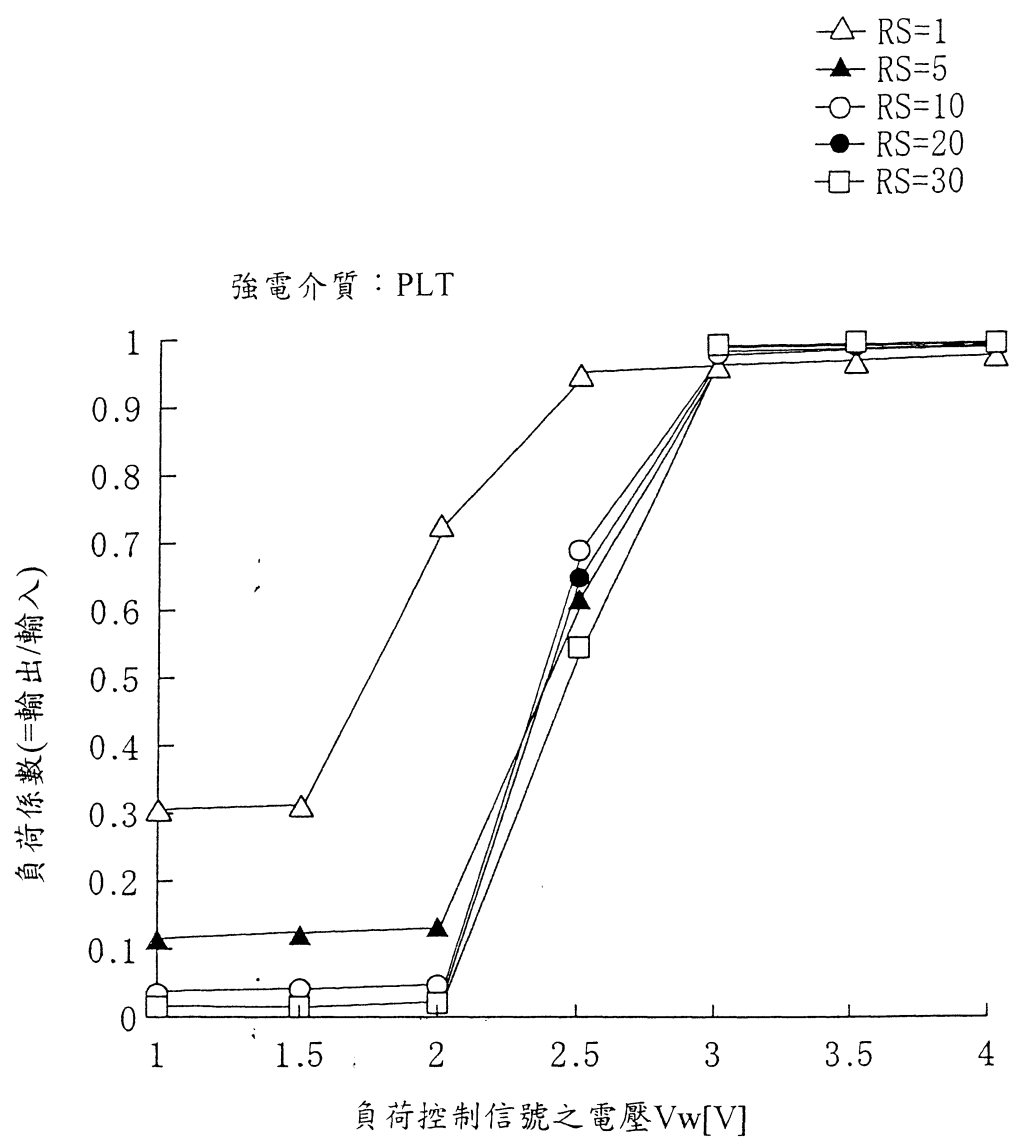


圖 34

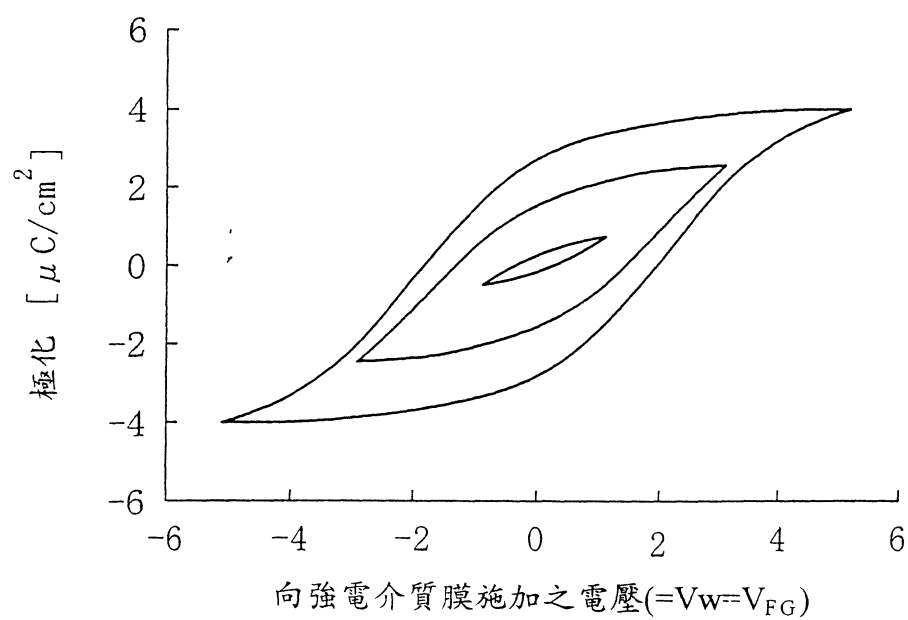


圖 35

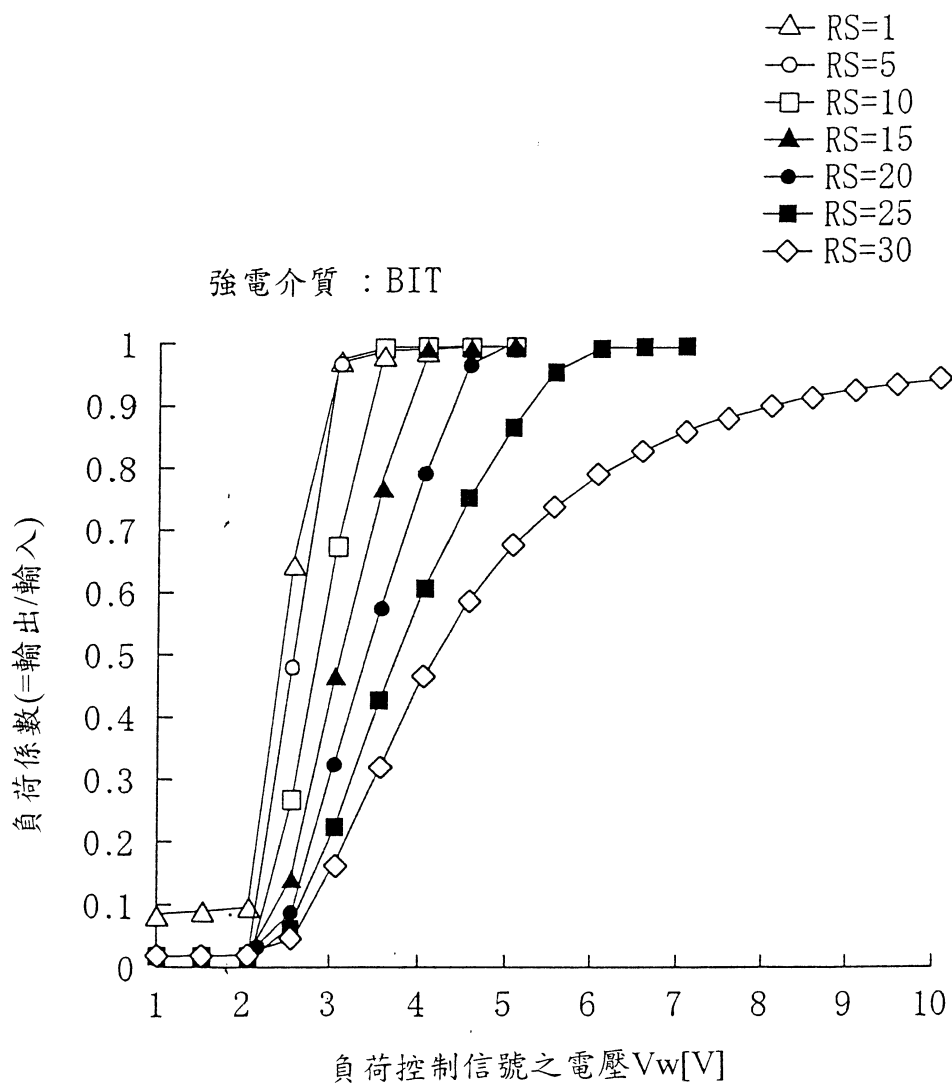


圖 36

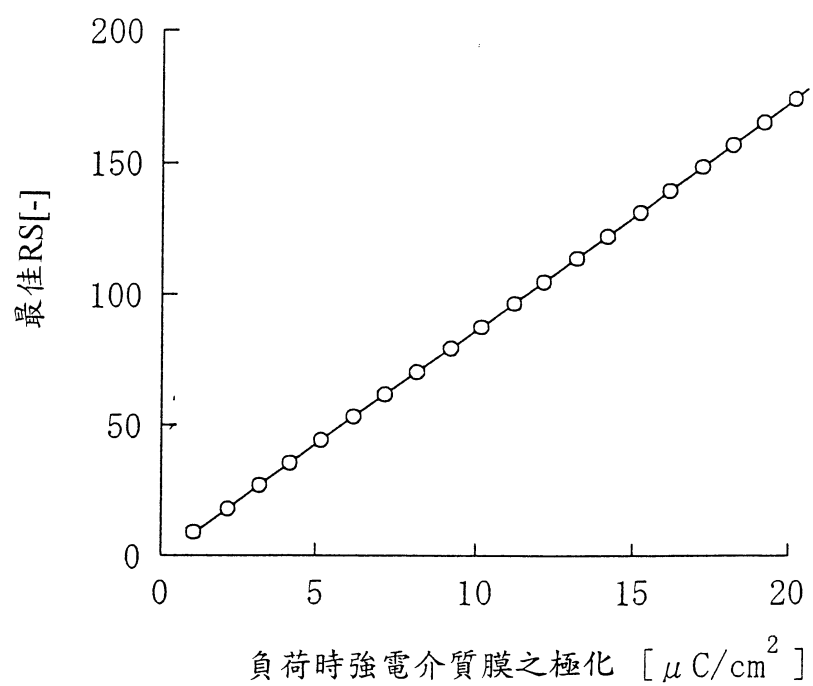


圖 37

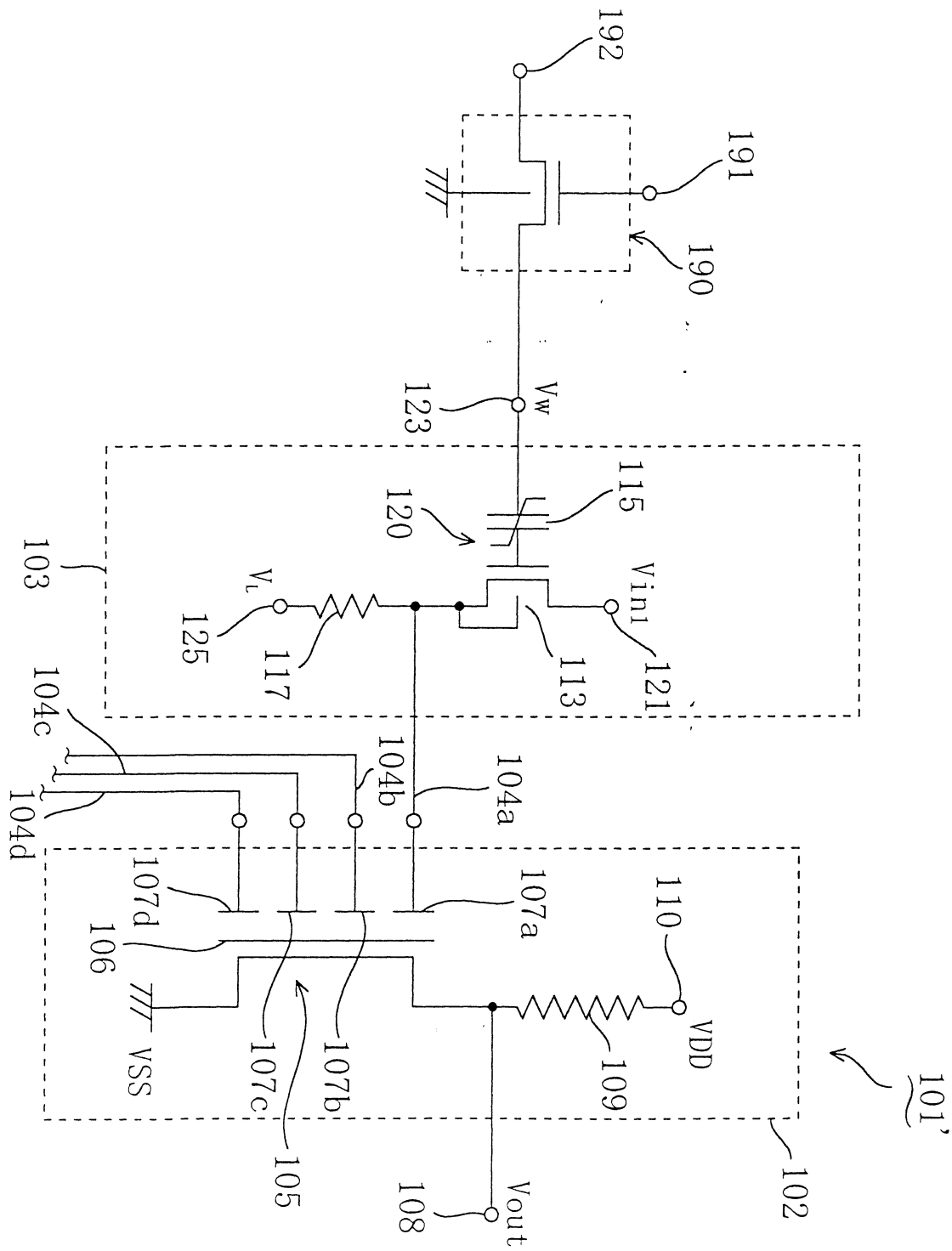


圖 38

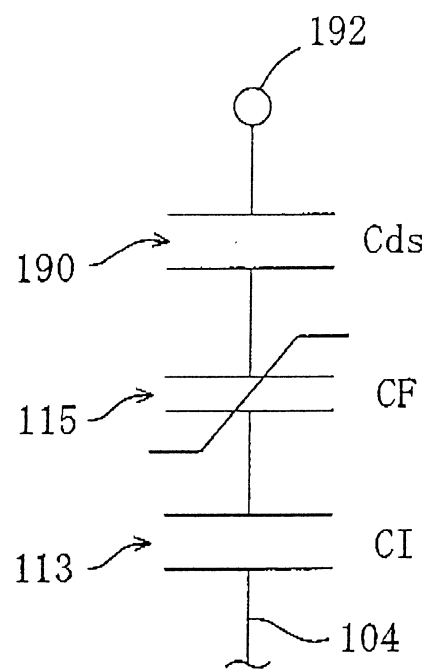


圖 39

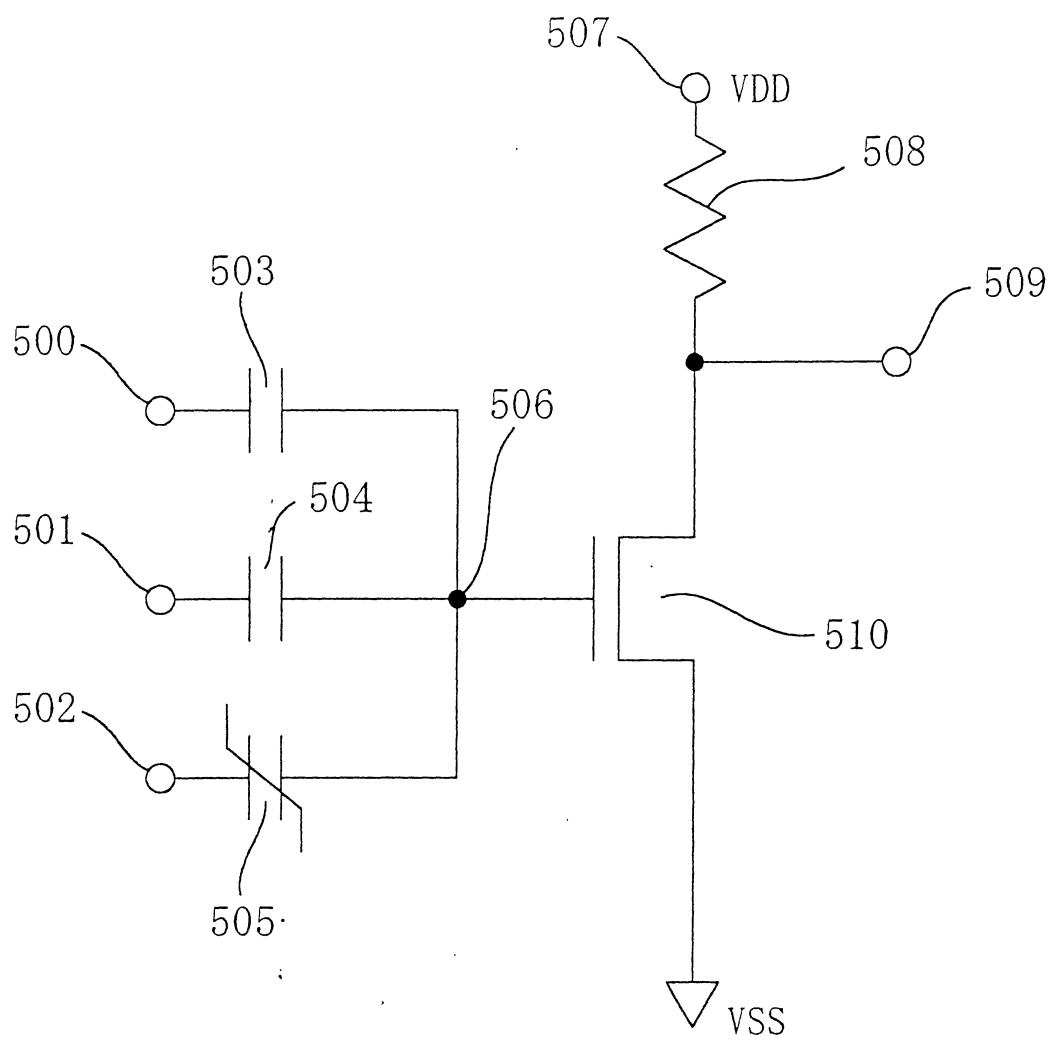


圖 40

輸入		電荷量				輸出
X1	X2	X1	X2	CR	ϕF	Y
"0"	"0"	0	0	$-Q_0/2$	$-Q_0/2$	"1"
"0"	"1"	0	Q_0	$-Q_0/2$	$Q_0/2$	"0"
"1"	"0"	Q_0	0	$-Q_0/2$	$Q_0/2$	"0"
"1"	"1"	Q_0	Q_0	$-Q_0/2$	$3Q_0/2$	"0"

圖 41

輸入		電荷量				輸出
X1	X2	X1	X2	CR	ϕF	Y
"0"	"0"	0	0	$-3Q_0/2$	$-3Q_0/2$	"1"
"0"	"1"	0	Q_0	$-3Q_0/2$	$-Q_0/2$	"1"
"1"	"0"	Q_0	0	$-3Q_0/2$	$-Q_0/2$	"1"
"1"	"1"	Q_0	Q_0	$-3Q_0/2$	$Q_0/2$	"0"

圖 42

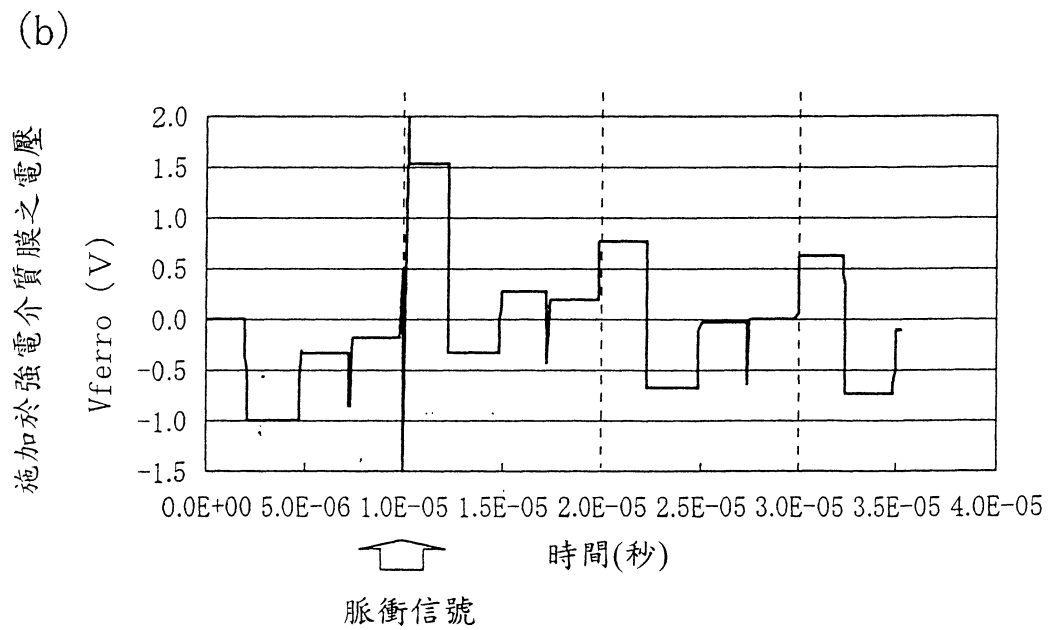
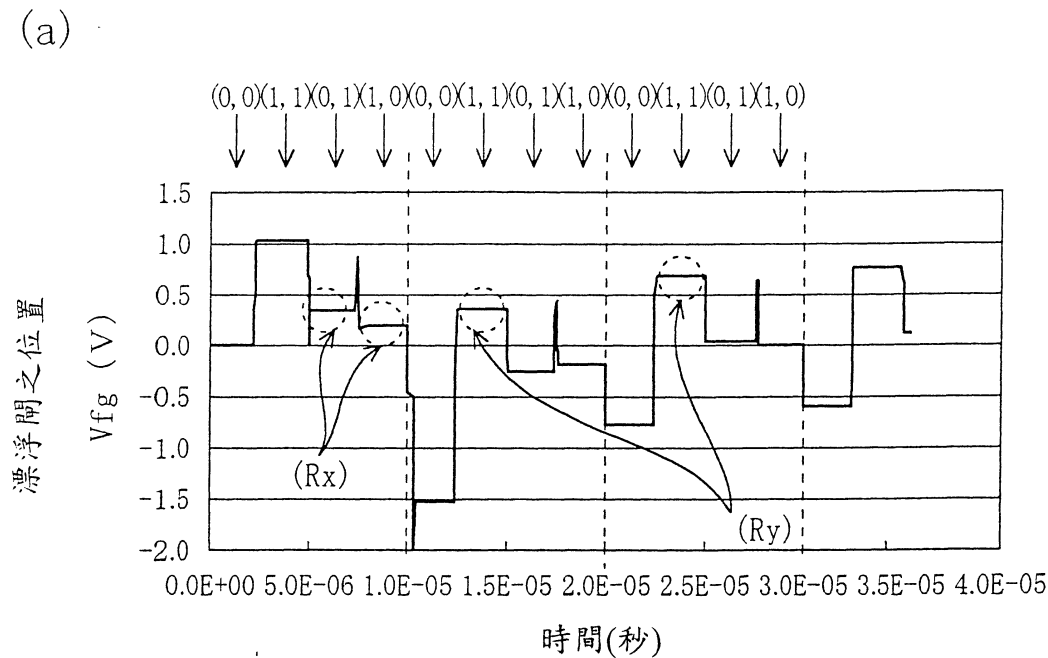


圖 43

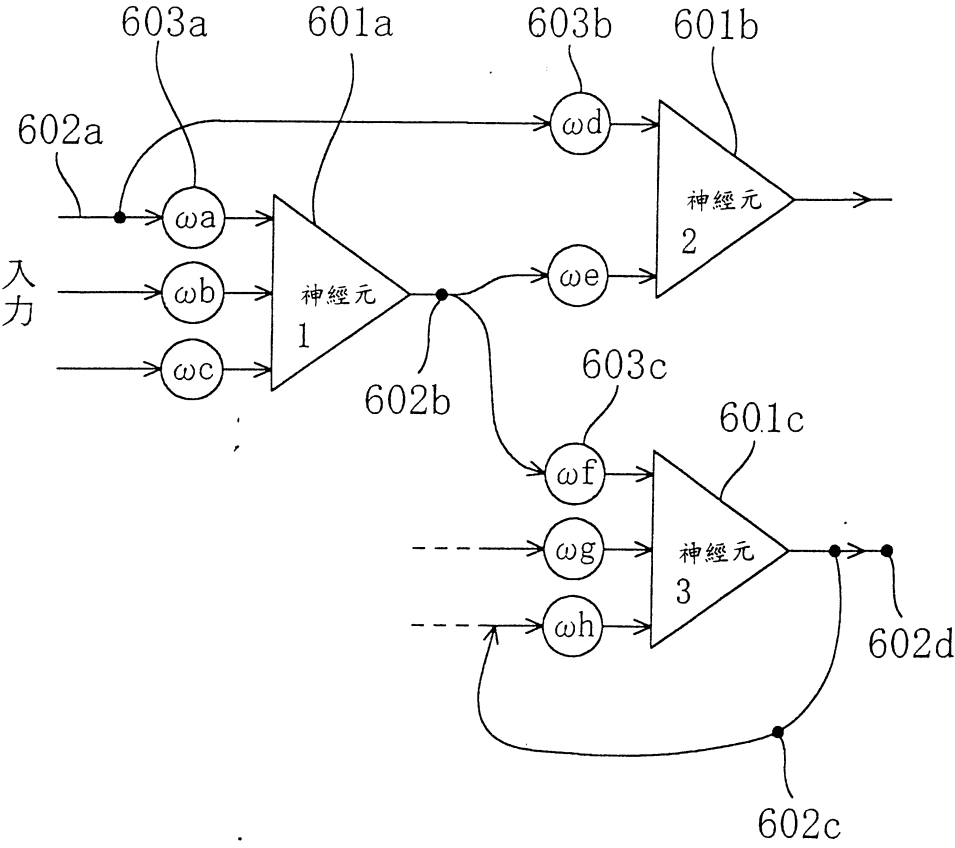


圖 44

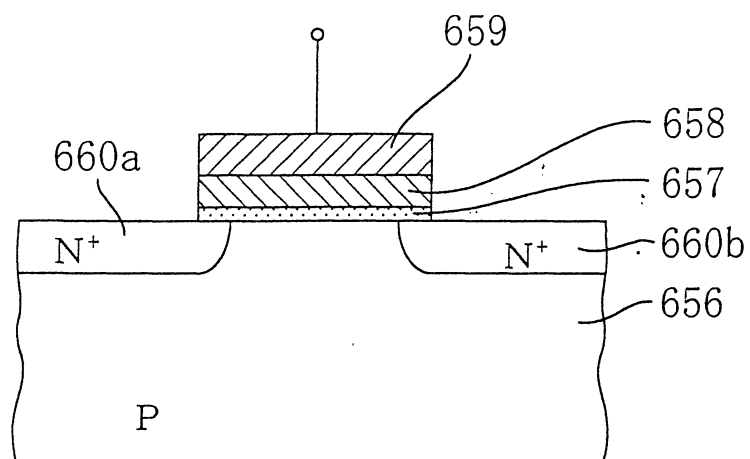


圖 47

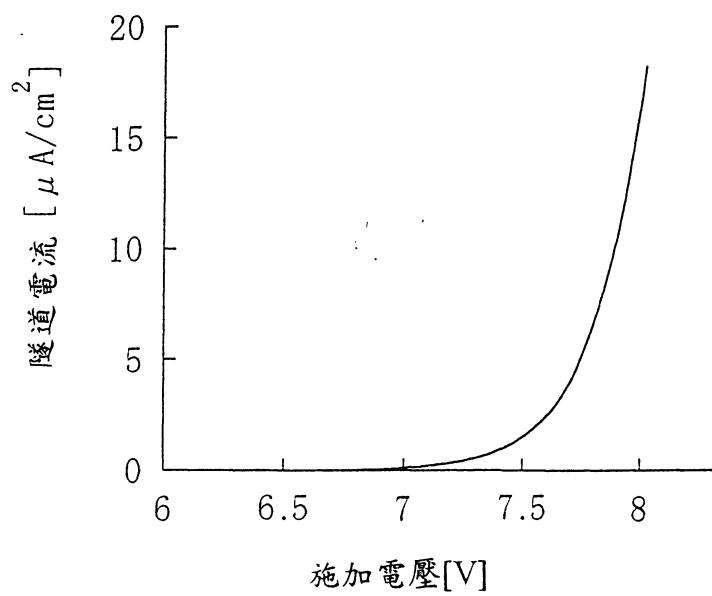


圖 48