



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월08일
(11) 등록번호 10-1733149
(24) 등록일자 2017년04월27일

(51) 국제특허분류(Int. Cl.)
H01L 33/04 (2010.01) H01L 33/06 (2010.01)
H01L 33/26 (2010.01)
(52) CPC특허분류
H01L 33/04 (2013.01)
H01L 33/06 (2013.01)
(21) 출원번호 10-2016-7033319(분할)
(22) 출원일자(국제) 2010년06월30일
심사청구일자 2016년11월28일
(85) 번역문제출일자 2016년11월28일
(65) 공개번호 10-2016-0142890
(43) 공개일자 2016년12월13일
(62) 원출원 특허 10-2012-7006584
원출원일자(국제) 2010년06월30일
심사청구일자 2015년02월06일
(86) 국제출원번호 PCT/EP2010/059291
(87) 국제공개번호 WO 2011/018273
국제공개일자 2011년02월17일
(30) 우선권주장
10 2009 037 416.7 2009년08월13일 독일(DE)
(56) 선행기술조사문헌
JP평성10084132 A*
(뒷면에 계속)
전체 청구항 수 : 총 12 항

(73) 특허권자
오스람 옵토 세미컨덕터스 게엠베하
독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)
(72) 발명자
페터, 마티아스
독일 93055 레겐스부르크 디펜브로크슈트라쎄 1
마이어, 토비아스
독일 93346 이흘러슈타인 그론스도르퍼 베크 25
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

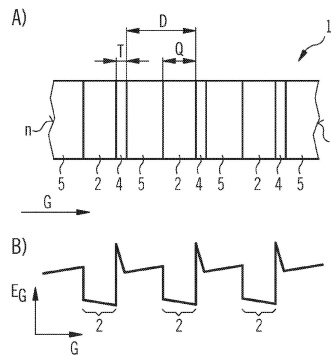
심사관 : 정명주

(54) 발명의 명칭 전기적으로 펌핑된 광전자 반도체 칩

(57) 요약

본 발명은 전기적으로 펌핑된 광전자 반도체 칩(1)에 관한 것으로서, 상기 반도체 칩의 적어도 한 가지 실시 예에서 상기 광전자 반도체 칩은 2개 이상의 방사성 양자 웰(2)을 포함하며, 이 경우 상기 방사성 양자 웰들(2)은 InGaN을 포함하거나 InGaN으로 이루어진다. 또한, 상기 광전자 반도체 칩(1)은 2개 이상의 피복 층(4)을 포함하며, 상기 피복 층들은 AlGaIn을 포함하거나 AlGaIn으로 이루어진다. 피복 층들 각각(4)은 방사성 양자 웰들 중 정확히 하나의 방사성 양자 웰(2)에 할당되어 있다. 상기 피복 층들(4)은 각각 할당된 방사성 양자 웰(2)의 p-측면에 존재한다. 상기 방사성 양자 웰(2)과 할당된 피복 층(4) 간의 간격은 최대 1.5nm이다.

대표도 - 도1



(52) CPC특허분류

H01L 33/26 (2013.01)

H01L 2924/12041 (2013.01)

(72) 발명자

오프, 위르겐

독일 93059 레겐스부르크 라이블슈트라쎄 47

타키, 테츠야

일본 223-0057 요코하마 코호쿠-쿠 니과 790

헤르트코른, 요아힘

독일 93087 알테그로프웨임 비쇼프-케틀러-슈트라쎄 21아

사바틸, 마티아스

독일 93059 레겐스부르크 글라스블래저슈트라쎄 2

라우브슈, 안스가르

독일 93055 레겐스부르크 레이히슈트라쎄 15

비버스도르프, 안드레아스

독일 93055 레겐스부르크 볼카누스베크 12

(56) 선행기술조사문헌

EP1883141 A1

EP1667292 A1

KR1020060114683 A*

JP10084132 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

전기적으로 펌핑된 광전자 반도체 칩(1)으로서,
 InGaN을 포함하거나 InGaN으로 이루어진 3개 내지 20개의 방사성 양자 웰들(2) 및
 AlGaIn을 포함하거나 AlGaIn으로 이루어진 2개 이상의 피복 층들(4)
 을 포함하며,
 상기 피복 층들(4) 각각은 상기 방사성 양자 웰들(2) 중 정확히 하나의 방사성 양자 웰에 할당되어 있고,
 상기 피복 층들(4)은 상기 방사성 양자 웰들(2)의 각 하나의 p-측면에 존재하며,
 상기 방사성 양자 웰들(2)과 할당된 피복 층들(4) 간의 간격은 최대 1.5nm이고,
 상기 피복 층들(4)의 Al-함량은 20% 내지 70%이고,
 GaN을 포함하거나 GaN으로 이루어진 2개 이상의 중간층들(3)을 더 포함하며,
 상기 중간층들 각각은 상기 피복 층들(4)과 각각 할당된 방사성 양자 웰들(2) 사이에 있는,
 광전자 반도체 칩.

청구항 2

제 1 항에 있어서,
 층 시퀀스(8)가 3번 내지 20번 반복되고,
 이웃하는 층 시퀀스들(8)이 직접적으로 연속되며, 그리고
 상기 층 시퀀스들(8)이
 방사성 양자 웰(2),
 GaN을 포함하거나 GaN으로 이루어진 중간층(3),
 피복 층(4) 및
 GaN을 포함하거나 GaN으로 이루어진 배리어 층(5)의 순서로 직접적으로 연속하는 층들로 이루어지고, 그리고
 또한, 상기 피복 층들(4)의 두께가 0.5nm 내지 1.0nm이며, 중간층들(3)의 두께가 0.4nm 내지 0.8nm이며, 성장
 방향으로 연속하는 2개의 피복 층(4)의 간격이 4nm 내지 6nm인,
 광전자 반도체 칩.

청구항 3

제 1 항에 있어서,
 상기 피복 층들(4)의 Al-함량은 40% 내지 70%인,
 광전자 반도체 칩.

청구항 4

제 1 항에 있어서,
 상기 피복 층들(4)의 두께 또는 평균 두께가 0.3nm 내지 1.5nm인,
 광전자 반도체 칩.

청구항 5

제 1 항에 있어서,
 상기 중간층들(3)의 두께가 0.3nm 내지 1.2nm이고, 상기 피복 층들(4)의 Al-함량은 40% 내지 70%인,
 광전자 반도체 칩.

청구항 6

제 1 항에 있어서,
 상기 방사성 양자 웰들(2), 피복 층들(4) 및 중간층들(3)의 전이 영역(23, 24, 34)이 1개 내지 3개의 단분자층의 두께를 갖는,
 광전자 반도체 칩.

청구항 7

제 1 항, 제 2 항, 제 4 항, 제 5 항 또는 제 6 항 중 어느 한 항에 있어서,
 상기 방사성 양자 웰들(2)과 각각 할당된 피복 층들(4) 간의 간격이 최대 2개의 단분자층에 이르고, 상기 피복 층들(4)의 Al-함량이 20% 내지 50%인,
 광전자 반도체 칩.

청구항 8

제 1 항, 제 3 항, 제 4 항, 제 5 항 또는 제 6 항 중 어느 한 항에 있어서,
 성장 방향으로 연속하는 2개의 피복 층(4) 간의 간격이 3nm 내지 8nm인,
 광전자 반도체 칩.

청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,
 상기 중간층들(3)의 평균 밴드 갭이 각각 할당된 방사성 양자 웰들(2)의 평균 밴드 갭의 적어도 120%인,
 광전자 반도체 칩.

청구항 10

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,
 적어도 2개의 이웃하는 방사성 양자 웰(2)이 서로 상이한 평균 밴드 갭을 갖고, 상기 평균 밴드 갭의 편차는 0.03 eV 내지 0.20 eV인,
 광전자 반도체 칩.

청구항 11

전기적으로 펌핑된 광전자 반도체 칩(1)으로서,
 InGaN을 포함하거나 InGaN으로 이루어진 2개 이상의 방사성 양자 웰들(2) 및 AlGaIn을 포함하거나 AlGaIn으로 이루어진 2개 이상의 피복 층들(4)을 포함하며,
 상기 피복 층들(4) 각각은 상기 방사성 양자 웰들(2) 중 정확히 하나의 방사성 양자 웰에 할당되어 있고,
 상기 피복 층들(4)은 상기 방사성 양자 웰들(2)의 각 하나의 p-측면에 존재하며,
 상기 방사성 양자 웰들(2)과 할당된 피복 층들(4) 간의 간격은 최대 1.5nm이고,

상기 피복 층들(4)의 Al-함량은 20% 내지 70%이며, 그리고
 상기 방사성 양자 웰들(2)의 밴드 갭이 각각 2.55 eV 내지 3.0 eV인,
 광전자 반도체 칩.

청구항 12

전기적으로 펌핑된 광전자 반도체 칩(1)으로서,
 InGaN을 포함하거나 InGaN으로 이루어진 2개 이상의 방사성 양자 웰들(2) 및
 AlGaN을 포함하거나 AlGaN으로 이루어진 2개 이상의 피복 층들(4)
 을 포함하며,
 상기 피복 층들(4) 각각은 상기 방사성 양자 웰들(2) 중 정확히 하나의 방사성 양자 웰에 할당되어 있고,
 상기 피복 층들(4)은 상기 방사성 양자 웰들(2)의 각 하나의 p-측면에 존재하며,
 상기 방사성 양자 웰들(2)과 할당된 피복 층들(4) 간의 간격은 최대 1.5nm이고,
 상기 피복 층들(4)의 Al-함량은 20% 내지 70%이고,
 상기 방사성 양자 웰들(2)의 밴드 갭이 각각 2.55 eV 내지 3.0 eV이며,
 이웃하는 방사성 양자 웰(2)이 서로 상이한 밴드 갭을 갖는,
 광전자 반도체 칩.

발명의 설명

기술 분야

[0001] 본 발명은 전기적으로 펌핑된 광전자 반도체 칩에 관한 것이다.

배경 기술

[0002] 간행물 US 6,849,881 B1호는 다중 양자 웰 구조물을 갖는 광전자 반도체 칩과 관련이 있다.

[0003] 간행물 US 2002/0179923 A1호에는 발광 다이오드가 제시되어 있다.

발명의 내용

[0004] 본 발명의 과제는 낮은 전류 밀도에서 높은 효율을 보이는 전기적으로 펌핑된 광전자 반도체 칩을 제공하는 것이다.

[0005] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 상기 광전자 반도체 칩은 2개 이상의 방사성 양자 웰 (quantum well)을 갖는다. "방사성"이라는 표현은 반도체 칩의 작동 중에 상기 양자 웰들 안에서 전자기 방사선이 발생하는 것을 의미한다. 예를 들어 각각의 방사성 양자 웰 안에서는, 반도체 칩에 의해서 발생된 전체 방사선을 기준으로, 적어도 2.5%, 특히 적어도 4.0%의 출력율이 발생된다. 방사선의 파장은 바람직하게 파장이 420nm 이상 480nm 이하인 경우 자외선 및/또는 가시 스펙트럼 범위에 놓일 수 있다.

[0006] "양자 웰"이라는 표기는 양자화의 차원과는 전혀 관련이 없다. 따라서, "양자 웰"이라는 용어는 예컨대, 다차원 양자 웰들, 1차원 양자 선들(quantum wire), 0차원으로 간주되는 양자 점들(quantum dot) 그리고 상기 구조물들의 각각의 조합을 포함한다.

[0007] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 상기 광전자 반도체 칩은 전기적으로 펌핑되었다. 다시 말해, 반도체 칩의 p-측 전기 접속부 및 n-측 전기 접속부에는 각각 포지티브 또는 네거티브 전하 캐리어가 주입되며, 상기 전하 캐리어들은 반도체 칩의 용도에 따른 작동 중에 각각 다른 측 연결부 쪽으로 전파(propagate)된다. 상기 반도체 칩에 의한 전파 시에는 상기 전하 캐리어들이 적어도 부분적으로 방사성 양자 웰들 내부로 이르고, 상기 양자 웰들 내부에서는 포지티브 전하 캐리어들이 네거티브 전하 캐리어들과 적어도 부분적으로 재결합한다. 이러한 전하 캐리어 재-결합에 의해서는 반도체 칩에 의해 방출된 방사선이 발생된다.

- [0008] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 방사성 양자 웰들은 InGaN을 포함하거나 InGaN으로 이루어진다.
- [0009] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 상기 광전자 반도체 칩은 2개 이상의 피복 층을 포함하며, 상기 피복 층들은 AlGaIn을 포함하거나 AlGaIn으로 이루어진다. 각각의 피복 층은 바람직하게 방사성 양자 웰들 중 적어도 하나의 양자 웰에 할당되어 있다. 특히, 피복 층들과 방사성 양자 웰들 사이에는 1대 1 대응하는 할당이 이루어진다.
- [0010] "방사성 양자 웰들이 InGaN으로 이루어지고, 피복 층들이 AlGaIn을 포함한다."라는 표현은 상기 양자 웰들 및 피복 층들이 단지 인용한 원자들로부터 이루어지고, 예를 들어 도펀트 형태로 이종 원자들의 혼합물을 포함하는 것을 의미할 수 있다. 방사성 양자 웰들 그리고 피복 층들에 상호 결합된 모든 이종 원자 성분은 바람직하게 각각 최대 1 원자-%, 특히 최대 0.1 원자-%, 바람직하게는 최대 0.01 원자-%이다.
- [0011] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 피복 층들은 방사성 양자 웰들의 각 하나의 p-측면에 존재한다. "피복 층들이 P-측면에 존재한다."라는 표현은, 피복 층이 반도체 칩의 작동 중에 포지티브 전하 캐리어들의 주 전파 방향으로 할당된 방사성 양자 웰 앞에 배치되었음을 의미한다. 다른 말로 표현하자면, 포지티브 전하 캐리어들, 특히 소위 홀들은 반도체 칩의 용도에 따른 작동 중 제일 먼저 피복 층 그리고 나서 상기 피복 층에 할당된 방사성 양자 웰을 관통한다.
- [0012] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 방사성 양자 웰들과 각각 할당된 피복 층들 사이의 간격은 최대 1.5nm, 특히 최대 1.0nm, 바람직하게는 최대 0.5nm이다. 다시 말해, 상기 피복 층들은 방사성 양자 웰들에 아주 근접하는 위치에 있다.
- [0013] 전기적으로 펌핑된 광전자 반도체 칩의 적어도 한 가지 실시 예에서, 상기 광전자 반도체 칩은 2개 이상의 방사성 양자 웰을 가지며, 이 경우 상기 방사성 양자 웰은 InGaN을 포함하거나 InGaN으로 이루어진다. 또한, 상기 광전자 반도체 칩은 2개 이상의 피복 층을 포함하며, 상기 피복 층들은 AlGaIn을 포함하거나 AlGaIn으로 이루어진다. 각각의 피복 층은 상기 방사성 양자 웰들 중 적어도 하나의 양자 웰에 할당되었다. 상기 피복 층들은 상기 할당된 방사성 양자 웰들의 각 하나씩의 p-측면에 위치한다. 방사성 양자 웰과 할당된 피복 층 사이의 간격은 최대 1.5nm이다.
- [0014] 다수의 양자 웰을 사용함으로써, 반도체 칩의 작동 중에는 방사성 양자 웰당 유효 전하 캐리어 밀도가 감소될 수 있다. 이러한 전하 캐리어 밀도 감소는 재차, 각각 방사성 양자 웰들 중 하나의 방사성 양자 웰에 적합하게 내부 및 외부 양자 효율 증가를 야기할 수 있다. 따라서, 순방향 전압 하강과 마찬가지로, 반도체 칩에 의해서 방출된 휘도 상승도 함께 나타난다.
- [0015] 인용한 바와 같이, AlGaIn으로 이루어진 피복 층들이 사용되어 InGaIn-양자 웰들에 제공되면, 압전 필드들과 같은 경계 전하 효과로 인해 반도체 재료의 전도대(conduction band) 및 가전자대(valence band)의 구조물들이 구부러지게 된다. 전도대 및 가전자대의 이러한 구부러짐에 의해서는 네거티브 전하 캐리어들, 특히 전자들이 더 우수하게 차단된다. 반면에 포지티브 전하 캐리어들에 의해, 특히 소위 홀들에 의해서는 라인이 조장되었다. 포지티브 전하 캐리어들의 이동성 개선으로 인해, 방사성 양자 웰 내에서는 포지티브 및 네거티브 전하 캐리어들의 웨이브 기능의 오버랩이 효과적으로 상승될 수 있다.
- [0016] 상승된 웨이브 기능 오버랩에 의해서는 포지티브 및 네거티브 전하 캐리어의 재결합률이 증가할 수 있다. 또한, 이러한 재결합률 증가는 반도체 칩의 소전류 특성 및 예컨대 120℃를 초과하는 온도 또는 약 120℃의 온도에서의 고온 안정성을 개선할 수 있다. 다른 말로 표현하자면, 상대적으로 높은 양자 수율과 함께 전류 밀도가 낮고 그리고 고온인 상황에서 광이 방출된다. 그 외에도 양자 웰들이 더 활발히 방사성을 띄고, 더 나아가 양자 웰당 전하 캐리어 밀도가 축소된 결과로서 순방향 전압이 하강될 수 있도록 포지티브 전하 캐리어들의 이동성이 상승될 수 있다.
- [0017] 반도체 칩의 온도 안정성을 상승하기 위한 추가의 가능성은 보다 적은 그리고 비교적 얇은 양자 웰을 형성하는 것이다. 하지만, 이러한 양자 웰 형성은 실온에서는 효율 감소와 함께 나타날 수 있다.
- [0018] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 상기 반도체 칩은 에피택셜 성장에 의해 제조되었다.
- [0019] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 피복 층들의 알루미늄 함량은 20% 이상 70% 이하이다. 다

른 말로 하자면, GaN의 갈륨 격자 위치들의 20% 내지 70%가 알루미늄 원자에 의해 점유되었다.

- [0020] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 피복 층들은 0.2nm 이상 1.5nm 이하, 특히 0.5nm 이상 1.0 nm 이하의 두께 또는 평균 두께를 갖는다.
- [0021] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 상기 반도체 칩은 2개 이상의 중간층을 포함한다. 상기 중간층들은 GaN으로 이루어지거나 GaN을 포함한다. "중간층들이 GaN을 포함한다."라는 표현은, 1 원자-% 미만, 특히 0.1 원자-% 미만, 바람직하게는 0.01 원자-% 미만의 농도를 갖는 이종 원자들이 상기 중간층 내에 있다는 것을 의미할 수 있다.
- [0022] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 각 하나의 피복 층과 상기 피복 층에 할당된 방사성 양자 웰 사이에는 각 하나의 중간층이 위치한다. 이 경우 상기 중간층은 방사성 양자 웰뿐만 아니라 할당된 피복 층에도 직접 접촉한다.
- [0023] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 중간층들의 두께는 각각 0.3nm 이상 1.2nm 이하, 특히 0.4 nm 이상 0.8nm 이하이다. 상기 방식으로 중간층들이 형성되면, 피복 층들의 알루미늄 함량은 바람직하게 40% 이상 70% 이하이다.
- [0024] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 방사성 양자 웰들, 피복 층들 및/또는 중간층들의 전이 구역은 1개 이상 3개 이하의 단분자층(monolayer)의 두께를 갖는다. 이 경우 단분자층은 조밀하게 패킹된, 원자들로 이루어진 개별 층이다. 그러므로 단분자층의 두께는 거의 단분자층 원자들의 평균 원자 지름에 상응한다. GaN의 경우에는 단분자층의 두께가 약 0.3nm 내지 0.4nm이다.
- [0025] 전이 구역에서는 단분자층들 중 하나의 단분자층의 화학양론적 조성이 예컨대 방사성 양자 웰들로부터 예를 들면 피복 층의 화학양론적 조성으로 변경된다. 다른 말로 표현하자면, 단분자층 내부에 있는 전이 구역에는 예를 들어 InGaN뿐만 아니라 AlGaIn도 1개의 단분자층 내부로 한정하여 국부적으로 존재한다. 이 경우 단분자층들은 반도체 칩의 성장 방향에 수직인 주 연장 방향을 갖는다.
- [0026] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 방사성 양자 웰들과 각각 할당된 피복 층들 간의 간격은 최대 2개의 단분자층에 이른다. 다른 말로 표현하자면, 제조 오차의 범위 내에서 특히 InGaIn만을 갖는 양자 웰의 단분자층과 제조 오차의 범위 내에서 AlGaIn만을 포함하는 피복 층의 단분자층 사이에는 InGaIn, GaN 및/또는 AlGaIn의 혼합물을 갖는 최대 2개의 단분자층만 놓인다. 본 실시 예에서, 상기 피복 층의 알루미늄 함량은 바람직하게 20% 이상 50% 이하이다.
- [0027] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 상기 광전자 반도체 칩은 3개 이상 20개 이하의 방사성 양자 웰, 특히 5개 이상 15개 이하의 방사성 양자 웰을 포함한다. 이 경우 반도체 칩은 상대적으로 더 많은 수의 양자 웰, 예를 들면 30개보다 많은 수의 양자 웰을 포함할 수 있으며, 그러한 경우에는 반도체 칩의 작동 중에 양자 웰들의 일부뿐만 방사성을 띤다. 다른 말로 표현하자면, 이러한 경우에는 반도체 칩이 방사성 양자 웰들 및 비방사성 양자 웰들 모두를 포함할 수 있다.
- [0028] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 성장 방향으로 연속하는 2개의 피복 층 간의 간격은 3nm 이상 8nm 이하, 특히 4nm 이상 6nm 이하이다.
- [0029] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 방사성 양자 웰들의 밴드 갭은 각각 2.55 eV 이상 3.0 eV 이하이다. 방사성 양자 웰들의 밴드 갭이 이러한 값 범위에 있는 경우, 포지티브 전하 캐리어들의 이동성 상승은 AlGaIn으로 이루어지거나 AlGaIn을 포함하는 피복 층에 의해 효과적이게 된다.
- [0030] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 중간층의 평균 밴드 갭은 할당된 방사성 양자 웰의 평균 밴드 갭에 비해 적어도 20%만큼 상승하였다. 다른 말로 표현하면, 평균 밴드 갭이 할당된 방사성 양자 웰의 영역에 대해 평균으로 존재하는 바와 같이, 중간층 영역 내 평균 밴드 갭은 상기 방사성 양자 웰의 밴드 갭의 적어도 120%, 특히 적어도 130%이다.
- [0031] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 평균 밴드 갭은 방사성 양자 웰의 n-측면의 상응하는 영역 내에서보다 방사성 양자 웰의 p-측면에 바로 인접하는 방사성 양자 웰의 외부 영역에서 더 크다. 이 경우 n-측면은 반도체 칩의 n-측 연결부 쪽을 향한다. p-측면 및 n-측면의 방사성 양자 웰 외부 영역들은 바람직하게 0.4nm 이상 1.0nm 이하, 특히 0.6nm의 폭을 갖는다. 또한, p-측면 영역의 평균 밴드 갭은 바람직하게 n-측면 영역의 평균 밴드 갭의 적어도 105%, 특히 적어도 110%이다.

[0032] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 이웃하는 2개의 방사성 양자 웰은 서로 상이한 평균 밴드 갭을 갖는다. 다른 말로 표현하면, 상기 이웃하는 방사성 양자 웰들은 반도체 칩의 작동 중에 상이한 파장들을 갖는 방사선들을 방출할 목적으로 설치되었다.

[0033] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 이웃하는 양자 웰들 간의 평균 밴드 갭의 편차는 0.03 eV 이상 0.20 eV 이하, 특히 0.05 eV 이상 0.18 eV 이하이다.

[0034] 광전자 반도체 칩의 적어도 한 가지 실시 예에 따라, 상기 광전자 반도체 칩은 적어도 하나의 배리어 층을 포함하며, 상기 배리어 층은 이웃하는 2개의 방사성 양자 웰 사이에 배치되었다. 바람직하게 상기 배리어 층은 GaN 을 포함하거나 GaN으로 이루어진다. 특히, 상기 배리어 층은 피복 층들 그리고 상기 피복 층에 할당되지 않은 방사성 양자 웰에 직접 인접한다.

[0035] 후속해서 본 발명에 따른 광전자 반도체 칩은 실시 예들을 인용하는 도면을 참조하여 상세하게 설명된다. 각 도면에서 동일한 소자들에는 동일한 도면 부호가 제공되었다. 본 발명에서 각 도면은 정확한 척도로 도시되지 않았으며, 오히려 개별 소자들은 이해를 도울 목적으로 과도하게 크게 도시될 수 있다.

도면의 간단한 설명

[0036] 도 1, 도 3 및 도 4는 본 발명에 따른 광전자 반도체 칩의 실시 예들을 도시한 개략적인 단면도이며, 그리고 도 2는 종래의 반도체 칩을 도시한 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0037] 도 1A에는 전기적으로 펌핑되는 반도체 칩(1)의 실시 예가 도시되어 있다. 바람직하게 에피택셜 방식으로 성장된 상기 반도체 칩(1)은 p-층 연결부(p) 및 n-층 연결부(n)를 갖는다. 반도체 칩(1)의 용도에 따른 작동시, 상기 p-층 연결부(p)에는 포지티브 전압이 인가되고, n-층 연결부(n)에는 상기 p-층 연결부(p)에 상대적으로 네거티브 전압이 인가된다. 전자들과 같이 네거티브 전하 캐리어들은 반도체 칩(1)의 작동 중에 n-층 연결부(n)로부터 p-층 연결부(p)로 이동되고, 홀들과 같은 포지티브 전하 캐리어들은 p-층 연결부(p)로부터 n-층 연결부(n)로 이동된다. 상기 전하 캐리어들은 각각 상기 연결부들(p, n)을 통해서 반도체 칩(1) 내부로 주입된다.

[0038] 반도체 칩(1)은 다수의 방사성 양자 웰(2)을 포함한다. 반도체 칩(1)의 작동 중에는, 전하 캐리어들의 재결합에 의해 상기 방사성 양자 웰들(2) 내에서 전자기 방사선이 발생된다. p-층 연결부(p) 방향으로, 예를 들면 성장 방향(G)으로 방사성 양자 웰들(2) 다음에는 각각 하나의 피복 층(4)이 배치되어 있다. 상기 피복 층(4)은 0.2nm 이상 0.5nm 이하, 바람직하게는 약 0.5nm의 두께(T)를 갖는다. 피복 층(4)은 실제로 AlGaIn으로 이루어지며, 이 경우 상기 피복 층(4)은 이중 원자 형태의 도펀트를 포함할 수 있다. 이 경우 피복 층(4)에서의 이중 원자 비율은 최대 0.01 원자-%이다.

[0039] 방사성 양자 웰들(2)의 두께(Q)는 예컨대 1.5nm 이상 4.5nm 이하, 특히 약 3.5nm이다. 이 경우 상기 양자 웰들(2)은 InGaIn으로 이루어진다. 인듐 함량은 바람직하게 15% 이상 35% 이하이다. 다른 말로 표현하자면, 갈륨 격자 위치들의 15% 이상 35% 이하의 부분은 인듐 원자로 나타났다.

[0040] 성장 방향(G)을 따라서, 피복 층들(4)과 방사성 양자 웰들(2) 사이에는 각각 하나의 배리어 층(5)이 존재한다. 상기 배리어 층(5)은 바람직하게 GaN으로 이루어진다. 상기 배리어 층들(5)도 마찬가지로 이중 원자 도펀트를 포함할 수 있다.

[0041] 이웃하는 2개의 피복 층(4) 간의 간격은 바람직하게 3nm 이상 8nm 이하, 특히 약 6nm이다. 도 1A에 따른 실시 예의 경우에 상기 피복 층들(4)의 알루미늄 함량은 예를 들어 20% 이상 50% 이하이다.

[0042] 도 1B에는 성장 방향(G)을 따라서 밴드 갭(E_g)의 프로파일이 개략적으로 도시되어 있다. 방사성 양자 웰들(2)의 영역에서 상기 밴드 갭(E_g)은 예를 들어 약 2.55 eV이다. 피복 층들(4)의 영역에서 밴드 갭(E_g)은 바람직하게 약 3.4 eV를 초과한다. 그러므로 피복 층들(4)에 의해 p-층 연결부(p) 쪽을 향하는 방사성 양자 웰들(2)의 p-측면에서는 밴드 갭(E_g)의 국부적 상승 및 가전자대 구조물의 만곡이 수행된다. p-측면들에 있는 방사성 양자 웰들(2) 외부의 밴드 갭(E_g)은 n-층 연결부(n) 쪽을 향하는 n-측면들에 있는 방사성 양자 웰들(2) 외부의 밴드 갭(E_g)을 초과한다. 밴드 갭 구조물들의 이러한 만곡에 의해 홀들의 이동성이 상승되었다.

[0043] 이로 인해 달성된 사실은, 특히 모든 방사성 양자 웰들(2)이 방사선 방출에 기여한다는 것이다. 이 경우 p-층

연결부(p)에 가장 가까운 양자 웰(2)이 가장 많은 비율의 방사선을 방출하며, 그에 반해 n측 연결부(n)에 가장 가까운 양자 웰(2)은 가장 적은 비율의 방사선을 방출한다. 각각의 방사성 양자 웰(2)은 바람직하게 적어도 2.5%의 반도체 칩(1)에 의해서 발생된 전체 방사선 출력을 방출한다.

- [0044] 도 2에는 종래의 광전자 반도체 칩이 도시되어 있다(도 2A의 단면도 및 도 2B의 밴드 갭 구조물 참조). 성장 방향(G)으로 볼 때, 반도체 소자는 배리어 층들(5)과 양자 웰들(2) 사이의 시퀀스를 갖는다. 특히 도 2에 따른 반도체 소자에는 피복 층들(4)이 없기 때문에, 방사선의 방출에는 양자 웰들(2) 중 단 하나의 양자 웰만 도움이 될 수 있다.
- [0045] 밴드 갭(E_g)의 구조물은 양자 웰들(2)의 p-측면에서 밴드 갭의 상승을 갖지 않는다. 반대로 양자 웰의 n-측면에 비해 p-측면에서는 밴드 갭(E_g)이 심지어 낮아진다.
- [0046] 도 3에 따른 반도체 칩(1)의 실시 예의 경우, 방사성 양자 웰들(2a 내지 2c)과 각각 할당된 피복 층들(4) 사이에는 각 하나씩의 중간층(3)이 존재한다. 상기 중간층(3)은 GaN으로 이루어지고, 양자 웰들(2), 피복 층들(4) 및 배리어 층들(5)과 마찬가지로 이중 원자의 도펀트를 포함할 수 있다. 중간층(3)의 두께는 바람직하게 1nm보다 더 작다. 특히 상기 두께는 약 0.5nm이다. 도 3에 따른 반도체 칩(1)에서 피복 층들(4)의 알루미늄 함량은 바람직하게 40% 이상 70% 이하이다.
- [0047] 반도체 칩(1)은 바람직하게 3개 이상 20개 이하의 층 시퀀스(8)를 갖는다. 상기 층 시퀀스들(8)은 각각 추가의 중간층 없이 직접 인접한다. 각각의 층 시퀀스(8)는 하나의 방사성 양자 웰(2a 내지 2c), 하나의 중간층(3), 하나의 피복 층(4) 및 하나의 배리어 층(5)으로 이루어진다. 인접한 층들은 추가의 중간층 없이 인접한 순서대로 직접 인접한다.
- [0048] 다른 모든 실시 예와 마찬가지로 방사성 양자 웰들(2a 내지 2c)은 반도체 칩(1)의 작동 중에 서로 상이한 파장들($\lambda_1, \lambda_2, \lambda_3$)을 갖는 방사선을 각각 발생할 수 있다. 예를 들어 파장(λ_1)은 약 440nm이고, 파장(λ_2)은 약 450nm이며, 파장(λ_3)은 약 465nm이다. 이 경우 파장은 반도체 칩(1)의 작동 중에 최대 스펙트럼 출력 밀도가 방출되는 파장을 의미할 수 있다.
- [0049] 도 4A에는 반도체 칩(1)의 한 추가 실시 예의 개략적인 단면도가 도시되어 있으며, 상기 반도체 칩은 예컨대 도 1과 유사하게 설계될 수 있다. 도 4B에는 특히 도 3과 유사한 반도체 칩(1)의 상세도가 도시되어 있다.
- [0050] 반도체 칩(1)은 성장 방향(G)을 따라서 단분자층들(9)의 시퀀스를 갖는다. 상기 단분자층(9)은 성장 방향(G)에 수직 방향으로 연장되고, 각각 개별 단분자층(9) 내에 있는 원자들의 평균 원자 지름의 두께를 갖는다. 도 4A 및 도 4B에서는 단분자층들(9)이 파선에 의해 서로 한정된 반도체 칩(1)의 영역들로 표시되었다.
- [0051] 방사성 양자 웰(2)과 피복 층(4) 사이에는 전이 구역(24)이 있다(도 4A 참조). 상기 전이 구역(24)에는 재료 조성이 방사성 양자 웰(2)의 재료 조성에 상응하는 하부 영역들이 있다. 마찬가지로 재료 조성이 피복 층(4)의 조성에 상응하는 다른 하부 영역들도 존재한다. 도 4A에 따르면, 전이 영역(24)의 두께는 2개의 단분자층에 이른다.
- [0052] 도 4B에 따른 실시 예에서, 방사성 양자 웰(2)과 중간층(3) 사이에 그리고 방사성 양자 웰(2)과 피복 층(4) 사이에 있는 전이 구역들(23, 24)은 각각 1개의 단분자층의 두께를 갖는다. 도 4A 및 도 4B와는 달리, 전이 영역들(23, 24, 34)의 바람직한 두께는 1개 이상 3개 이하의 단분자층일 수 있다. 전이 구역들(23, 24, 34)의 두께는 예컨대 투과 전자 현미경(TEM)을 통해서 측정될 수 있다.
- [0053] 다른 실시 예들에서도 마찬가지로, 반도체 칩(1)은 하나 또는 다수의 추가 (도면에는 도시되지 않은) 층들을 포함할 수 있다. 상기와 같은 층들은 터널 층들 또는 터널 전이부들, 전하 캐리어 차단 층들, 비방사성 양자 웰들, 전기 접촉 층들, 외부 층들 및/또는 광 파장 전도 층들일 수 있다. 마찬가지로 방사성 양자 웰들(2)은 각각 성장 방향(G)을 따라서 가변적인 인듐 함량을 포함할 수 있다. 따라서, 방사성 양자 웰들(2)은 도면에는 도시되지 않은 다수의 부분 층들을 포함할 수 있으며, 상기 부분 층들의 인듐 함량은 서로 상이하다.
- [0054] 방사성 양자 웰들(2)의 개수 검출은, 예컨대 반도체 칩(1)에 공급되는 전류 세기에 대해 반도체 칩(1)에 의해 방출된 방사선의 파장 이동을 검출함으로써, 검출될 수 있다. 파장 이동이 크면 클수록, 방사성 양자 웰의 개수는 작다. 마찬가지로 반도체 칩(1)을 작동시키는 전류 세기에 대해, 방사성 양자 웰들의 내부 양자 효율을 규정함으로써, 방사성 양자 웰의 개수가 검출된다.
- [0055] 본 발명은 실시 예들을 참조하는 상세한 설명에 의해 한정되지 않는다. 오히려 본 발명은 각각의 새로운 특징

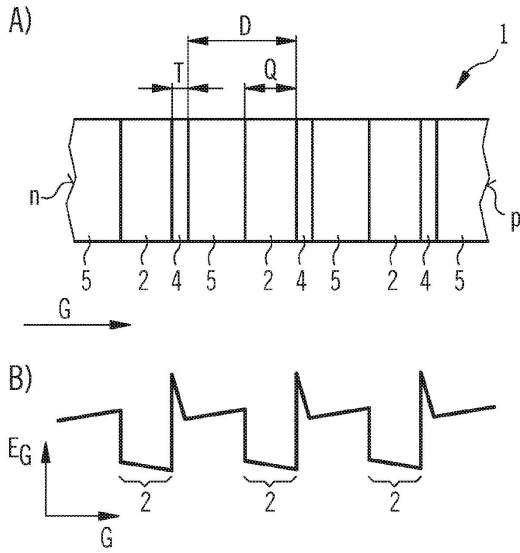
그리고 각각의 특징 조합을 포함하며, 상기 특징 또는 특징 조합 자체가 특허청구범위 또는 실시 예들에 명시적으로 기재되어 있지 않더라도, 특히 각각의 특징 조합은 특허청구범위에 포함된 것으로 간주한다.

[0056]

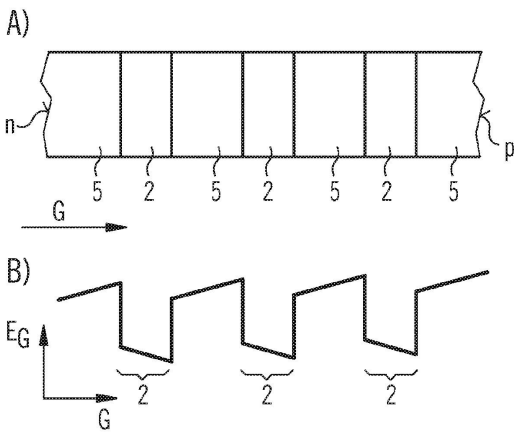
본 특허 출원서는 독일 특허 출원서 10 2009 037 416.7호를 우선권으로 주장하며, 상기 우선권 서류의 공개 내용은 본 출원서에 인용의 형태로 수용된다.

도면

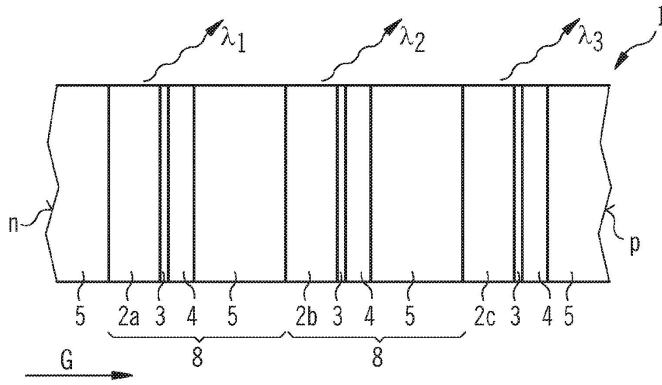
도면1



도면2



도면3



도면4

