

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 6 日(06.10.2016)



(10) 国際公開番号
WO 2016/158429 A1

- (51) 国際特許分類:
H01L 27/105 (2006.01) *H01L 49/00* (2006.01)
H01L 45/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/058389
- (22) 国際出願日: 2016 年 3 月 16 日(16.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-073053 2015 年 3 月 31 日(31.03.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 Kanagawa (JP).
- (72) 発明者: 大場 和博(OHBA, Kazuhiro); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 清 宏彰(SEI, Hiroaki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 野々口 誠二(NONOGUCHI,

Seiji); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 曾根 威之(SONE, Takeyuki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 五十嵐 実(IKARASHI, Minoru); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).

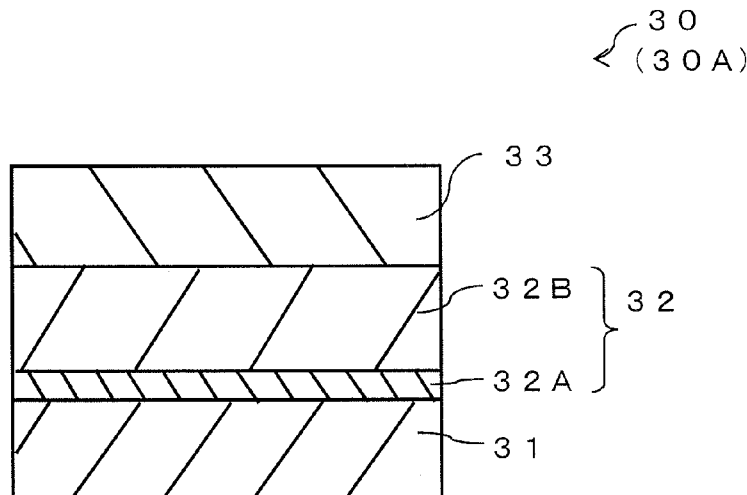
(74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号さわだビル 3 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SWITCH ELEMENT AND STORAGE DEVICE

(54) 発明の名称: スイッチ素子および記憶装置



(57) Abstract: A switch element according to one embodiment of the present technique is provided with: a first electrode; a second electrode that is arranged to face the first electrode; and a switch layer that is arranged between the first electrode and the second electrode. The switch layer is configured to contain a chalcogen element. With respect to the switch layer, a first region that is close to the first electrode and a second region that is closer to the second electrode than the first region are different from each other in the composition ratio of the chalcogen element or in the kind of the chalcogen element.

(57) 要約: 本技術の一実施の形態のスイッチ素子は、第 1 電極と、第 1 電極に対向配置された第 2 電極と、第 1 電極と第 2 電極との間に設けられたスイッチ層とを備えている。スイッチ層は、カルコゲン元素を含んで構成されている。スイッチ層では、第 1 電極寄りの第 1 領域と、第 1 領域と比べて第 2 電極寄りの第 2 領域とにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。



WO 2016/158429 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：スイッチ素子および記憶装置

技術分野

[0001] 本開示は、電極間にカルコゲナイド層を有するスイッチ素子、およびそれを備えた記憶装置に関する。

背景技術

[0002] 近年、R e R A M (Resistance Random Access Memory)やP R A M (Phase-Change Random Access Memory) (登録商標)等の抵抗変化型メモリに代表されるデータストレージ用の不揮発性メモリの大容量化が求められている。しかし、現行のアクセストランジスタを用いた抵抗変化型メモリでは、単位セルあたりのフロア面積が大きくなる。このため、例えばN A N D型等のフラッシュメモリと比較すると、同じ設計ルールを用いて微細化しても大容量化が容易ではなかった。これに対して、交差する配線間の交点(クロスポイント)にメモリ素子を配置する、所謂クロスポイントアレイ構造を用いた場合には、単位セルあたりのフロア面積が小さくなり、大容量化を実現することが可能となる。

[0003] クロスポイント型のメモリセルには、メモリ素子のほかにセル選択用の選択素子(スイッチ素子)が設けられる。スイッチ素子としては、例えばカルコゲナイド材料を用いたスイッチ素子(オボニック閾値スイッチ(OTS; Ovonic Threshold Switch)素子)が挙げられる。OTS素子では、オフ状態の漏れ電流が低く、オン状態の電流を大きくすることにより選択比を大きくすることができる。さらに、OTS素子はスイッチング特性を示すので、OTS素子がメモリ素子と直列に接続された場合であっても、比較的に選択比を得ることができる。

[0004] なお、カルコゲナイト層と絶縁層とによる積層体を備えたセレクトラが特許文献1に開示されている。また、超格子構造を有する相変化メモリが特許文献2に開示されている。また、PN接合ダイオードを相変化ダイオードとし

て備えた P R A M が特許文献 3 に開示されている。また、抵抗率分布を有する電極を備えた相変化メモリが特許文献 4 に開示されている。

先行技術文献

特許文献

- [0005] 特許文献1：特開 2 0 1 4 - 0 3 3 0 4 1 号公報
特許文献2：特開 2 0 1 4 - 1 0 7 5 2 8 号公報
特許文献3：特開 2 0 0 7 - 2 1 4 5 6 5 号公報
特許文献4：国際公開 W O 2 0 0 9 / 1 2 2 5 6 9 号公報

発明の概要

- [0006] 抵抗変化型メモリ素子では、書き込み電圧として、書き込み側の閾値電圧よりも過剰な電圧が印加されても、メモリ素子が破壊され難い。そのため、書き込み電圧として、書き込み側の閾値電圧よりも過剰な電圧が印加された後であっても、消去電圧の印加によって、メモリが消去される。ところが、消去電圧として、消去側の閾値電圧よりも大きな電圧印加によって消去を行った後に、さらに過剰な電圧が印加され、ブレークダウンする電圧よりも大きな電圧が加わり再度低抵抗化すると、メモリ素子が破壊される。このような過消去によって、メモリ素子が破壊されてしまうと、セット電圧が印加されたとしても、再び、メモリに書き込みを行うことが困難となるという問題があった。
- [0007] したがって、過消去によるメモリ素子の劣化を抑制し、信頼性の高いメモリ動作を行うことを可能にするスイッチ素子、およびそれを備えた記憶装置を提供することが望ましい。
- [0008] 本開示の一実施の形態のスイッチ素子は、第 1 電極と、第 1 電極に対向配置された第 2 電極と、第 1 電極と第 2 電極との間に設けられたスイッチ層とを備えている。スイッチ層は、テルル (T e)、セレン (S e) および硫黄 (S) から選ばれる少なくとも 1 種のカルコゲン元素を含んで構成されている。スイッチ層では、第 1 電極寄りの第 1 領域と、第 1 領域と比べて第 2 電極寄りの第 2 領域とにおいて、カルコゲン元素の組成比、または、カルコゲ

ン元素の種類が互いに異なっている。

[0009] 本開示の一実施の形態の記憶装置は、複数のメモリセルを備えている。各メモリセルは、メモリ素子およびメモリ素子に直接接続されたスイッチ素子を含んでいる。各メモリセルに含まれるスイッチ素子は、上記スイッチ素子と同一の構成となっている。

[0010] 本開示の一実施の形態のスイッチ素子、および本開示の一実施の形態の記憶装置では、スイッチ層における第1電極寄りの第1領域と、スイッチ層における第2電極寄りの第2領域とにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。これにより、例えば、スイッチ素子における、消去側の閾値電圧を、スイッチ素子における、書き込み側の閾値電圧よりも大きくすることができる。

[0011] 本開示の一実施の形態のスイッチ素子、および本開示の一の実施の形態の記憶装置によれば、スイッチ素子における、消去側の閾値電圧を、スイッチ素子における、書き込み側の閾値電圧よりも大きくすることができるようにしたので、過消去によるメモリ素子の劣化を抑制し、信頼性の高いメモリ動作を行うことができる。

図面の簡単な説明

[0012] [図1]本開示の一実施の形態に係るメモリセルアレイの斜視構成の一例を表す図である。

[図2A]図1のスイッチ素子の断面構成の一例を表す図である。

[図2B]図1のスイッチ素子の断面構成の一例を表す図である。

[図3A]図1のメモリ素子の断面構成の一例を表す図である。

[図3B]図1のメモリ素子の断面構成の一例を表す図である。

[図4]図1のメモリセルの断面構成の一例を表す図である。

[図5]図1のメモリセルの断面構成の一例を表す図である。

[図6]図1のメモリセルの断面構成の一例を表す図である。

[図7]図1のメモリセルの断面構成の一例を表す図である。

[図8]図1のメモリ素子におけるI-V特性の一例を表す図である。

[図9]比較例に係るスイッチ素子におけるI-V特性の一例を表す図である。

[図10]比較例に係るメモリセルにおけるI-V特性の一例を表す図である。

[図11]比較例に係るスイッチ素子におけるI-V特性の一例を表す図である。

[図12]比較例に係るメモリセルにおけるI-V特性の一例を表す図である。

[図13]図1のスイッチ素子におけるI-V特性の一例を表す図である。

[図14]図1のメモリセルにおけるI-V特性の一例を表す図である。

[図15A]図2Aのスイッチ素子の断面構成の一変形例を表す図である。

[図15B]図2Bのスイッチ素子の断面構成の一変形例を表す図である。

[図16A]図2Aのスイッチ素子の断面構成の一変形例を表す図である。

[図16B]図2Bのスイッチ素子の断面構成の一変形例を表す図である。

[図17]図2A、図2Bのスイッチ素子の断面構成の一変形例を表す図である。
。

[図18A]試料O1のI-V特性の一例を表す図である。

[図18B]試料O2のI-V特性の一例を表す図である。

[図18C]試料O3のI-V特性の一例を表す図である。

発明を実施するための形態

[0013] 以下、開示を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態

スイッチ層が2層で構成されている例

2. 変形例

変形例A：スイッチ層内に拡散抑制層を設けた例

変形例B：スイッチ層を3つ以上の層で構成した例

変形例C：スイッチ層内の組成比が積層方向にグラデーションを有する例

変形例D：メモリ層のバリエーション

変形例E：スイッチ素子とメモリ素子の接続方法のバリエーション

変形例F：ビット線またはワード線が積層方向に延在している例

3. 実施例

[0014] <1. 実施の形態>

図1は、本開示の一実施の形態に係るメモリセルアレイ1の斜視構成を表したものである。メモリセルアレイ1は、本開示の「記憶装置」の一具体例に相当する。メモリセルアレイ1は、所謂クロスポイントアレイ構造を備えており、例えば、図1に示したように、各ワード線WLと各ビット線BLとが互いに対向する位置（クロスポイント）に1つずつ、メモリセル10を備えている。つまり、メモリセルアレイ1は、複数のワード線WLと、複数のビット線BLと、クロスポイントごとに1つずつ配置された複数のメモリセル10とを備えている。メモリセル10は、本開示の「メモリセル」の一具体例に相当する。ワード線WLおよびビット線BLは、本開示の「第1配線」「第2配線」の一具体例に相当する。

[0015] 各ワード線WLは、互いに共通の方向に延在している。各ビット線BLは、ワード線WLの延在方向とは異なる方向（例えば、ワード線WLの延在方向と直交する方向）であって、かつ互いに共通の方向に延在している。複数のワード線WLは、1または複数の層内に配置されており、例えば、図1に示したように、複数の階層に分かれて配置されている。複数のビット線BLは、1または複数の層内に配置されており、例えば、図1に示したように、複数の階層に分かれて配置されている。

[0016] 複数のワード線WLが複数の階層に分かれて配置されている場合、複数のワード線WLが配置された第1の層と、複数のワード線WLが配置された、第1の層に隣接する第2の層との間の層内に、複数のビット線BLが配置されている。複数のビット線BLが複数の階層に分かれて配置されている場合、複数のビット線BLが配置された第3の層と、複数のビット線BLが配置された、第3の層に隣接する第4の層との間の層内に、複数のワード線WLが配置されている。複数のワード線WLが複数の階層に分かれて配置される

とともに、複数のビット線BLが複数の階層に分かれて配置されている場合、複数のワード線WLおよび複数のビット線BLは、メモリセルアレイ1の積層方向において交互に配置されている。

[0017] (メモリセル10)

メモリセルアレイ1は、基板上に2次元もしくは3次元配置された複数のメモリセル10を備えている。基板は、例えば、各ワード線WLおよび各ビット線BLと電氣的に接続された配線群や、その配線群と外部回路とを連結するための回路などを有している。メモリセル10は、メモリ素子30と、メモリ素子30に直接接続されたスイッチ素子20とを含んで構成されている。スイッチ素子20は、本開示の「スイッチ素子」の一具体例に相当する。メモリ素子30は、本開示の「メモリ素子」の一具体例に相当する。

[0018] 例えば、メモリ素子30がワード線WL寄りに配置され、スイッチ素子20がビット線BL寄りに配置されている。なお、メモリ素子30がビット線BL寄りに配置され、スイッチ素子20がワード線WL寄りに配置されていてもよい。また、ある層内において、メモリ素子30がワード線WL寄りに配置され、スイッチ素子20がビット線BL寄りに配置されている場合に、その層に隣接する層内において、メモリ素子30がビット線BL寄りに配置され、スイッチ素子20がワード線WL寄りに配置されていてもよい。また、各層において、メモリ素子30がスイッチ素子20上に形成されていてもよいし、その逆に、スイッチ素子20がメモリ素子30上に形成されていてもよい。

[0019] 次に、スイッチ素子20およびメモリ素子30について説明する。図2A、図2Bは、スイッチ素子20の断面構成の一例を表したものである。図3A、図3Bは、メモリ素子30の断面構成の一例を表したものである。図4～図7は、メモリセル10の断面構成の一例を表したものであり、スイッチ素子20およびメモリ素子30の組み合わせの一例を表したものである。

[0020] (スイッチ素子20)

スイッチ素子20は、第1電極21と、第1電極21に対向配置された第

2電極23と、第1電極21と第2電極23との間に設けられたスイッチ層22とを有している。第1電極21および第2電極23は、本開示の「第1電極」「第2電極」の一具体例に相当する。第1電極21は、図2A、図2Bに示したようにビット線BLまたはワード線WLを兼ねていてもよいし、ビット線BLおよびワード線WLとは別体で設けられていてもよい。第1電極21がビット線BLおよびワード線WLとは別体で設けられている場合には、第1電極21は、ビット線BLまたはワード線WLと電氣的に接続されている。第2電極23は、メモリ素子30の電極を兼ねていてもよいし、メモリ素子30の電極とは別体で設けられていてもよい。第2電極23がメモリ素子30の電極とは別体で設けられている場合には、第2電極23は、メモリ素子30の電極と電氣的に接続されている。

[0021] 第1電極21および第2電極23は、例えば、半導体プロセスに用いられる配線材料によって構成されている。第1電極21および第2電極23は、例えば、タングステン(W)、窒化タングステン(WN)、窒化チタン(TiN)、炭素(C)、銅(Cu)、アルミニウム(Al)、モリブデン(Mo)、タンタル(Ta)、窒化タンタル(TaN)、またはシリサイド等により構成されている。第1電極21または第2電極23がCu等の電界でイオン伝導が生じる可能性のある材料により構成されている場合には、Cu等よりなる第1電極21または第2電極23の表面が、イオン伝導や熱拡散しにくいバリア性の材料で被覆されていてもよい。イオン伝導や熱拡散しにくいバリア性の材料としては、例えば、タングステン(W)、窒化タングステン(WN)、窒化チタン(TiN)、または窒化タンタル(TaN)、チタニウムタングステン(TiW)、窒化チタニウムタングステン(TiWN)等が挙げられる。

[0022] 第2電極23は、電界の印加によってスイッチ層22またはイオン源層32B(後述)に含まれるカルコゲン元素が拡散することを防ぐ材料によって構成されていることが好ましい。これは、例えば、イオン源層32Bにはメモリ動作し書き込み状態を保持させる元素として遷移金属元素が含まれてい

る場合があり、その場合には、遷移金属元素が電界の印加によってスイッチ層 22 に拡散するとスイッチ特性が劣化する虞があるためである。また、第 1 電極 21 は、電界の印加によってスイッチ層 22 に含まれるカルコゲン元素が拡散することを防ぐ材料によって構成されていることが好ましい。

[0023] これは、スイッチ層 22 に含まれ得るカルコゲン元素の 1 つである T e は、A l、C u等を主とした一般的な半導体回路に用いられる電極材料と接すると、反応、あるいは合金化しやすく、そのような反応が起こることでスイッチ素子 20 の特性が著しく劣化するためである。従って、第 1 電極 21 および第 2 電極 23 のうち少なくとも一方の電極は、遷移金属元素の拡散およびイオン伝導を防止するバリア性を有するバリア材料を含んで構成されていることが好ましい。バリア材料としては、例えば、タングステン (W)、窒化タングステン (W N)、窒化チタン (T i N)、炭素 (C)、タンタル (T a)、窒化タンタル (T a N)、チタンタングステン (T i W)、窒化チタンタングステン (T i W N) 等が挙げられる。なお、第 1 電極 21 または第 2 電極 23 の全てが、遷移金属元素の拡散およびイオン伝導を防止するバリア性を有するバリア材料によって構成されている必要はない。例えば、第 1 電極 21 または第 2 電極 23 のうち、スイッチ層 22 に接する部分だけが、遷移金属元素の拡散およびイオン伝導を防止するバリア性を有するバリア材料によって構成されていてもよい。

[0024] スwitch層 22 は、周期律表第 16 族の元素、具体的には、テルル (T e)、セレン (S e) および硫黄 (S) から選ばれる少なくとも 1 種のカルコゲン元素を含んで構成されている。O T S 現象を有するスイッチ素子 20 では、スイッチングのための電圧バイアスを印加してもスイッチ層 22 はアモルファス構造を維持して相変化しないことが好ましく、アモルファス構造が安定であるほど、安定して O T S 現象を生じさせることができる。スイッチ層 22 は、上記カルコゲン元素のほかに、ホウ素 (B)、炭素 (C) およびケイ素 (S i) から選ばれる少なくとも 1 種の付随元素をさらに含んで構成されていることが好ましい。スイッチ層 22 は、さらに、窒素 (N) を含ん

で構成されていることがより好ましい。スイッチ層22は、BTe、CTe、BCTe、CSiTe、BSiTe、BCSiTe、BTeN、CTeN、BCTeN、CSiTeN、BSiTeN、BCSiTeNのうちのいずれかの組成を含んで構成されていることが好ましい。

[0025] 比較的原子半径の大きな元素に比較的原子半径の小さな元素が添加されると、構成元素の原子半径の差が大きくなり、結晶構造を形成することが容易ではなくなるので、アモルファス構造が安定化しやすくなる。よって、スイッチ層22のように、原子半径の比較的大きなTe等のカルコゲン元素を含む層内に比較的原子半径の小さなホウ素(B)等の元素が添加されている場合には、層内には原子半径の異なる複数の元素が存在することとなり、アモルファス構造が安定化する。

[0026] ホウ素(B)では、半金属のなかでも特に単体でも導電性が低いので、スイッチ層22内にホウ素(B)が含まれることにより、スイッチ層22の抵抗値が高くなる。また、ホウ素(B)では、カルコゲン元素と比較して原子半径が小さいので、スイッチ層22内にホウ素(B)が含まれることにより、スイッチ層22のアモルファス構造が安定化し、OTS現象が安定して発現する。

[0027] 炭素(C)は、グラファイト等で見られるsp²軌道をとる構造以外では、スイッチ層22を高抵抗化することができる。また、炭素(C)では、カルコゲン元素と比較してイオン半径が小さいので、スイッチ層22のアモルファス構造が安定化し、OTS現象が安定して発現する。

[0028] 窒素(N)は、ホウ素(B)、炭素(C)、またはケイ素(Si)と結合する。そのため、スイッチ層22内に、窒素(N)と、ホウ素(B)、炭素(C)、またはケイ素(Si)とがスイッチ層22に含まれることにより、スイッチ層22の抵抗値が高くなる。例えば、窒素(N)とホウ素(B)とが結合したa-BNのバンドギャップは、アモルファス状態でも5.05eVとなっている。このように、スイッチ層22内に、窒素(N)が含まれている場合には、スイッチ層22内に窒素(N)が含まれていない場合と比べて、

スイッチ層 2 2 の抵抗値が大きいので、リーク電流が抑制される。また、窒素（N）と、ホウ素（B）、炭素（C）、またはケイ素（Si）との結合物がスイッチ層 2 2 内に分散することにより、アモルファス構造が安定化する。

[0029] スwitch層 2 2 は、アモルファス相と結晶相との相変化を伴うことなく、印加電圧を所定の閾値電圧（スイッチング閾値電圧）以上に上げることでより低抵抗状態に変化し、印加電圧を上記の閾値電圧（スイッチング閾値電圧）より低い電圧に下げることにより高抵抗状態に変化するものである。即ち、スイッチ層 2 2 は、図示しない電源回路（パルス印加手段）から第 1 電極 2 1 および第 2 電極 2 3 を介した電圧パルスあるいは電流パルスの印加によって、スイッチ層 2 2 の相変化を生じないものである。また、スイッチ層 2 2 は、電圧印加によるイオンの移動によって形成される伝導パスが印加電圧消去後も維持される等のメモリ動作をしないものである。

[0030] スwitch層 2 2 は、双方向スイッチとして機能するようになっている。スイッチ層 2 2 は、第 1 電極 2 1 の電圧が第 2 電極 2 3 の電圧よりも高くなる第 1 電圧が第 1 電極 2 1 および第 2 電極 2 3 間に印加されたときに、第 1 電圧の絶対値が第 1 閾値電圧以上に上がることでより低抵抗状態に変化し、第 1 電圧の絶対値が第 1 閾値電圧より低い電圧に下がることでより高抵抗状態に変化するようになっている。スイッチ層 2 2 は、さらに、第 2 電極 2 3 の電圧が第 1 電極 2 1 の電圧よりも高くなる第 2 電圧が第 1 電極 2 1 および第 2 電極 2 3 間に印加されたときに、第 2 電圧の絶対値が第 2 閾値電圧以上に上がることでより低抵抗状態に変化し、第 2 電圧の絶対値が第 2 閾値電圧より低い電圧に下がることでより高抵抗状態に変化するようになっている。

[0031] スwitch層 2 2 は、メモリセル 1 0 を低抵抗化する書き込み電圧 V_w がメモリセル 1 0 に印加されたときの、第 1 電極 2 1 および第 2 電極 2 3 間の第 3 電圧の絶対値が第 3 閾値電圧以上に上がることでより低抵抗状態に変化し、第 3 電圧の絶対値が第 3 閾値電圧より低い電圧に下がることでより高抵抗状態に変化するようになっている。スイッチ層 2 0 は、メモリセル 1 0 を高

抵抗化する消去電圧 V_r がメモリセル 10 に印加されたときの、第 1 電極 21 および第 2 電極 23 間の第 4 電圧の絶対値が第 4 閾値電圧以上に上がることで、低抵抗状態に変化し、第 4 電圧の絶対値が第 4 閾値電圧より低い電圧に下がることで、高抵抗状態に変化している。

[0032] スイッチ層 22 では、メモリセル 10 へのデータ書き込みが行われる時（以下、「書き込み時」と称する。）の $I-V$ 特性と、メモリセル 10 へ書き込まれたデータの消去が行われる時（以下、「消去時」と称する。）の $I-V$ 特性とが互いに異なっている。具体的には、スイッチ層 22 では、書き込み時の閾値電圧 V_{th1} （第 3 閾値電圧）の絶対値と、消去時の閾値電圧 V_{th2} （第 4 閾値電圧）の絶対値とが互いに異なっている。つまり、スイッチ層 22 は、書き込み時と消去時とで $I-V$ 特性（具体的には閾値電圧）が互いに異なる非対称性を有している。

[0033] スイッチ層 22 では、第 1 電極 21 寄りの第 1 領域 22 α と、第 1 領域 22 α と比べて第 2 電極 23 寄りの第 2 領域 22 β とにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。スイッチ層 22 では、さらに、第 1 領域 22 α と第 2 領域 22 β とにおいて、上述の付随元素の組成比、または、上述の付随元素の種類が互いに異なっている。

[0034] スイッチ層 22 では、第 1 閾値電圧の絶対値と、第 2 閾値電圧の絶対値とが互いに異なるように、第 1 領域 22 α と第 2 領域 22 β とにおいて、カルコゲン元素の組成比、または、カルコゲン元素やその他の成分元素の種類が互いに異なっている。具体的には、スイッチ層 22 では、書き込み時の閾値電圧 V_{th1} （第 3 閾値電圧）の絶対値と、消去時の閾値電圧 V_{th2} （第 4 閾値電圧）の絶対値とが互いに異なるように、第 1 領域 22 α と第 2 領域 22 β とにおいて、カルコゲン元素の組成比、または、カルコゲン元素やその他の成分元素の種類が互いに異なっている。より具体的には、スイッチ層 22 では、消去時の閾値電圧 V_{th2} （第 4 閾値電圧）の絶対値が書き込み時の閾値電圧 V_{th1} （第 3 閾値電圧）の絶対値よりも大きくなるように、

第1領域22 α と第2領域22 β とにおいて、カルコゲン元素の組成比、または、カルコゲン元素やその他の成分元素の種類が互いに異なっている。

[0035] 抵抗変化層32Aがイオン源層32Bよりもスイッチ素子20寄りの位置に設けられている場合には、第1領域22 α および第2領域22 β のうち、カルコゲン元素の組成比が相対的に小さい方（第1領域22 α ）が、メモリ素子30から離れた位置に配置されている（図4、図7参照）。また、抵抗変化層32Aがイオン源層32Bよりもスイッチ素子20から離れた位置に設けられている場合には、第1領域22 α および第2領域22 β のうち、カルコゲン元素の組成比が相対的に小さい方（第2領域22 β ）が、メモリ素子30寄りの位置に配置されている（図5、図6参照）。

[0036] 第1領域22 α が、第1電極21および第2電極23のうち、消去時に電位の高い方の電極寄りの領域であるとする（図4、図7参照）。このとき、テルル（Te）、セレン（Se）および硫黄（S）から選ばれる少なくとも1種のカルコゲン元素の組成比が、第1領域22 α において相対的に小さく、第2領域22 β において相対的に大きくなっている。さらに、ホウ素（B）、炭素（C）およびケイ素（Si）から選ばれる少なくとも1種の付随元素の組成比が、第1領域22 α において相対的に大きく、第2領域22 β において相対的に小さくなっている。スイッチ層22が、例えば、テルル（Te）およびホウ素（B）を含んで構成されているとする。このとき、テルル（Te）の組成比が、第1領域22 α において相対的に小さく、第2領域22 β において相対的に大きくなっており、ホウ素（B）の組成比が、第1領域22 α において相対的に大きく、第2領域22 β において相対的に小さくなっている。

[0037] 第2領域22 β が、第1電極21および第2電極23のうち、消去時に電位の高い方の電極寄りの領域であるとする（図5、図6参照）。このとき、テルル（Te）、セレン（Se）および硫黄（S）から選ばれる少なくとも1種のカルコゲン元素の組成比が、第2領域22 β において相対的に小さく、第1領域22 α において相対的に大きくなっている。さらに、ホウ素（B

）、炭素（C）およびケイ素（Si）から選ばれる少なくとも1種の付随元素の組成比が、第2領域22 β において相対的に大きく、第1領域22 α において相対的に小さくなっている。スイッチ層22が、例えば、テルル（Te）およびホウ素（B）を含んで構成されているとする。このとき、テルル（Te）の組成比が、第2領域22 β において相対的に小さく、第1領域22 α において相対的に大きくなっており、ホウ素（B）の組成比が、第2領域22 β において相対的に大きく、第1領域22 α において相対的に小さくなっている。

[0038] スイッチ層22は、例えば、図2A、図2Bに示したように、積層された2つの層（第1層22A、第2層22B）を有している。第1層22Aと第2層22Bとにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。さらに、第1層22Aと第2層22Bとにおいて、上述の付随元素の組成比、または、上述の付随元素の種類が互いに異なっている。

[0039] 第1閾値電圧の絶対値と、第2閾値電圧の絶対値とが互いに異なるように、第1層22Aと第2層22Bとにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。具体的には、書き込み時の閾値電圧 V_{th1} （第3閾値電圧）の絶対値と、消去時の閾値電圧 V_{th2} （第4閾値電圧）の絶対値とが互いに異なるように、第1層22Aと第2層22Bとにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。より具体的には、消去時の閾値電圧 V_{th2} （第4閾値電圧）の絶対値が書き込み時の閾値電圧 V_{th1} （第3閾値電圧）の絶対値よりも大きくなるように、第1層22Aと第2層22Bとにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。

[0040] 抵抗変化層32Aがイオン源層32Bよりもスイッチ素子20寄りの位置に設けられている場合には、第1層22Aおよび第2層22Bのうち、カルコゲン元素の組成比が相対的に小さい方（第1層22A）が、メモリ素子3

0から離れた位置に配置されている（図4、図7参照）。また、抵抗変化層32Aがイオン源層32Bよりもスイッチ素子20から離れた位置に設けられている場合には、第1層22Aおよび第2層22Bのうち、カルコゲン元素の組成比が相対的に小さい方（第1層22A）が、メモリ素子30寄りの位置に配置されている（図5、図6参照）。このとき、第1層22Aは、第1電極21および第2電極23のうち、消去時に電位の高い方の電極寄りに設けられており、第2層22Bは、第1電極21および第2電極23のうち、消去時に電位の低い方の電極寄りに設けられている（図4～図7参照）。テルル（Te）、セレン（Se）および硫黄（S）から選ばれる少なくとも1種のカルコゲン元素の組成比が、第1層22Aにおいて相対的に小さく、第2層22Bにおいて相対的に大きくなっている。さらに、ホウ素（B）、炭素（C）およびケイ素（Si）から選ばれる少なくとも1種の付随元素の組成比が、第1層22Aにおいて相対的に大きく、第2層22Bにおいて相対的に小さくなっている。第1層22Aおよび第2層22Bが、例えば、テルル（Te）およびホウ素（B）を含んで構成されているとする。このとき、テルル（Te）の組成比が、第1層22Aにおいて相対的に小さく、第2層22Bにおいて相対的に大きくなっており、ホウ素（B）の組成比が、第1層22Aにおいて相対的に大きく、第2層22Bにおいて相対的に小さくなっている。

[0041] （メモリ素子30）

メモリ素子30は、第3電極31と、第3電極31に対向配置された第4電極33と、第3電極31および第4電極33の間に設けられたメモリ層32とを有している。メモリ素子は、双方向抵抗変化メモリである。メモリ層32は、抵抗変化層32Aおよびイオン源層32Bが積層された積層構造によって構成されている。

[0042] イオン源層32Bは、電界の印加によって抵抗変化層32A内に伝導パスを形成する可動元素を含んでいる。この可動元素は、例えば、遷移金属元素、アルミニウム（Al）、銅（Cu）、またはカルコゲン元素である。カル

コゲン元素としては、例えば、テルル (Te)、セレン (Se)、または硫黄 (S) が挙げられる。遷移金属元素としては、周期律表第4族～第6族の元素であり、例えば、チタン (Ti)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、モリブデン (Mo)、またはタングステン (W) などが挙げられる。イオン源層32Bは、上記可動元素を1種あるいは2種以上含んで構成されている。また、イオン源層32Bは、酸素 (O)、窒素 (N)、上記可動元素以外の元素 (例えば、マンガン (Mn)、コバルト (Co)、鉄 (Fe)、ニッケル (Ni)、または白金 (Pt))、またはケイ素 (Si) 等を含んでいてもかまわない。

[0043] 抵抗変化層32Aは、例えば、金属元素もしくは非金属元素の酸化物、または、金属元素もしくは非金属元素の窒化物によって構成されており、第3電極31および第4電極33の間に所定の電圧を印加した場合に抵抗変化層32Aの抵抗値が変化するものである。抵抗変化層32Aは、例えば、アルミニウム (Al) を含む酸化物層である。例えば、第3電極31および第4電極33の間に電圧が印加されると、イオン源層32Bに含まれる遷移金属元素が抵抗変化層32A内に移動して伝導パスが形成され、これにより抵抗変化層32Aが低抵抗化する。また、抵抗変化層32A内で酸素欠陥や窒素欠陥等の構造欠陥が生じて伝導パスが形成され、抵抗変化層32Aが低抵抗化する。また、抵抗変化層32Aが低抵抗化するときに印加される電圧の向きとは逆方向の電圧が印加されることによって、伝導パスが切断されるか、または導電性が変化し、抵抗変化層32Aは高抵抗化する。

[0044] なお、抵抗変化層32Aに含まれる金属元素および非金属元素は必ずしも全てが酸化物の状態でなくてもよく、一部が酸化されている状態であってもよい。また、抵抗変化層32Aの初期抵抗値は、例えば数MΩから数百GΩ程度の素子抵抗が実現できればよく、素子の大きさやイオン源層32Bの抵抗値によってもその最適値が変化するが、その膜厚は例えば1nm～10nm程度が好ましい。

[0045] 第3電極31は、図4～図7に示したようにスイッチ素子20の電極を兼ねていてもよいし、スイッチ素子20の電極とは別体で設けられていてもよい。第4電極33は、ワード線WLまたはビット線BLを兼ねていてもよいし、ワード線WLおよびビット線BLとは別体で設けられていてもよい。第4電極33がワード線WLおよびビット線BLとは別体で設けられている場合には、第4電極33は、ワード線WLまたはビット線BLと電氣的に接続されている。

[0046] 次に、比較例を参照しつつ、本実施の形態のメモリセルアレイ1の動作について説明する。

[0047] 図8は、メモリ素子30に印加される電圧および電流の関係の一例を表したものである。図9は、比較例に係るスイッチ素子120に印加される電圧および電流の関係の一例を表したものである。図10は、図8のメモリ素子30および図9のスイッチ素子120を備えたメモリセル110に印加される電圧および電流の関係の一例を表したものである。図11は、比較例に係るスイッチ素子220に印加される電圧および電流の関係の一例を表したものである。図12は、図8のメモリ素子30および図11のスイッチ素子220を備えたメモリセル210に印加される電圧および電流の関係の一例を表したものである。図13は、スイッチ素子20に印加される電圧および電流の関係の一例を表したものである。図14は、図8のメモリ素子30および図13のスイッチ素子20を備えたメモリセル10に印加される電圧および電流の関係の一例を表したものである。なお、本開示のスイッチ素子20、メモリ素子30およびメモリセル10は、ここで例としている電圧や電流値に限定されるものではない。

[0048] 図8からわかるように、メモリ素子30では、順バイアス（書き込み電圧）の増加に伴って電流値が上昇し、所定の書き込み電圧（例えば、およそ3.5V程度）において抵抗変化層32Aにおける伝導パスの形成による書き込み動作が行われ、メモリ層32が低抵抗状態へと変化して電流が増大する。即ち、メモリ素子30は、書き込み電圧の印加によって低抵抗状態となり

、この低抵抗状態は印加電圧停止後も維持される。

[0049] スイッチ素子120に書き込み電圧が印加されると、スイッチ素子120では、書き込み電圧の増加に伴って電流が上昇し、所定の閾値電圧 V_{th1} （例えば、4V程度）を超えるとOTS動作により急激に電流が増大、あるいは抵抗が低くなり、オン状態となる。この後、書き込み電圧を減少させていくと、スイッチ素子120の電極に流れる電流値は徐々に減少する。例えば、スイッチ素子120を構成する材料および形成条件にもよるが、増加時とほぼ同等の閾値電圧で急激に抵抗が上昇してオフ状態となる。

[0050] メモリセル110の書き込み電圧の印加開始および停止における電流値のスイッチング挙動は、図9のスイッチ素子120および図8のメモリ素子30のIV曲線を合わせたIV曲線となる（図10参照）。このようなメモリセル110では、例えば、 $V/2$ バイアス方式において、メモリセル110の読み出し電圧（ V_{read} ）がIV曲線上の急激に抵抗変化する閾値よりも大きな電圧に設定され、 $V_{read}/2$ が抵抗変化する閾値よりも小さい電圧に設定される。これにより、 V_{read} バイアスと $V_{read}/2$ バイアスとの電流比で定義される選択比（オン／オフ比）が大きくなる。また、上記のように、メモリセル110のIV曲線は、スイッチ素子120のIV曲線と、メモリ素子30のIV曲線とを合わせたものであるもので、スイッチ素子120の閾値前後の抵抗変化（あるいは電流変化）が大きいほど選択比（オン／オフ比）が大きくなる。また、上記のように、メモリセル110のIV曲線は、スイッチ素子120のIV曲線と、メモリ素子30のIV曲線とを合わせたものであるもので、スイッチ素子120の閾値前後の抵抗変化（あるいは電流変化）が大きいほど選択比（オン／オフ比）が大きくなる。また、選択比が大きければ大きいほど読み出しマージンが大きくなるため、誤読み出しすることなくクロスポイントアレイサイズを大きくすることが可能となり、メモリセルアレイの更なる大容量化が可能となる。

[0051] これは、読み出し動作だけでなく、書き込み動作についても同様である。クロスポイントアレイでは、対象のメモリセル110と同じビット線BLあ

るいはワード線WLに多数のビットが接続されている。このため、図10に示したように、 $V_{write}/2$ と $I-V$ 曲線の点線のSet状態の $I-V$ ループの交点で示される、 $V_{write}/2$ にバイアスされた非選択時のリーク電流が大きいと、非選択のメモリセル110で誤書き込みを生じる虞がある。よって、書き込み動作では、メモリ素子30を書き込む際に必要な電流が得られる電圧（例えば、およそ6Vよりも大きな電圧）に書き込み電圧 V_{write} が設定されたうえで、 $V_{write}/2$ にバイアスされた非選択のメモリセル110が誤書き込みを生じない程度のリーク電流に抑えることが好ましい。即ち、 $V_{write}/2$ にバイアスされた非選択時のリーク電流が小さければ小さいほど、大規模なクロスポイントアレイを誤書き込みなく動作させることができる。従って、書き込み動作時もスイッチ素子のオン/オフ比を大きくすることが、メモリセルアレイの大容量化につながる。

[0052] 一方、逆バイアス（ここでは消去電圧）が印加されると、スイッチ素子120の消去電圧印加時における電流値の変化は、書き込み電圧を印加した際と同様の挙動を示す（図9の $I-V$ 曲線）。これに対して、メモリ素子30の消去電圧印加時における電流値の変化は、消去閾値電圧（例えば、およそ2～3V程度）以上の電圧印加によって、低抵抗状態から高抵抗状態へと変化する（図8の $I-V$ 曲線）。更に、メモリセル110の消去電圧印加時における電流値の変化は、書き込み電圧印加時と同様に、スイッチ素子120の $I-V$ 曲線とメモリ素子30の $I-V$ 曲線とを合わせたものとなる（図10の $I-V$ 曲線）。

[0053] ところで、メモリ素子30が低抵抗状態から高抵抗状態への遷移が生じて消去動作が行われた後、さらに大きな消去電圧を印加していく場合、高抵抗状態のメモリセル110にスイッチ素子120の閾値電流以上の電流が流れるとスイッチ素子120が再度スイッチして高抵抗状態から低抵抗状態へと遷移する。このとき、スイッチ素子120には保持電圧の電圧が分圧され、それ以外の電圧はメモリ素子30に印加される。この再スイッチにより、メモリ素子30に過大な電圧が印加される。正方向と負方向でスイッチ素子1

20の1V特性が対称であり、メモリ素子30の高抵抗状態の抵抗値も正方向と負方向で対称であり、メモリ素子30の抵抗変化閾値電流が十分に大きいなどの条件では、理論的には正方向のスイッチ電圧と、負方向の再スイッチ電圧は等しくなる。そのため、図10に示したように、消去電圧がおよそ6Vで消去動作後の再スイッチが起こる。このときに、メモリ素子30の逆方向耐圧が、再スイッチ電圧から保持電圧を引いた電圧値よりも小さい場合には、メモリ素子30に過大な電圧がかかるので、メモリ素子30が破壊される。また、図10に示したように、消去が完了する電圧がおよそ5Vであり、再スイッチする電圧はおよそ6Vであり、そのマージンMGは1Vと小さい。メモリ素子30の消去が完了する電圧には、一般的にばらつきが生じやすい。そのため、マージンMGが十分に大きくなければ、メモリ素子30を完全に消去し高抵抗化する電圧の設定が困難となり、書き込みと消去の安定的な繰り返し動作が困難となる。

[0054] 次に、図11のスイッチ素子220について説明する。図11のスイッチ素子220では、図9のスイッチ素子120と比べて、閾値電圧、閾値電流が大きくなっている。書き込み電圧を印加する際に、スイッチ素子220の閾値電圧が大きく、同時に閾値電流が大きいので、メモリセル210の閾値電圧はおよそ8Vとなる（図12）。消去電圧を印加したときには、図10に記載の挙動と同様の挙動を示し、スイッチ素子220の閾値電圧、閾値電流に達すると、スイッチ素子220がスイッチし、その結果、メモリ素子30に十分な電流・電圧が印加され、メモリ素子30が低抵抗状態から高抵抗状態へと遷移し、メモリ素子30に書き込まれたデータが消去される。消去電圧は、スイッチ素子220の閾値の上昇により、図10のときの消去電圧と比較して大きくなる。

[0055] 消去動作が行われた後、さらに大きな消去電圧を印加していくと、スイッチ素子220で再スイッチが起こる。しかし、その閾値電圧は大きくなるので、メモリセル210としての過消去電圧の耐久性が、8Vに向上する。また、マージンMGも2Vに向上する。そのため、安定に消去できる電圧を設

定しやすくなることから、メモリセル 210 の書き込み・消去動作の信頼性が向上する。この様にスイッチ素子 220 の閾値電圧を増大させることによりメモリ素子 30 の消去が安定化し、メモリセル 210 の書き換え動作の安定化に繋がる。しかし、図 11 のスイッチ素子 220 をメモリセル 210 に用いた場合には、メモリセル 210 の書き込み電圧が大きくなりすぎる。メモリアレイ動作の消費電力を低減して、より高速な動作を実現するには、動作電圧をなるべく低減することが好ましい。

[0056] 一方、本実施の形態のスイッチ素子 20 は、スイッチ素子 120 と同様に、書き込み側において、おおよそ 4 V でスイッチし、消去側においては、5 V でスイッチする。これにより、書き込み電圧が 6 V と低く抑えられると共に、消去側の再スイッチ電圧が 8 V と大きくなる（図 14）。また、消去完了電圧がおおよそ 6 V であり、消去電圧と再スイッチ電圧のマージン MG を大きく取ることができるので、安定な消去動作が実現される。

[0057] 次に、メモリセル 10 において図 14 に示した I-V 特性が発現する原理について説明する。

[0058] 例えば、図 4～図 7 に示したように、メモリ層 32 における、イオン源層 32 B 側の電圧が、抵抗変化層 32 A 側の電圧よりも高くなるように、メモリセル 10 に電圧が印加された場合には、そのような電圧印加により、メモリセル 10 では書き込み動作が行われる。このとき、図 4～図 7 のスイッチ層 22 において、電圧の相対的に高い側の層または領域のスイッチ特性が発現する。従って、図 4、図 7 のスイッチ層 22 における第 2 層 22 B（第 2 領域 22 β ）、または図 5、図 6 のスイッチ層 22 における第 2 層 22 B（第 1 領域 22 α ）のスイッチ特性が発現するので、カルコゲン元素の組成比の大きなスイッチ素子と同様、書き込み側の閾値電圧が小さくなる。

[0059] また、例えば、図 4～図 7 に示したように、メモリ層 32 における、抵抗変化層 32 A 側の電圧が、イオン源層 32 B 側の電圧よりも高くなるように、メモリセル 10 に電圧が印加された場合には、そのような電圧印加により、メモリセル 10 では消去動作が行われる。このとき、図 4～図 7 のスイッ

チ層 22 において、電圧の相対的に高い側の層または領域のスイッチ特性が発現する。従って、図 4、図 7 のスイッチ層 22 における第 1 層 22 A（第 1 領域 22 α ）、または図 5、図 6 のスイッチ層 22 における第 1 層 22 A（第 2 領域 22 β ）のスイッチ特性が発現するので、カルコゲン元素の組成比の小さなスイッチ素子と同様、消去側の閾値電圧が大きくなる。

[0060] なお、ここで示した、メモリ素子 30 の書き込みおよび消去電圧はあくまでも一例であり、例えば、0.2 V～5 V 程度の値をとることができる。同様に、スイッチ素子 20 のスイッチ閾値電圧も 0.5 V～5 V 程度の値をとることができる。これによりメモリセル 10 の書き込み消去電圧も任意に調整することができるが、本開示では、ここまで説明したように、正・負バイアス方向で異なるスイッチ閾値電圧を異なる構成とすることで、メモリセル 10 の動作を安定させることができる。

[0061] 次に、本実施の形態のメモリセルアレイ 1 の効果について説明する。

[0062] 本実施の形態では、スイッチ層 22 における第 1 電極 21 寄りの第 1 領域 22 α と、スイッチ層 22 における第 2 電極 23 寄りの第 2 領域 22 β とにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類が互いに異なっている。これにより、スイッチ層 22 が例えば図 13 に示したような非対称の I-V 特性となるように、第 1 領域 22 α および第 2 領域 22 β とにおいて、カルコゲン元素の組成比、または、カルコゲン元素の種類を設定することができる。その結果、スイッチ素子 20 における、リセット側の閾値電圧を、スイッチ素子 20 における、セット側の閾値電圧よりも大きくすることができる。従って、過消去によるメモリ素子 30 の劣化を抑制し、信頼性の高いメモリ動作を行うことができる。

[0063] <2. 変形例>

以下に、上記実施の形態のメモリセルアレイ 1 の変形例について説明する。なお、以下では、上記実施の形態と共通の構成要素に対しては、上記実施の形態で付されていた符号と同一の符号が付される。また、上記実施の形態と異なる構成要素の説明を主に行い、上記実施の形態と共通の構成要素の説

明については、適宜、省略するものとする。

[0064] [変形例 A]

図 1 5 A、図 1 5 B は、上記実施の形態のスイッチ素子 2 0 の一変形例を表したものである。本変形例では、スイッチ層 2 2 は、第 1 領域 2 2 α と第 2 領域 2 2 β との間で、または、第 1 層 2 2 A と第 2 層 2 2 B との間で、第 1 領域 2 2 α および第 2 領域 2 2 β （または、第 1 層 2 2 A および第 2 層 2 2 B）に含まれるカルコゲン元素やその他の成分元素が拡散するのを抑制する拡散抑制層 2 4 を有している。拡散抑制層 2 4 は、タングステン (W)、モリブデン (Mo)、クロム (Cr)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、チタン (Ti)、ジルコニウム (Zr)、ハフニウム (Hf)、または、これらから選ばれる少なくとも 1 種の元素の窒化物を含んで構成されている。

[0065] メモリセル 1 0 に対して書き込み電圧 V_w や消去電圧 V_r が繰り返し印加されているうちに、第 1 層 2 2 A に含まれるカルコゲン元素が第 2 層 2 2 B に拡散したり、第 2 層 2 2 B に含まれるカルコゲン元素やその他の成分元素が第 1 層 2 2 A に拡散したりすることがある。この場合、第 1 層 2 2 A に含まれるカルコゲン元素の組成比と、第 2 層 2 2 B に含まれるカルコゲン元素の組成比との差が次第に小さくなり、スイッチ層 2 2 が有する I-V 特性の非対称性が損なわれたときには、マージン MG が小さくなってしまう。しかし、本変形例では、拡散抑制層 2 4 が設けられていることにより、そのような可能性を確実に減らすことができる。

[0066] [変形例 B]

図 1 6 A、図 1 6 B は、上記実施の形態および変形例 A のスイッチ素子 2 0 の一変形例を表したものである。上記実施の形態および変形例 A では、スイッチ層 2 2 は、第 1 層 2 2 A および第 2 層 2 2 B が積層された積層構造によって構成されていた。しかし、上記実施の形態および変形例 A において、スイッチ層 2 2 が、第 1 層 2 2 A および第 2 層 2 2 B を含む 3 つ以上の層が積層された積層構造によって構成されていてもよい。例えば、スイッチ層 2

2が、第1層22Aと第2層22Bとの間に第5層25が挿入された3つの層によって構成されていてもよい。このようにした場合であっても、上記実施の形態と同様、過消去によるメモリ素子30の劣化を抑制し、信頼性の高いメモリ動作を行うことができる。

[0067] [変形例C]

図17は、上記実施の形態および変形例Aのスイッチ素子20の一変形例を表したものである。上記実施の形態および変形例Aでは、スイッチ層22は、第1層22Aおよび第2層22Bが積層された積層構造によって構成されていた。しかし、上記実施の形態および変形例Aにおいて、スイッチ層22が、第1領域22 α と第2領域22 β とにおいて、カルコゲン元素の組成比が互いに異なるように構成された単層で構成されていてもよい。ただし、本変形例では、スイッチ層22は、カルコゲン元素の組成比がスイッチ素子20の積層方向において連続的に変化するグラデーション構造となっている。このようにした場合であっても、上記実施の形態と同様、過消去によるメモリ素子30の劣化を抑制し、信頼性の高いメモリ動作を行うことができる。

[0068] [変形例D]

上記実施の形態および変形例A～Cでは、メモリ層32は、抵抗変化層32Aおよびイオン源層32Bが積層された積層構造によって構成されていた。しかし、上記実施の形態および変形例A～Cにおいて、メモリ層32は、そのような構成に限定されるものではなく、例えば、TaO_x、HfO_xまたはTiO_xなどの酸化物を用いた抵抗変化メモリや、GeTeSbなどを用いた相変化メモリ、トンネル磁気抵抗素子を用いたスピントランスポール型MRAM（STT-MRAM）、PCM（相変化メモリ）、カーボンナノチューブもしくはグラフェンなどの炭素材料を用いた抵抗変化メモリであってもよい。

[0069] [変形例E]

上記実施の形態および変形例A～Dでは、スイッチ素子20とメモリ素子

30とが互いに積層されている場合が例示されていた。しかし、上記実施の形態および変形例A～Dにおいて、スイッチ素子20とメモリ素子30との間に、非線形抵抗素子が挟み込まれていてもよい。また、スイッチ素子20とメモリ素子30が電極を共有せずに、別体で形成されていてもよい。

[0070] [変形例F]

上記実施の形態および変形例A～Eにおいて、ワード線WLまたはビット線BLがメモリセルアレイ1の積層方向に延在していてもよい。この場合、各ワード線WLと、各ビット線BLとは、メモリセルアレイ1の積層面内方向において互に対向することになり、各メモリセル10に含まれるスイッチ素子20およびメモリ素子30は、メモリセルアレイ1の積層面内方向に直列に接続されることになる。

[0071] <3. 実施例>

次に、上記実施の形態のメモリセルアレイ1の実施例について、比較例を参照しつつ説明する。

[0072] 3つの試料01～03を作成した。以下に、これらの試料01～03に製造方法について説明する。

[0073] 試料01を以下のようにして製造した。まず、基板上に、TiN層を形成したのち、TiN層の表面に、厚さ20nmのBCTeN層（具体的には $B_{40}C_{13}Te_{17}N_{30}$ 層）を形成した。次に、BCTeN層の表面にW層を形成した。その後、フォトリソグラフィおよびドライエッチングなどの公知の技術を用いて、TiN層、BCTeN層およびW層からなる積層体を選択的にエッチングすることにより、基板上に、比較例に係る複数のスイッチ素子20を形成した。このようにして形成したものを試料01と称する。

[0074] 試料02を以下のようにして製造した。まず、基板上に、TiN層を形成したのち、TiN層の表面に、厚さ10nmの1つ目のBCTeN層（具体的には $B_{40}C_{13}Te_{17}N_{30}$ 層）を形成したのち、続いて、厚さ10nmの2つ目のBCTeN層（具体的には $B_{43}C_{14}Te_7N_{36}$ 層）を形成した。次に、2つ目のBCTeN層の表面にW層を形成した。その後、フォトリソグラ

フィおよびドライエッチングなどの公知の技術を用いて、TiN層、組成比の互いに異なる2つのBCTeN層およびW層からなる積層体を選択的にエッチングすることにより、基板上に、組成比の互いに異なる2つのBCTeN層からなるスイッチ層22を備えた複数のスイッチ素子20を形成した。このようにして形成したものを試料02と称する。

[0075] 試料03を以下のようにして製造した。まず、基板上に、TiN層を形成したのち、TiN層の表面に、厚さ10nmの1つ目のBCTeN層（具体的には $B_{43}C_{14}Te_7N_{36}$ 層）を形成したのち、続いて、厚さ10nmの2つ目のBCTeN層（具体的には $B_{40}C_{13}Te_{17}N_{30}$ 層）を形成した。次に、2つ目のBCTeN層の表面にW層を形成した。その後、フォトリソグラフィおよびドライエッチングなどの公知の技術を用いて、TiN層、組成比の互いに異なる2つのBCTeN層、およびW層からなる積層体を選択的にエッチングすることにより、基板上に、組成比の互いに異なる2つのBCTeN層からなるスイッチ層22を備えた複数のスイッチ素子20を形成した。このようにして形成したものを試料03と称する。

[0076] 試料01～03の各スイッチ素子20のI-V特性を計測し、その結果を図18A、図18B、図18Cに示した。図18Aに試料01のI-V特性を、図18Bに試料02のI-V特性を、図18Cに試料03のI-V特性を示した。なお、各試料01～03において、最上面の電極に正の電圧を印加するとともに、基板側の電極をグラウンド電位にした時に得られたI-V特性を各図の右側のグラフに示した。また、各試料01～03において、最上面の電極をグラウンド電位にするとともに、基板側の電極に負の電圧を印加した時に得られたI-V特性を各図の左側のグラフに示した。

[0077] 図18Aから、スイッチ層全体の組成が概ね均一となっている場合には、正バイアス時のスイッチ電圧と、負バイアス時のスイッチ電圧とが互いに等しくなっていることがわかった。また、図18Bから、スイッチ層における1つ目のBCTeN層に含まれるTeの組成比が、スイッチ層における2つ目のBCTeN層に含まれるTeの組成比よりも大きくなっている場合には

、負バイアス時のスイッチ電圧の絶対値が、正バイアス時のスイッチ電圧の絶対値よりも小さくなっていることがわかった。また、図18Cから、スイッチ層における1つ目のBCTeN層に含まれるTeの組成比が、スイッチ層における2つ目のBCTeN層に含まれるTeの組成比よりも小さくなっている場合には、負バイアス時のスイッチ電圧の絶対値が、正バイアス時のスイッチ電圧の絶対値よりも大きくなっていることがわかった。以上のことから、スイッチ層において、カルコゲン元素の組成比をスイッチ素子20の積層方向で異ならせることにより、スイッチ層のI-V特性の非対称性を制御することができる。

[0078] 以上、実施の形態およびその変形例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本技術の効果は、本明細書中に記載された効果に限定されるものではない。本技術が、本明細書中に記載された効果以外の効果を持ってもよい。

[0079] また、例えば、本技術は以下のような構成を取ることができる。

(1)

第1電極と、

前記第1電極に対向配置された第2電極と、

前記第1電極と前記第2電極との間に設けられると共に、テルル(Te)、セレン(Se)および硫黄(S)から選ばれる少なくとも1種のカルコゲン元素を含むスイッチ層と

を備え、

前記スイッチ層では、前記第1電極寄りの第1領域と、前記第1領域と比べて前記第2電極寄りの第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

スイッチ素子。

(2)

前記スイッチ層は、さらに、ホウ素(B)、炭素(C)およびケイ素(S

i) から選ばれる少なくとも 1 種の付随元素をさらに含み、

前記スイッチ層では、前記第 1 領域と前記第 2 領域とにおいて、前記付随元素の組成比、または、前記付随元素の種類が互いに異なっている

(1) に記載のスイッチ素子。

(3)

前記スイッチ層は、前記第 1 電極の電圧が前記第 2 電極の電圧よりも高くなる第 1 電圧が前記第 1 電極および前記第 2 電極間に印加されたときに、前記第 1 電圧の絶対値が第 1 閾値電圧以上に上がることで低抵抗状態に変化し、前記第 1 電圧の絶対値が前記第 1 閾値電圧より低い電圧に下がることで高抵抗状態に変化するようにしており、

前記スイッチ層は、前記第 2 電極の電圧が前記第 1 電極の電圧よりも高くなる第 2 電圧が前記第 1 電極および前記第 2 電極間に印加されたときに、前記第 2 電圧の絶対値が第 2 閾値電圧以上に上がることで低抵抗状態に変化し、前記第 2 電圧の絶対値が前記第 2 閾値電圧より低い電圧に下がることで高抵抗状態に変化するようにしており、

前記スイッチ層では、前記第 1 閾値電圧の絶対値と前記第 2 閾値電圧の絶対値とが互いに異なるように、前記第 1 領域と前記第 2 領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

(1) または (2) に記載のスイッチ素子。

(4)

前記スイッチ層は、前記第 1 領域と前記第 2 領域との間で、前記第 1 領域および前記第 2 領域に含まれる前記カルコゲン元素が拡散するのを抑制する拡散抑制層を有する

(1) ないし (3) のいずれか 1 つに記載のスイッチ素子。

(5)

前記拡散抑制層は、タングステン(W)、モリブデン(Mo)、クロム(Cr)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、チタン(Ti)

i)、ジルコニウム (Zr)、ハフニウム (Hf)、または、これらから選ばれる少なくとも1種の元素の窒化物を含んで構成されている

(4)に記載のスイッチ素子。

(6)

複数のメモリセルを備え、

各前記メモリセルは、メモリ素子および前記メモリ素子に直接接続されたスイッチ素子を含み、

前記スイッチ素子は、

第1電極と、

前記第1電極に対向配置された第2電極と、

前記第1電極と前記第2電極との間に設けられると共に、テルル (Te)、セレン (Se) および硫黄 (S) から選ばれる少なくとも1種のカルコゲン元素を含むスイッチ層と

を有し、

前記スイッチ層では、前記第1電極寄りの第1領域と、前記第1領域と比べて前記第2電極寄りの第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

記憶装置。

(7)

前記スイッチ層は、前記メモリセルを低抵抗化する書き込み電圧が前記メモリセルに印加されたときの、前記第1電極および前記第2電極間の第3電圧の絶対値が第3閾値電圧以上に上がることにより低抵抗状態に変化し、前記第3電圧の絶対値が前記第3閾値電圧より低い電圧に下がることにより高抵抗状態に変化するようになっており、

前記スイッチ層は、前記メモリセルを高抵抗化する消去電圧が前記メモリセルに印加されたときの、前記第1電極および前記第2電極間の第4電圧の絶対値が第4閾値電圧以上に上がることにより低抵抗状態に変化し、前記第4電圧の絶対値が前記第4閾値電圧より低い電圧に下がることにより高抵抗

状態に変化するようになっており、

前記スイッチ層では、前記第3閾値電圧の絶対値と前記第4閾値電圧の絶対値とが互いに異なるように、前記第1領域と前記第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

(6)に記載の記憶装置。

(8)

前記スイッチ層では、前記第4閾値電圧の絶対値が前記第3閾値電圧の絶対値よりも大きくなるように、前記第1領域と前記第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

(7)に記載の記憶装置。

(9)

前記メモリ素子は、双方向抵抗変化メモリである

(6)ないし(8)のいずれか1つに記載の記憶装置。

(10)

前記メモリ素子は、

イオンを供給するイオン源層として、銅(Cu)、テルル(Te)、ジルコニウム(Zr)およびアルミニウム(Al)から選ばれる少なくとも1種の元素を含むカルコゲナイド層と、

抵抗変化層として、アルミニウム(Al)を含む酸化物層とを有する

(9)に記載の記憶装置。

(11)

前記抵抗変化層が前記イオン源層よりも前記スイッチ素子寄りの位置に設けられており、

前記第1領域および前記第2領域のうち、前記カルコゲン元素の組成比が相対的に小さい方の領域が、前記メモリ素子から離れた位置に配置されてい

る

(9)に記載の記憶装置。

(12)

前記抵抗変化層が前記イオン源層よりも前記スイッチ素子から離れた位置に設けられており、

前記第1領域および前記第2領域のうち、前記カルコゲン元素の組成比が相対的に小さい方の領域が、前記メモリ素子寄りの位置に配置されている

(9)に記載の記憶装置。

(13)

所定の方向に延在する複数の第1配線と、

前記第1配線と交差する方向に延在する複数の第2配線とをさらに備え、

複数の前記メモリセルは、各前記第1配線と各前記第2配線とが互いに対向する位置に設けられている

(6)ないし(12)のいずれか1つに記載の記憶装置。

[0080] 本出願は、日本国特許庁において2015年3月31日出願された日本特許出願番号第2015-073053号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0081] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1]

第1電極と、
前記第1電極に対向配置された第2電極と、
前記第1電極と前記第2電極との間に設けられると共に、テルル（Te）、セレン（Se）および硫黄（S）から選ばれる少なくとも1種のカルコゲン元素を含むスイッチ層と
を備え、
前記スイッチ層では、前記第1電極寄りの第1領域と、前記第1領域と比べて前記第2電極寄りの第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている
スイッチ素子。

[請求項2]

前記スイッチ層は、さらに、ホウ素（B）、炭素（C）およびケイ素（Si）から選ばれる少なくとも1種の付随元素をさらに含み、
前記スイッチ層では、前記第1領域と前記第2領域とにおいて、前記付随元素の組成比、または、前記付随元素の種類が互いに異なっている
請求項1に記載のスイッチ素子。

[請求項3]

前記スイッチ層は、前記第1電極の電圧が前記第2電極の電圧よりも高くなる第1電圧が前記第1電極および前記第2電極間に印加されたときに、前記第1電圧の絶対値が第1閾値電圧以上に上がることでより低抵抗状態に変化し、前記第1電圧の絶対値が前記第1閾値電圧より低い電圧に下がることでより高抵抗状態に変化するようにしており、
前記スイッチ層は、前記第2電極の電圧が前記第1電極の電圧よりも高くなる第2電圧が前記第1電極および前記第2電極間に印加されたときに、前記第2電圧の絶対値が第2閾値電圧以上に上がることでより低抵抗状態に変化し、前記第2電圧の絶対値が前記第2閾値電圧

より低い電圧に下がることにより高抵抗状態に変化するようになっており、

前記スイッチ層では、前記第1閾値電圧の絶対値と前記第2閾値電圧の絶対値とが互いに異なるように、前記第1領域と前記第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

請求項1に記載のスイッチ素子。

[請求項4] 前記スイッチ層は、前記第1領域と前記第2領域との間で、前記第1領域および前記第2領域に含まれる前記カルコゲン元素が拡散するのを抑制する拡散抑制層を有する

請求項1に記載のスイッチ素子。

[請求項5] 前記拡散抑制層は、タングステン(W)、モリブデン(Mo)、クロム(Cr)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、または、これらから選ばれる少なくとも1種の元素の窒化物を含んで構成されている

請求項4に記載のスイッチ素子。

[請求項6] 複数のメモリセルを備え、
各前記メモリセルは、メモリ素子および前記メモリ素子に直接接続されたスイッチ素子を含み、

前記スイッチ素子は、

第1電極と、

前記第1電極に対向配置された第2電極と、

前記第1電極と前記第2電極との間に設けられると共に、テルル(Te)、セレン(Se)および硫黄(S)から選ばれる少なくとも1種のカルコゲン元素を含むスイッチ層と

を有し、

前記スイッチ層では、前記第1電極寄りの第1領域と、前記第1領

域と比べて前記第2電極寄りの第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

記憶装置。

[請求項7] 前記スイッチ層は、前記メモリセルを低抵抗化する書き込み電圧が前記メモリセルに印加されたときの、前記第1電極および前記第2電極間の第3電圧の絶対値が第3閾値電圧以上に上がることにより低抵抗状態に変化し、前記第3電圧の絶対値が前記第3閾値電圧より低い電圧に下がることにより高抵抗状態に変化するようになっており、

前記スイッチ層は、前記メモリセルを高抵抗化する消去電圧が前記メモリセルに印加されたときの、前記第1電極および前記第2電極間の第4電圧の絶対値が第4閾値電圧以上に上がることにより低抵抗状態に変化し、前記第4電圧の絶対値が前記第4閾値電圧より低い電圧に下がることにより高抵抗状態に変化するようになっており、

前記スイッチ層では、前記第3閾値電圧の絶対値と前記第4閾値電圧の絶対値とが互いに異なるように、前記第1領域と前記第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

請求項6に記載の記憶装置。

[請求項8] 前記スイッチ層では、前記第4閾値電圧の絶対値が前記第3閾値電圧の絶対値よりも大きくなるように、前記第1領域と前記第2領域とにおいて、前記カルコゲン元素の組成比、または、前記カルコゲン元素の種類が互いに異なっている

請求項7に記載の記憶装置。

[請求項9] 前記メモリ素子は、双方向抵抗変化メモリである

請求項6に記載の記憶装置。

[請求項10] 前記メモリ素子は、

イオンを供給するイオン源層として、銅（Cu）、テルル（Te）

、ジルコニウム（Zr）およびアルミニウム（Al）から選ばれる少なくとも1種の元素を含むカルコゲナイド層と、

抵抗変化層として、アルミニウム（Al）を含む酸化物層とを有する

請求項9に記載の記憶装置。

[請求項11] 前記抵抗変化層が前記イオン源層よりも前記スイッチ素子寄りの位置に設けられており、

前記第1領域および前記第2領域のうち、前記カルコゲン元素の組成比が相対的に小さい方の領域が、前記メモリ素子から離れた位置に配置されている

請求項9に記載の記憶装置。

[請求項12] 前記抵抗変化層が前記イオン源層よりも前記スイッチ素子から離れた位置に設けられており、

前記第1領域および前記第2領域のうち、前記カルコゲン元素の組成比が相対的に小さい方の領域が、前記メモリ素子寄りの位置に配置されている

請求項9に記載の記憶装置。

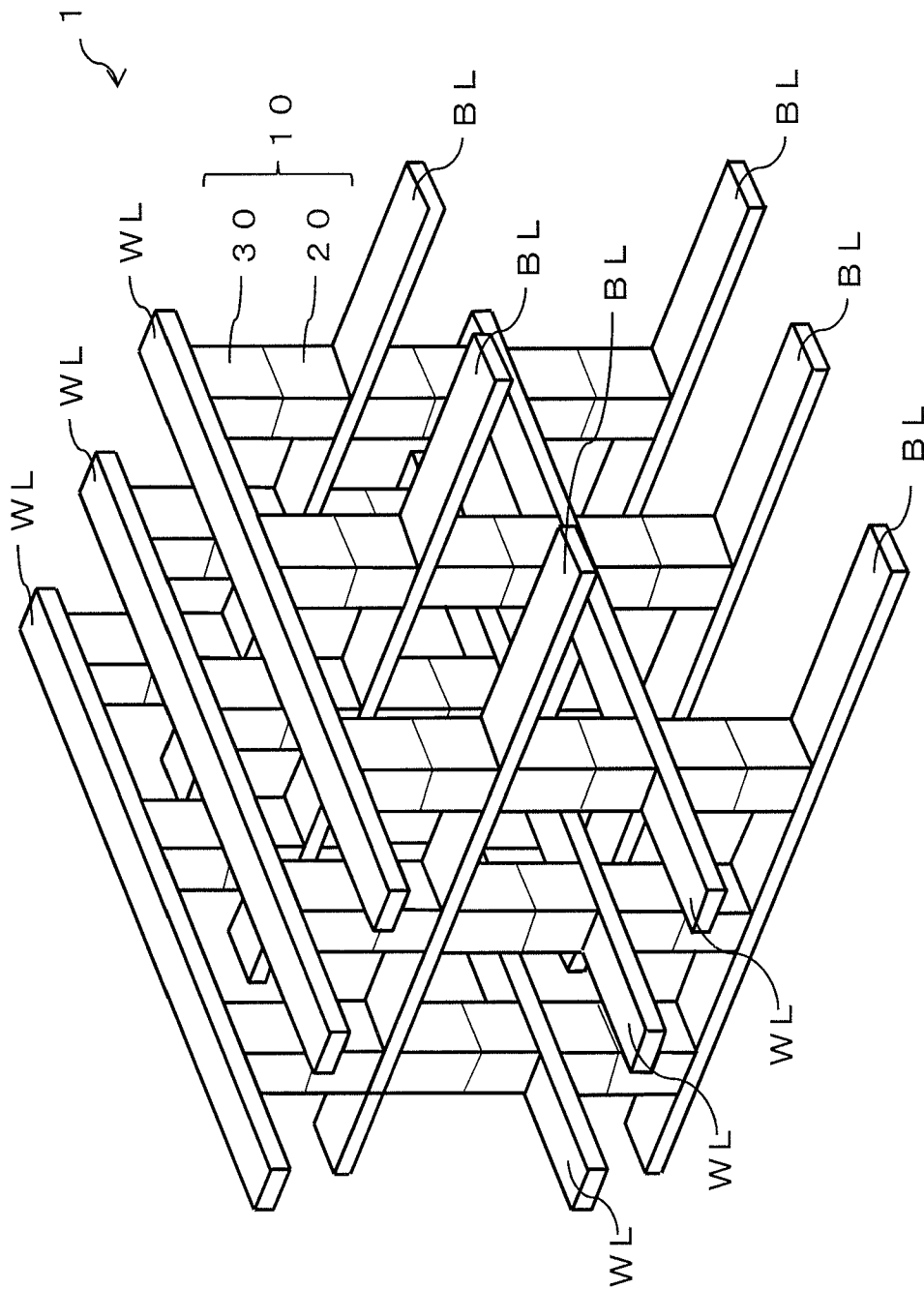
[請求項13] 所定の方に延在する複数の第1配線と、

前記第1配線と交差する方に延在する複数の第2配線とをさらに備え、

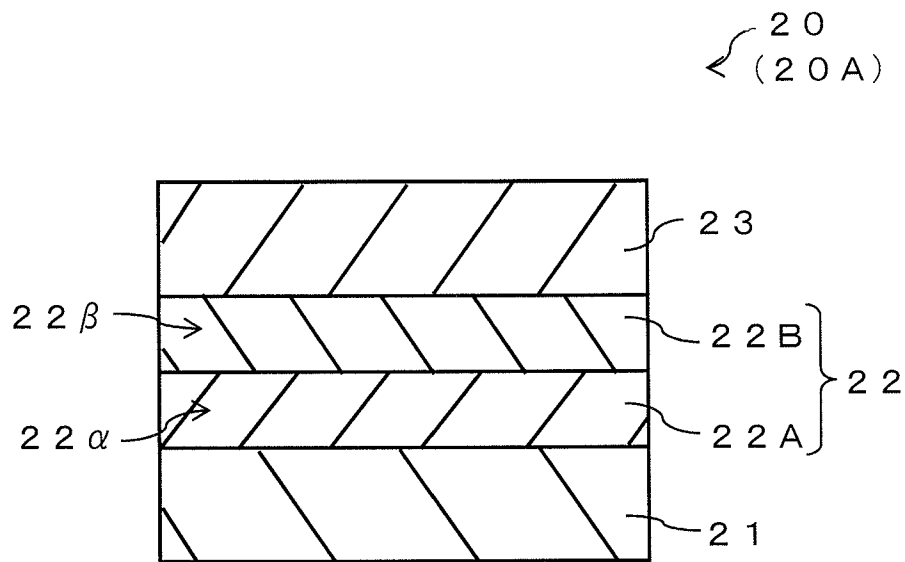
複数の前記メモリセルは、各前記第1配線と各前記第2配線とが互いに対向する位置に設けられている

請求項6に記載の記憶装置。

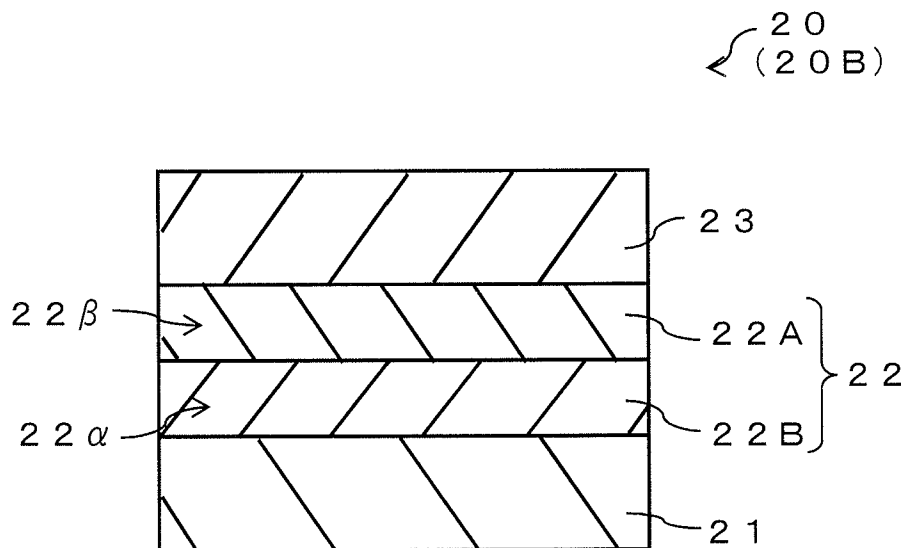
[図1]



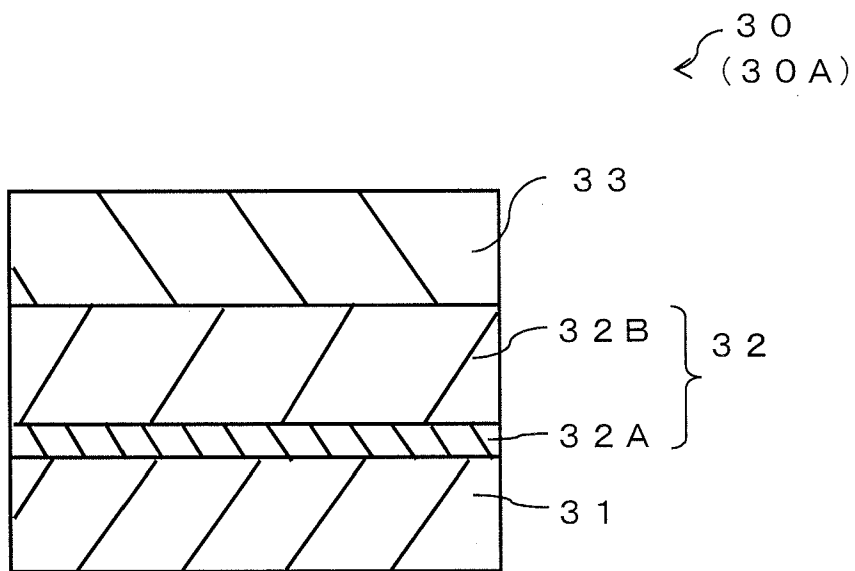
[図2A]



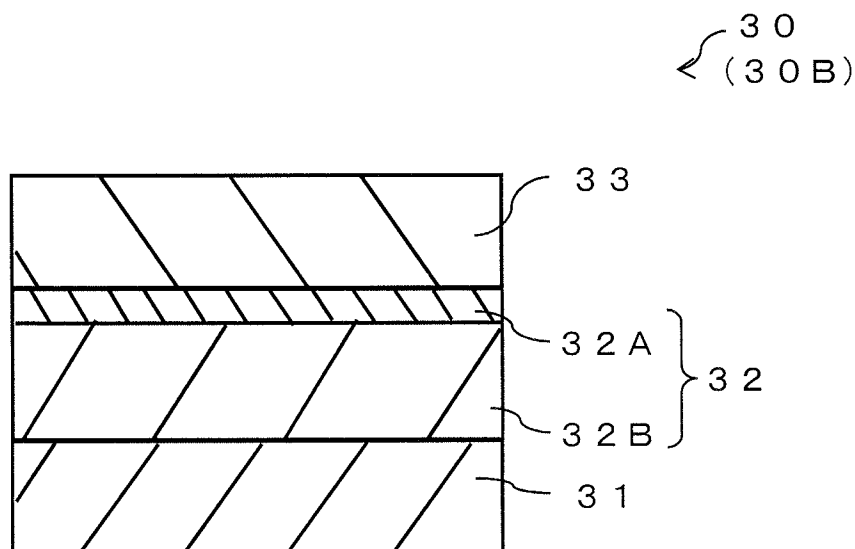
[図2B]



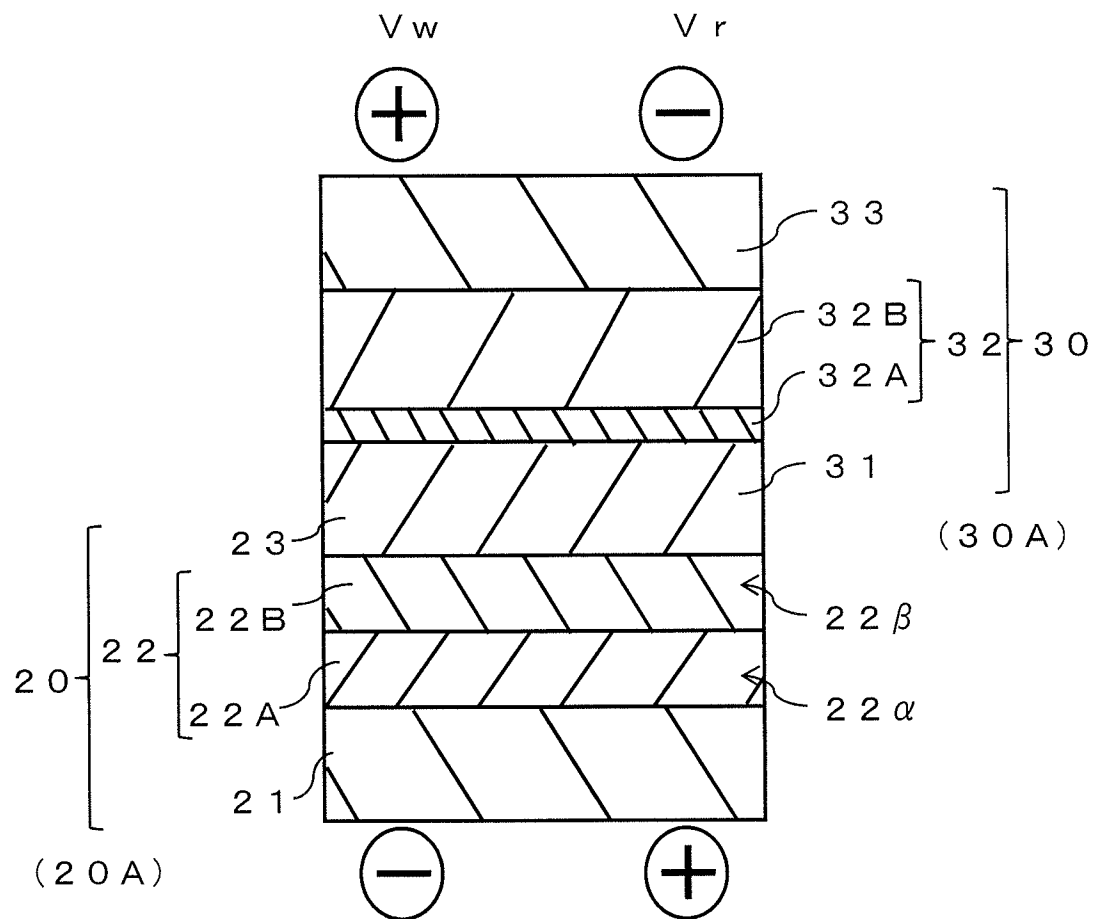
[図3A]



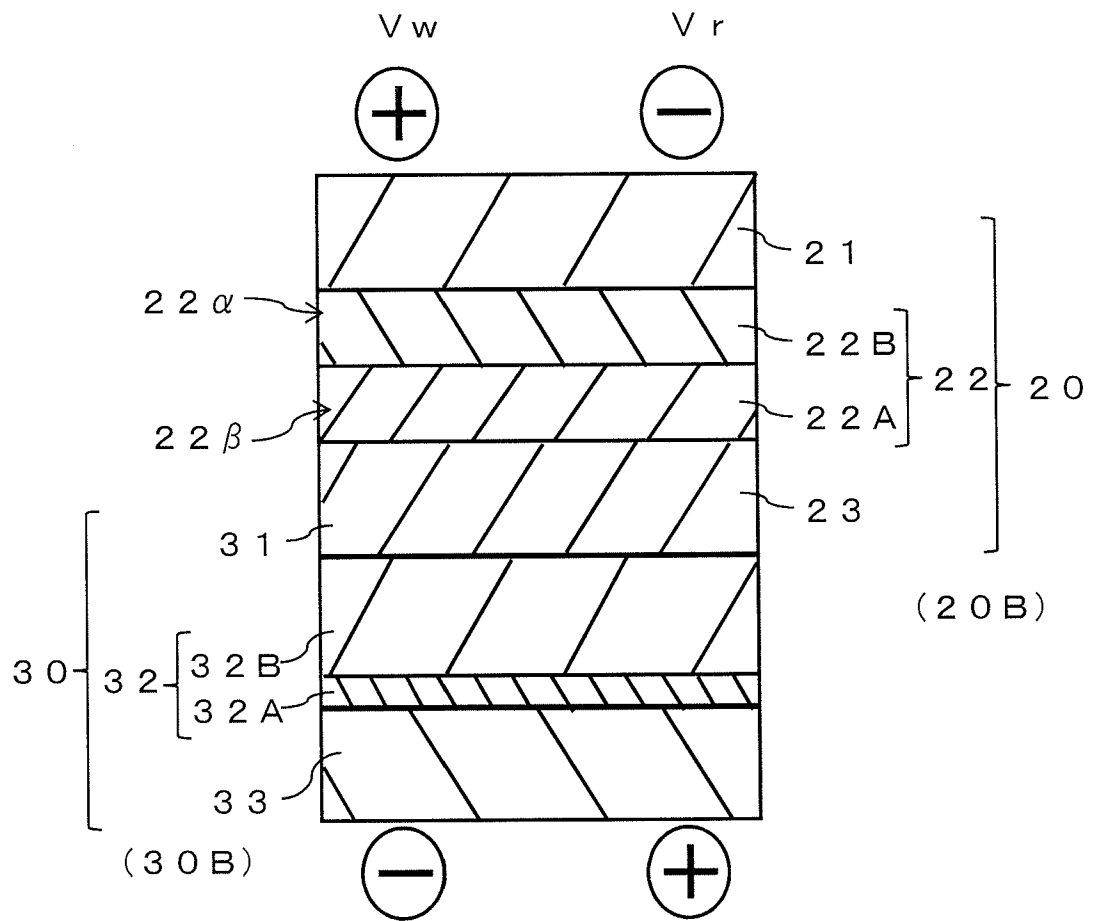
[図3B]



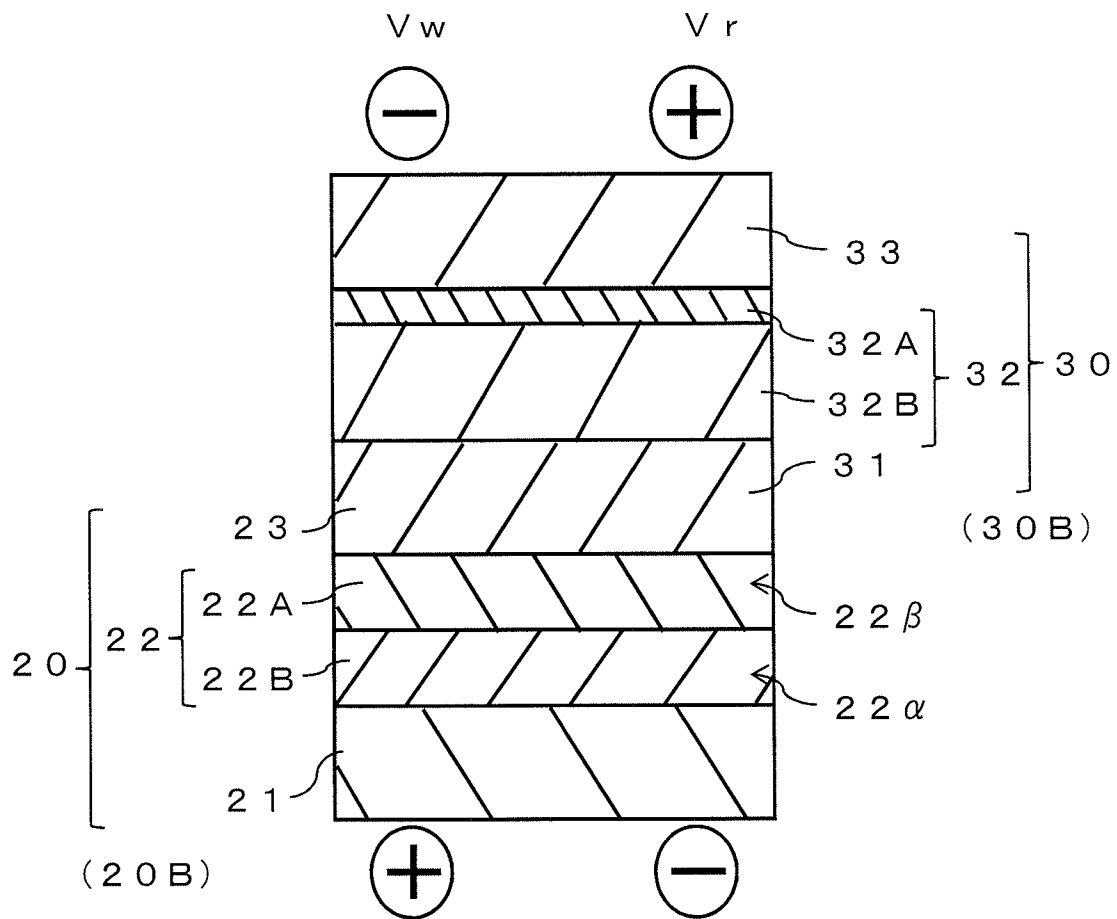
[図4]



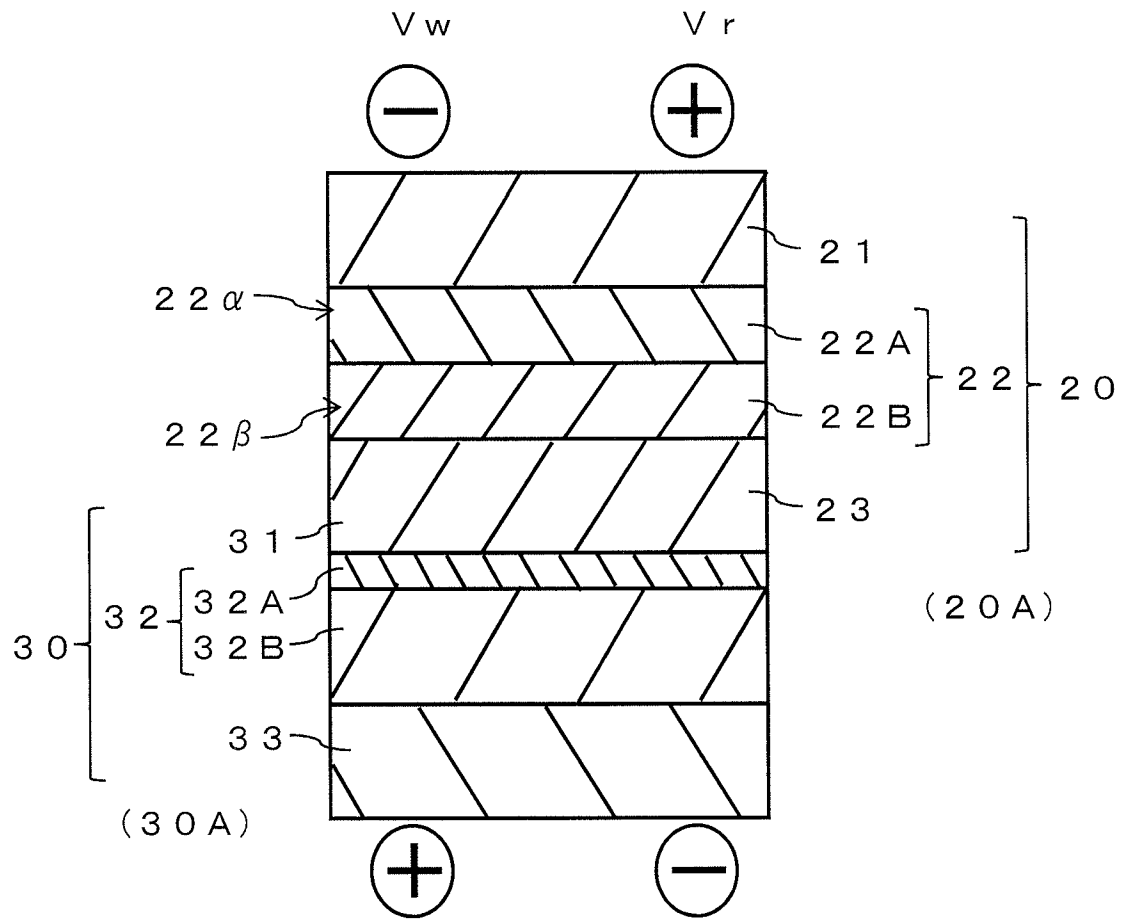
[図5]



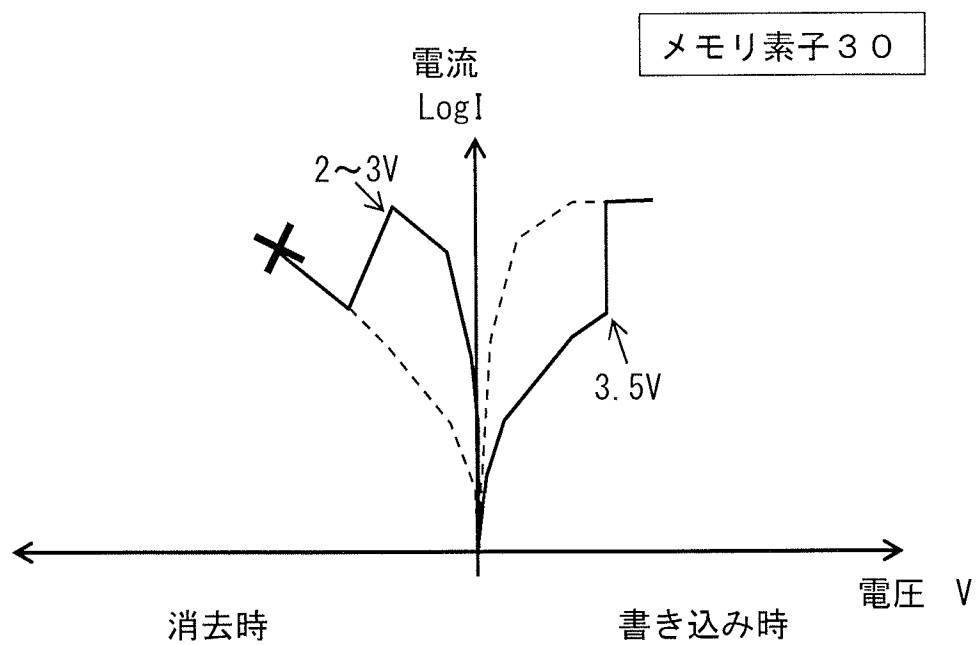
[図6]



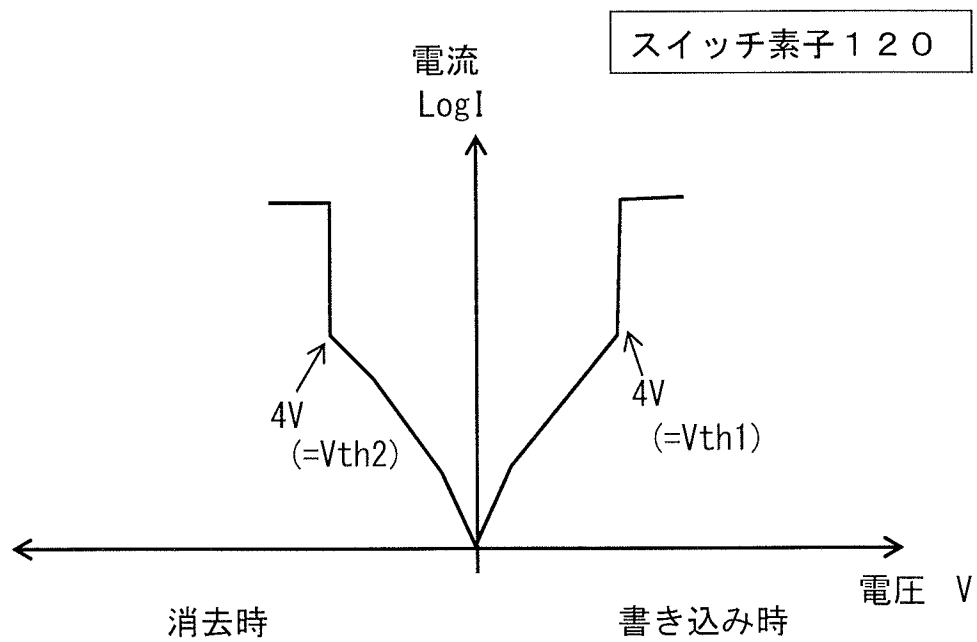
[図7]



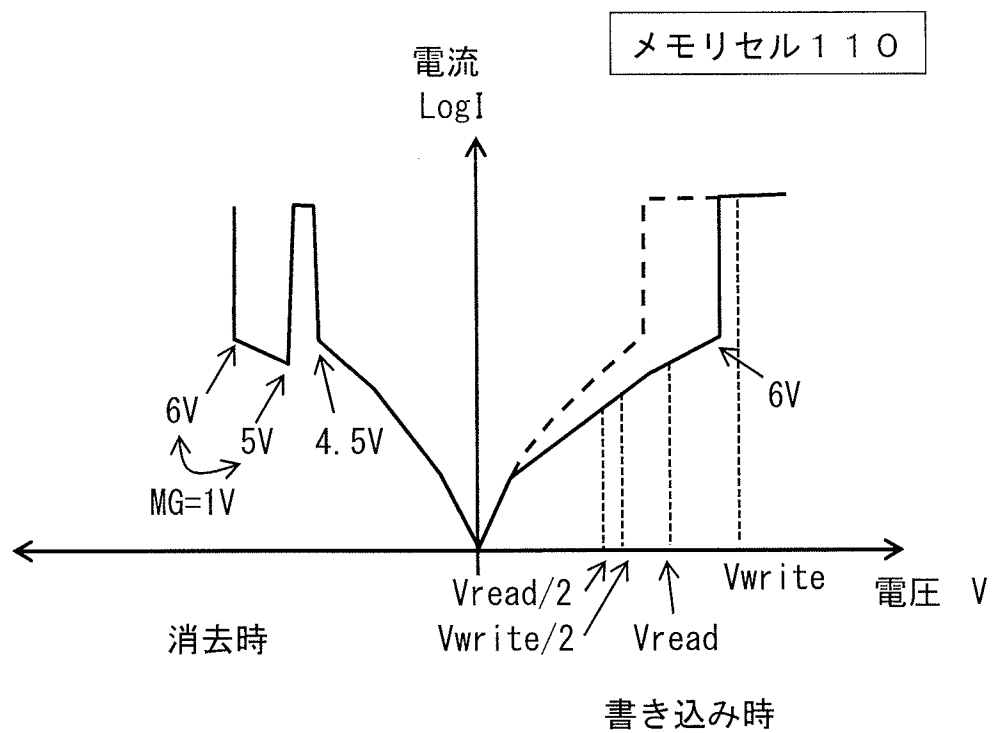
[図8]



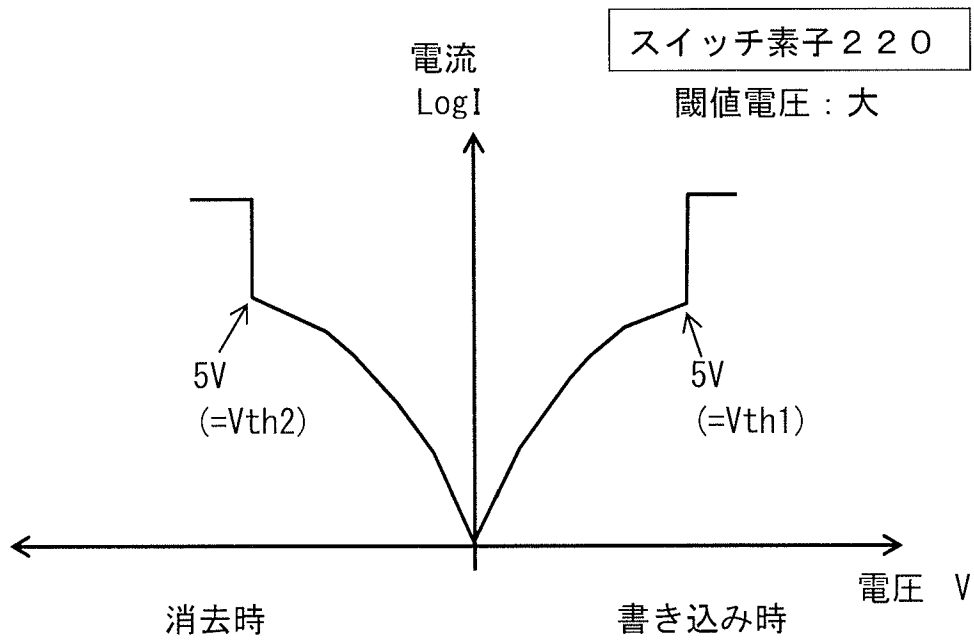
[図9]



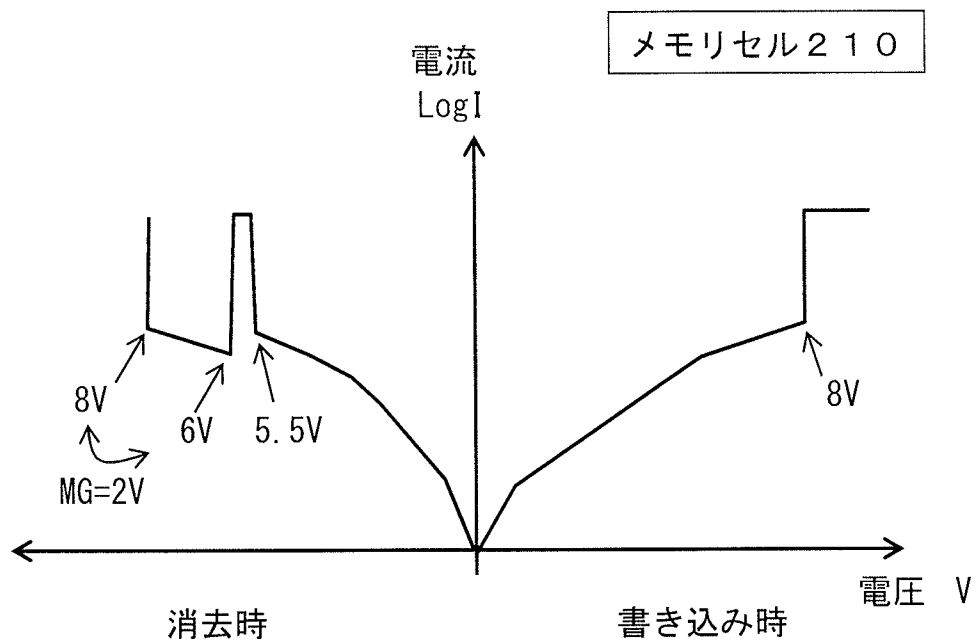
[図10]



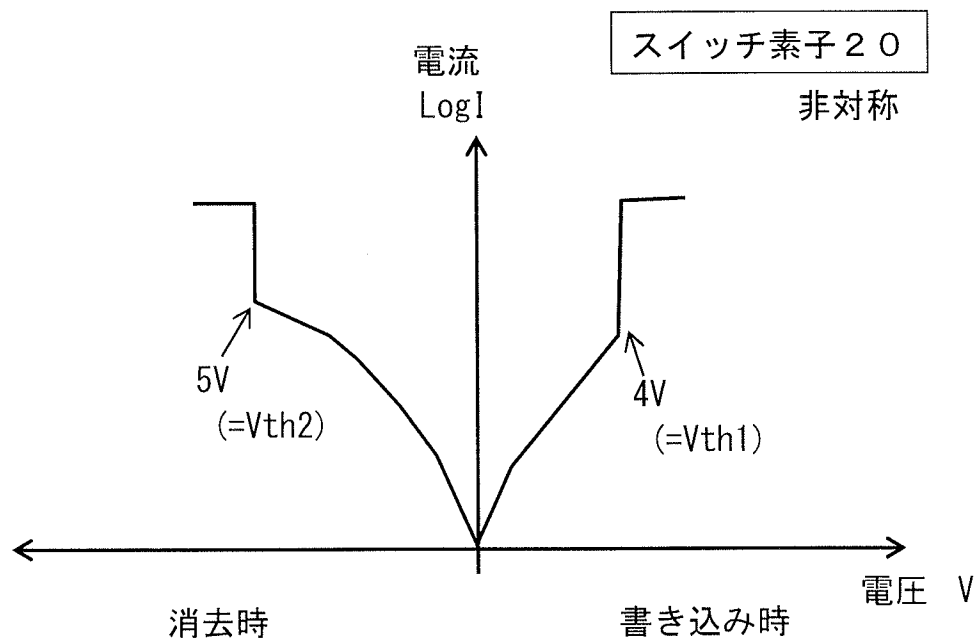
[図11]



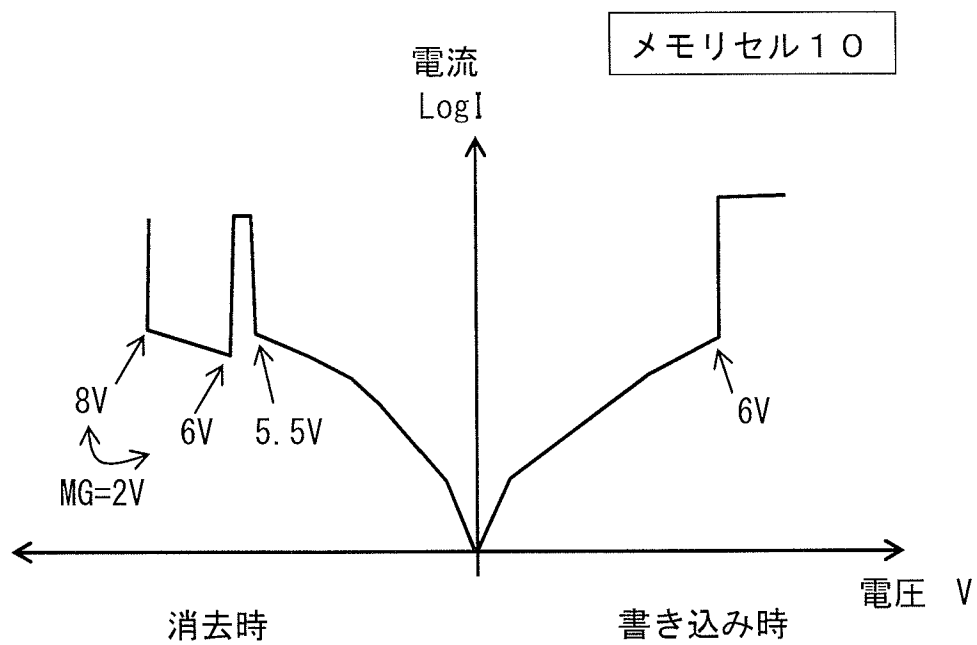
[図12]



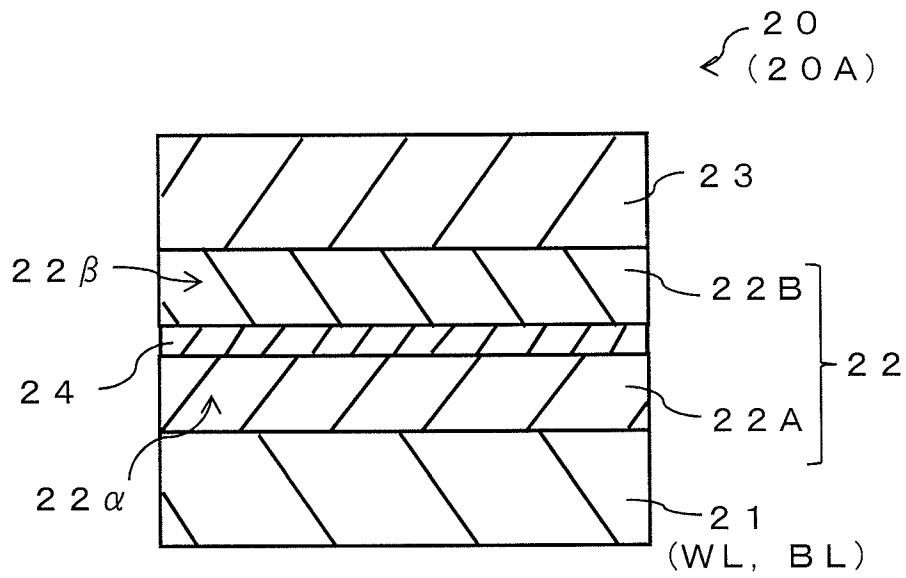
[図13]



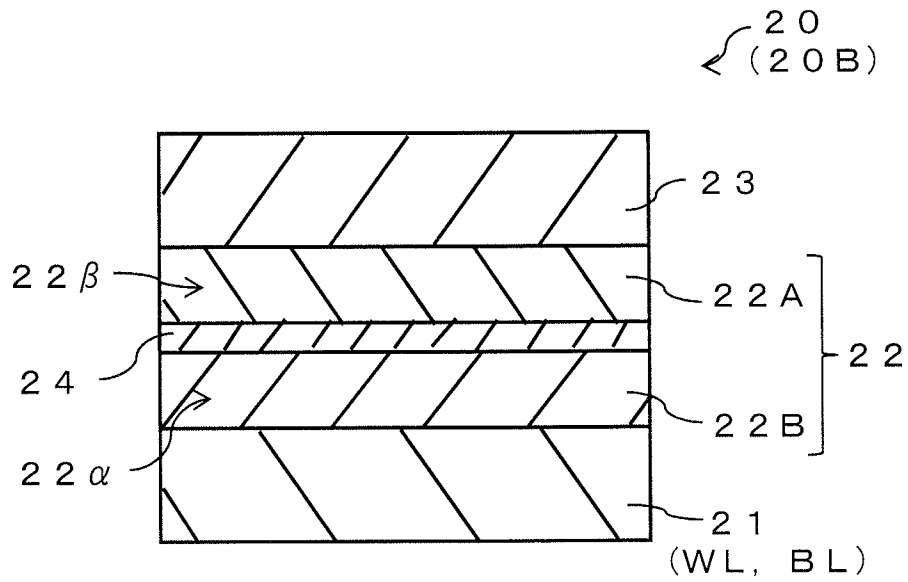
[図14]



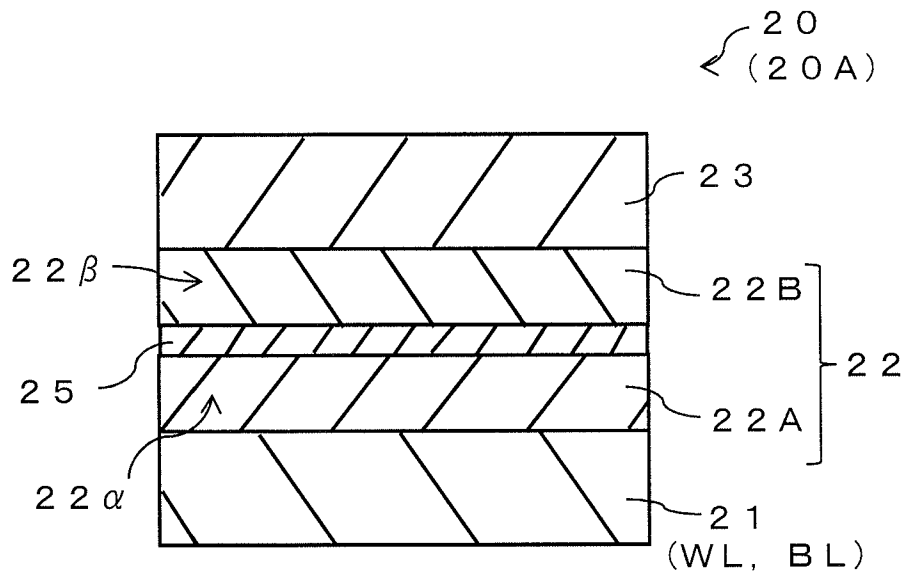
[図15A]



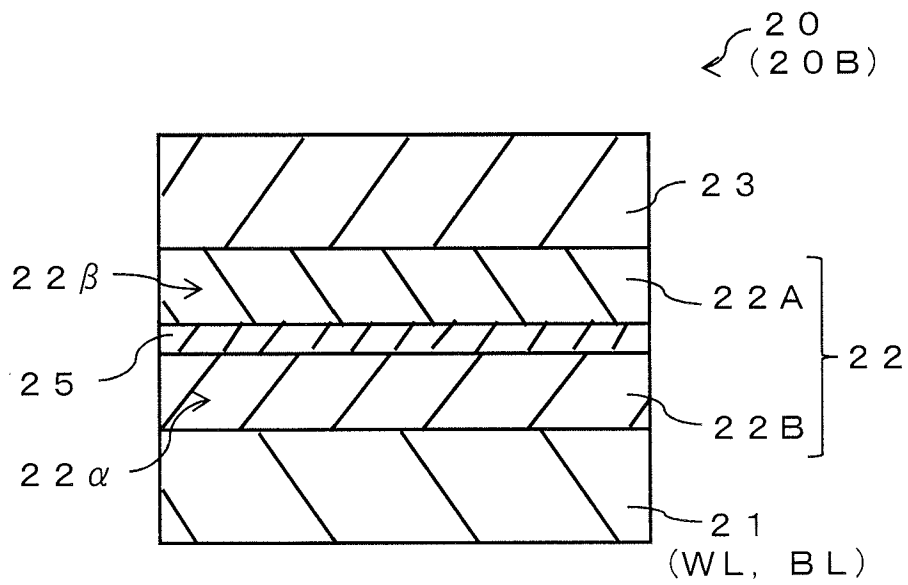
[図15B]



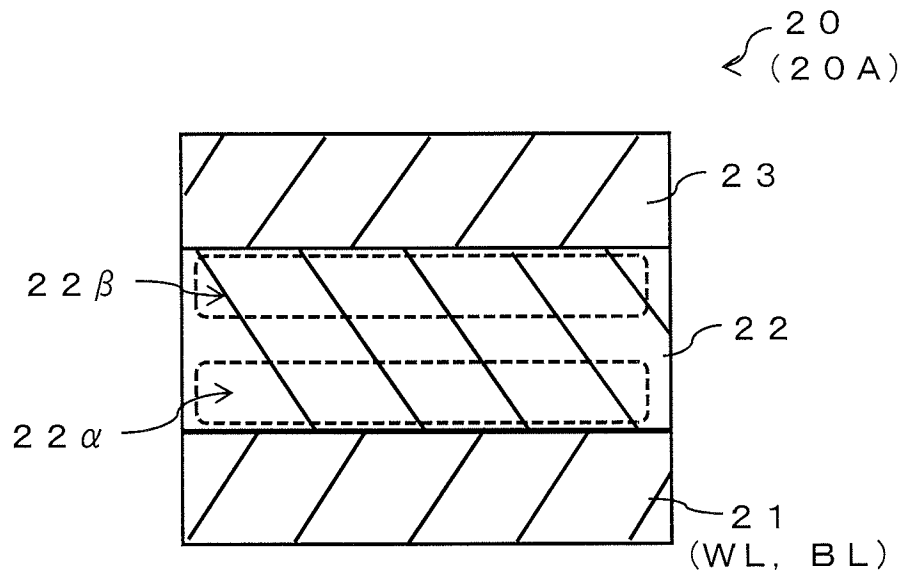
[図16A]



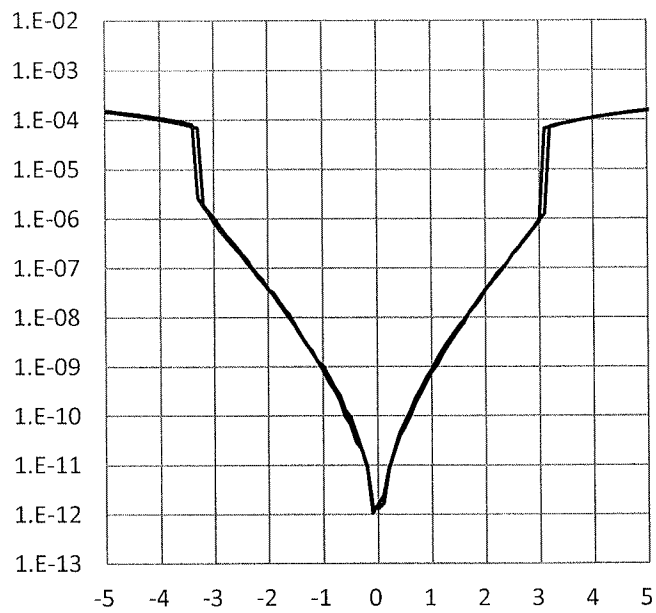
[図16B]



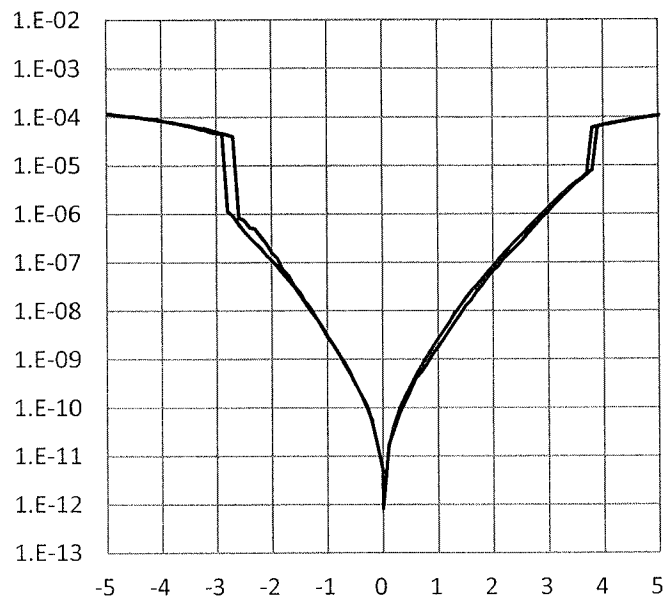
[図17]



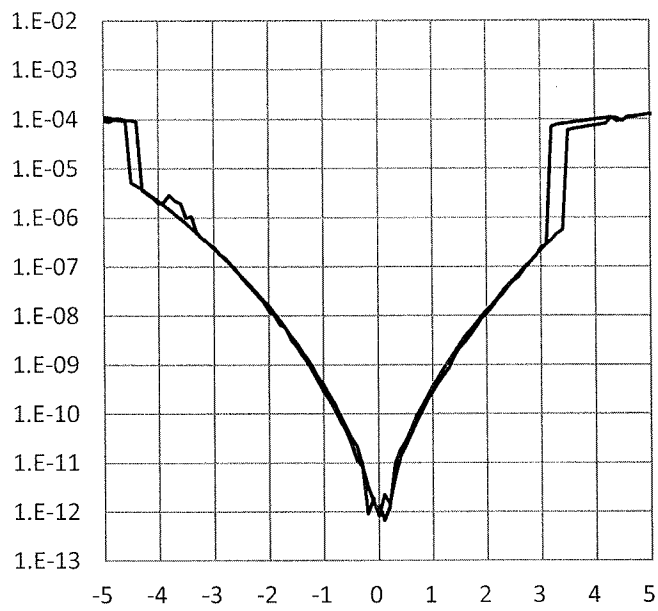
[図18A]



[図18B]



[図18C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058389

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-531062 A (Ovonyx, Inc.), 16 September 2010 (16.09.2010), paragraphs [0020], [0061] to [0063], [0082] to [0084], [0091] to 0092]; fig. 2, 4 & JP 2009-524210 A & JP 5520484 B & US 2008/0042119 A1 paragraphs [0018], [0074] to [0076], [0095] to [0097], [0104] to [0105]; fig. 2, 4 & US 2007/0034849 A1 & US 2007/0034851 A1 & US 2007/0034850 A1 & US 2008/0273372 A1 & US 2008/0048167 A1 & US 2010/0321991 A1 & WO 2009/002393 A1 & WO 2007/146077 A2 & WO 2007/070218 A2 & WO 2007/021451 A2	1, 2 3-7, 9-13 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 April 2016 (12.04.16)

Date of mailing of the international search report
19 April 2016 (19.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058389

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-18964 A (Sony Corp.), 26 January 2012 (26.01.2012), paragraphs [0019] to [0020], [0046] to [0048]; fig. 1, 4, 5 & US 2012/0008369 A1 paragraphs [0031] to [0032], [0058] to [0060]; fig. 1, 4, 5 & CN 102339952 A & TW 201209825 A	3, 7, 9-12
Y	JP 2006-86526 A (Ovonyx, Inc.), 30 March 2006 (30.03.2006), paragraph [0021]; fig. 8 & US 2006/0073652 A1 paragraph [0030]; fig. 8 & US 2010/0136742 A1 & KR 10-2006-0051381 A & TW 00I296435 B	4, 5
Y	JP 2014-530491 A (Intel Corp.), 17 November 2014 (17.11.2014), paragraphs [0011] to [0014]; fig. 1 & US 2013/0256624 A1 paragraphs [0014] to [0017]; fig. 1 & WO 2013/039496 A1 & TW 201332173 A & KR 10-2014-0053325 A	6, 7, 9-13
A	JP 2011-258971 A (Micron Technology, Inc.), 22 December 2011 (22.12.2011), paragraphs [0023] to [0025]; fig. 1 & JP 2008-507151 A & JP 5107037 B & JP 2009-510712 A & US 2006/0012008 A1 paragraphs [0026] to [0028]; fig. 1 & US 2006/0011910 A1 & US 2006/0289851 A1 & US 2007/0138598 A1 & US 2007/0152204 A1 & US 2008/0164456 A1 & US 2008/0182357 A1 & WO 2006/019845 A1 & WO 2006/132813 A1 & EP 1769507 A1	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/105(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/105, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-531062 A（オヴォニクス、インコーポレイテッド） 2010.09.16, 段落[0020], [0061] - [0063], [0082] - [0084],	1, 2
Y	[0091] - [0092], 図 2, 4	3-7, 9-13
A	& JP 2009-524210 A & JP 5520484 B & US 2008/0042119 A1, 段落[0018], [0074] - [0076], [0095] - [0097], [0104] - [0105], 図 2, 4 & US 2007/0034849 A1 & US 2007/0034851 A1 & US 2007/0034850 A1 & US 2008/0273372 A1 & US 2008/0048167 A1 & US 2010/0321991 A1 & WO 2009/002393 A1 & WO 2007/146077 A2	8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.04.2016

国際調査報告の発送日

19.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小山 満

5 F

6313

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	& WO 2007/070218 A2 & WO 2007/021451 A2 JP 2012-18964 A (ソニー株式会社) 2012.01.26, 段落[0019] - [0020], [0046] - [0048], 図 1, 4, 5 & US 2012/0008369 A1, 段落[0031] - [0032], [0058] - [0060], 図 1, 4, 5 & CN 102339952 A & TW 201209825 A	3, 7, 9-12
Y	JP 2006-86526 A (オヴオニクス, インコーポレイテッド) 2006.03.30, 段落[0021], 図 8 & US 2006/0073652 A1, 段落[0030], 図 8 & US 2010/0136742 A1 & KR 10-2006-0051381 A & TW 00I296435 B	4, 5
Y	JP 2014-530491 A (インテル・コーポレーション) 2014.11.17, 段落[0011] - [0014], 図 1 & US 2013/0256624 A1, 段落[0014] - [0017], 図 1 & WO 2013/039496 A1 & TW 201332173 A & KR 10-2014-0053325 A	6, 7, 9-13
A	JP 2011-258971 A (マイクロン テクノロジー, インク.) 2011.12.22, 段落[0023] - [0025], 図 1 & JP 2008-507151 A & JP 5107037 B & JP 2009-510712 A & US 2006/0012008 A1, 段落[0026] - [0028], 図 1 & US 2006/0011910 A1 & US 2006/0289851 A1 & US 2007/0138598 A1 & US 2007/0152204 A1 & US 2008/0164456 A1 & US 2008/0182357 A1 & WO 2006/019845 A1 & WO 2006/132813 A1 & EP 1769507 A1	1-13