



(12) 发明专利

(10) 授权公告号 CN 1901162 B

(45) 授权公告日 2011.04.20

(21) 申请号 200610099491.5

(56) 对比文件

(22) 申请日 2006.07.24

US 2004/0009629 A1, 2004.01.15, 全文.

(30) 优先权数据

审查员 柴春英

60/701,849 2005.07.22 US

(73) 专利权人 米辑电子股份有限公司

地址 中国台湾

(72) 发明人 林茂雄 罗心荣 周秋明 周健康

(74) 专利代理机构 北京科龙寰宇知识产权代理
有限责任公司 11139

代理人 孙皓晨

(51) Int. Cl.

H01L 21/822(2006.01)

H01L 21/768(2006.01)

H01L 21/60(2006.01)

H01L 27/04(2006.01)

H01L 23/522(2006.01)

H01L 23/485(2006.01)

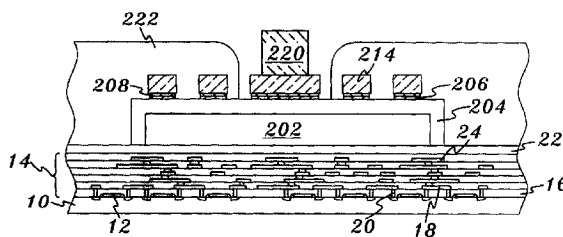
权利要求书 3 页 说明书 16 页 附图 44 页

(54) 发明名称

连续电镀制作线路组件的方法及线路组件结构

(57) 摘要

本发明提供一种形成覆盖有聚酰亚胺 (polyimide, PI) 的连续电镀结构的方法,其包括 (a) 提供一半导体基底;(b) 在该半导体基底上形成一黏着/阻障层;(c) 在该黏着/阻障层上形成多个金属线路层 (metal trace);(d) 在这些金属线路层中选择一目标区域做为接垫,并在该接垫上形成一金属层;(e) 去除未被覆盖的该黏着/阻障层;以及 (f) 形成一聚酰亚胺在该半导体基底上,并暴露出该金属层。



1. 一种连续电镀制作线路组件的方法，其特征在于，包括下列步骤：

提供一半导体基底、一细联机结构及一保护层，其中该细联机结构位于该半导体基底上，该保护层位于该细联机结构上，该细联机结构是由多个厚度小于 3 微米的薄膜绝缘层及厚度小于 3 微米的细线路层所构成；

形成一第一金属层在该保护层之上；

在形成该第一金属层的步骤之后，形成一第一光刻胶层在该第一金属层上，且位于该第一光刻胶层内的一第一开口暴露出该第一金属层；

在形成该第一光刻胶层的步骤之后，形成一第二金属层在该第一开口内；

在形成该第二金属层的步骤之后，去除该第一光刻胶层；

在去除该第一光刻胶层的步骤之后，形成一第一聚合物层在该第一金属层及该第二金属层上；

在形成该第一聚合物层的步骤之后，图案化该第一聚合物层使部分该第一金属层及部分该第二金属层的顶端暴露出，其中该第二金属层的周缘仍包覆该第一聚合物层，且位于该第二金属层上的该第一聚合物层具有一第二开口暴露出该第二金属层的部分顶端；以及

在图案化该第一聚合物层的步骤之后，去除未在该第二金属层及该第一聚合物层下的该第一金属层。

2. 如权利要求 1 所述的连续电镀制作线路组件的方法，其特征在于，该保护层包括厚度介于 1000 埃至 15000 埃之间的氮硅化合物层、磷硅玻璃层、氧硅化合物层及氮氧硅化合物层其中之一或组成。

3. 如权利要求 1 所述的连续电镀制作线路组件的方法，其特征在于，还包括下列步骤：

形成厚度介于 2 微米至 50 微米之间的一第二聚合物层在该保护层上；以及

在形成该第二聚合物层的步骤之后，形成该第一金属层在该第二聚合物层上，且该第一金属层接触该第二聚合物层。

4. 如权利要求 1 所述的连续电镀制作线路组件的方法，其特征在于，形成该第一金属层的步骤包括溅镀厚度介于 400 埃至 7000 埃之间的钛钨合金层、钛金属层、氮化钛层、钽金属层、氮化钽层、铬金属层、铬铜合金层其中之一或组成在该保护层之上。

5. 如权利要求 1 所述的连续电镀制作线路组件的方法，其特征在于，形成该第二金属层的步骤包括电镀形成厚度介于 1 微米至 50 微米之间的金金属层、铜金属层、银金属层、镍金属层其中之一。

6. 如权利要求 1 所述的连续电镀制作线路组件的方法，其特征在于，还包括在去除未在该第二金属层及该第一聚合物层下的该第一金属层的步骤之后，切割该半导体基底。

7. 如权利要求 1 所述的连续电镀制作线路组件的方法，其特征在于，还包括下列步骤：

在图案化该第一聚合物层的步骤之后，形成一第二光刻胶层在暴露出的该第一金属层上以及在该第二开口所暴露出的该第二金属层的部分顶端上，且位于该第二光刻胶层内的一第三开口暴露出该第二开口所暴露出的该第二金属层的部分顶端；

在形成该第二光刻胶层的步骤之后，形成一第三金属层在该第三开口内；

在形成该第三金属层的步骤之后，去除该第二光刻胶层；以及在去除该第二光刻胶层的步骤之后，进行去除未在该第二金属层及该第一聚合物层下的该第一金属层的步骤。

8. 一种连续电镀制作线路组件的方法，其特征在于，包括下列步骤：

提供一半导体基底、一细联机结构及一保护层，其中该细联机结构位于该半导体基底上，该保护层位于该细联机结构上，该细联机结构是由多个厚度小于 3 微米的薄膜绝缘层及厚度小于 3 微米的细线路层所构成；

形成一第一金属层在该保护层上；

形成一第一图案化光刻胶层在该第一金属层上，该第一图案化光刻胶层的开口暴露出该第一金属层；

形成一第二金属层在该第一图案化光刻胶层的该开口内；

去除该第一图案化光刻胶层；

形成一第一聚合物层在该第一金属层及该第二金属层上；

图案化该第一聚合物层使部分该第一金属层及部分该第二金属层顶端暴露出，其中在该第二金属层周缘仍包覆该第一聚合层，且位于该第二金属层上的该第一聚合物层具有至少一开口暴露出该第二金属层；

形成一第二图案化光刻胶层在该第一聚合物层、该第一金属层上，该第二图案化光刻胶层的开口暴露出该第二金属层；

形成一第三金属层在该第二图案化光刻胶层的开口内；以及

去除该第二图案化光刻胶层，并去除未在该第二金属层及该第一聚合物层下的该第一金属层。

9. 如权利要求 8 所述的连续电镀制作线路组件的方法，其特征在于，该形成该保护层的步骤包括沉积厚度介于 1000 埃至 15000 埃之间的氮硅化合物层、磷硅玻璃层、氧硅化合物层及氮氧硅化合物层其中之一或组成。

10. 如权利要求 8 所述的连续电镀制作线路组件的方法，其特征在于，该形成该第一金属层步骤前更形成厚度介于 2 微米至 50 微米之间的一聚酰亚胺化合物层、苯基环丁烯化合物层及环氧树脂层其中之一在该保护层上。

11. 如权利要求 8 所述的连续电镀制作线路组件的方法，其特征在于，该形成该第一金属层的步骤包括溅镀厚度介于 400 埃至 7000 埃之间的钛钨合金层、钛金属层、氮化钛层、钽金属层、氮化钽层、铬金属层、铬铜合金层其中之一或组成在该保护层上。

12. 如权利要求 8 所述的连续电镀制作线路组件的方法，其特征在于，该形成该第二金属层的步骤包括电镀形成厚度介于 1 微米至 50 微米之间的金金属层、铜金属层、银金属层、镍金属层其中之一。

13. 如权利要求 8 所述的连续电镀制作线路组件的方法，其特征在于，该形成该第三金属层的步骤包括电镀形成厚度介于 1 微米至 50 微米之间的金金属层、铜金属层、银金属层、镍金属层、钯金属层、铂金属层、含锡焊料层其中之一。

14. 如权利要求 8 所述的连续电镀制作线路组件的方法，其特征在于，该形成该第一图案化光刻胶层的开口形状包括形成一线圈形状。

15. 如权利要求 8 所述的连续电镀制作线路组件的方法，其特征在于，该去除未在该

第二金属层及该第一聚合物层下的该第一金属层的步骤后更包括切割该半导体基底形成多个半导体组件，该第三金属层连接至一基板，或利用一打线方法形成一导线在该第三金属层上。

16. 一种线路组件结构，其特征在于，包括：

一半导体基底；

一细联机结构，位于该半导体基底上，该细联机结构是由多个厚度小于 3 微米的薄膜绝缘层及厚度小于 3 微米的细线路层所构成；

一保护层，位于该细联机结构上，且该保护层包括氮化硅；

一第一聚合物层，位于该保护层上，该第一聚合物层接触该保护层的上表面，且该第一聚合物层的厚度介于 2 微米至 50 微米之间；

一金属层，位于该第一聚合物层之上，且该金属层为电感，该金属层是由厚度介于 1 微米至 50 微米之间的一铜金属层所构成；以及

一金属凸块，位于该铜金属层的部分上表面上，且该金属凸块接触该铜金属层的部分上表面，该金属凸块是由一镍金属层及一钯层所构成，其中该镍金属层位于该铜金属层的部分上表面上并接触该铜金属层的部分上表面，该钯层位于该铜金属层的部分上表面上方以及位于该镍金属层上，该钯层接触该镍金属层，且该钯层经由该镍金属层连接该铜金属层。

17. 如权利要求 16 所述的线路组件结构，其特征在于，该铜金属层的厚度介于 2 微米至 30 微米之间。

18. 如权利要求 16 所述的线路组件结构，其特征在于，更包括一第二聚合物层位于该金属层上。

19. 如权利要求 16 所述的线路组件结构，其特征在于，更包括一黏着 / 阻障层位于该铜金属层与该第一聚合物层之间，该黏着 / 阻障层是选自厚度介于 400 埃至 7000 埃之间的钛钨合金层、钛金属层、氮化钛层、钽金属层、氮化钽层、铬金属层、铬铜合金层其中之一或及其组成。

20. 如权利要求 16 所述的线路组件结构，其特征在于，该镍金属层的厚度介于 2 微米至 30 微米之间。

21. 如权利要求 16 所述的线路组件结构，其特征在于，还包括一半导体芯片连接该钯层。

22. 如权利要求 16 所述的线路组件结构，其特征在于，还包括一印刷电路板连接该钯层。

23. 如权利要求 16 所述的线路组件结构，其特征在于，该半导体基底包括一主动表面，且该主动表面具有多个晶体管。

连续电镀制作线路组件的方法及线路组件结构

技术领域

[0001] 本发明涉及一种连续电镀制作线路组件的方法及线路组件结构，特别涉及一种覆盖聚酰亚胺 (polyimide, PI) 的连续电镀成型结构。

背景技术

[0002] 现今大多的半导体组件是用来处理数字资料，然而也有部分的半导体组件整合有模拟的功能，如此半导体组件便可以同时处理数字资料及模拟资料，或者半导体组件亦可以仅具有模拟的功能。制造模拟电路的主要困难点之一是在于许多用于模拟电路的电子组件甚大，难以与次微米极的电子组件整合，尤其是针对被动组件而言，此乃因为被动组件的尺寸过于庞大。

[0003] 美国专利公告第 5,212,403 号 (Nakanishi) 公开一种形成线路联机的方法，其中内部及外部的线路联机是形成在位于芯片上的线路基底内，并且逻辑线路的设计会取决于线路联机的长度。

[0004] 美国专利公告第 5,501,006 号 (Gehman, Jr. et al.) 公开一种集成电路与线路基底之间具有绝缘层的结构，而藉由分散出去的引脚可以是芯片的接点与基板的接点电性连接。

[0005] 美国专利公告第 5,055,907 号 (Jacobs) 公开一种整合型半导体结构，可以允许制造商将一薄膜多层线路形成在支撑基板上或芯片上，藉以整合位于芯片外的电路。

[0006] 美国专利公告第 5,106,461 号 (Volfson et al.) 公开一种多层联机结构，其是藉由 TAB 结构并利用聚酰亚胺 (polyimide) 的介电层及金属层交互叠合于芯片上而成。

[0007] 美国专利公告第 5,635,767 号 (Wenzel et al.) 公开一种在 PBGA 结构中降低电阻电容迟缓效应的方法，其中多层金属层是分开配置。

[0008] 美国专利公告第 5,686,764 号 (Fulcher) 公开一种覆晶基板，藉由将电源线与输入输出引线分开配置，可以降低电阻电容迟缓效应。

[0009] 美国专利公告第 6,008,102 号 (Alford et al.) 公开一种利用两层金属层所形成的螺旋状电感组件，其中此两层金属层可以利用导通孔连接。

[0010] 美国专利公告第 5,372,967 号 (Sundaram et al.) 公开一种螺旋状电感组件。

[0011] 美国专利公告第 5,576,680 号 (Ling) 及第 5,884,990 号 (Burghartz et al.) 公开一种其它形式的螺旋状电感组件。

[0012] 美国专利公告第 6,383,916 号公开一种芯片结构具有重配置线路层及金属联机层，是配置在介电层上，其中介电层是位于传统芯片的保护层上。保护层是位于集成电路上，而厚的聚合物层是选择性地配置在保护层上，宽的或厚的金属联机是位于保护层上。

[0013] 美国专利公告第 6,303,423 号公开一种形成具有高感应系数的电感组件于芯片的保护层上的结构。此种具有高感应系数的电感组件可以应用 in 高频电路中，并且可以减少电能的损耗。在此案中，还公开电容组件及电阻组件，可以形成在硅基底的表面上，

藉以减少位于硅基底下的电子组件所引发出的寄生效应。

[0014] 美国专利公告第 6,869,870 号 (Lin) 公开一种变压器形成在晶圆的保护层上。

[0015] 有鉴于此, 本发明是针对上述被动组件各种技术, 提出一种连续电镀制作线路组件的方法及线路组件结构, 用以应用在半导体被动组件领域上。

发明内容

[0016] 本发明的主要目的是在于提供一种连续电镀制作线路组件的方法及线路组件结构, 其是在保护层上具有一线圈线路层的半导体芯片, 其中顶层线圈线路层可以承受高电压高电流, 且控制顶层线圈线路层的电流变化可以产生一感应电动势以感应其它线圈。

[0017] 本发明的另一目的是在于提供一种连续电镀制作线路组件的方法及线路组件结构, 其是公开数种在线圈上以连续电镀方式形成对外的接点, 比如形成接垫 (pad)、凸块 (bump) 等, 此接垫及凸块皆可透过打线或异方式导电胶电连接至外界电路上, 使半导体组件的应用更具多元化连接方式。

[0018] 为了本发明上述的目的, 提出一种线路组件结构, 包括一半导体基底; 一细联机结构, 位于该半导体基底上; 一保护层, 位于该细联机结构上; 一金线路层, 位于该保护层上, 该金线路层具有一接垫; 一镍层, 位于该接垫上; 一焊料层, 位于该镍层上。

[0019] 为了本发明上述的目的, 提出一种线路组件结构, 包括一半导体基底; 一细联机结构, 位于该半导体基底上; 一保护层, 位于该细联机结构上; 一金属线路层, 位于该保护层上, 该金属线路层具有一接垫; 一第一金属层, 位于该接垫上; 一第一聚合物层, 位于该保护层及该金属线路层上, 该第一聚合物层具有至少一开口曝露出该第一金属层。

[0020] 为了本发明上述的目的, 提出一种线路组件结构, 包括一半导体基底; 一细联机结构, 位于该半导体基底上; 一保护层, 位于该细联机结构上; 一金线路层, 位于该保护层上, 该金线路层具有一第一接垫及一第二接垫; 一镍层, 位于该第一接垫上; 一焊料层, 位于该镍层上; 一导线, 位于第二接垫上。

[0021] 为了本发明上述的目的, 提出一种线路组件结构, 包括一半导体基底; 一细联机结构, 位于该半导体基底上;

[0022] 一保护层, 位于该细联机结构上; 一金线路层, 位于该保护层上, 该金线路层具有一接垫; 一铜层, 位于该接垫上; 一焊料层, 位于该铜层上。

[0023] 为了本发明上述的目的, 提出一种线路组件结构, 包括: 一半导体基底; 一细联机结构, 位于该半导体基底上; 一保护层, 位于该细联机结构上; 一金线路层, 位于该保护层上, 该金线路层具有一第一接垫及一第二接垫; 一铜层, 位于该第一接垫上; 一焊料层, 位于该铜层上; 一导线, 位于该第二接垫上。

[0024] 为了本发明上述的目的, 提出一种线路组件结构, 包括: 一半导体基底; 一细联机结构, 位于该半导体基底上; 一保护层, 位于该细联机结构上; 一铜线路层, 位于该保护层上, 该铜线路层具有一接垫; 一镍层, 位于该接垫上; 一焊料层, 位于该镍层上。

[0025] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；

[0026] 一保护层，位于该细联机结构上；一铜线路层，位于该保护层上，该铜线路层具有一第一接垫及一第二接垫；一镍层，位于该第一接垫上；一焊料层，位于该镍层上；一金层，位于该第二接垫上；一导线，位于该金层上。

[0027] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；一保护层，位于该细联机结构上；一铜线路层，位于该保护层上，该铜线路层具有一接垫；一金层，位于该接垫上。

[0028] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；一保护层，位于该细联机结构上；一铜线路层，位于该保护层上，该铜线路层具有一第一接垫及一第二接垫；一第一金层，位于该第一接垫上，该第一金层的厚度是介于10微米至50微米之间；一第二金层，位于该第二接垫上，该第二金层的厚度是介于0.1微米至10微米之间。

[0029] 为了本发明上述的目的，提出一种线路组件结构，包括：一半导体基底；一细联机结构，位于该半导体基底上；一保护层，位于该细联机结构上；一铜线路层，位于该保护层上，该铜线路层具有一接垫；一镍层，位于该接垫上；一金层，位于该镍层上，该金层的厚度是介于1微米至50微米之间。

[0030] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；

[0031] 一保护层，位于该细联机结构上；一金线路层，位于该保护层上，该金线路层具有一接垫；一金层，位于该接垫上；一导线，位于该金层上。

[0032] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；一保护层，位于该细联机结构上；一金属线路层，位于该保护层上，该金属线路层具有一接垫；一第一金属层，位于该接垫上；一第一聚合物层，位于该保护层及该金属线路层上，该第一聚合物层具有至少一开口曝露出该第一金属层。

[0033] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；一保护层，位于该第一线圈上；一线圈金属层，位于该保护层上，该线圈金属层具有一第一接垫及一第二接垫；一第一图案化聚合物层，位于该线圈金属层上，该第一图案化聚合物层的开口曝露出该线圈金属层的该第一接垫及该第二接垫；一凸块，位于该线圈金属层的该第一接垫；一导线，位于该线圈金属层的该第二接垫。

[0034] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一保护层，位于该半导体基底上；

[0035] 一第一图案化线路层，位于该保护层上；一第一图案化聚合物层，覆盖在该第一图案化线路层及该保护层上，该第一图案化聚合物层的开口曝露出该第一图案化线路层；一第一金属层，位于该第一图案化聚合物层的开口内；一第一线圈，位于该第一图案化聚合物层上并电连接至该第一金属层。

[0036] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联

机结构，位于该半导体基底上；

[0037] 一保护层，位于该细联机结构上；一金属线路层，位于该保护层上，该金属线路层具有一接垫；一第一金属层，位于该接垫上；一第一聚合物层，位于该第一金属层的侧缘包覆该第一金属层，其中位于该第一金属层顶部的该第一聚合物层具有至少一开口曝露出该第一金属层。

[0038] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；

[0039] 一保护层，位于该细联机结构上；一金属线路层，位于该保护层上，该金属线路层具有一接垫；一金层，位于该接垫上；利用卷带自动贴合 (Tape Automated Bonding; TAB) 使该金层接合在一软性基板上。

[0040] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；一保护层，位于该细联机结构上；一金属线路层，位于该保护层上，该金属线路层具有一接垫；一金层，位于该接垫上；利用一异方性导电胶 (ACF) 使该金层接合在一软性基板上。

[0041] 为了本发明上述的目的，提出一种线路组件结构，包括一半导体基底；一细联机结构，位于该半导体基底上；一保护层，位于该细联机结构上；一金属线路层，位于该保护层上，该金属线路层具有一接垫；一金层，位于该接垫上；利用一异方性导电胶 (ACF) 使该金层接合在一玻璃基板上。

[0042] 此外，为了本发明上述的目的，提出一种连续电镀制作线路组件的方法，其特征在于，其步骤包括：

[0043] 提供一半导体基底、一细联机结构及一保护层，其中该细联机结构位于该半导体基底上，该保护层位于该细联机结构上；

[0044] 形成一第一金属层在该保护层上；

[0045] 形成一第一图案化光刻胶层在该第一金属层上，该第一图案化光刻胶层的开口暴露出该第一金属层；

[0046] 形成一第二金属层在该第一图案化光刻胶层的该开口内；

[0047] 去除该第一图案化光刻胶层；

[0048] 形成一第一聚合物层在该第一金属层及该第二金属层上；

[0049] 图案化该第一聚合物层使部分该第一金属层及部分该第二金属层顶端暴露出，其中在该第二金属层周缘仍包覆该第一聚合层，且位于该第二金属层上的该第一聚合物层具有至少一开口暴露出该第二金属层；以及

[0050] 去除未在该第二金属层及该第一聚合物层下的该第一金属层。

[0051] 此外，一种连续电镀制作线路组件的方法，其特征在于，其步骤包括：

[0052] 提供一半导体基底、一细联机结构及一保护层，其中，该细联机结构位于该半导体基底上，该保护层位于该细联机结构上；

[0053] 形成一第一金属层在该保护层上；

[0054] 形成一第一图案化光刻胶层在该第一金属层上，该第一图案化光刻胶层的开口暴露出该第一金属层；

[0055] 形成一第二金属层在该第一图案化光刻胶层的该开口内；

- [0056] 去除该第一图案化光刻胶层；
- [0057] 形成一第一聚合物层在该第一金属层及该第二金属层上；
- [0058] 图案化该第一聚合物层使部分该第一金属层及部分该第二金属层顶端暴露出，其中在该第二金属层周缘仍包覆该第一聚合层，且位于该第二金属层上的该第一聚合物层具有至少一开口暴露出该第二金属层；
- [0059] 形成一第二图案化光刻胶层在该第一聚合物层、该第一金属层上，该第二图案化光刻胶层的开口暴露出该第二金属层；
- [0060] 形成一第三金属层在该第二图案化光刻胶层的开口内；以及
- [0061] 去除该第二图案化光刻胶层，并去除未在该第二金属层及该第一聚合物层下的该第一金属层。
- [0062] 底下藉由具体实施例配合所附的图式详加说明，当更容易了解本发明的目的、技术内容、特点及其所达成的功效。

附图说明

- [0063] 图 1a 至图 1d 为本发明半导体基底的细联机结构及保护层的制作方法剖面示意图；
- [0064] 图 2a 至图 2v 为本发明第一实施例的制作方法剖面示意图；
- [0065] 图 3a 至图 3b 为本发明第二实施例的制作方法剖面示意图；
- [0066] 图 4a 至图 4h 为本发明第三实施例的制作方法剖面示意图；
- [0067] 图 5a 至图 5c 为本发明第四实施例的制作方法剖面示意图；
- [0068] 图 6a 至图 6d 为本发明第五实施例的制作方法剖面示意图；
- [0069] 图 7a 至图 7k 为本发明第六实施例的制作方法剖面示意图；
- [0070] 图 8a 至图 8f 为本发明第七实施例的制作方法剖面示意图；
- [0071] 图 9a 至图 9f 为本发明第八实施例的制作方法剖面示意图；
- [0072] 图 10a 至图 10l 为本发明第九实施例的制作方法剖面示意图；
- [0073] 图 11a 至图 11z 为本发明第十实施例的制作方法剖面示意图。
- [0074] 附图标记说明：10 半导体基底；12 电子组件；14 细联机结构；16 薄膜绝缘层；18 细线路层；20 导通孔；22 保护层；24 接垫；202 聚合物层；204 聚合物层；206 黏着 / 阻障层；208 种子层；210 光刻胶层；212 开口；214 金属层；216 光刻胶层；218 开口；220 金属层；222 聚合物层；224 开口；226 半导体组件；228 导线；230 软性基板；232 聚合物；234 异方性导电胶；236 玻璃基板；238 软板；240 外界电路板；242 聚合物层；244 镍金属层；246 金层；248 聚合物层；250 开口；252 聚合物层；254 开口；256 光刻胶层；258 开口；260 金属层；262 光刻胶层；264 开口；266 金属层；268 光刻胶层；270 开口；272 金属层；274 黏着 / 阻障层；276 种子层；278 光刻胶层；280 开口；282 金属层；284 聚合物层；286 开口；288 聚合物层；290 开口；294 黏着 / 阻障层；296 种子层；298 光刻胶层；300 开口；302 金属层；304 重配置线路层；306 图案化光刻胶层；308 开口；310 金属层；312 聚合物层；314 黏着 / 阻障层；316 种子层；318 光刻胶层；320 开口；322 金属层；324 光刻胶层；326 金属层；328 光刻胶层；330 金属层；332 聚合物层；334 开口。

具体实施方式

[0075] 本发明为连续电镀制作线路组件的方法及线路组件结构，其中在此发明之中公开数种在金属线路层上以连续电镀方式形成接垫 (pad)、凸块 (bump) 等方法及结构，而所公开的每一种方法及结构皆是建构在一半导体基底上，且在此半导体基底上更设有一细联机结构及一保护层，因此首先解说此半导体基底、细联机结构及保护层的结构及形成方法后，再进行本发明各种实施例的解说。

[0076] 请参阅图 1a 所示，此半导体基底 10 的形式比如是硅基底、砷化镓基底 (GAAS)、硅化锗基底、具有磊晶硅在绝缘层上 (silicon-on-insulator, SOI) 的基底，半导体基底 10 在此实施例中为圆形之一半导体晶圆，且此半导体基底 10 具有一主动表面，在半导体基底 10 的主动表面透过掺杂五价或三价的离子 (例如硼离子或磷离子等) 形成多个电子组件 12，此电子组件 12 例如是金属氧化物半导体或晶体管，金氧半导体组件 (MOS devices)，P 信道金氧半导体组件 (p-channel MOS devices)，n 信道金氧半导体组件 (n-channel MOS devices)，双载子互补式金氧半导体组件 (BiCMOS devices)，双载子连接晶体管 (Bipolar Junction Transistor, BJT)，扩散区 (Diffusion area)，电阻组件 (resistor)，电容组件 (capacitor) 及互补金属氧化半导体 (CMOS) 等。

[0077] 请参阅图 1b 所示，在半导体基底 10 的主动表面上形成一细联机结构 14，此细联机结构 14 是由多个厚度小于 3 微米的薄膜绝缘层 16 及厚度小于 3 微米的细线路层 18 所构成，其中细线路层 18 是选自铜金属材质或铝金属材质，而薄膜绝缘层 16 又称为介电层，一般是利用化学气相沉积的方式所形成。此薄膜绝缘层 16 比如为氧化硅、化学气相沉积的四乙氧基硅烷 (TEOS) 氧化物、 $\text{Si}_m\text{C}_x\text{O}_y\text{H}_z$ 、氮硅化合物、氟化玻璃 (FSG)、黑钻石薄膜 (Black Diamond)、丝印层 (SiLK)、多孔性氧化硅 (porous silicon oxide) 或氮氧硅化合物，或是以旋涂方式形成的玻璃 (SOG)、聚芳基酯 (polyarylene ether)、聚苯恶唑 (polybenzoxazole, PBO)，或者薄膜绝缘层 16 为其它介电常数值小于 3 的材质。

[0078] 在形成多个细线路层 18 在半导体基底 10 上的过程中，就金属镶嵌制作方法而言，是先溅镀一扩散阻絶层在一薄膜绝缘层 16 的开口内的底部及侧壁上及薄膜绝缘层 16 的上表面上，接着再溅镀一层例如是铜材质的种子层在扩散阻絶层上，接着再电镀一铜层在此种子层上，接着再利用化学机械研磨 (chemical mechanical polishing, CMP) 的方式去除位于该薄膜绝缘层 16 的开口外的铜层、种子层及扩散阻絶层，直到曝露出薄膜绝缘层 16 的上表面为止。而另一种方式亦可以先溅镀一铝层或铝合金层在一薄膜绝缘层 16 上，接着再利用微影蚀刻的方式图案化铝层或铝合金层。此细线路层 18 可透过薄膜绝缘层 16 内的导通孔 20 相互连接，或连接至电子组件 12 上，其中细线路层 18 一般的厚度是在 0.1 微米到 0.5 微米之间，在进行微影制作方法时细线路层 18 的细金属线路是使用五倍 (5X) 的曝光机 (steppers) 或扫描机 (scanners) 或使用更佳的仪器来制作。

[0079] 请参阅图 1c 及图 1d 所示，接着在半导体基底 10 的表面利用化学气相沉积 (CVD) 方式设置一保护层 22，此保护层 22 可开设多个缺口曝露出多个接垫 24，此接垫 24 在本发明后续实施例中的应用，在此并不详加叙述。保护层 22 可以保护半导体基底 10 内的电子组件 12 免于湿气与外来离子污染物 (foreign ioncontamination) 的破坏，也就是说保护层 22 可以防止移动离子 (mobile ions) (比如是钠离子)、水气 (moisture)、过渡

金属 (transition metal) (比如是金、银、铜) 及其它杂质 (impurity) 穿透, 而损坏保护层 22 下方的晶体管、多晶硅电阻组件或多晶硅 - 多晶硅电容组件的电子组件 12 或细金属线路。为了达到保护的目, 保护层 22 通常是由氧化硅 (silicon oxide)、氧硅化合物、磷硅玻璃、氮化硅 (silicon nitride)、及氧氮化硅 (silicon oxy-nitride) 等所组成, 而保护层 22 以目前制作方式约有 10 种不同方法。

[0080] 第一种保护层 22 制作方法是先利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氧化硅层, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该氧化硅层上。

[0081] 第二种保护层 22 制作方法是先利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氧化硅层, 接着再利用电浆加强型化学气相沉积的步骤形成厚度介于 0.05 至 0.15 微米间的一氮氧化硅层在该氧化硅层上, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该氮氧化硅层上。

[0082] 第三种保护层 22 制作方法是先利用化学气相沉积的步骤形成厚度介于 0.05 至 0.15 微米间的一氮氧化硅层, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氧化硅层在该氮氧化硅层上, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该氧化硅层上。

[0083] 第四种保护层 22 制作方法是先利用化学气相沉积的步骤形成厚度介于 0.2 至 0.5 微米间的一第一氧化硅层, 接着再利用旋涂法 (spin-coating) 形成厚度介于 0.5 至 1 微米间的一第二氧化硅层在该第一氧化硅层上, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 0.5 微米间的一第三氧化硅层在该第二氧化硅层上, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该第三氧化硅层上。

[0084] 第五种保护层 22 制作方法是先利用高密度电浆化学气相沉积 (HDP-CVD) 的步骤形成厚度介于 0.5 至 2 微米间的一氧化硅层, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该氧化硅层上。

[0085] 第六种保护层 22 制作方法是先形成厚度介于 0.2 至 3 微米间的一未掺杂硅玻璃层 (undoped silicate glass, USG), 接着形成比如是四乙氧基硅烷 (TEOS)、硼磷硅玻璃 (borophosphosilicate glass, BPSG) 或磷硅玻璃 (phosphosilicate glass, PSG) 等的厚度介于 0.5 至 3 微米间的一绝缘层在该未掺杂硅玻璃层上, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该绝缘层上。

[0086] 第七种保护层 22 制作方法是选择性地先利用化学气相沉积的步骤形成厚度介于 0.05 至 0.15 微米间的一第一氮氧化硅层, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氧化硅层在该第一氮氧化硅层上, 接着可以选择性地利用化学气相沉积的步骤形成厚度介于 0.05 至 0.15 微米间的一第二氮氧化硅层在该氧化硅层上, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该第二氮氧化硅层上或在该氧化硅层上, 接着可以选择性地利用化学气相沉积的步骤形成厚度介于 0.05 至 0.15 微米间的一第三氮氧化硅层在该氮化硅层上, 接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氧化硅层在该第三氮氧化硅层上或在该氮化硅层上。

[0087] 第八种保护层 22 制作方法是先利用化学气相沉积 (PECVD) 的步骤形成厚

度介于 0.2 至 1.2 微米间的一第一氧化硅层，接着再利用旋涂法 (spin-coating) 形成厚度介于 0.5 至 1 微米间的一第二氧化硅层在该第一氧化硅层上，接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一第三氧化硅层在该第二氧化硅层上，接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该第三氧化硅层上，接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一第四氧化硅层在该氮化硅层上。

[0088] 第九种保护层 22 制作方法可以是先利用高密度电浆化学气相沉积 (HDP-CVD) 的步骤形成厚度介于 0.5 至 2 微米间的一第一氧化硅层，接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氮化硅层在该第一氧化硅层上，接着再利用高密度电浆化学气相沉积 (HDP-CVD) 的步骤形成厚度介于 0.5 至 2 微米间的一第二氧化硅层在该氮化硅层上。

[0089] 第十种保护层 22 制作方法可以是先利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一第一氮化硅层，接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一氧化硅层在该第一氮化硅层上，接着再利用化学气相沉积的步骤形成厚度介于 0.2 至 1.2 微米间的一第二氮化硅层在该氧化硅层上。

[0090] 其中在半导体基底 10 上的保护层 22 的厚度一般是大于 0.35 微米，在较佳的情况下，氮化硅层的厚度通常大于 0.3 微米。

[0091] 至此半导体基底 10、细联机结构 14 及保护层 22 解说完成，下面就依序分别解说本发明的各个实施例，其中每一实施例皆是在保护层 22 上进行。

[0092] 第一实施例

[0093] 此第一实施例是以在半导体基底 10 上形成被动组件为说明标的，其中此被动组件例如是电感 (线圈) 组件、电阻组件、电容组件等，请参阅图 2a 所示，利用旋涂 (spin-coating) 方式形成一聚合物层 202 在保护层 22，此聚合物层 202 具有绝缘功能，且此聚合物层 202 的材质是选自材质比如为热塑性塑料、热固性塑料、聚酰亚胺 (polyimide, PI)、苯基环丁烯 (benzo-cyclo-butene, BCB)、聚氨脂 (polyurethane)、环氧树脂、聚对二甲苯类高分子、焊罩材料、弹性材料或多孔性介电材料其中之一。而此聚合物层 202 除了利用旋涂 (spin-coating) 方式也可以利用热压合干膜方式、网版印刷方式进行，此聚合物层 202 的厚度是介于 2 微米至 50 微米之间。

[0094] 请参阅图 2b 所示，另外为了加强此聚合物层 202 的绝缘功能，可再利用旋涂方式再形成另一聚合物层 204，增加整体绝缘的性能，其中此聚合物层 204 的厚度是介于 2 微米至 50 微米之间。

[0095] 接着将聚合物层 202 及聚合物层 204 以烘烤加热、微波加热、红外线加热其中之一方式进行加热至介于摄氏 200 度与摄氏 320 度之间的温度或加热至介于摄氏 320 度与摄氏 450 度之间的温度，以硬化 (curing) 聚合物层 202 及聚合物层 204，硬化后的聚合物层 202 及聚合物层 204 在体积上会呈现缩小的情形，且聚合物层 202 及聚合物层 204 含水率小于 1%，此含水率是将聚合物层 202 及聚合物层 204 置放在温度介于摄氏 425 度至 450 度下时，其重量变化率小于 1%。

[0096] 请参阅图 2c 所示，接着溅镀形成厚度介于 400 埃至 7000 埃一黏着 / 障碍层 206 (Adhesion/Barrier/seed layer) 在保护层 22 及聚合物层 204 上，此黏着 / 障碍层 206 的

材质是选自钛金属、氮化钛、钛钨合金、钽金属层、铬、铬铜合金及氮化钽其中之一或所组成的群组的至少其中之一，接着如图 2d 所示，形成一种子层 208 在此黏着 / 阻障层 206 上，此种子层 208 有利于后续金属线路的设置，因此种子层 208 的材质也随后续的金属线路材质有所变化，此外在本文后续实例中所有黏着 / 阻障层上皆形成有一种子层，在此特以说明。

[0097] 当种子层上是电镀形成铜材质的金属线路时，种子层的材料是以铜为佳；当要电镀形成银材质的金属线路时，种子层的材料是以银为佳；当要电镀形成钯材质的金属线路时，种子层的材料是以钯为佳；当要电镀形成铂材质的金属线路时，种子层的材料是以铂为佳；当要电镀形成铑材质的金属线路时，种子层的材料是以铑为佳；当要电镀形成钌材质的金属线路时，种子层的材料是以钌为佳；当要电镀形成铼材质的金属线路时，种子层的材料是以铼为佳；当要电镀形成镍材质的金属线路时，种子层的材料是以镍为佳。

[0098] 请参阅图 2e 所示，形成一光刻胶层 210 在种子层 208 上，此光刻胶层 210 为正光刻胶型式。如图 2f 所示，图案化此光刻胶层 210 形成多个开口 212 曝露出种子层 208，在形成开口 212 的过程中是以一倍 (1X) 的曝光机 (steppers) 或扫描机 (scanners) 进行曝光显影，在此实施例的开口 212 具有一线圈形状。

[0099] 请参阅图 2g 所示，电镀形成厚度介于 1 微米至 50 微米之间的一金属层 214 在开口 212 所曝露出的种子层 208 上，此金属层 214 较佳的厚度是介于 2 微米至 30 微米之间，此金属层 214 比如是金、铜、银、钯、铂、铑、钌、铼或镍的单层金属层结构，或是由上述金属材质所组成的复合层。

[0100] 如图 2h 所示，接着去除光刻胶层 210，而所留下金属层 214 即呈现一线圈形状，请参阅图 2i 所示，此线圈形状的金属层 214 可作被动组件中的电感，当此线圈形状的金属层 214 通过电流时，即产生感应电动势，使保护层 22 下方的细线路层 18 感应。另外在此说明此线圈形状的金属层 214 在使用时 (通入电流)，会产生大量的静电，大约为 1500 伏特 (V)，因为聚合物层 202 及聚合物层 204 必须有一定程度的厚度，才能防止细线路层 18 及薄膜绝缘层 16 损坏。

[0101] 如图 2j 所示，接着形成一光刻胶层 216 在金属层 214 及种子层 208 上；如图 2k 所示，同样利用一倍 (1X) 的曝光机 (steppers) 或扫描机 (scanners) 进行曝光显影，图案化此光刻胶层 216，在光刻胶层 216 内形成多个开口 218 曝露出金属层 214 顶面。

[0102] 如图 2l 所示，电镀形成厚度介于 1 微米至 150 微米之间的一金属层 220 在开口 218 内所曝露出的金属层 214 上，此金属层 220 较佳的厚度是介于 2 微米至 30 微米之间，此金属层 220 比如是金、铜、银、钯、铂、铑、钌、铼或镍的单层金属层结构，或是由上述金属材质所组成的复合层，由上述金属材质所形成的金属层 220 较佳厚度可介于 2 微米至 30 微米之间。此外，金属层 220 除了上述所提的金属材质外也可使用焊料材料取代，此焊料材料为锡铅金属层、锡银金属层、锡银铜合金层、无铅焊料层。此金属层 220 若为焊料材质，则金属层 220 的较佳厚度是介于 3 微米至 150 微米之间。

[0103] 如图 2m 所示，去除光刻胶层 216；如图 2n 所示，利用含有碘的蚀刻液去除未在金属层 214 下的种子层 208，例如碘化钾等蚀刻液，并再利用双氧水蚀刻去除未在金属层 214 下的黏着 / 阻障层 206，其中去除黏着 / 阻障层 206 的方式分为干式蚀刻及湿式蚀

刻，其中干式蚀刻使用高压氩气进行溅击蚀刻，而进行湿式蚀刻时若种子层 208 为金的种子层时，则可使用碘化钾溶液进行去除，若黏着 / 阻障层 206 为钛钨合金时，则可使用双氧水进行去除。

[0104] 如图 2o 所示，形成一聚合物层 222 在金属层 220 及金属层 214 上，如图 2p 所示，利用蚀刻方式图案化此聚合物层 222 形成多个开口 224 曝露出金属层 220，其中值得注意的是，当聚合物层 222 为感光材质时，则比如可以利用微影制作方法 (photolithography process)，将聚合物层 222 图案化；当聚合物层 222 为非感光材质时，则比如可以利用微影蚀刻制作方法 (photolithography process and etching process)，将聚合物层 222 图案化并加热硬化。接着如图 2q 所示，切割此半导体基底 10 形成多个半导体组件 226。

[0105] 此外，另一值得注意的地方在于第一实施例中金属层 214 及金属层 220 材质及厚度上的变化，使得第一实施例后续的应用及结构型态有所不同。如图 2r 所示，当金属层 220 为一金层时，则可利用一打线制作方法形成一导线 228 在半导体组件 226 所曝露出的金属层 220 上，藉由此导线 226 使半导体组件 226 电连接至一外界电路，此外界电路为软版、半导体芯片、印刷电路板陶瓷基板或玻璃基板等。

[0106] 请参阅图 2s 所示，例如当金属层 220 的厚度是介于 10 微米至 30 微米之间时，也就是金属层 220 是应用在凸块 (bump) 时，将图 2n 所示的结构藉由卷带自动贴合 (Tape Automated Bonding; TAB) 制作方法，使半导体组件 226 上的金属层 220 接合在一软性基板 230 上。在此实施例中金属层 220 及金属层 214 较佳材质分别为铜金属材质及金金属材质，当半导体组件 226 接合在软性基板 230 后，可再包覆一聚合物 232 以保护金属层 220 与软性基板 230 的接合处。

[0107] 请参阅图 2t 所示，例如当金属层 220 是应用在凸块 (bump) 时，也可利用一异性导电胶 (ACF) 234 将半导体组件 226 上的凸块 (金属层 220) 电性接合在一玻璃基板 236 上，此方式也就是玻璃覆晶封装 (Chip-on-glass)，此 COG 技术是将 IC 芯片直接黏结在主动矩阵液晶显示器 (LCD) 边缘的制造方法，以提供更小的封装面积、更高的品质，并可改良坚固度，在此金属层 220 及金属层 214 较佳材质分别为铜金属材质及金金属材质。

[0108] 请参阅图 2u 所示，例如当金属层 220 是应用在凸块 (bump) 时，同样也可利用异性导电胶 (ACF) 234 将半导体组件 226 上的凸块 (金属层 220) 电性接合在一软板 (film) 238 上，此方式也就是 COF (chip on film) 技术，主要应用以手机为主，或未来应用于 PDP (电浆显示器) 的驱动 IC，及其它面积不大的 LCD 产品上。在此金属层 220 及金属层 214 较佳材质分别为铜金属材质及金金属材质。

[0109] 请参阅图 2v 所示，例如当金属层 220 是应用在凸块 (bump) 时，且金属层 220 的材质为焊料时，比如锡铅金属层、锡银金属层、锡银铜合金层、无铅焊料等等，在进行切割半导体基底 10 的步骤前，则先进行再加热制作方法，使金属层 220 到达熔点而内聚成球形，之后再行切割半导体基底 10 的步骤形成多个半导体组件 226，接着以覆晶 (Flip Chip, FC) 方式接合在一外界电路板 240 上，接着可形成一聚合物层 242 在外界电路板 240 与半导体组件 226 之间以提供保护。

[0110] 第二实施例

[0111] 此实施例与第一实施例相似，不同点在于当金属层 214 的面积太小时，使覆盖

在金属层 220 及金属层 214 上的聚合物层 222 进行微影蚀刻时, 无法蚀刻出如此微细的开口, 因此会形成如图 3a 所示的结构, 使得金属层 220 及金属层 214 完全曝露在外, 再进行加热使聚合物层 222 硬化, 接着如图 3b 所示, 切割此半导体基底 10 形成多个半导体组件 226。接着使金属层 220 接合在外界电路板 240 上, 接着同样形成聚合物层 242 在外界电路板 240 与半导体组件 226 之间以提供保护。

[0112] 第三实施例

[0113] 此实施例与第一实施例相似, 不同点在于电镀形成一金属层 220 在开口 218 内的步骤及金属材质不同, 如图 4a 所示, 将第一实施例中在光刻胶层 216 的开口 218 内是先电镀形成厚度介于 2 微米至 30 微米之间的一镍金属层 244, 接着如图 4b 所示, 再电镀形成厚度介于 2 微米至 30 微米之间的一金层 246 在镍金属层 244 上, 接着如图 4c 所示, 去除光刻胶层 216; 如图 4d 所示, 利用含有碘的蚀刻液去除未在金属层 214 下的种子层 208, 例如碘化钾等蚀刻液, 并再利用双氧水蚀刻去除未在金属层 214 下的黏着/障碍层 206。

[0114] 如图 4e 所示, 形成一聚合物层 248 在金层 246 及金属层 214 上, 如图 4f 所示, 利用蚀刻方式图案化此聚合物层 248 形成多个开口 250 曝露出金层 246, 再进行加热使聚合物层 248 硬化, 接着如图 4g 所示, 切割此半导体基底 10 形成多个半导体组件 226。其中图 4e 至图 4g 的详细制作方法与第一实施例相同, 在此就不加以重复叙述。

[0115] 如图 4h 所示, 利用一打线制作方法形成一导线 228 在半导体组件 226 所曝露出的金层 246 上, 藉由此导线 228 使半导体组件 226 电连接至一外界电路, 此外界电路为软版、半导体芯片、印刷电路板陶瓷基板或玻璃基板等。其中金属层 214 较佳的材质为铜金属, 与镍金属层 244 及金层 246 构成铜/镍/金层结构。此外另一值得注意的地方在于镍金属层 244 上除了可电镀形成金层 246 外, 也可电镀一铂层 (Pt)、钯层 (Pd)、银层 (Ag) 等金属层取代。

[0116] 第四实施例

[0117] 此实施例与第一实施例相似, 不同点在于图案化聚合物层 222 的步骤, 请参阅图 5a 及图 5b 所示, 在第一实施例中图案化聚合物层 222 仅是曝露出金属层 220, 而在此实施例中则是以蚀刻方式图案化此聚合物层 222 形成多个开口 224 同时曝露出金属层 220 及金属层 214, 如图 5c 所示, 在进行完切割半导体基底 10 后产生多个半导体组件 226, 每一半导体组件 226 上的聚合物层 222 开口同时曝露金属层 220 及金属层 214, 当金属层 214 为金 (Au) 金属材质时, 在聚合物层 222 开口所曝露的金属层 214 则可利用打线制作方法形成导线 228 电连接至外界电路, 而曝露于外界的金属层 220 则可利用 TAB、COG、COF 及 FC 等技术接合在一外界基板上。

[0118] 第五实施例

[0119] 请参阅图 6a 所示, 此实施例是由第一实施例图 2h 所发展而来, 在第一实施例去除光刻胶层 210 后, 形成厚度介于 2 微米至 30 微米之间的一聚合物层 252 在金属层 214 上, 如图 6b 所示, 利用蚀刻方式图案化此聚合物层 252 形成多个开口 254 曝露出未在金属层 214 下的种子层 208 及部分的金属层 214, 其中部分的聚合物层 252 仍包覆着金属层 214, 仅特定部分金属层 214 顶面曝露出, 接着将此聚合物层 252 加热硬化, 接着如图 6c 所示, 去除种子层 208 及黏着/障碍层 206, 如图 6d 图所示, 进行切割半导体基底 10 形成多个半导体组件 226, 并且藉由打线制作方法形成导线 228 在所曝露出的金属层 214 顶

面上，使半导体组件 226 电连接至外界电路。

[0120] 第六实施例

[0121] 请参阅图 7a 所示，此实施例是由第五实施例的图 6b 发展而来，此实施例将包覆在金属层 214 的聚合物层 252 硬化，接着形成一光刻胶层 256 在金属层 214 及种子层 208 上，接着如图 7b 所示，利用微影蚀刻方式在光刻胶层 256 上形成多个开口 258 曝露出金属层 214 表面，如图 7c 所示，电镀形成一金属层 260 在开口 258 内，此金属层 260 的厚度是介于 1 微米至 150 微米之间，当金属层 260 的材质为金、铜、银、钯、铂、铑、钇、铈或镍的单层金属层结构，或是由上述金属材质所组成的复合层时，则金属层 260 较佳的厚度是介于 2 微米至 30 微米之间。若金属层 260 的材质为焊料时，比如是锡铅金属层、锡银金属层、锡银铜合金层、无铅焊料其中之一，则金属层 260 的厚度较佳是介于 3 微米至 150 微米之间。

[0122] 如图 7d 所示，去除光刻胶层 256，并去除种子层 208 及黏着 / 障碍层 206，接着如图 7e 所示，切割此半导体基底 10 形成多个半导体组件 226。

[0123] 请参阅图 7f 所示，利用打线制作方法形成导线 228 在金属层 260 上，使半导体组件 226 电连接至外界电路上。如图 7g 所示，也可藉由卷带自动贴合 (Tape Automated Bonding ; TAB) 制作方法，使半导体组件 226 上的金属层 260 接合在一软性基板 230 上，如图 7h 所示，也可藉由玻璃覆晶封装 (Chip-on-glass) 技术，利用异方性导电胶 (ACF) 234 将半导体组件 226 上的金属层 260 电性接合在一玻璃基板 236 上，如图 7i 所示，同样也可藉由 COF (chip on film) 技术，利用异方性导电胶 (ACF) 234 将半导体组件 226 上的金属层 260 电性接合在软板 238 上，如图 7j 所示，当金属层 260 材质为焊料时，则在进行切割半导体基底 10 的步骤前，则先进行再加热制作方法，使金属层 260 到达熔点而内聚成球形，之后再行切割半导体基底 10 的步骤形成多个半导体组件 226，接着如图 7k 所示，以覆晶 (Flip Chip, FC) 方式接合在外界电路板 240 上，接着可形成聚合物层 242 在外界电路板 240 与半导体组件 226 之间以提供保护。

[0124] 第七实施例

[0125] 请参阅图 8a 所示，此实施例与第五实施例相似，同样是因金属层 214 的面积太小时，使覆盖在金属层 214 及种子层 208 上的聚合物层 252 进行微影蚀刻时，无法蚀刻出如此微细的开口，因此在微影蚀刻时会形成如图 8a 所示的结构，接着将此聚合物层 252 进行加热硬化，接着如图 8b 所示，形成一光刻胶层 262 在聚合物层 252 及种子层 208 上，如图 8c 所示，利用微影蚀刻方式使光刻胶层 262 形成多个开口 264 曝露出金属层 214，如图 8d 所示，电镀形成厚度介于 1 微米至 150 微米之间的一金属层 266 在开口 264 内，此金属层 266 的材质为金、铜、银、钯、铂、铑、钇、铈或镍的单层金属层结构，或是由上述金属材质所组成的复合层时，则金属层 266 较佳的厚度是介于 2 微米至 30 微米之间。若金属层 266 的材质为焊料时，比如是锡铅金属层、锡银金属层、锡银铜合金层、无铅焊料其中之一，则金属层 266 的厚度较佳是介于 3 微米至 150 微米之间。

[0126] 如图 8e 及图 8f 所示，去除光刻胶层 262，并去除种子层 208 及黏着 / 障碍层 206，接着切割此半导体基底 10 形成多个半导体组件 226，而每一半导体组件 226 皆可使用打线制作方法、卷带自动贴合 (Tape Automated Bonding ; TAB) 制作方法、玻璃覆晶封装 (Chip-on-glass) 技术、COF (chip on film) 技术及覆晶 (Flip Chip, FC) 技术连接至外界

电路上，其中接合的过程已在第一实施例中解说，在此就不重复说明。

[0127] 第八实施例

[0128] 此实施例是由第五实施例的图 6a 发展而来，请参阅图 9a 所示，其中在图 6b 蚀刻方式图案化此聚合物层 252 时，形成多个开口 254 曝露出未在金属层 214 下的种子层 208 及部分的金属层 214，接着将此聚合物层 252 进行加热硬化，接着如图 9b 所示，形成一光刻胶层 268 在聚合物层 252、金属层 214 及种子层 208 上，如图 9c 所示，利用微影蚀刻方式使光刻胶层 268 形成多个开口 270 曝露出部分的金属层 214，其中值得注意的地方在于光刻胶层 268 同时将部分曝露的金属层 214 予以覆盖，与第七实施例不同，如图 9d 所示，电镀形成厚度介于 1 微米至 150 微米之间的一金属层 272 在开口 270 内，此金属层 272 的材质及厚度如上述第七实施例中的金属层 266 一样，在此就不加以重复解说。

[0129] 如图 9e 及图 9f 所示，去除光刻胶层 262，并去除种子层 208 及黏着 / 阻障层 206，并且进行半导体基底 10 的切割步骤，形成多个半导体组件 226，而半导体组件 226 上的金属层 272 可藉由则可利用 TAB、COG、COF 及 FC 等技术接合在一外界基板上，而当金属层 214 为金 (Au) 金属材质时，在聚合物层 252 开口所曝露的金属层 214 则可利用打线制作方法形成导线 228 电连接至外界电路。

[0130] 第九实施例

[0131] 此实施例是由第一实施例中的图 2o 所发展而来，请参阅图 10a 所示，其中在形成一聚合物层 222 在金属层 220 及金属层 214 上后，进行加热使聚合物层 222 硬化，如图 10b 所示，利用化学机械研磨 (CMP) 进行一研磨的步骤，使聚合物层 222 厚度减少直到金属层 220 露出，接着溅镀厚度介于 400 埃至 7000 埃一黏着 / 阻障层 274 在聚合物层 222 及金属层 220 上，此黏着 / 阻障层 274 的材质是选自钛金属、氮化钛、钛钨合金、钽金属层、铬、铬铜合金及氮化钽其中之一或所组成的群组的至少其中之一，接着如图 10c 所示，再溅镀形成一种子层 276 在黏着 / 阻障层 274 上，如图 10d 所示，形成一光刻胶层 278 在种子层 276 上，如图 10e 所示，图案化此光刻胶层 278 形成多个开口 280 曝露出种子层 276，在形成开口 280 的过程中是以一倍 (1X) 的曝光机 (steppers) 或扫描机 (scanners) 进行曝光显影，在此实施例的开口 280 具有一线圈形状。

[0132] 接着如图 10f 所示，电镀形成厚度介于 1 微米至 50 微米之间的一金属层 282 在开口 280 所曝露出的种子层 276 上，此金属层 282 较佳的厚度是介于 2 微米至 30 微米之间，此金属层 282 比如是金、铜、银、钯、铂、铯、钇、铈或镍的单层金属层结构，或是由上述金属材质所组成的复合层。如图 10g 所示，接着去除光刻胶层 278，而所留下金属层 282 即呈现一线圈形状。

[0133] 如图 10h 所示，接着去除未在金属层 282 下方的种子层 276 及黏着 / 阻障层 274，如图 10i 所示，形成一聚合物层 284 在金属层 282 及聚合物层 222 上；如图 10j 所示，利用蚀刻方式蚀刻此聚合物层 284，使聚合物层 284 形成多个开口 286 曝露出金属层 282，如图 10k 所示，进行切割半导体基底 10，形成多个半导体组件 226，接着如图 10l 所示，利用打线制作方法形成导线 228 在曝露出金属层 282 上，藉由导线 228 使半导体组件 226 电连接至一外界电路上。

[0134] 第十实施例

[0135] 此实施例的结构与上述九种实施例不同，但皆有应用到连续电镀形成金属层的

概念，其中上述九种实施例皆是以被动组件中的电感（线圈）型式为例，此实施例则是以重配置线路（RDL）为实施例。

[0136] 请参阅图 11a 所示，在完成此保护层 22 后，接着形成厚度介于 3 微米至 50 微米之间的一聚合物层 288 在此保护层 22 上，此聚合物层 288 具有绝缘功能，且此聚合物层 288 的材质是选自材质比如为热塑性塑料、热固性塑料、聚酰亚胺 (polyimide, PI)、苯基环丁烯 (benzo-cyclo-butene, BCB)、聚氨脂 (polyurethane)、环氧树脂、聚对二甲苯类高分子、焊罩材料、弹性材料或多孔性介电材料。而此聚合物层 288 主要是利用旋涂方式设置，另外也可利用热压合干膜方式、网版印刷方式进行，接着如图 11b 所示，利用蚀刻方式对此聚合物层 288 进行图案化，而形多个开口 290 曝露出半导体基底 30 上的接垫 24。其中值得注意的是，当聚合物层 288 为感光材质时，则比如可以利用微影制作方法 (photolithography process)，将聚合物层 288 图案化；当聚合物层 288 为非感光材质时，则比如可以利用微影蚀刻制作方法 (photolithography process and etching process)，将聚合物层 288 图案化。

[0137] 并且将图案化的聚合物层 288 后，可利用烘烤加热、微波加热、红外线加热其中之一方式进行加热至介于摄氏 200 度与摄氏 320 度之间的温度或加热至介于摄氏 320 度与摄氏 450 度之间的温度，以硬化 (curing) 聚合物层 288，硬化后的聚合物层 288 在体积上会呈现缩小的情形，且聚合物层 288 含水率小于 1%，此含水率是将聚合物层 288 置放在温度介于摄氏 425 度至 450 度下时，其重量变化率小于 1%。

[0138] 如图 11c 所示，以溅镀方式形成厚度介于 400 埃至 7000 埃之一黏着 / 障碍层 294 及一种子层 296 (Adhesion/Barrier/seed layer) 在聚合物层 288 及接垫 24 上，其中此黏着 / 障碍层 294 的材质是选自钛金属、氮化钛、钛钨合金、钽金属层、铬、铬铜合金及氮化钽其中之一或所组成的群组的至少其中之一。

[0139] 接着如图 11d 所示，形成一图案化光刻胶层 298 在位于此黏着 / 障碍层 294 上的种子层 296 上，此图案化光刻胶层 298 具有多个开口 300 曝露出部分的位于黏着 / 障碍层 294 上的种子层 296，在形成开口 300 的过程中比如是一倍 (1X) 的曝光机 (steppers) 或扫描机 (scanners)，且此图案化光刻胶层 298 为正光刻胶型式。

[0140] 如图 11e 所示，接着电镀形成厚度介于 1 微米至 50 微米之间的一金属层 302 在开口 300 所曝露出的种子层 296 上，此金属层 302 较佳的厚度是介于 2 微米至 30 微米之间，使金属层 302 电连接至细联机结构 14，此金属层 302 比如是金、铜、银、钯、铂、铯、钇、铈或镍的单层金属层结构，或是由上述金属材质所组成的复合层。

[0141] 接着如图 11f 所示，去除此图案化光刻胶层 298，即形成一重配置线路层 304，值得注意的特点在于此重配置线路层 304 主要是将金属层 302 形成在开口 290 上及延伸至部分的聚合物层 288 上，并不是单纯形在开口 290 上，而所延伸的金属层 302 上则有利于后续的线路的设置。

[0142] 如图 11g 所示，接着形成一图案化光刻胶层 306 在此重配置线路层 304 上及位于黏着 / 障碍层 294 上的种子层 296 上，此图案化光刻胶层 306 的多个开口 308 曝露出此重配置线路层 304。

[0143] 接着如图 11h 所示，电镀形成厚度介于 1 微米至 20 微米之间的一金属层 310 在此开口 308 内，且此金属层 310 的最大横向宽度是介于 3 微米至 50 微米，此金属层 310

的材质的材质选自金、铜、银、钯、铂、铑、钇、铯或镍其中之一或所组成的群组的至少其中之一，此金属层 310 较佳的厚度是介于 2 微米至 10 微米之间。

[0144] 其中值得注意的是金属层 310 的材质若是铜金属时，则重配置线路层 304 较佳的顶层金属材质为铜金属；金属层 310 的材质若是银金属时，则重配置线路层 304 较佳的顶层金属材质为银金属；金属层 310 的材质若是钯金属时，则重配置线路层 304 较佳的顶层金属材质为钯金属；金属层 310 的材质若是铂金属时，则重配置线路层 304 较佳的顶层金属材质为铂金属；金属层 310 的材质若是铑金属时，则重配置线路层 304 较佳的顶层金属材质为铑金属；金属层 310 的材质若是钇金属时，则重配置线路层 304 较佳的顶层金属材质为钇金属；金属层 310 的材质若是铯金属时，则重配置线路层 304 较佳的顶层金属材质为铯金属；金属层 310 的材质若是镍金属时，则重配置线路层 304 较佳的顶层金属材质为镍金属。

[0145] 如图 11i 所示，接着去除图案化光刻胶层 306，并利用双氧水蚀刻去除未在重配置线路层 304 下的黏着 / 障碍层 294，其中除了利用双氧水去除黏着 / 障碍层 294 外，并利用含有碘的蚀刻液去除种子层 296，例如碘化钾等蚀刻液。

[0146] 如图 11j 所示，在去除金属层 302 下的黏着 / 障碍层 294 及种子层 296 后，以旋涂方式形成一聚合物层 312 在此半导体基底 10 上将金属层 310 覆盖，此聚合物层 312 的材质是选自材质比如为热塑性塑料、热固性塑料、聚酰亚胺 (polyimide, PI)、苯基环丁烯 (benzo-cyclo-butene, BCB)、聚氨脂 (polyurethane)、环氧树脂、聚对二甲苯类高分子、焊罩材料、弹性材料或多孔性介电材料。

[0147] 请参阅图 11k 所示，利用烘烤加热、微波加热、红外线加热其中之一方式进行加热使聚合物层 312 硬化，并利用化学机械研磨 (CMP) 方式使金属层 310 曝露出。

[0148] 如图 11l 所示，接着溅镀厚度介于 400 埃至 7000 埃一黏着 / 障碍层 314 在聚合物层 312 及金属层 310 上，此黏着 / 障碍层 314 的材质是选自钛金属、氮化钛、钛钨合金、钽金属层、铬、铬铜合金及氮化钽其中之一或所组成的群组的至少其中之一，接着如图 11m 所示，再溅镀形成一种子层 316 在黏着 / 障碍层 314 上，如图 11n 所示，形成一光刻胶层 318 在种子层 316 上，如图 11o 所示，图案化此光刻胶层 318 形成多个开口 320 曝露出种子层 316，在形成开口 320 的过程中是以一倍 (1X) 的曝光机 (steppers) 或扫描机 (scanners) 进行曝光显影。

[0149] 接着如图 11p 所示，电镀形成厚度介于 1 微米至 50 微米之间的一金属层 322 在开口 320 所曝露出的种子层 316 上，此金属层 322 较佳的厚度是介于 2 微米至 30 微米之间，此金属层 322 比如是金、铜、银、钯、铂、铑、钇、铯或镍的单层金属层结构，或是由上述金属材质所组成的复合层。如图 11q 所示，接着去除光刻胶层 318，而所留下金属层 322。

[0150] 如图 11r 所示，再形成一图案化光刻胶层 324 在金属层 322 上，图案化光刻胶层 324 的开口曝露出金属层 322，如图 11s 所示，电镀形成一金属层 326 在图案化光刻胶层 324 的开口内，如图 11t 所示，去除图案化光刻胶层 324，并形成另一图案化光刻胶层 328，此图案化光刻胶层 328 的厚度比原有的图案化光刻胶层 324 高至少 3 微米以上，此图案化光刻胶层 328 的多个开口曝露出金属层 322，如图 11u 所示，形成一金属层 330 在图案化光刻胶层 328 的开口内，如图 11v 所示，去除此图案化光刻胶层 328，并去除未在

金属层 322 下的黏着 / 阻障层 314 及种子层 316。

[0151] 如图 11w 所示, 以旋涂方式形成一聚合物层 332 覆盖在金属层 330 及聚合物层 312 上, 如图 11x 所示, 利用微影蚀刻方式图案化聚合物层 332, 形成多个开口 334 曝露出金属层 326 及金属层 330, 如图 11y 所示, 进行加热使此聚合物层 332 硬化, 接着进行切割半导体基底 10 步骤, 形成多个半导体组件 226, 接着如图 11z 所示, 利用打线制作方法形成导线 228 在金属层 326 上, 而金属层 330 则可利用 TAB、COG、COF 及 FC 等技术接合在一外界基板上。

[0152] 本发明在半导体基底(晶圆)上藉由连续电镀的方式, 产生了许多不同型态的连接结构, 形成各种不同对外的接点结构, 比如形成接垫(pad)、凸块(bump)等, 此接垫及凸块皆可透过打线或异方式导电胶电连接至外界电路上, 使半导体组件的应用更具多元化连接方式。

[0153] 以上所述是藉由实施例说明本发明的特点, 其目的在使熟悉该技术普通一般技术人员能瞭解本发明的内容并据以实施, 而非限定发明专利的权利要求保护范围, 故, 凡其它未脱离本发明所揭示的精神所完成的等效修饰或修改, 仍应包含在以下所述的权利要求范围中。

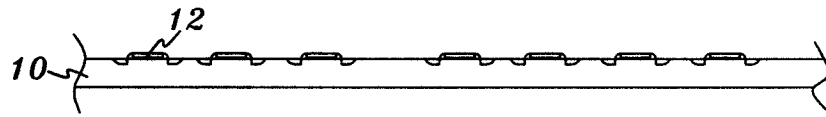


图 1a

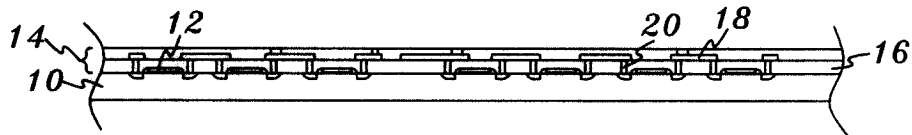


图 1b

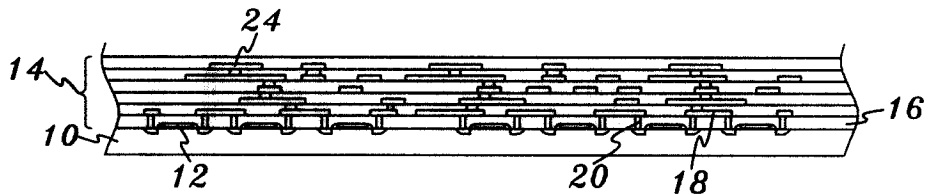


图 1c

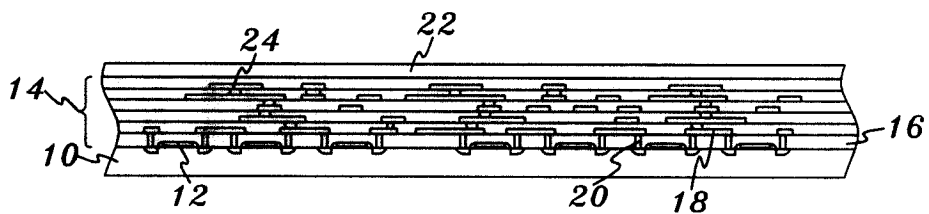


图 1d

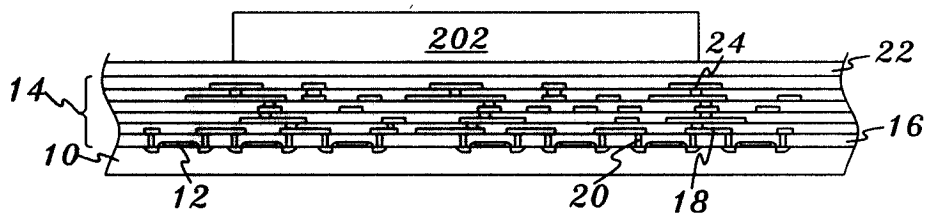


图 2a

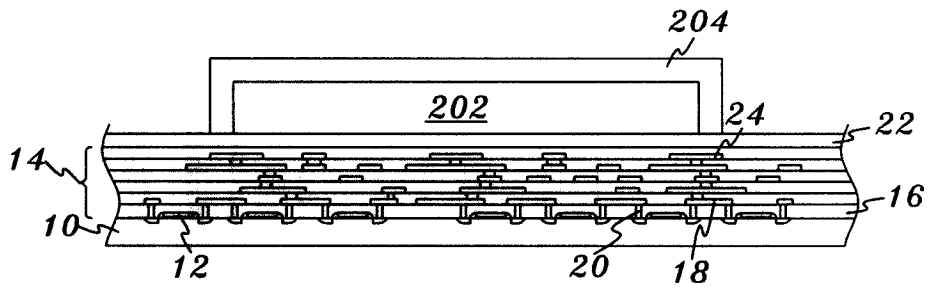


图 2b

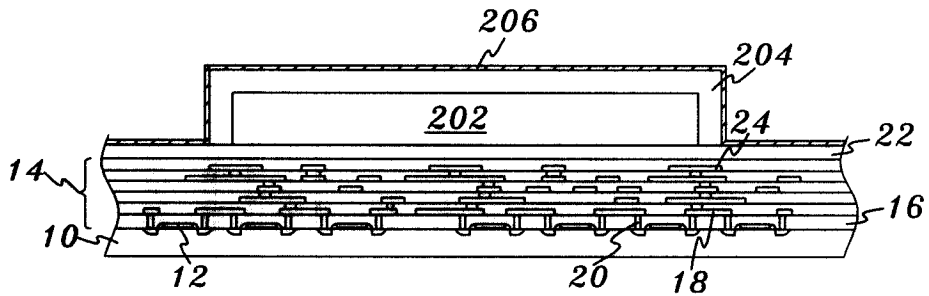


图 2c

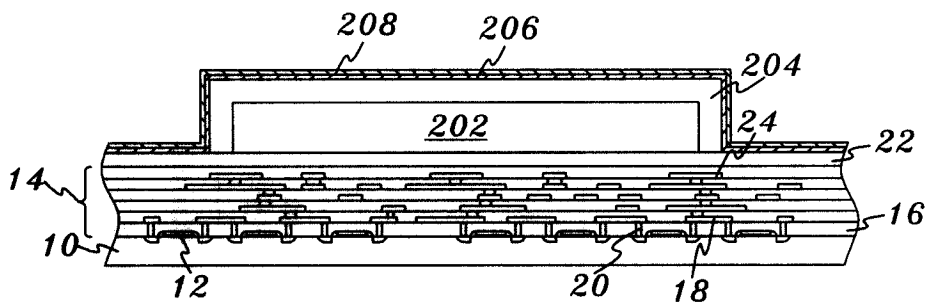


图 2d

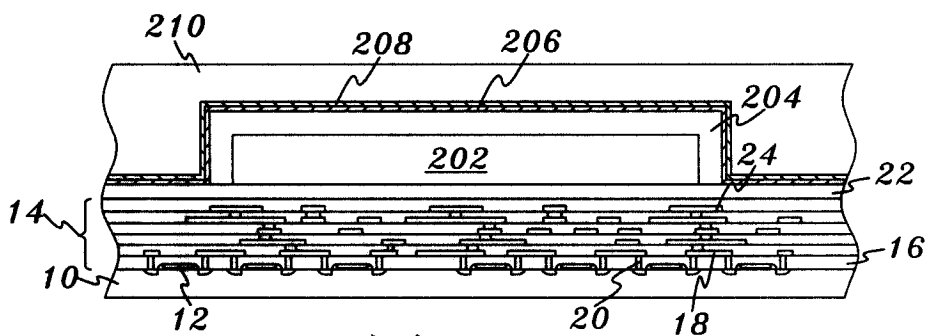


图 2e

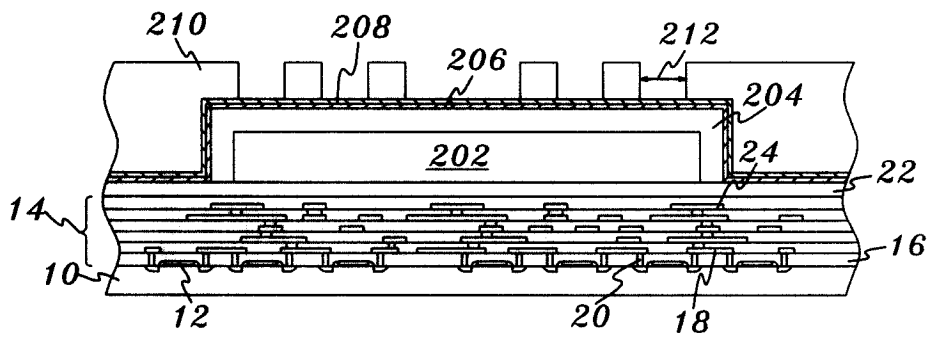


图 2f

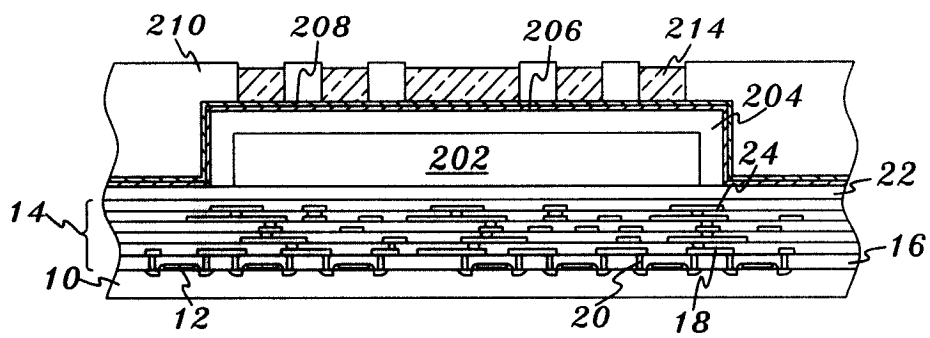


图 2g

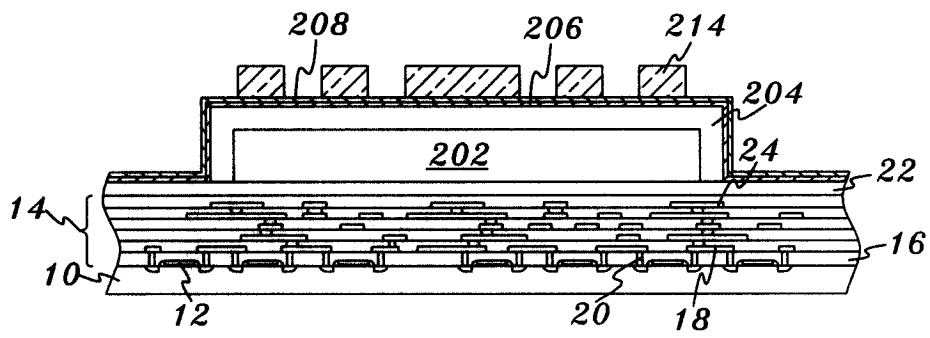


图 2h

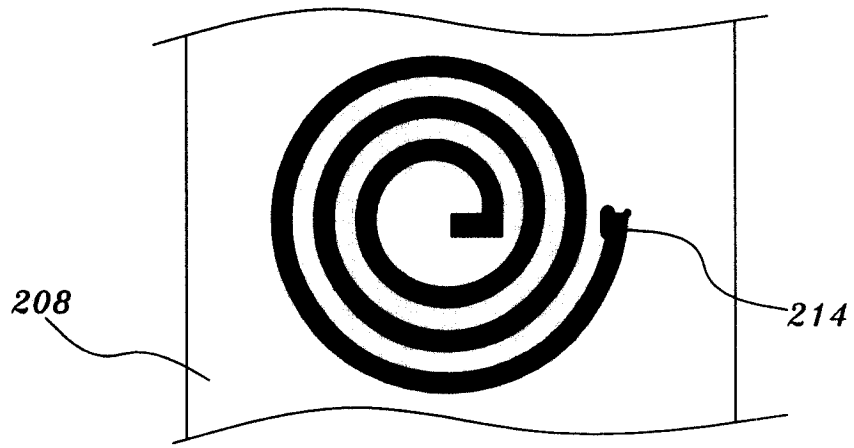


图 2i

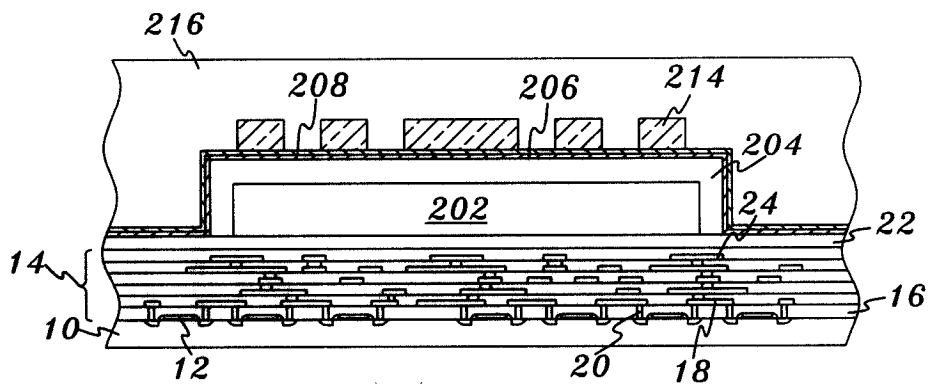


图 2j

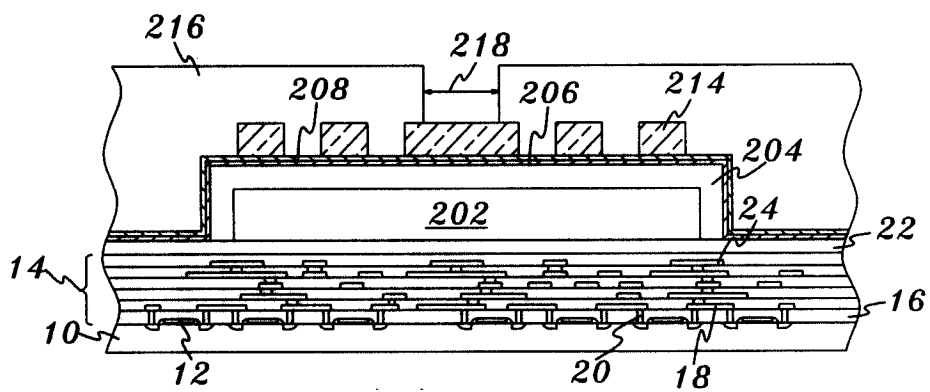


图 2k

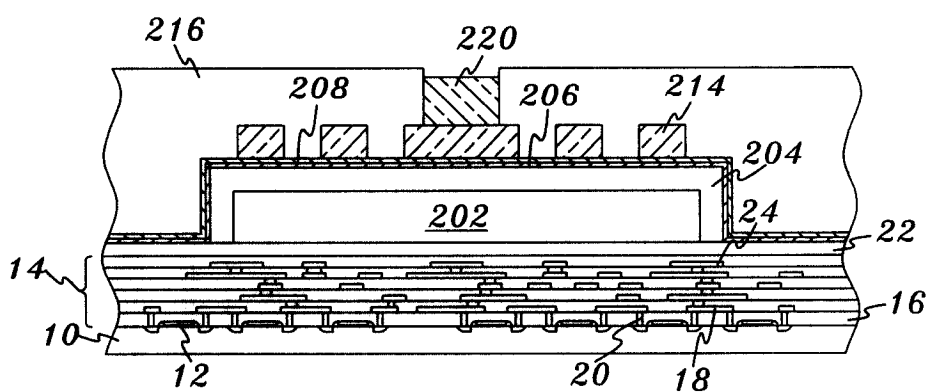


图 2l

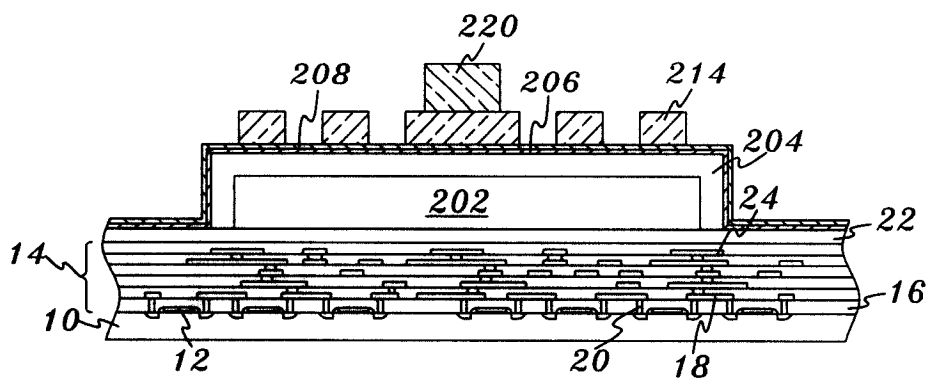


图 2m

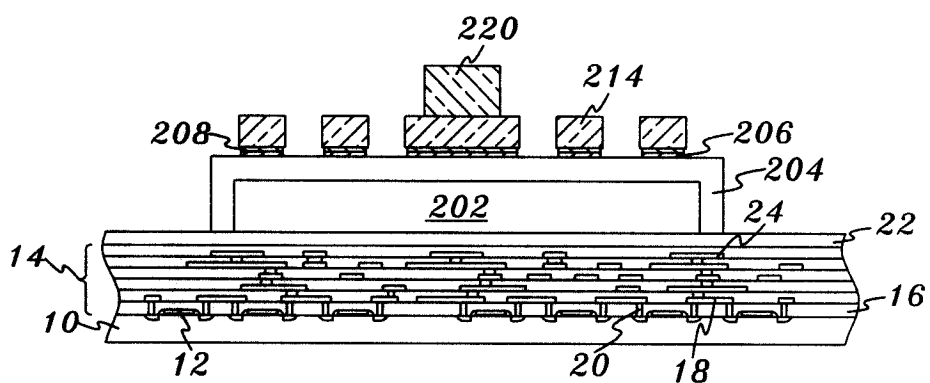


图 2n

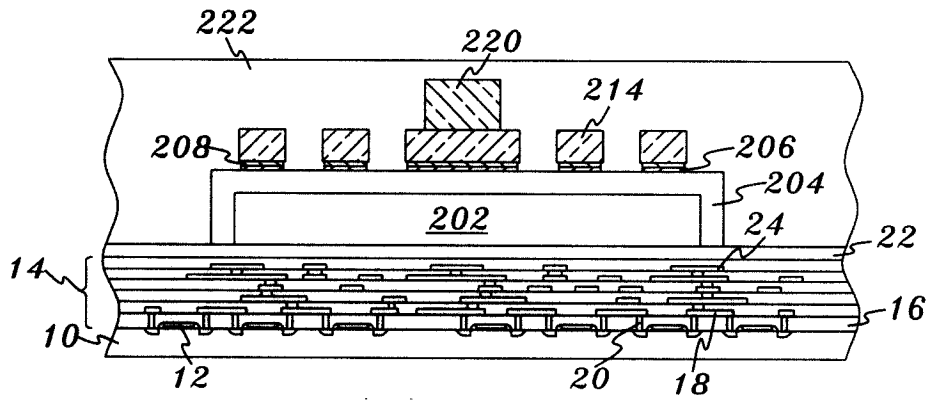


图 2o

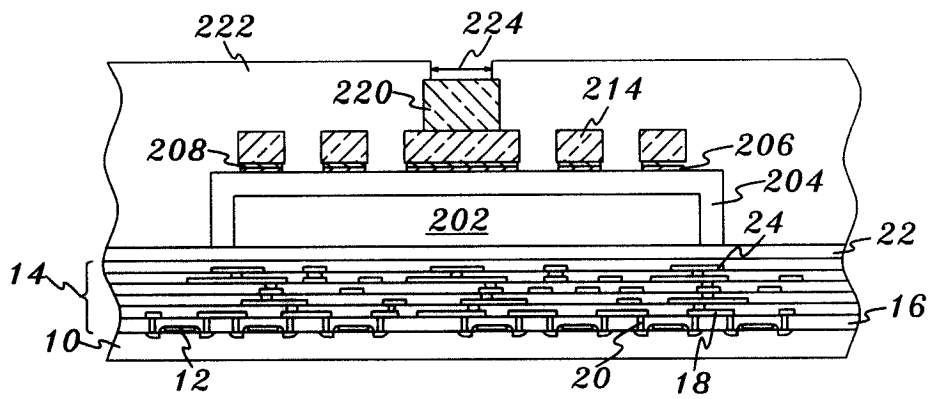


图 2p

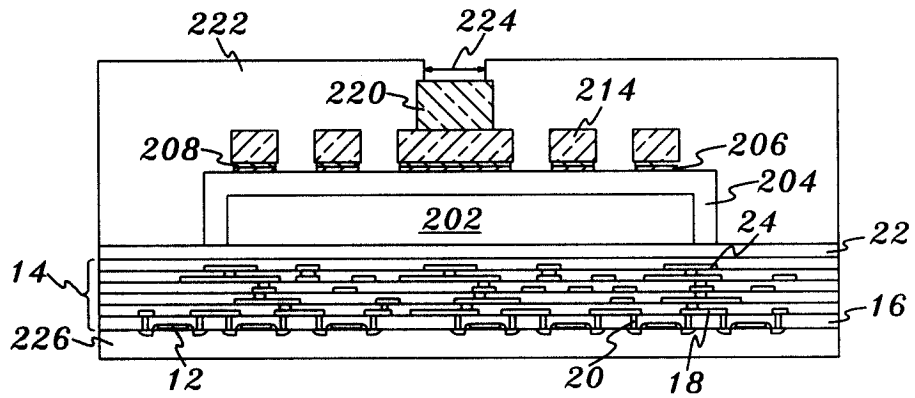


图 2q

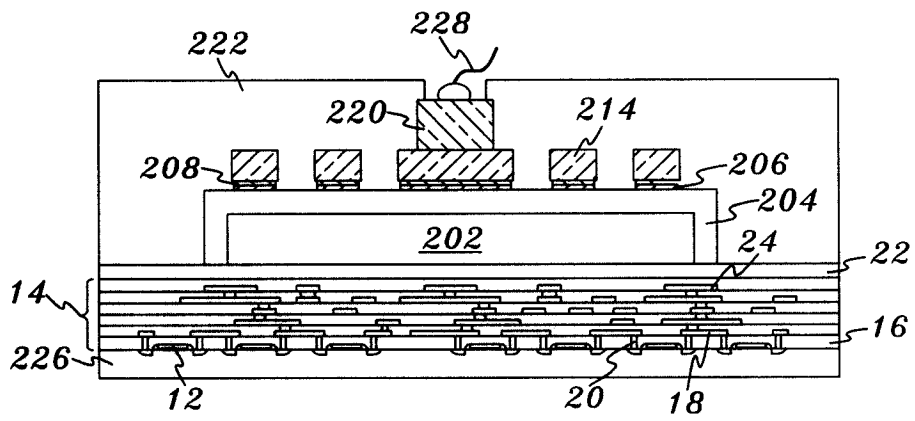


图 2r

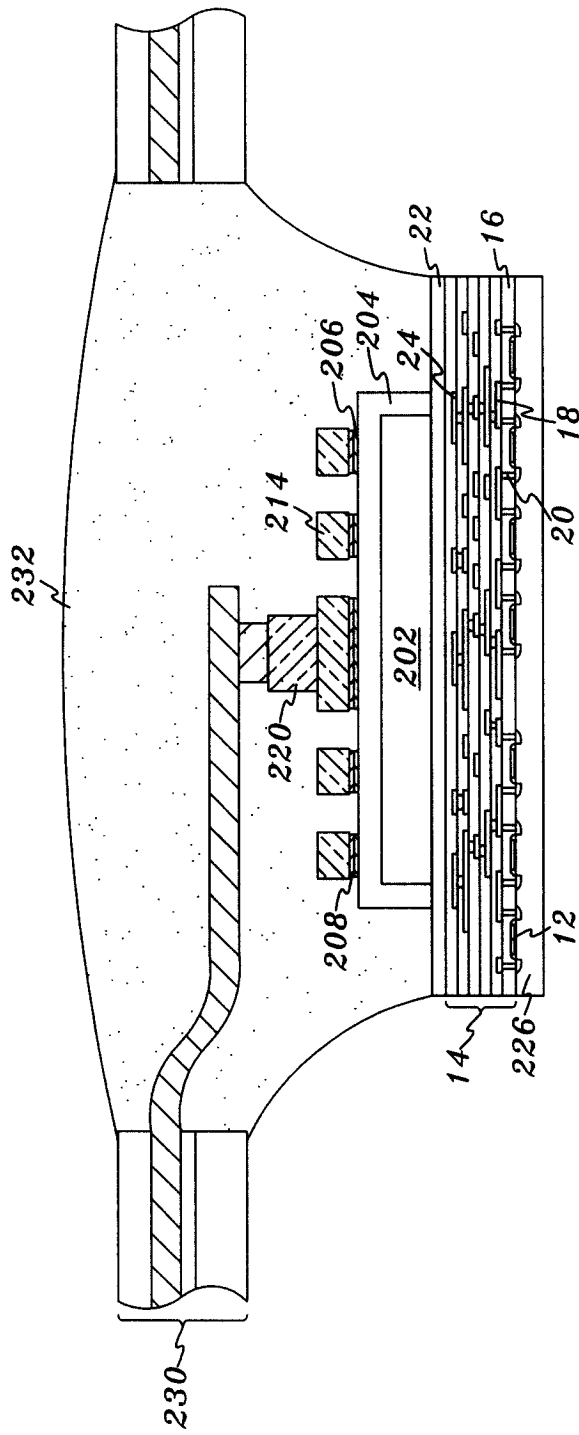


图2S

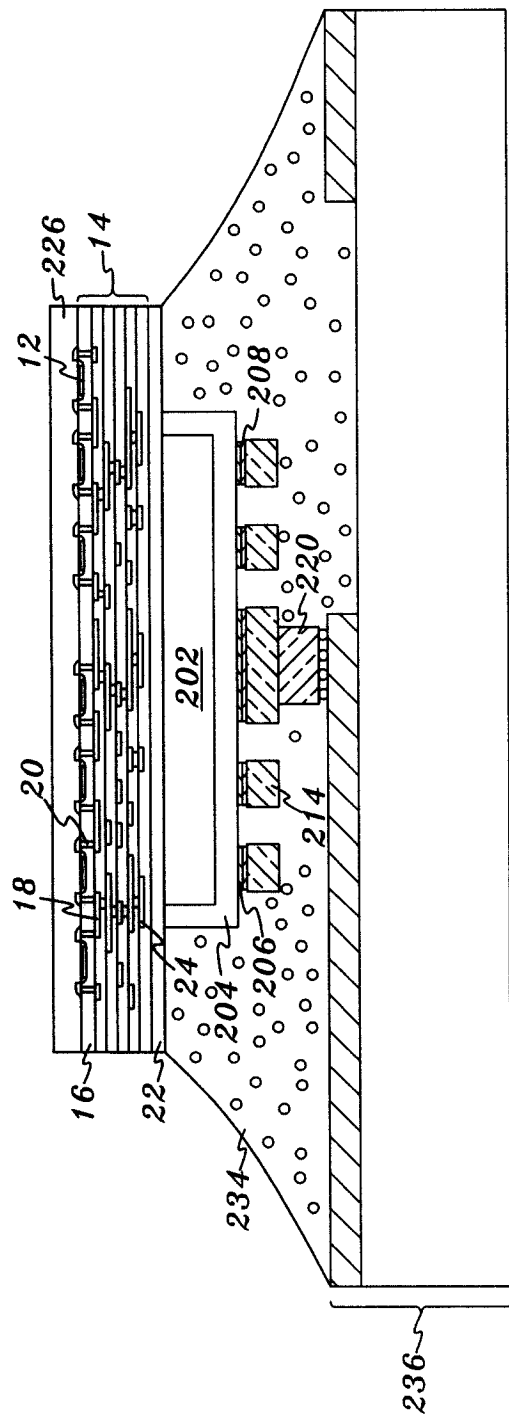


图2t

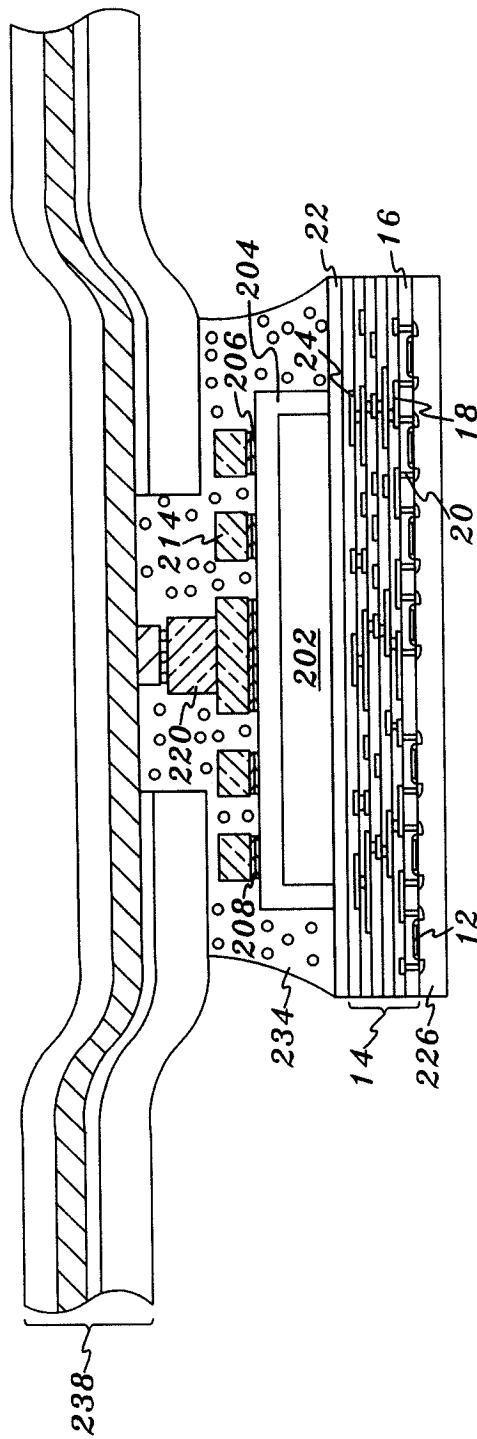


图2u

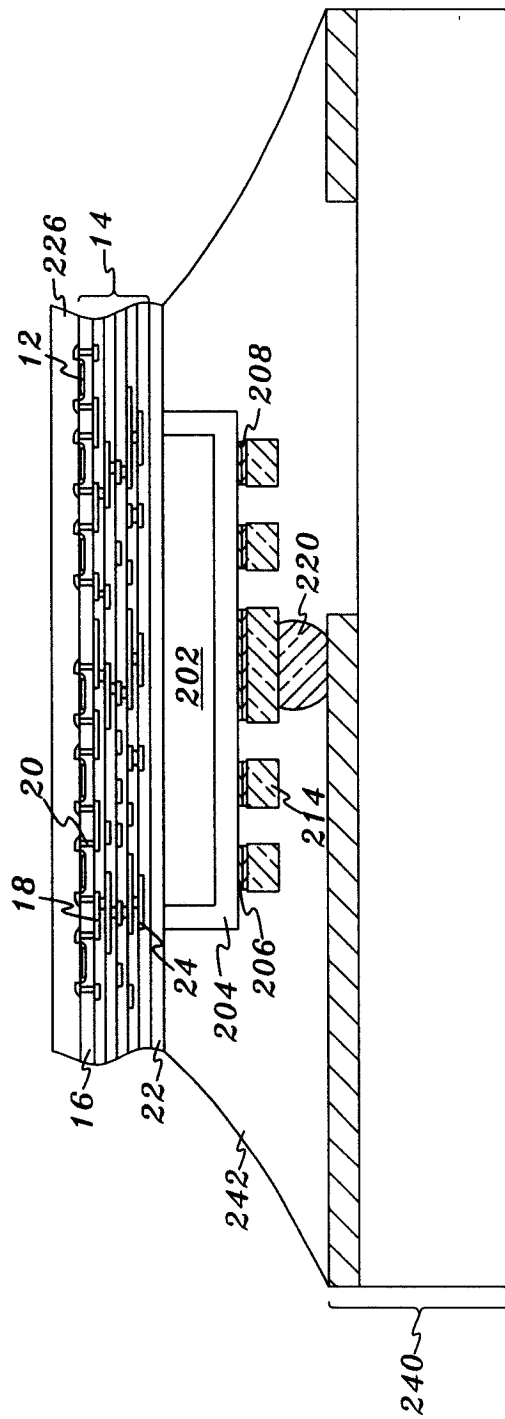


图2V

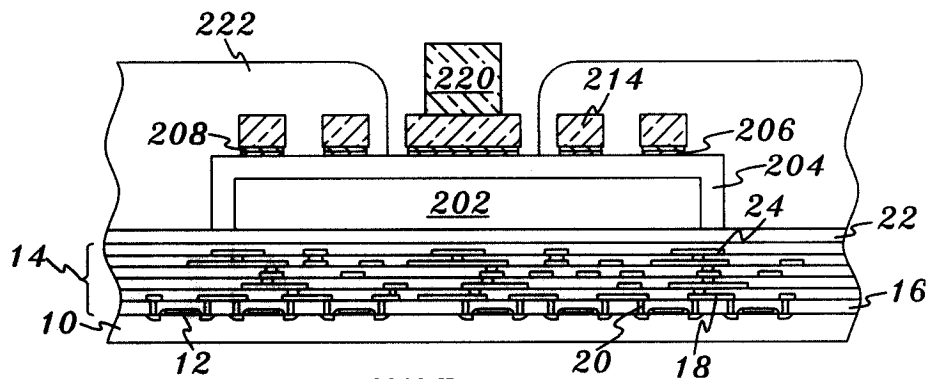


图 3a

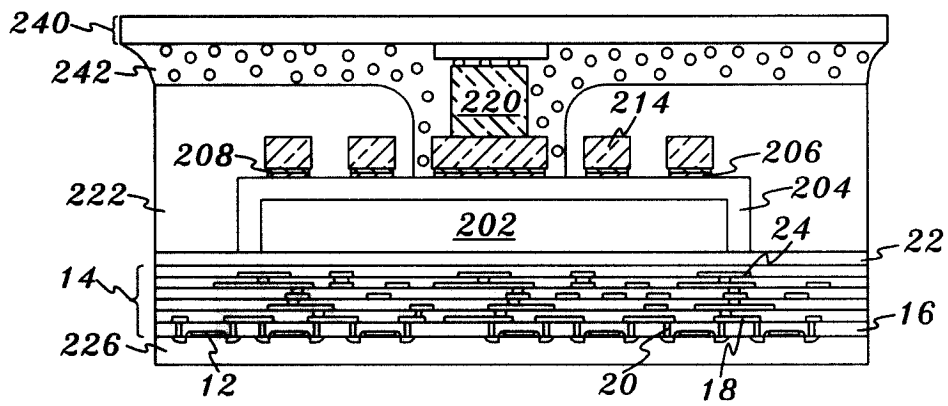


图 3b

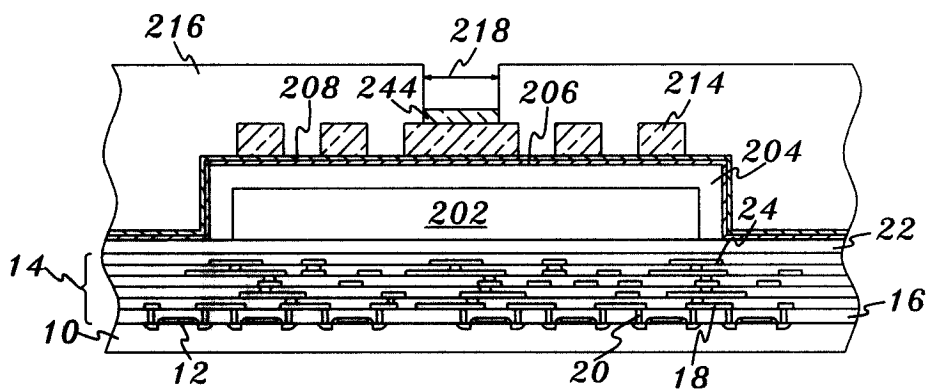


图 4a

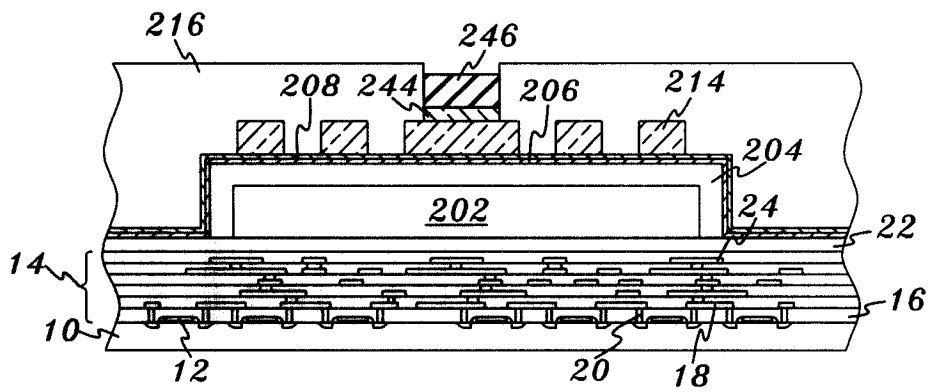


图 4b

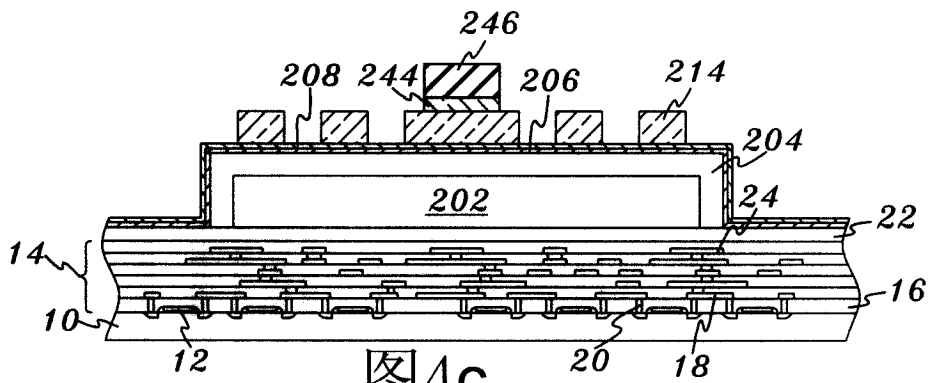


图 4c

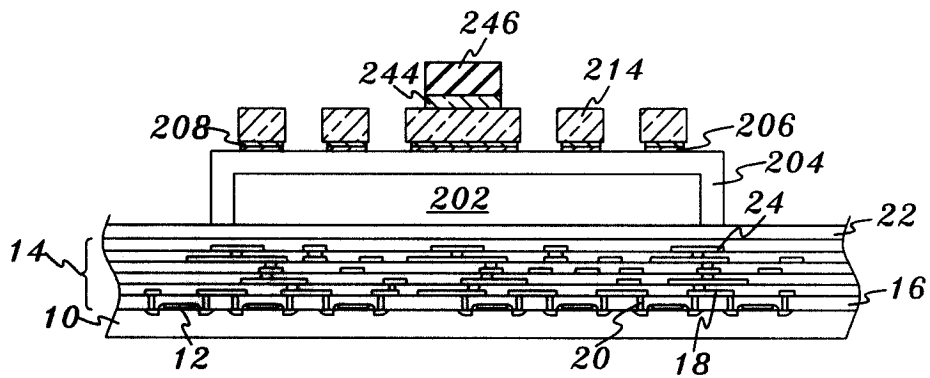


图 4d

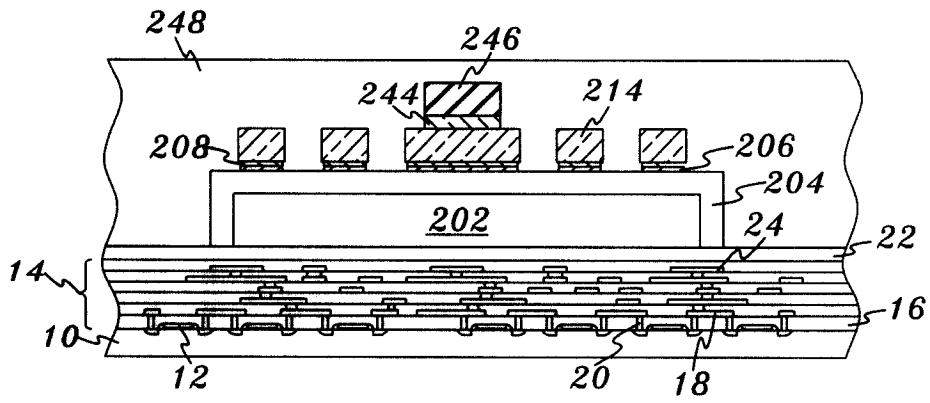


图 4e

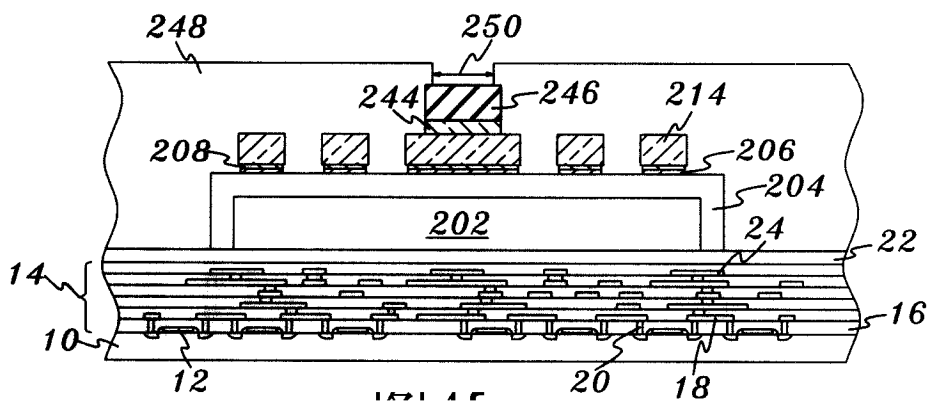


图 4f

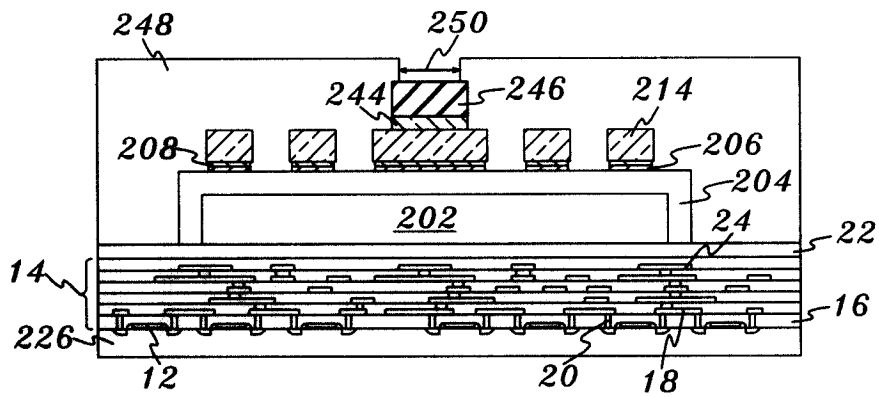


图 4g

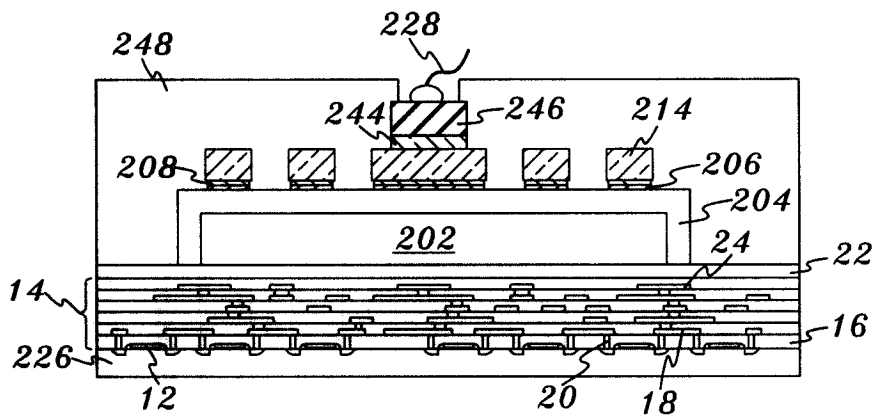


图 4h

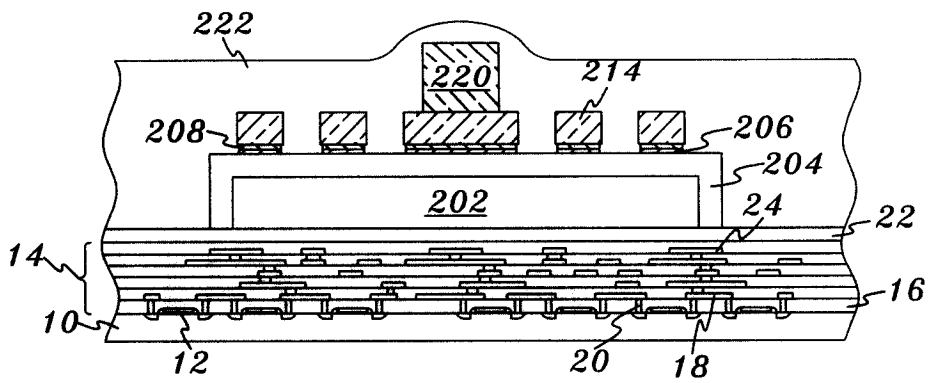


图 5a

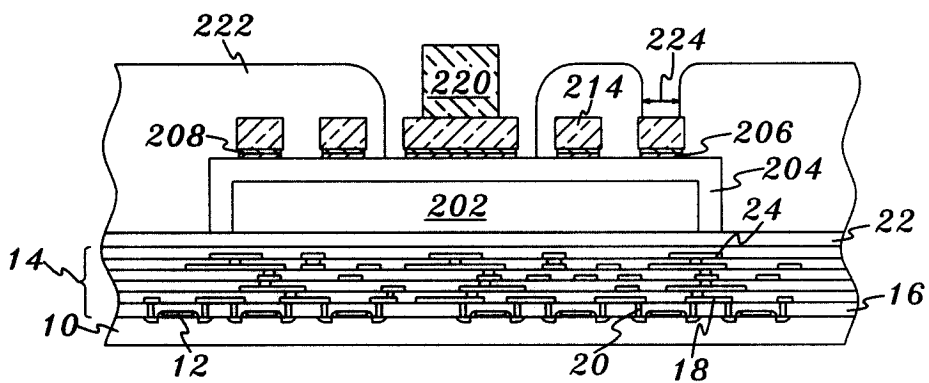


图 5b

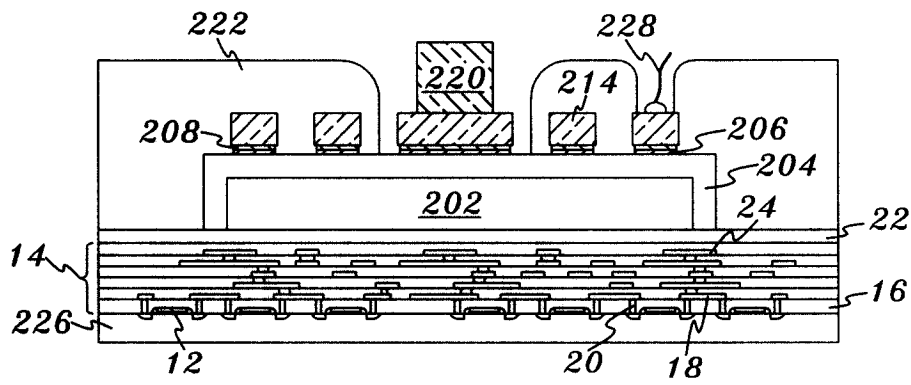


图 5c

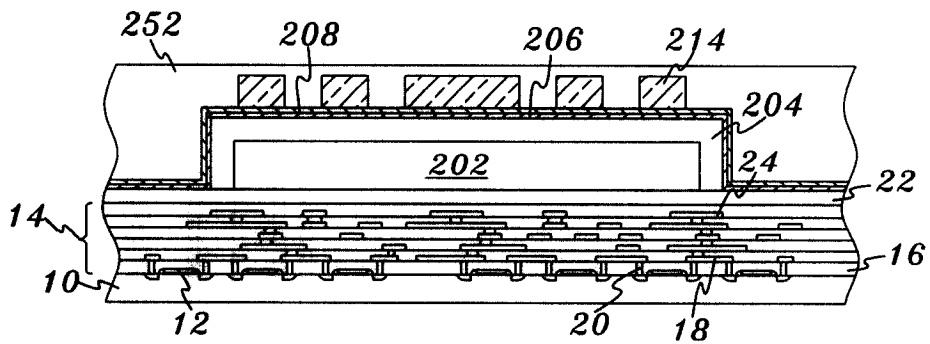


图 6a

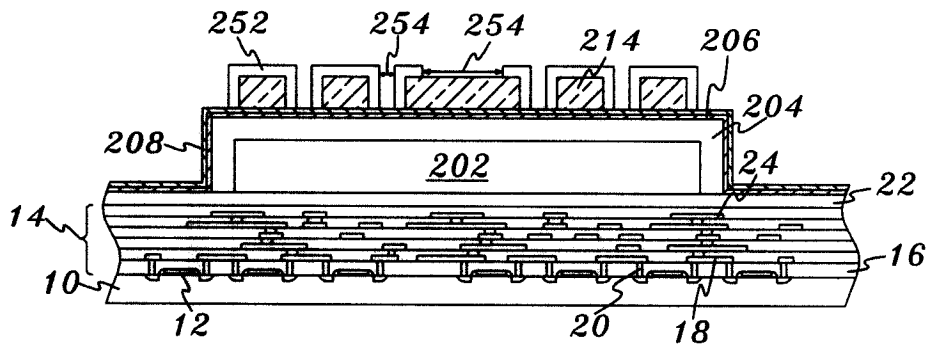


图 6b

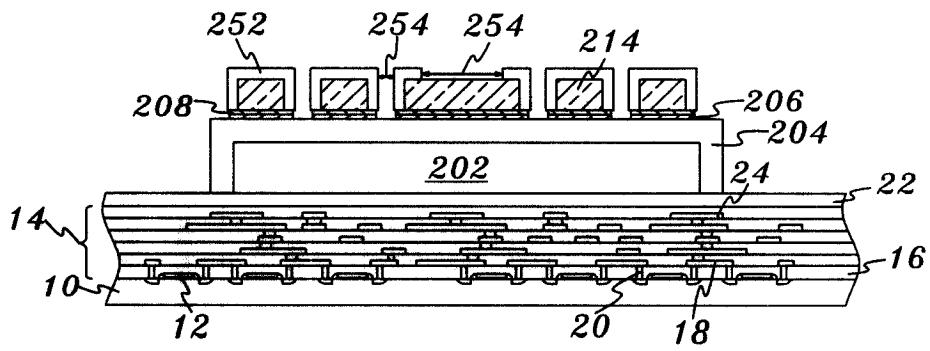


图 6c

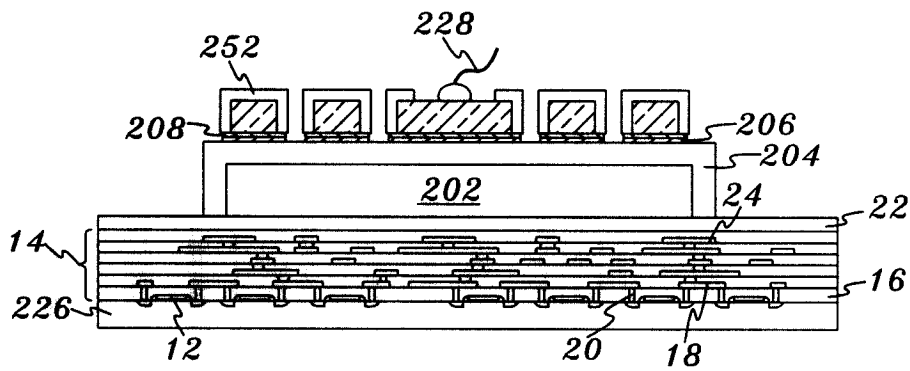


图 6d

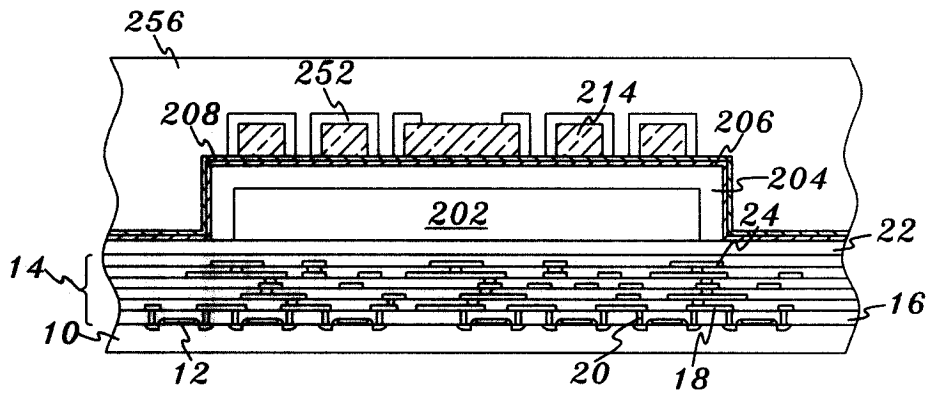


图 7a

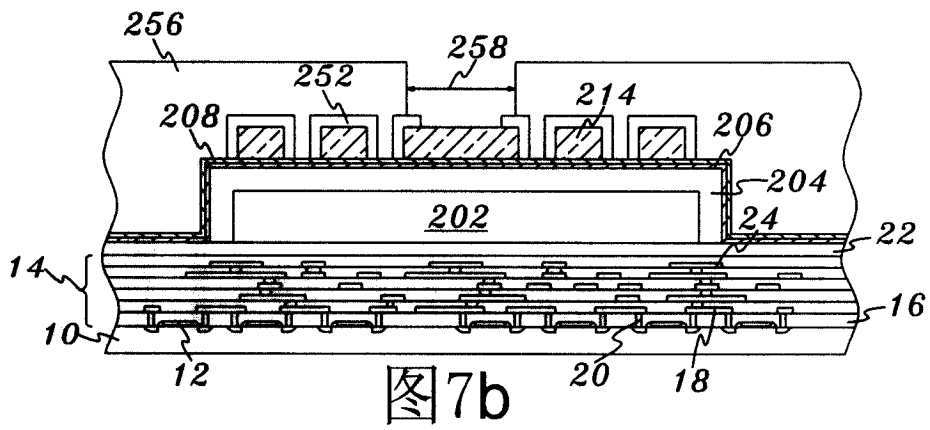


图7b

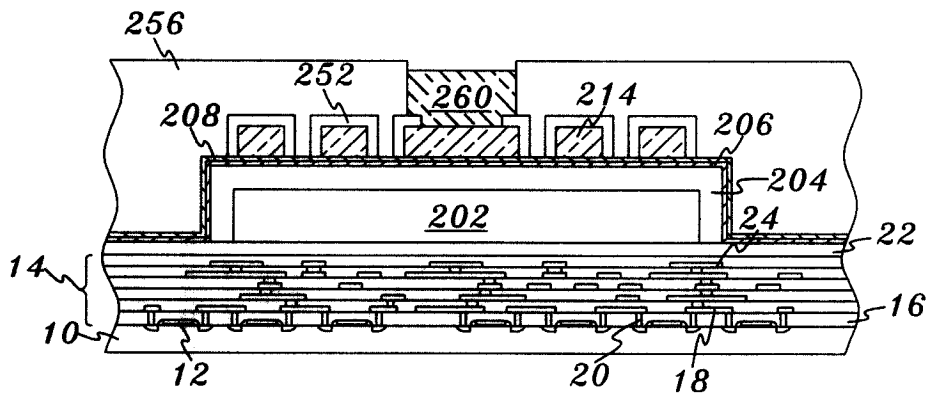


图7c

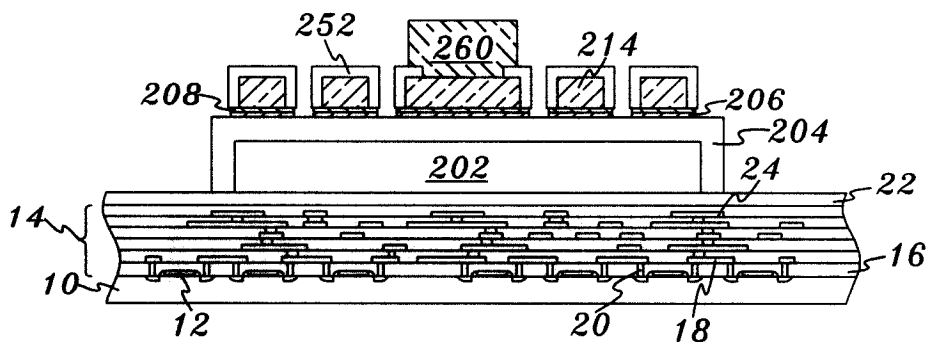


图7d

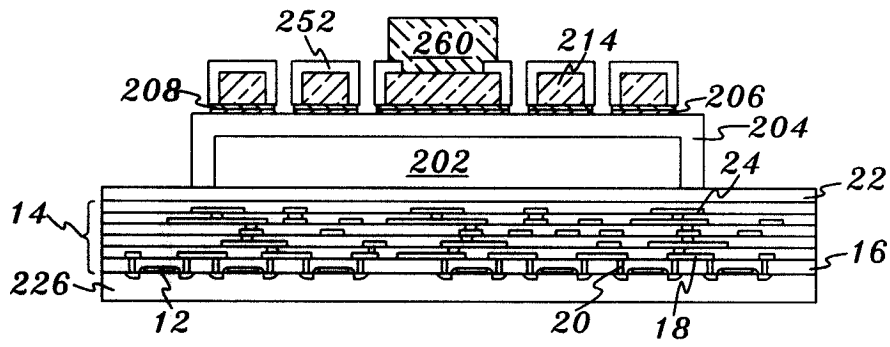


图7e

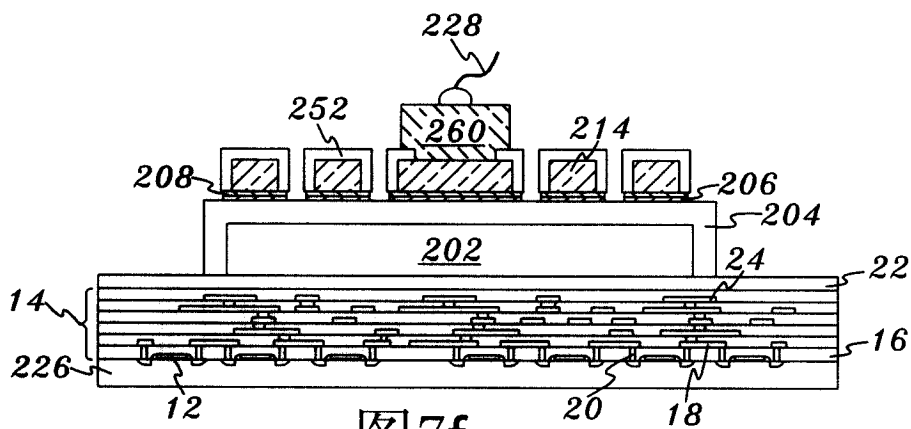


图7f

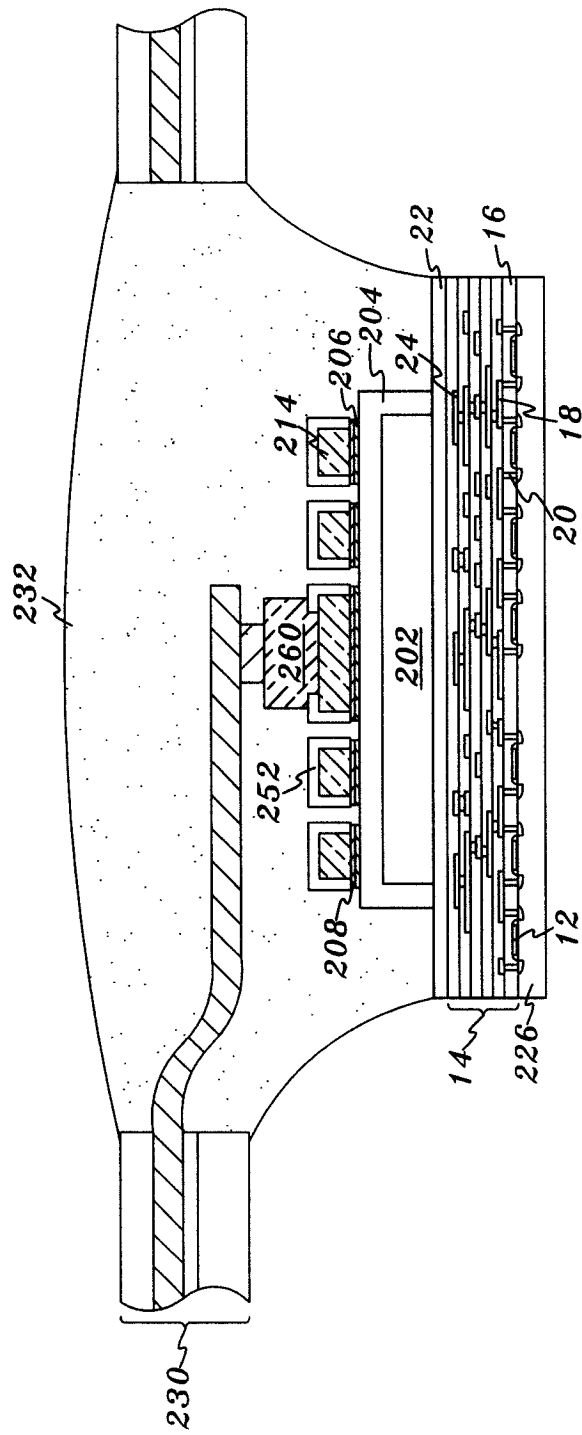


图7g

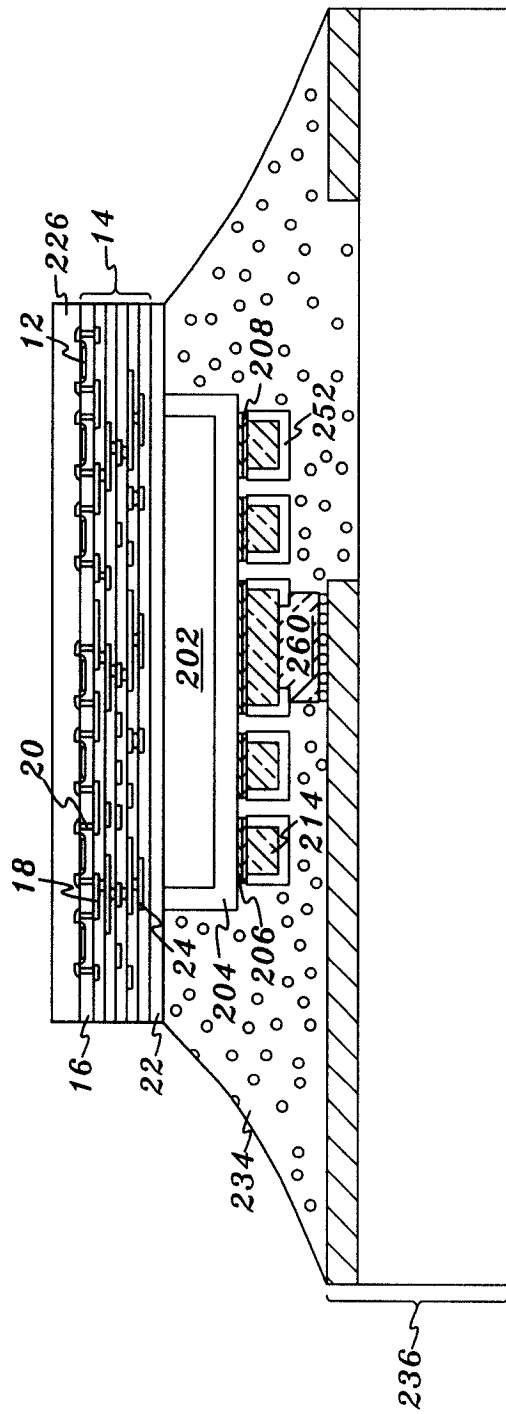


图7h

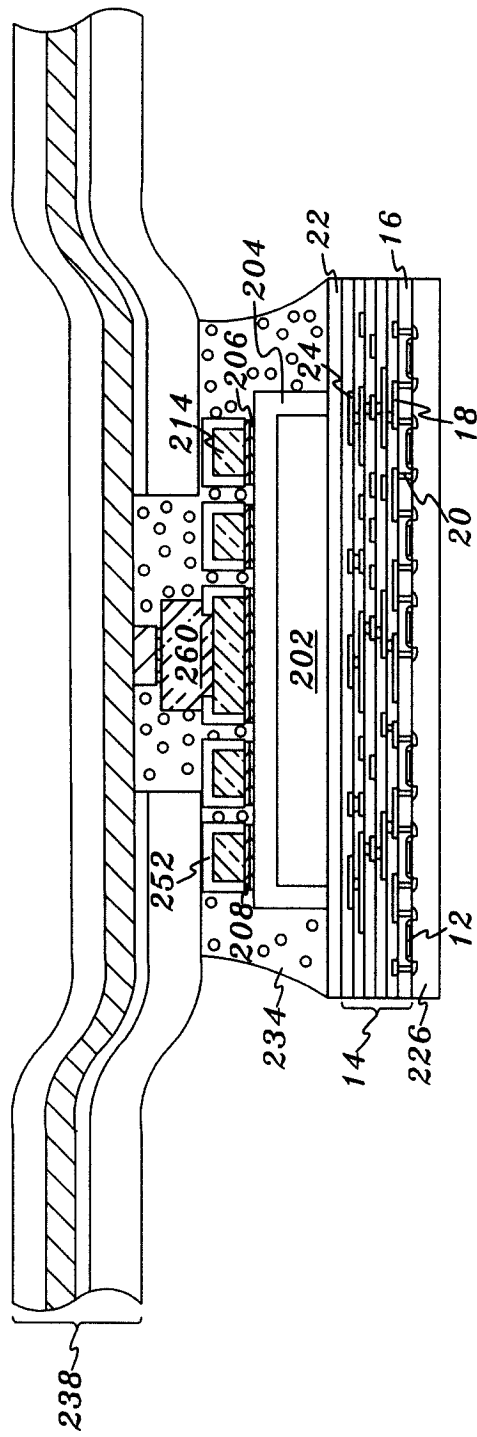


图7i

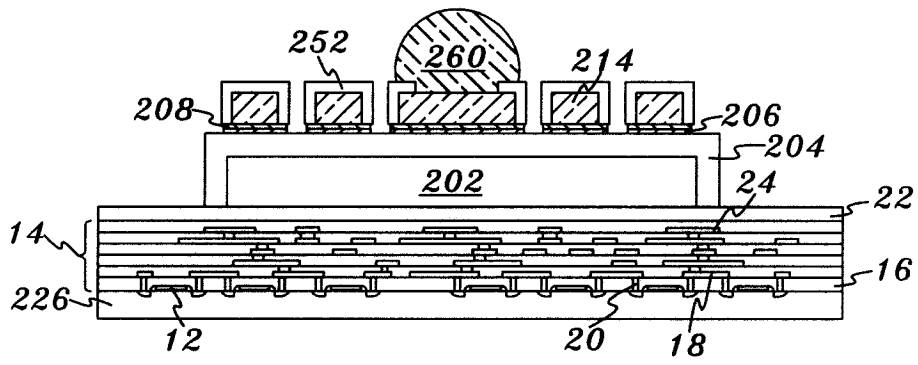


图7j

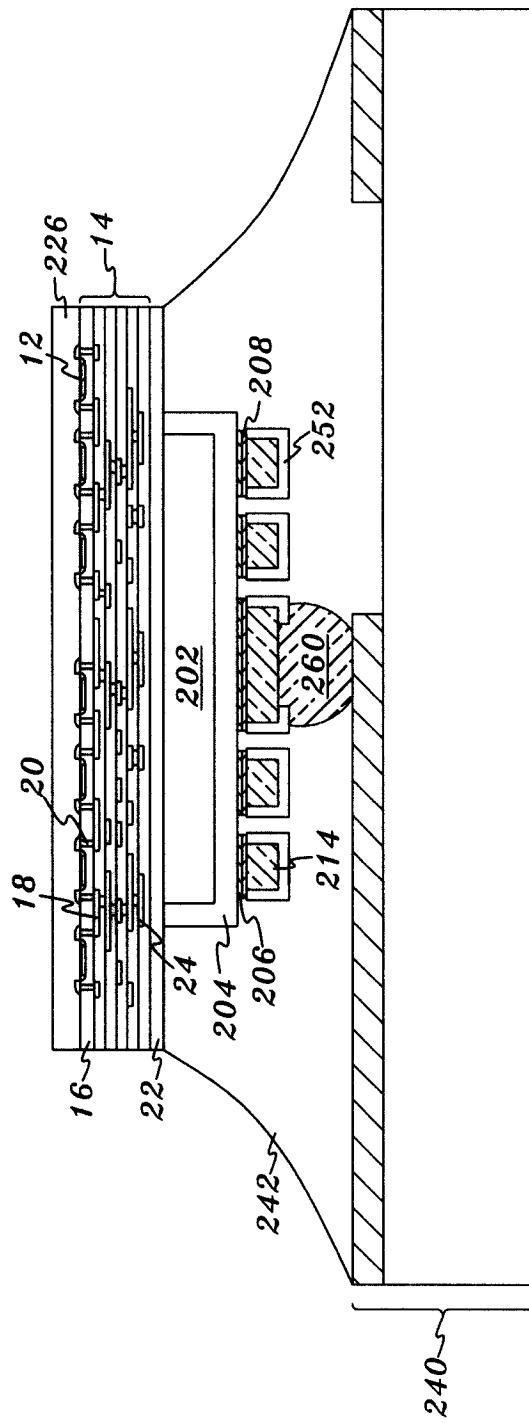


图7K

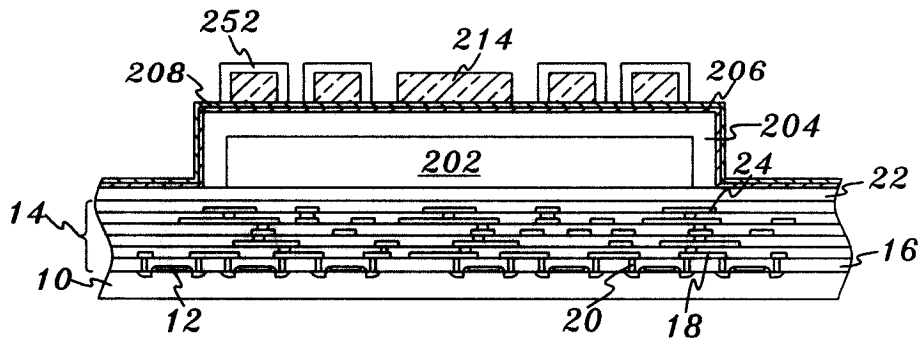


图 8a

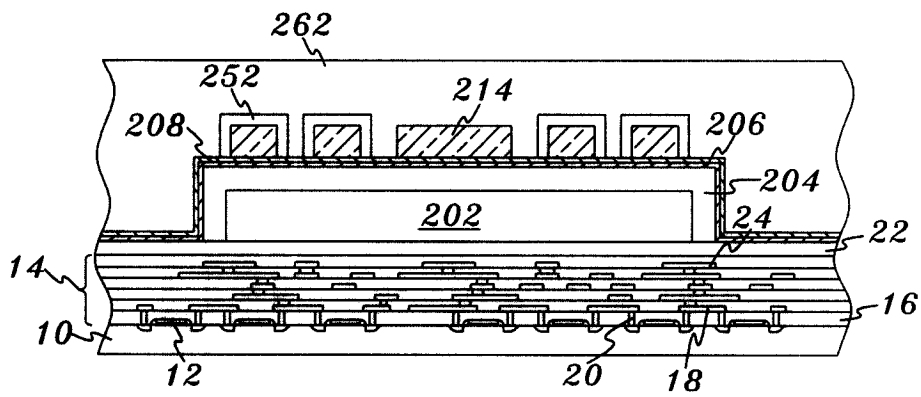


图 8b

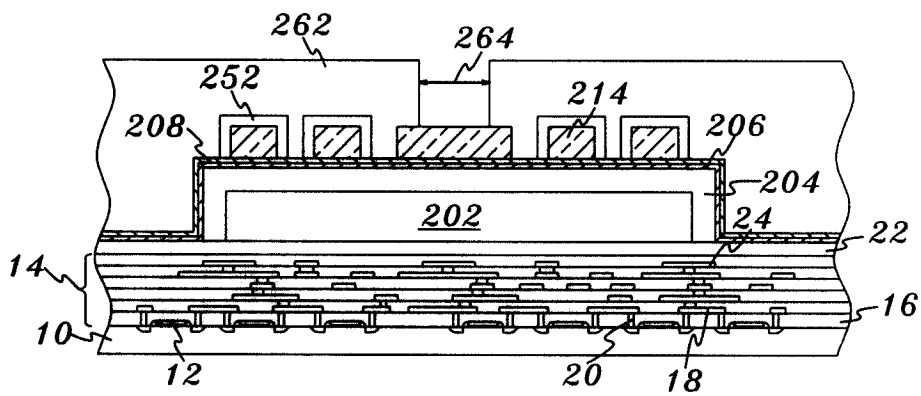


图 8c

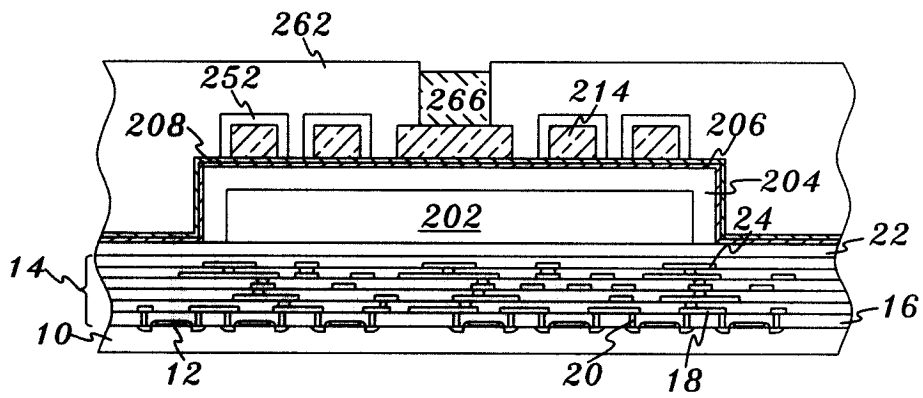


图 8d

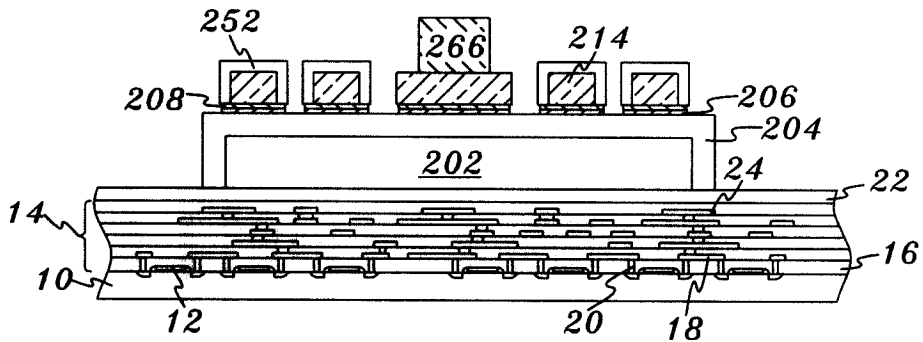


图 8e

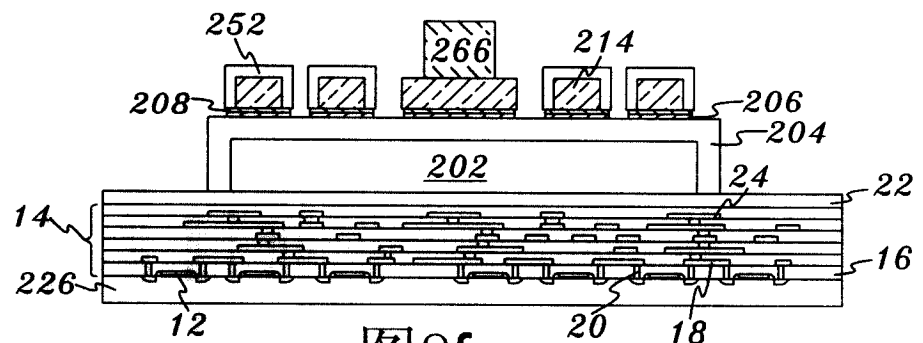


图 8f

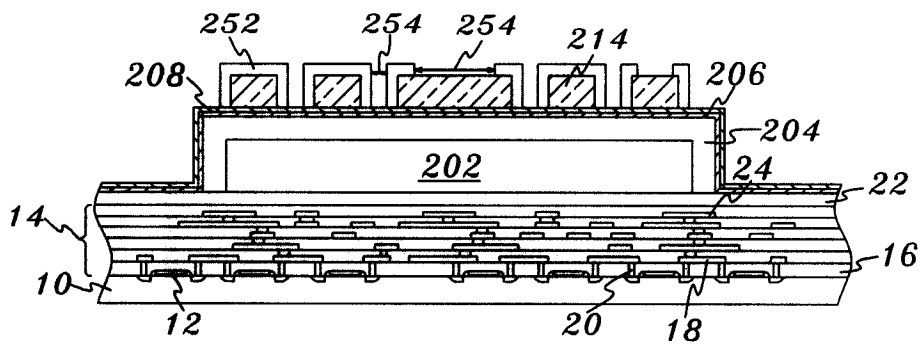


图 9a

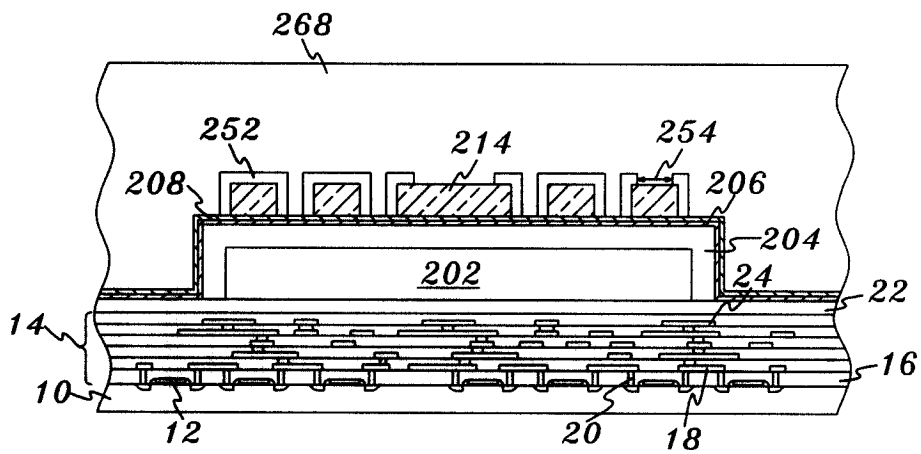


图 9b

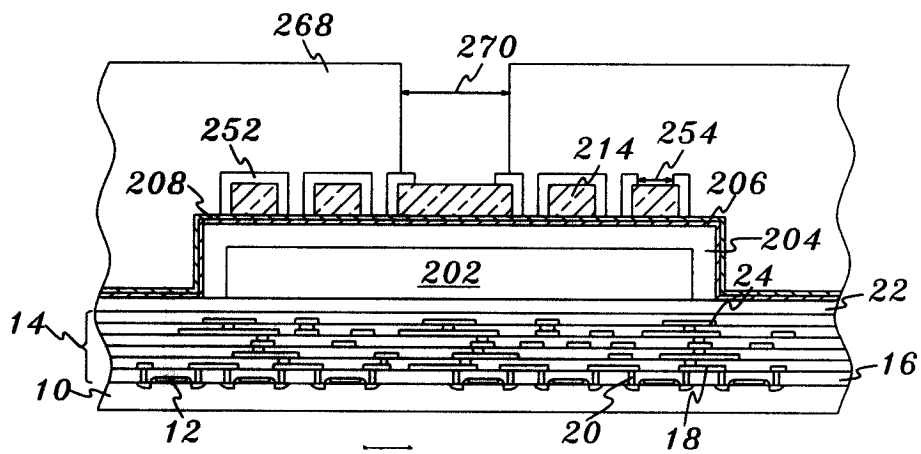


图 9c

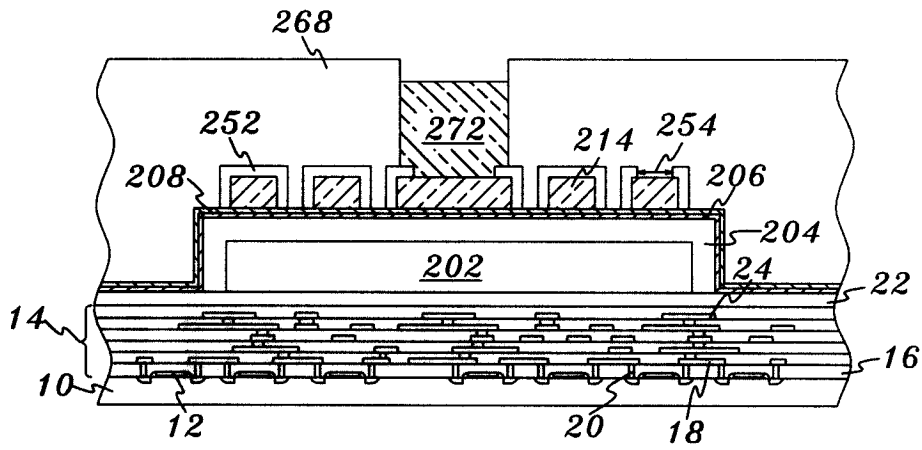


图 9d

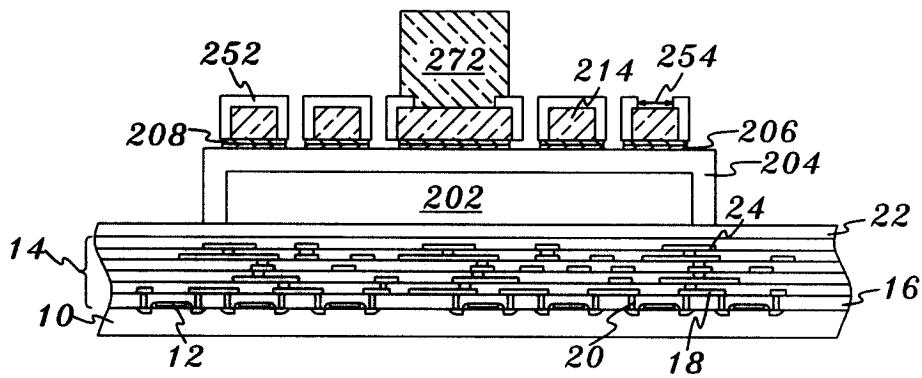


图 9e

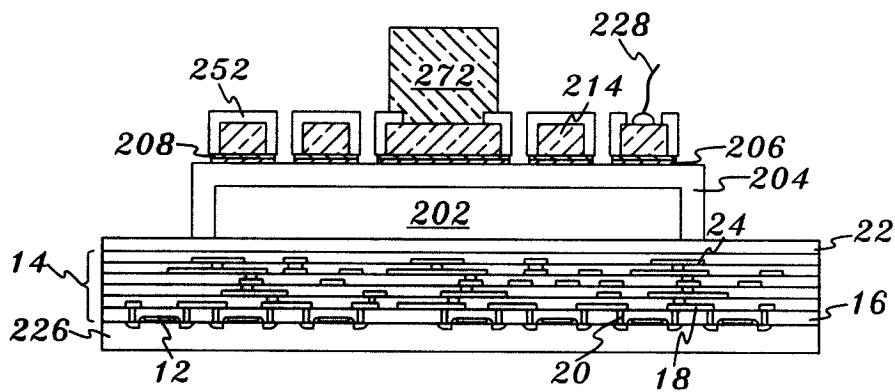


图 9f

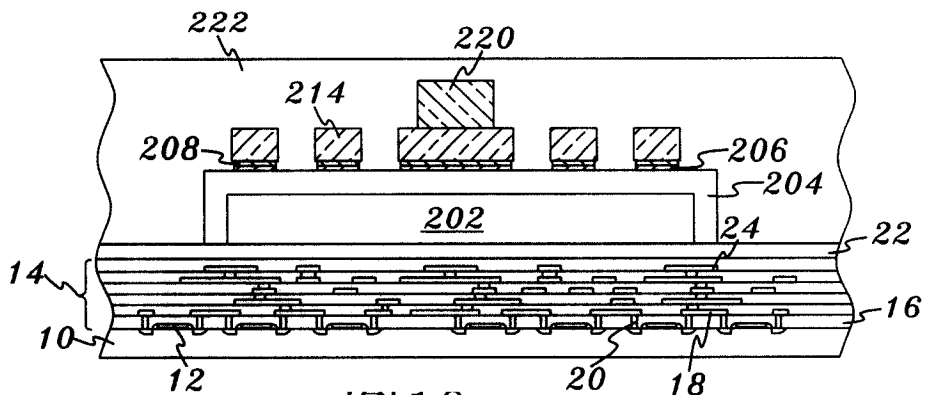


图 10a

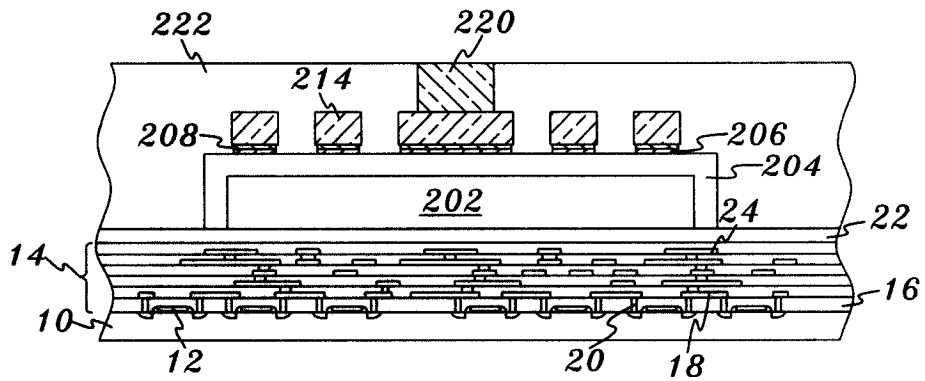


图 10b

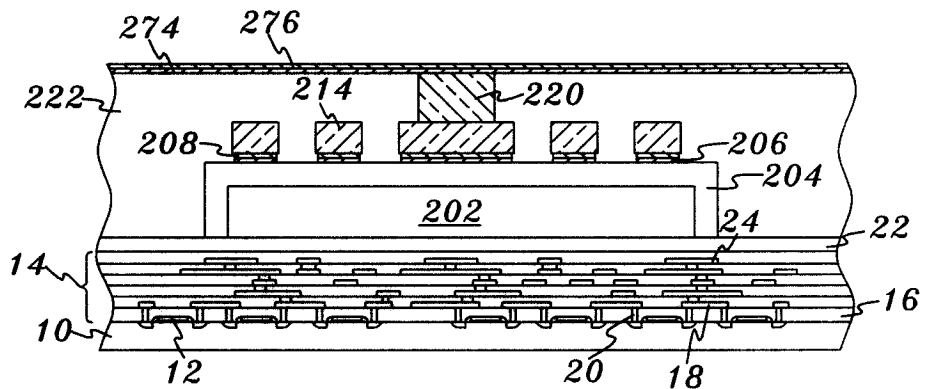


图 10c

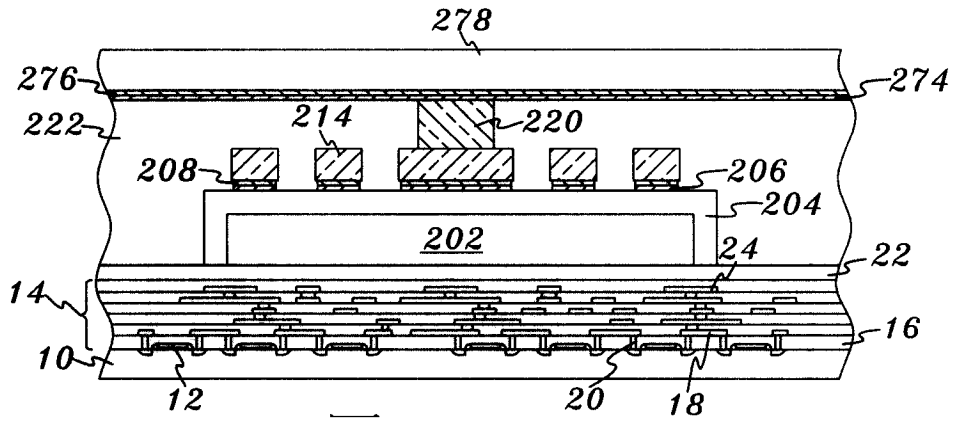


图 10d

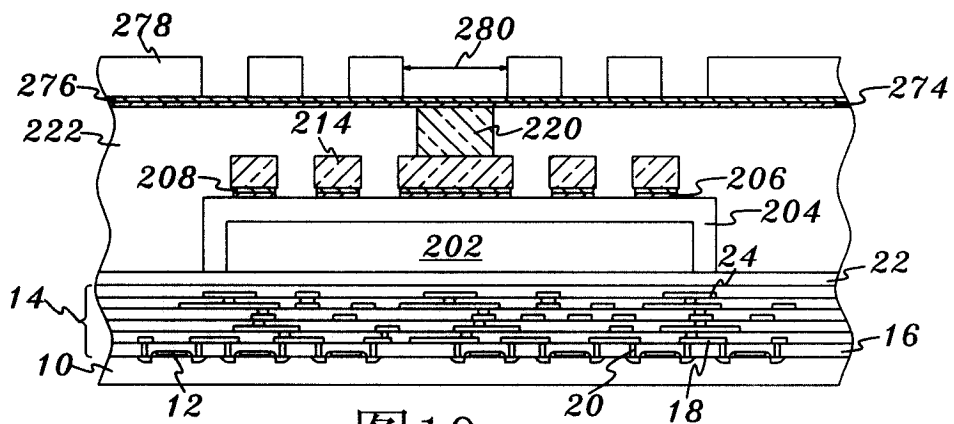


图 10e

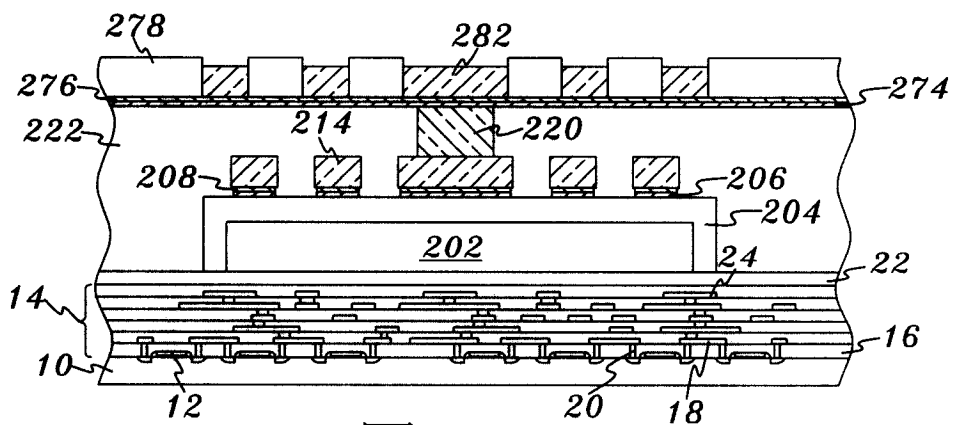


图 10f

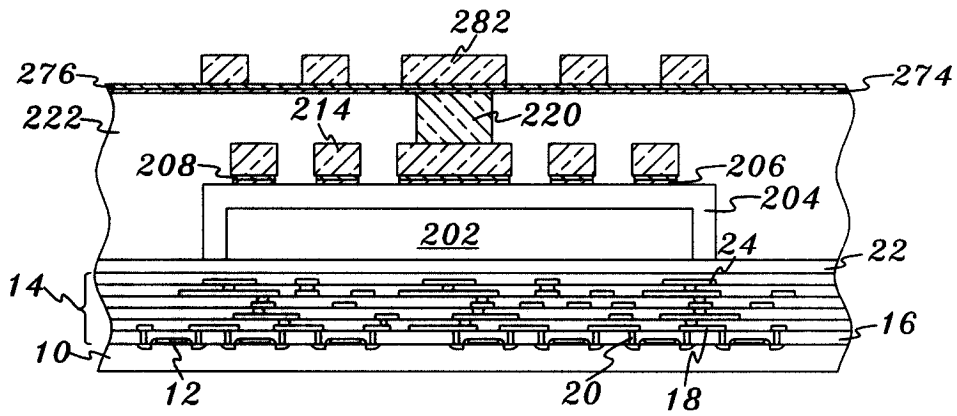


图 10g

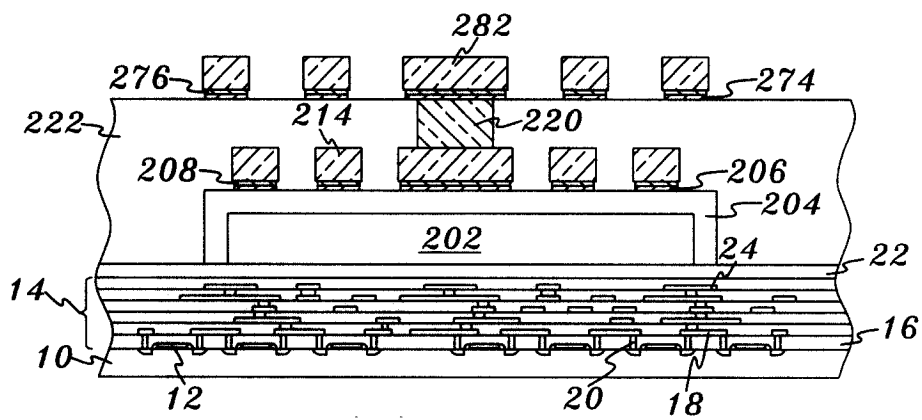


图 10h

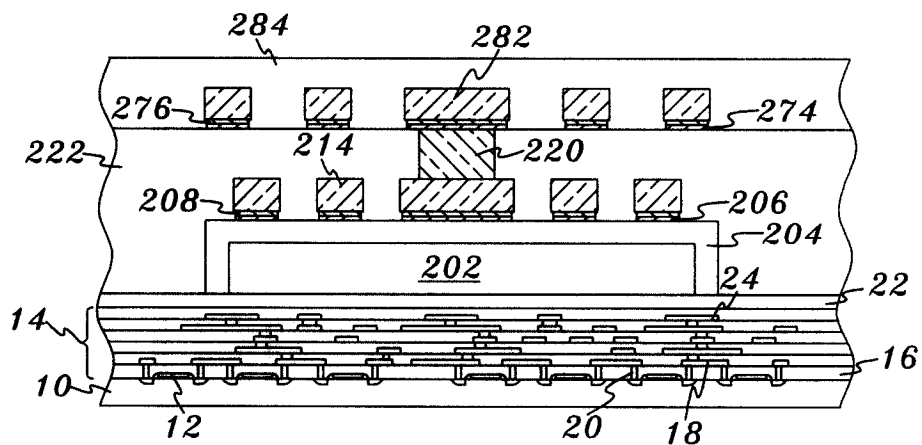


图 10i

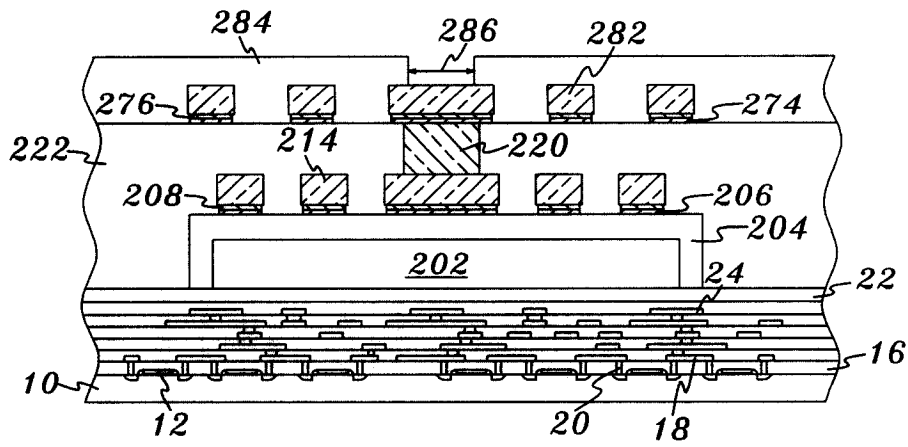


图 10j

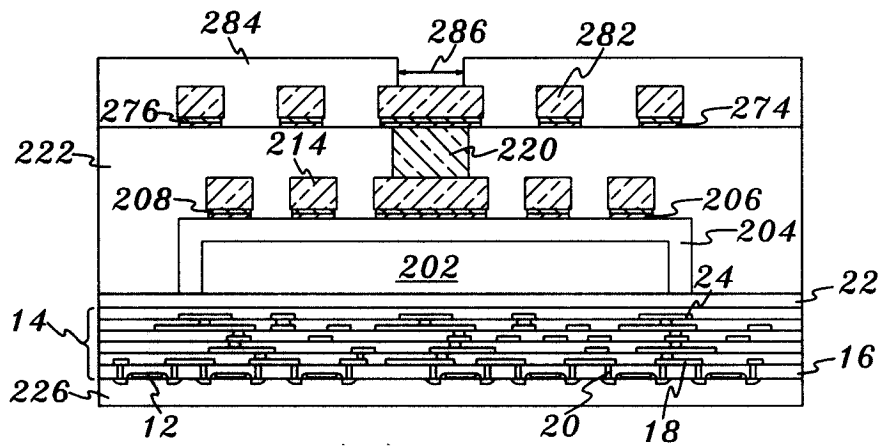


图 10k

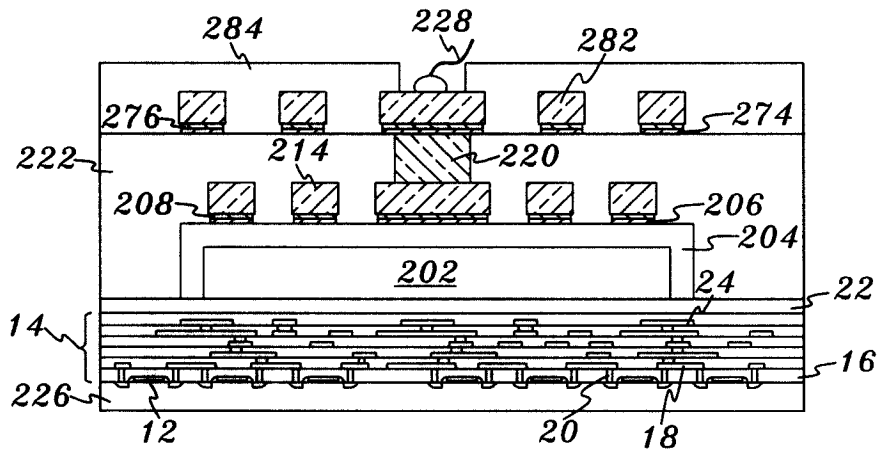


图 10l

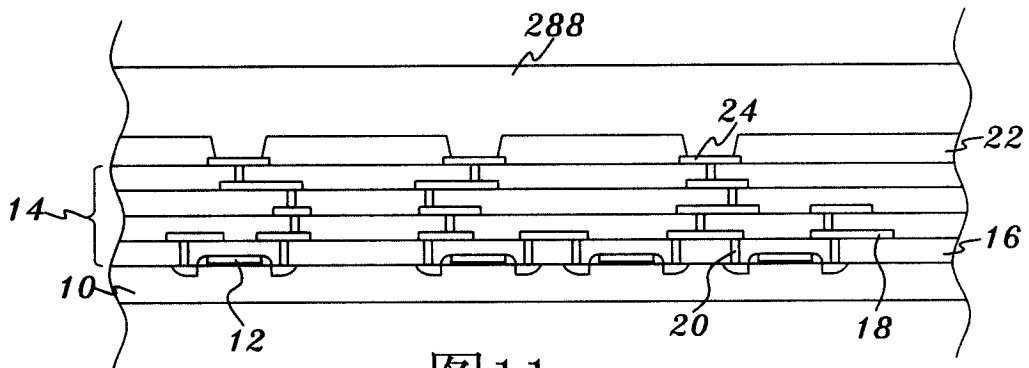


图11a

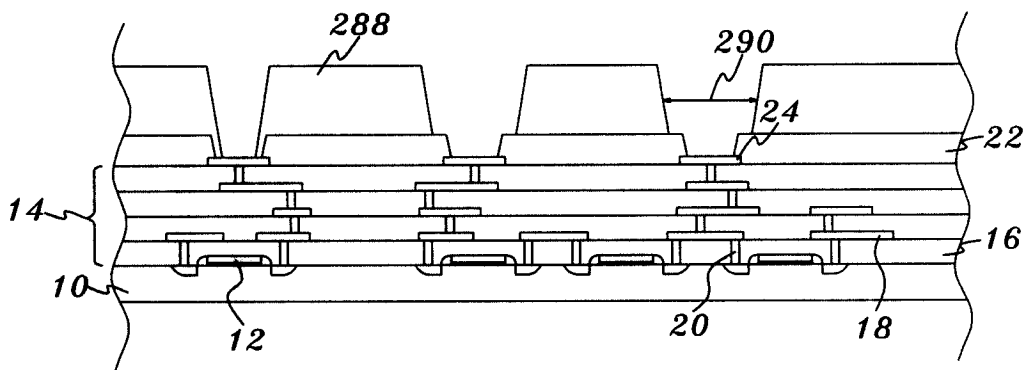


图 11b

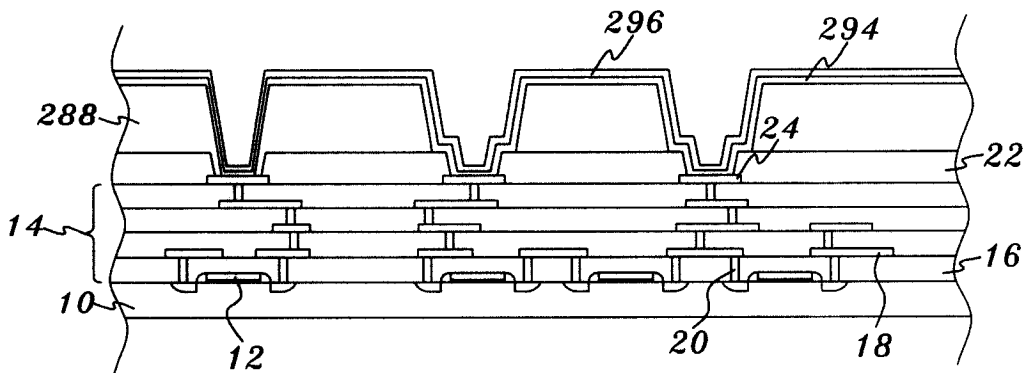


图 11c

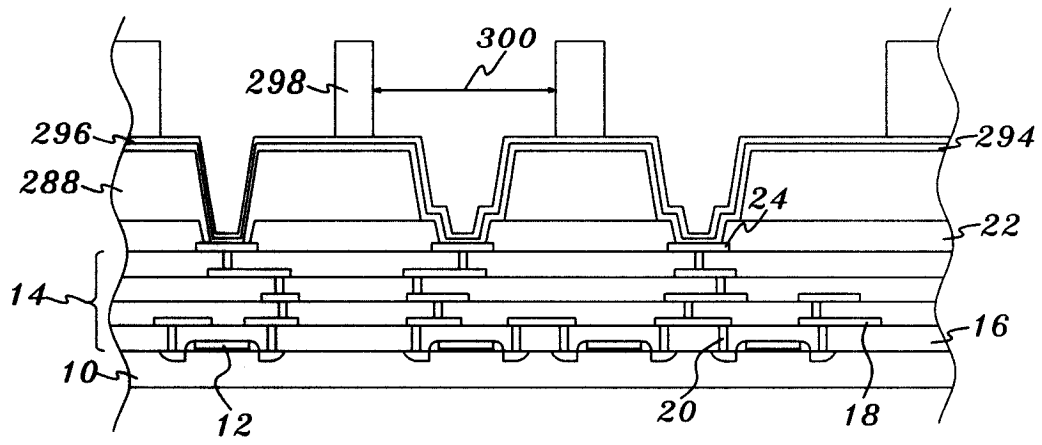


图 11d

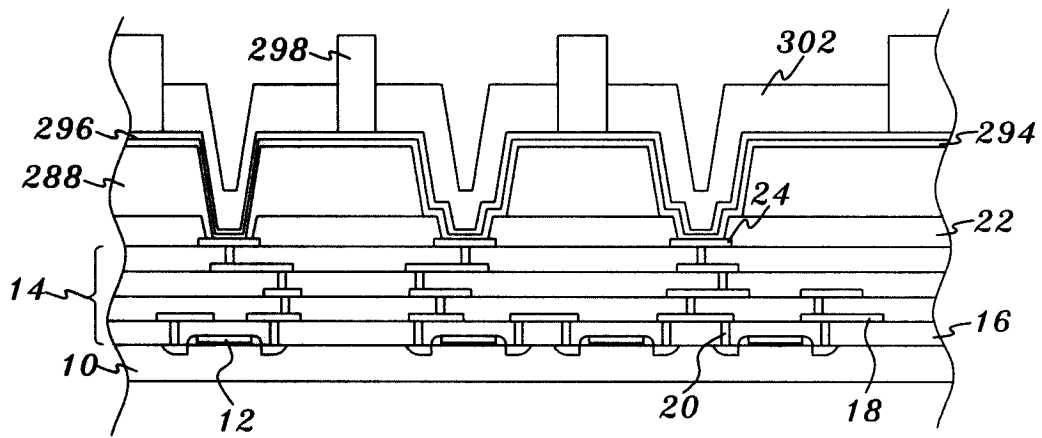


图 11e

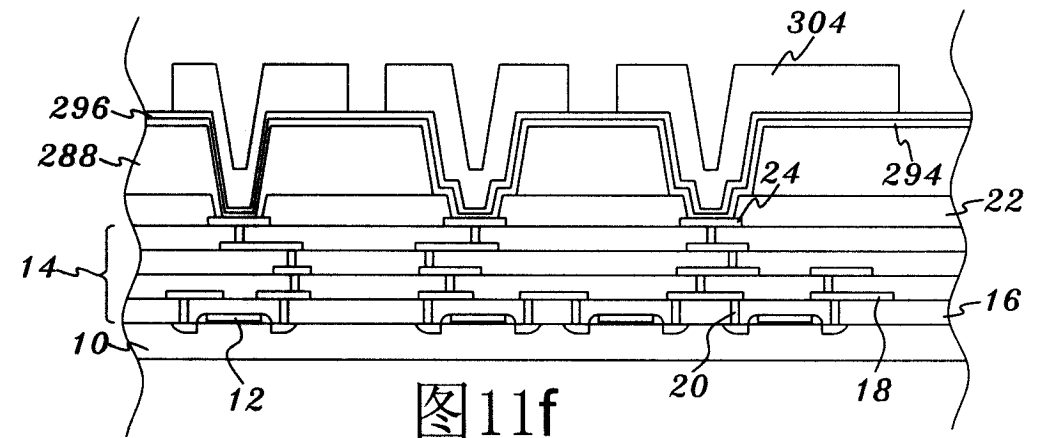


图 11f

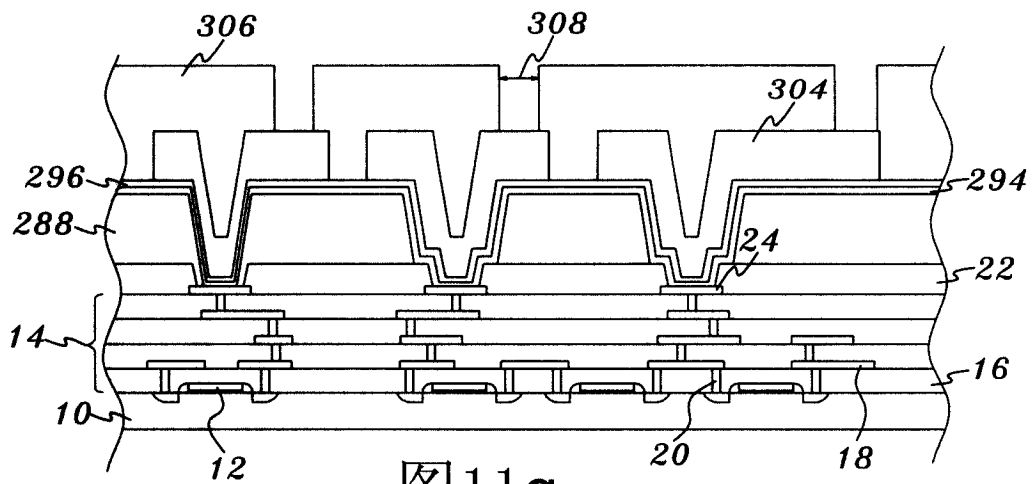


图11g

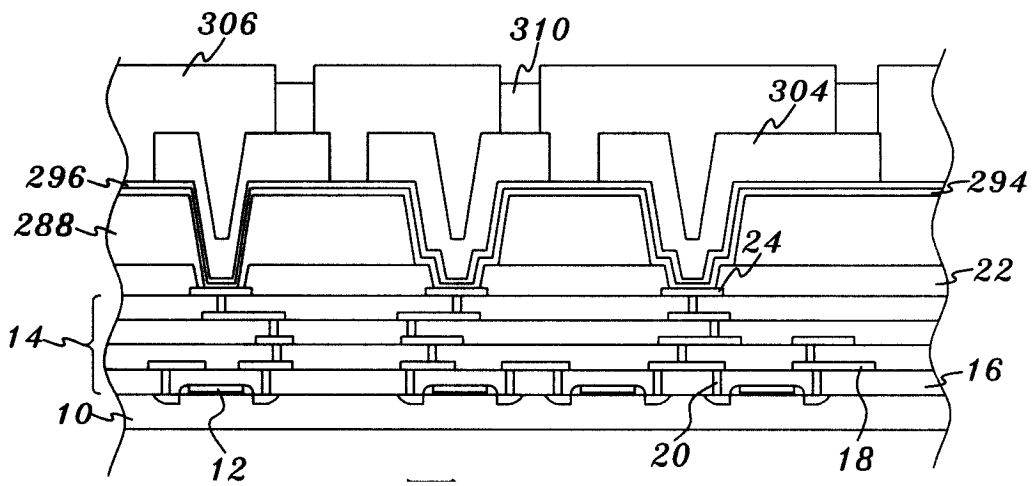


图 11h

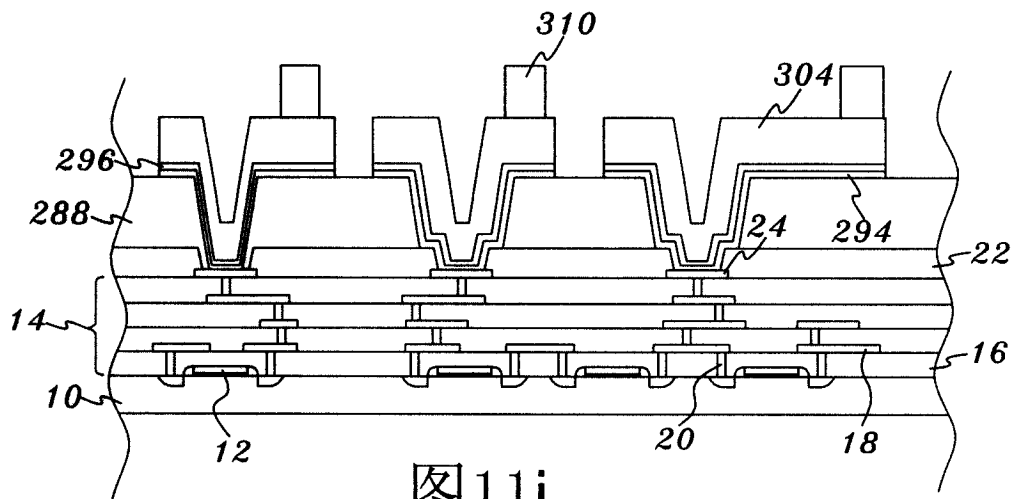


图11i

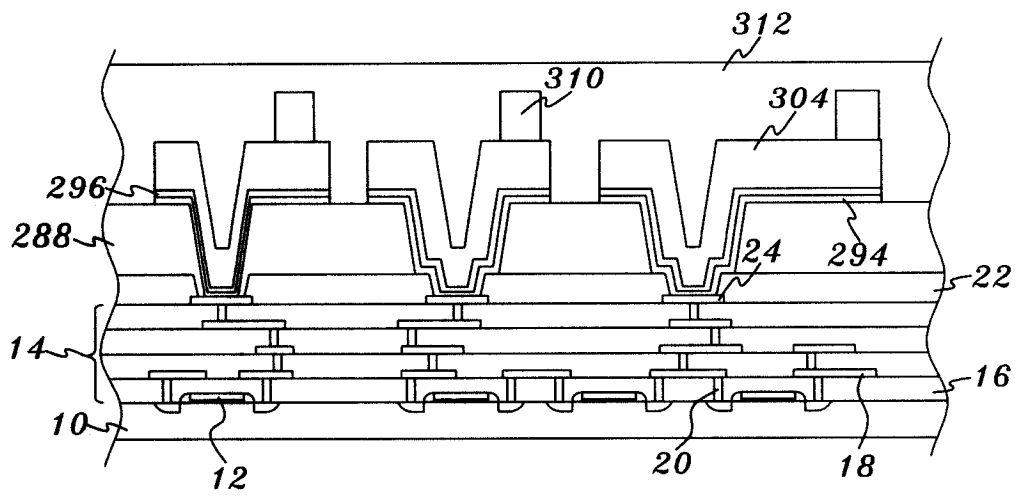
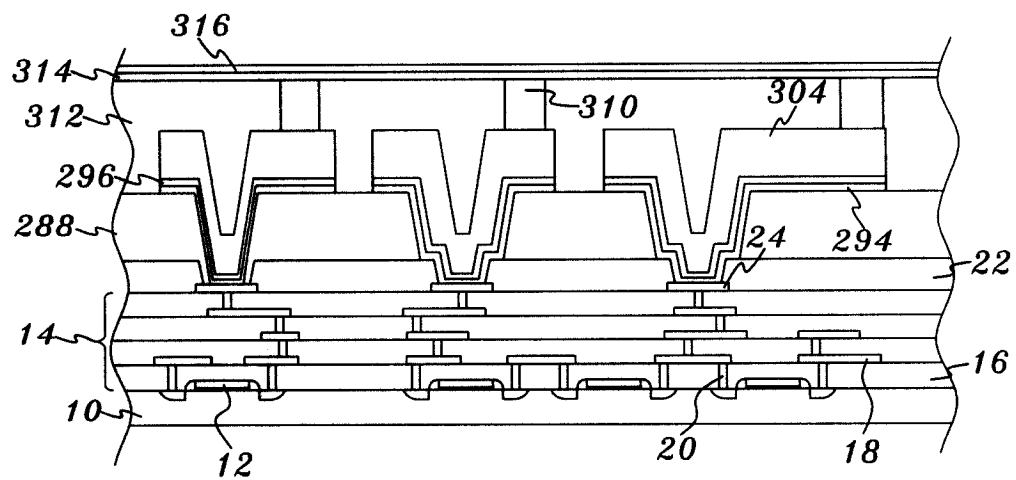
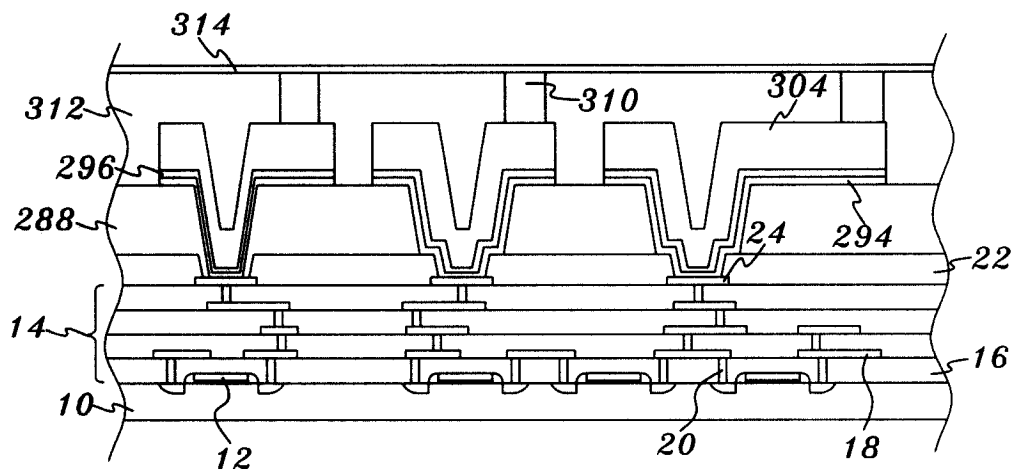
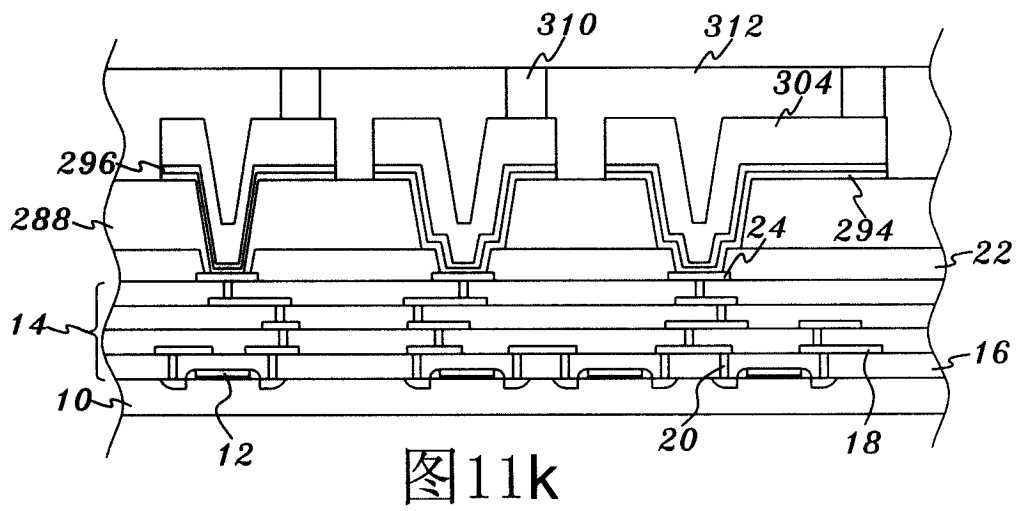


图11j



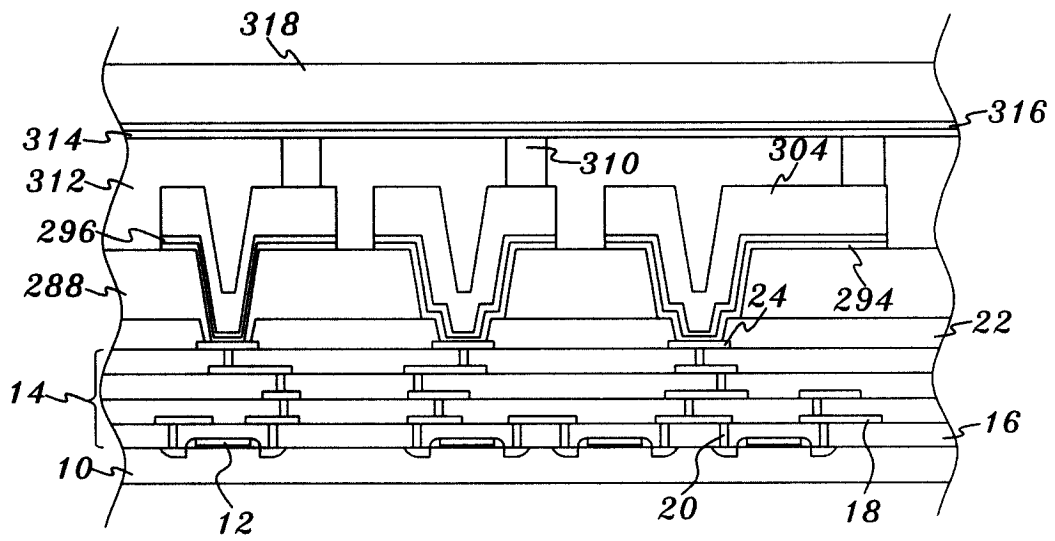


图 11n

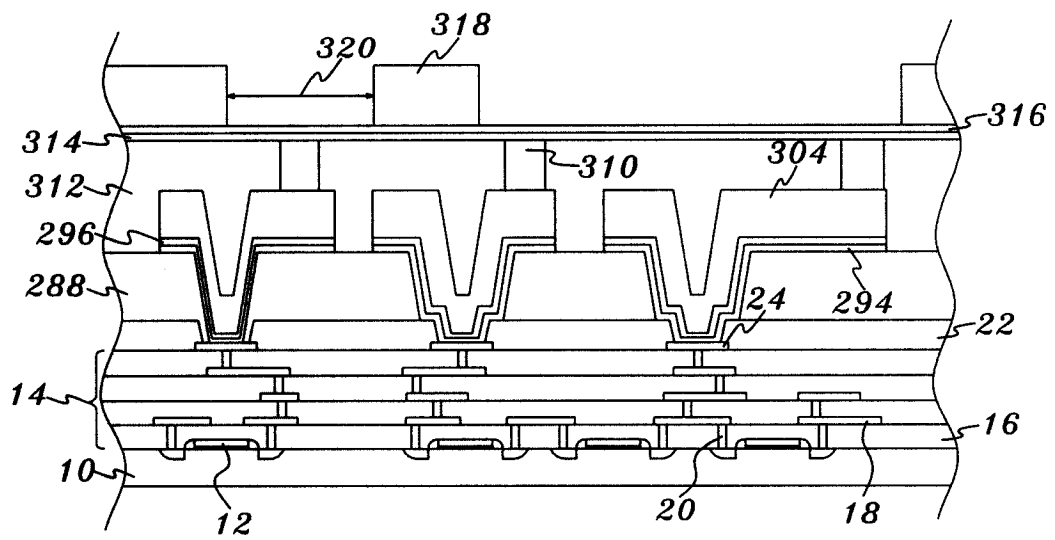


图 11o

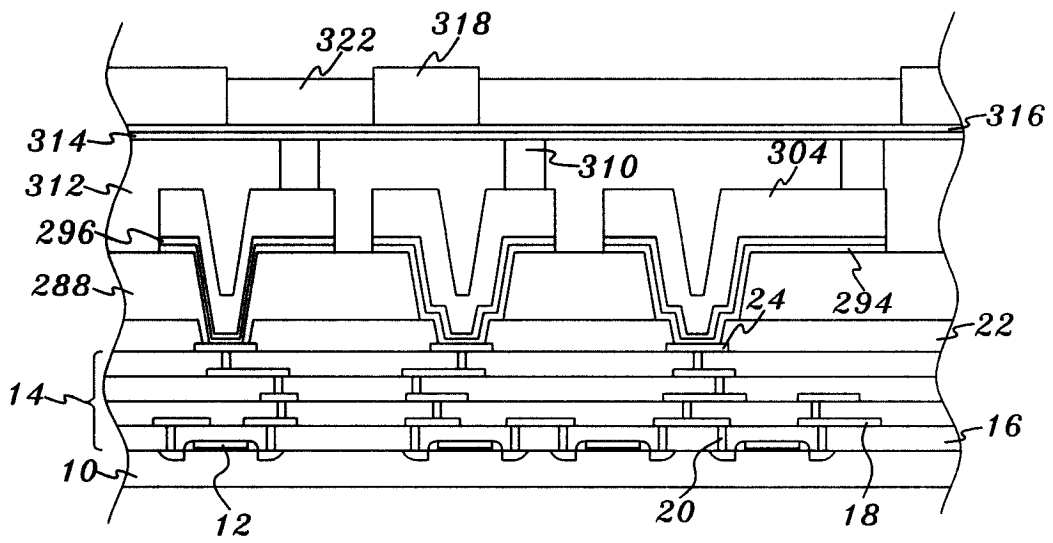


图 11p

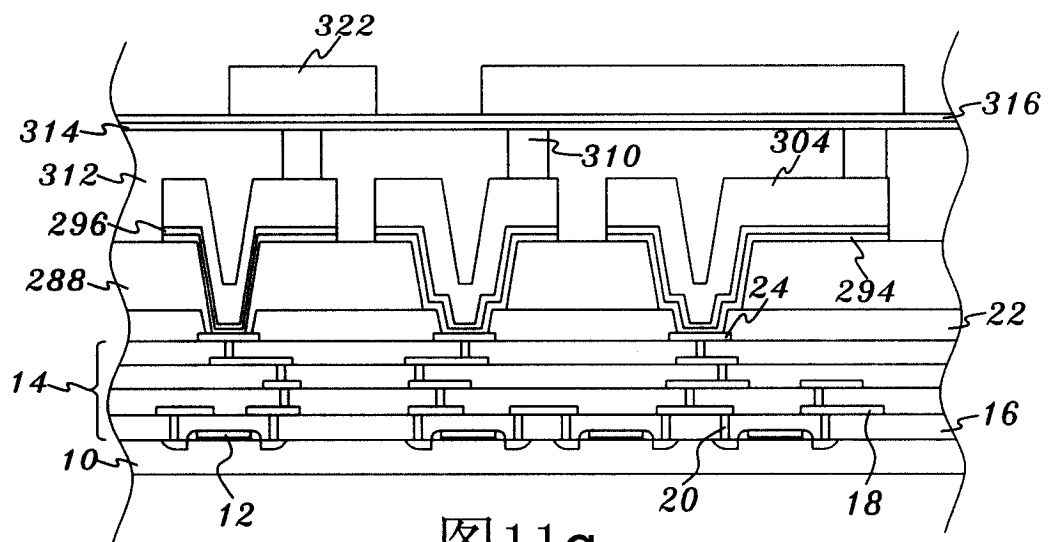


图 11q

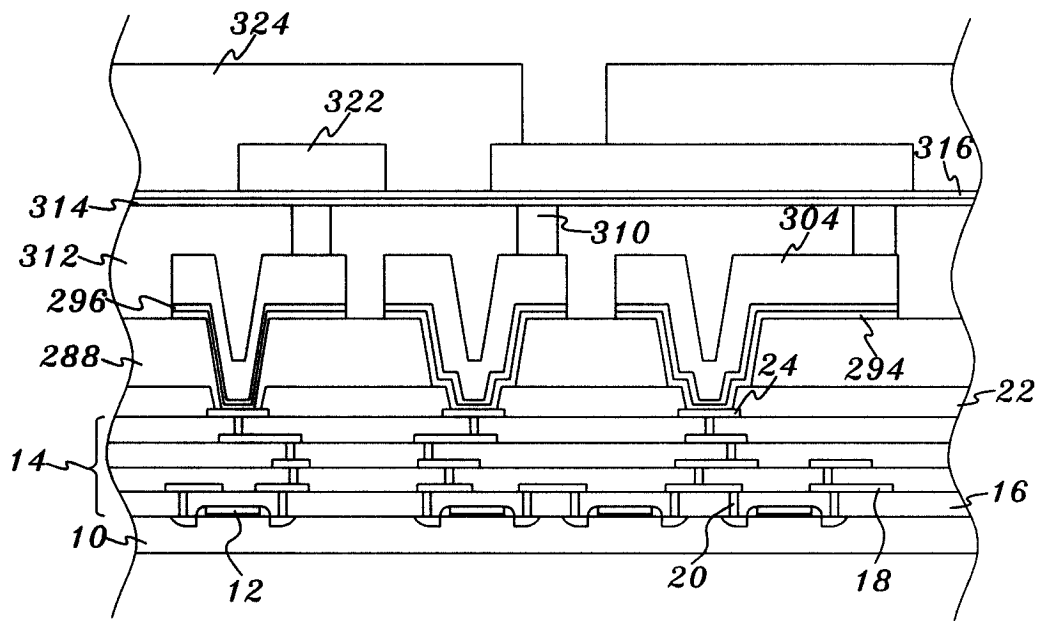


图 11r

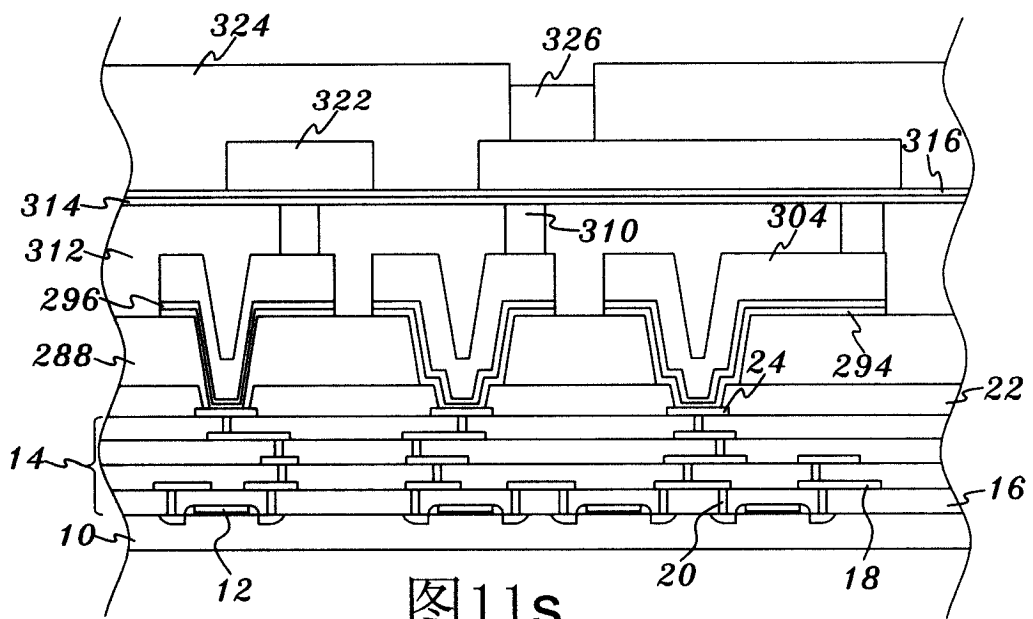


图 11s

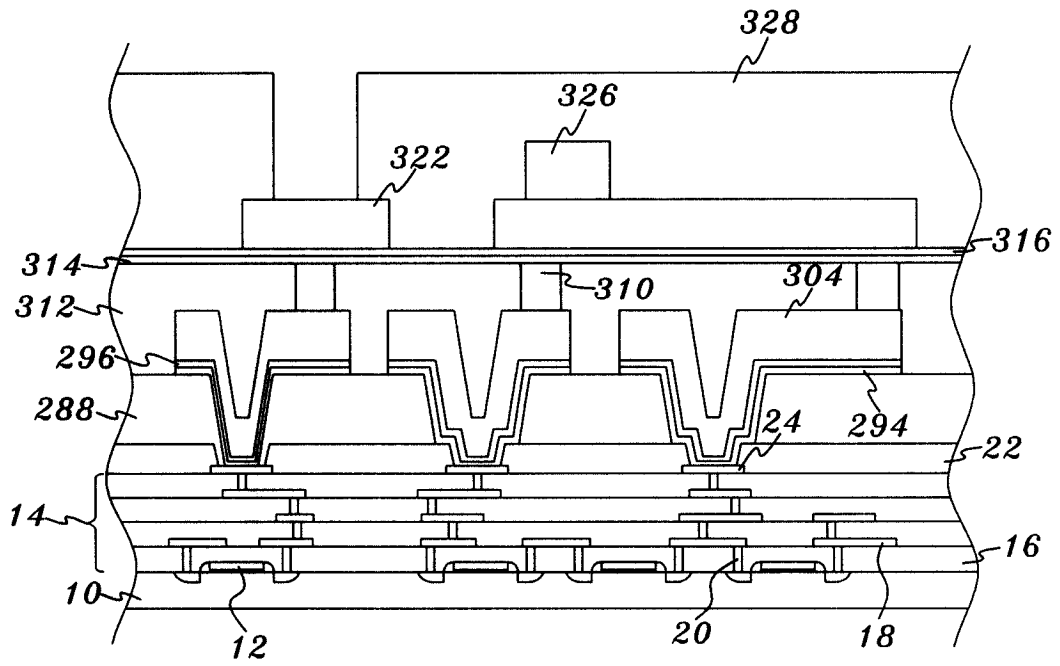


图 11t

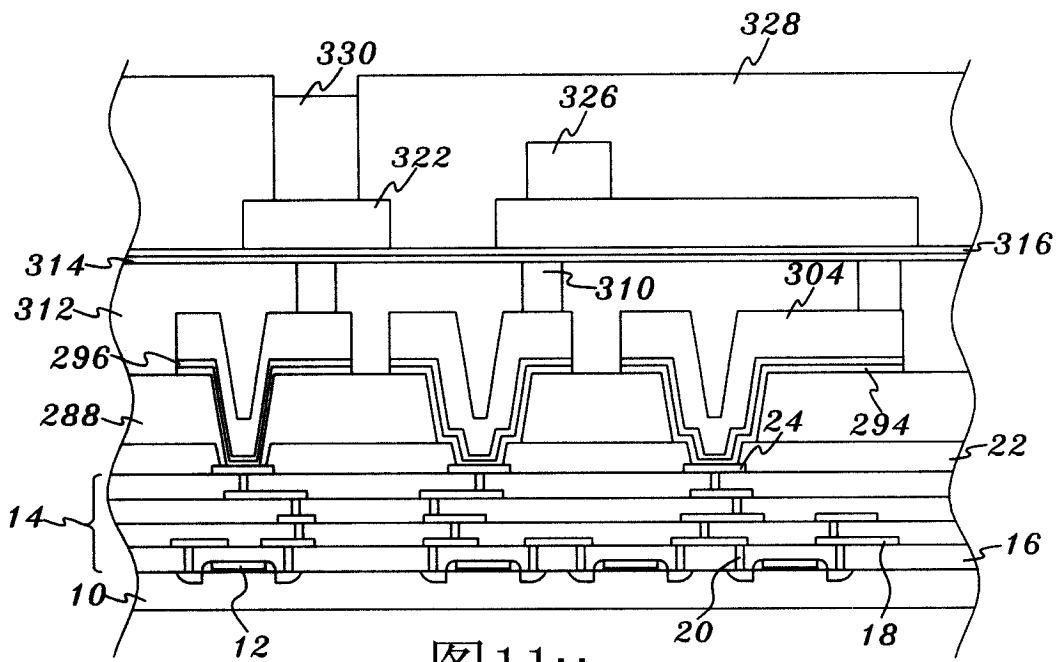


图 11u

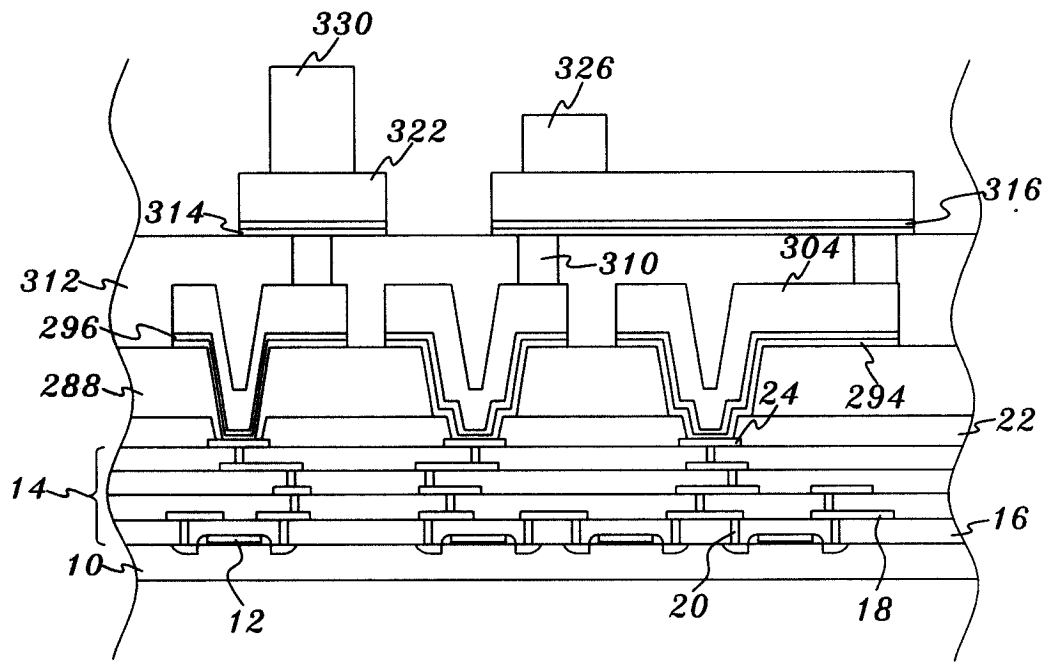


图 11v

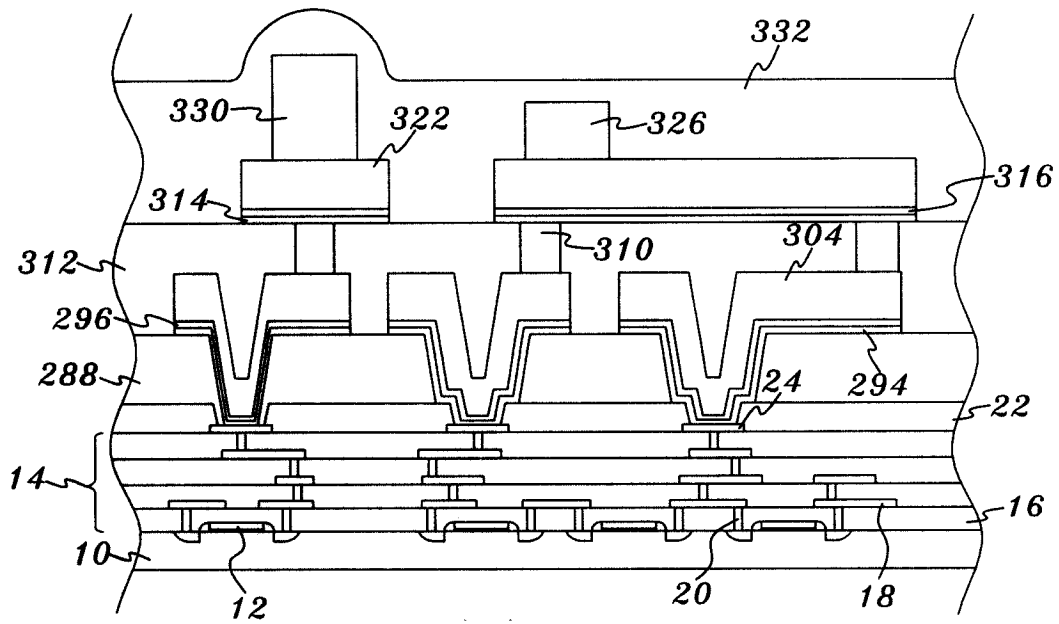


图 11w

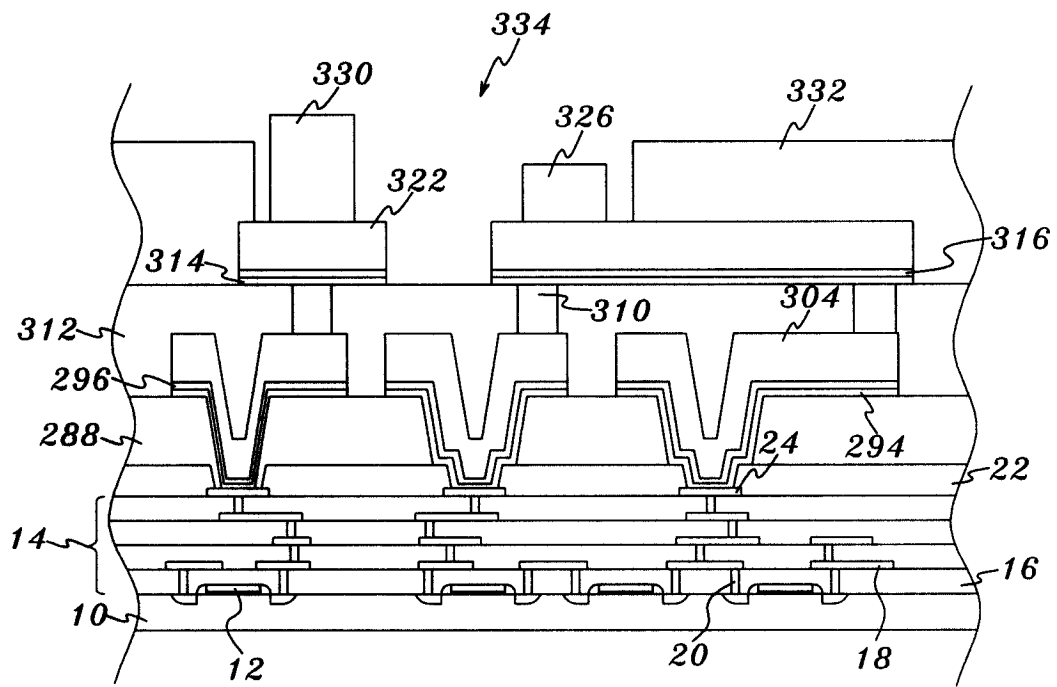


图 11x

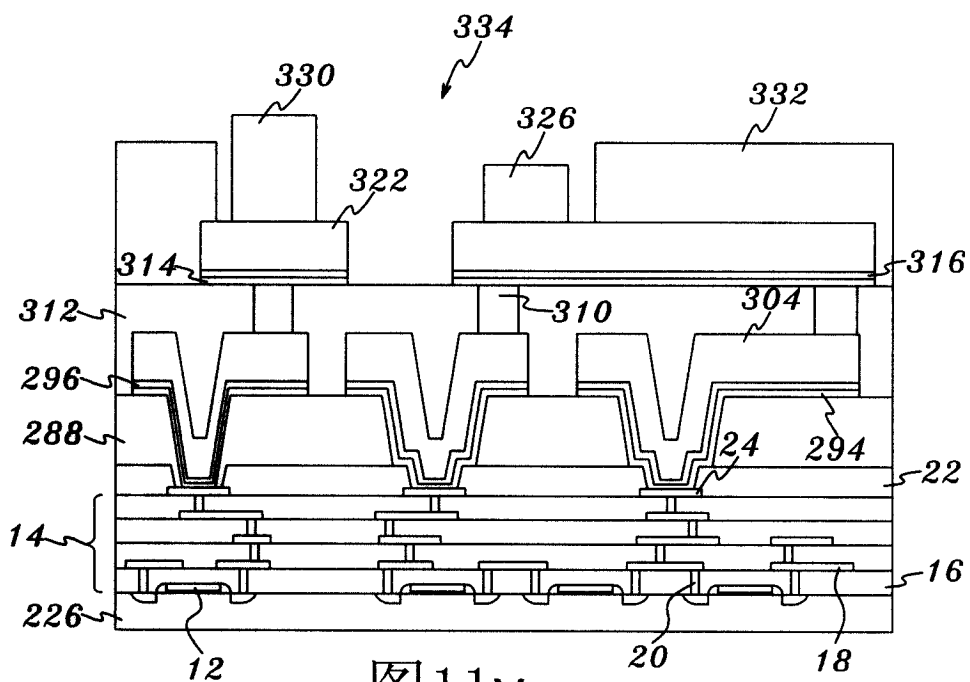


图 11y

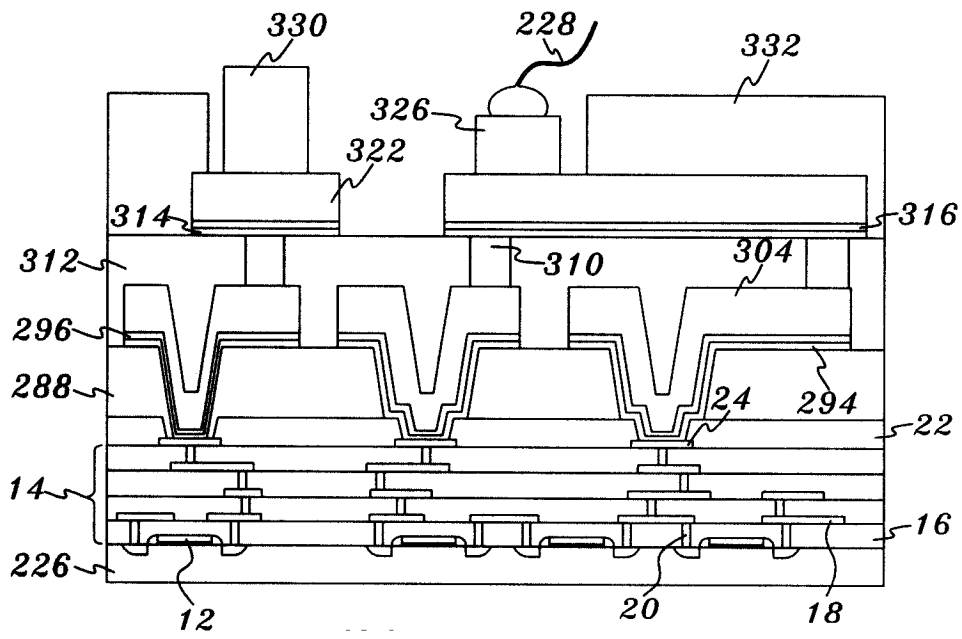


图 11z