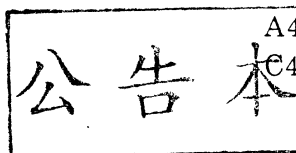


申請日期	90.12.20
案 號	P01316P2
類 別	G06F11/00



533350

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明名稱	中 文	具有晶片上背景偵錯系統之資料處理系統及其方法
	英 文	"DATA PROCESSING SYSTEM HAVING AN ON-CHIP BACKGROUND DEBUG SYSTEM AND METHOD THEREFOR"
二、發明人	姓 名	1. 麥克 C. 伍德 MICHAEL C. WOOD 2. 喬治 E. 巴克 GEORGE E. BAKER 3. 詹姆斯 M. 席彼措斯 JAMES M. SIBIGTROTH
	國 籍	均美國
三、申請人	住、居所	1. 美國德州弗拉葛維爾市帕克里斯廣場1000號 2. 美國德州奧斯丁市寇布拉路7806號 3. 美國德州圓石市瓦西大道2412號
	姓 名 (名 稱)	美商摩托羅拉公司 MOTOROLA INC.
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格 F. JOHN MOTSINGER

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2001年02月21日 09/788,816 ☒有☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

先前申請案參考

本專利申請係於2001年2月21日提出美國專利申請，專利申請案號為09/788,816。

相關申請案

此案係與同一天提出申請，文號SC11064TH，標題為「具有晶片上FIFO作為儲存偵錯資訊的資料處理系統及其方法」(DATA PROCESSING SYSTEM WITH ON-CHIP FIFO FOR STORING DEBUG INFORMATION AND METHOD THEREFOR)之美國專利申請案相關，此處予以參考引用並且受讓於本發明之受讓人。

發明領域

本發明一般係關於資料處理系統，以及更特別的是，關於具有晶片上背景偵錯系統之資料處理系統。

相關技藝

為了降低功率消耗，最新的資料處理系統通常都可以讓應用程式調整該系統時脈速度或甚至停止該振盪器。在某些例子中，這些動作都需要主開發系統調整其通信速度，以適應這些在目標資料處理系統內的改變。在停止目標系統振盪器的例子中，背景通信也會停止，因此阻止正常的偵錯作業，例如讀取或寫入目標系統記憶體位置。因此，需要能夠進行正常的偵錯作業而同時又可以讓應用程式停止或調整系統時脈速度。還需要一主開發系統，以決定具有目標資料處理系統之背景通信的正確時脈速度。

圖式簡單說明

五、發明說明 (2)

本發明將利用隨附圖式中的範例作說明，但是並非予以受限，其中相同的參考符號表示相同的元件，以及其中：

圖1所示的係說明本發明之一具體實施例的資料處理系統方塊圖。

圖2所示的係根據本發明之一具體實施例之圖1的部分時脈單元及中央處理單元之部份方塊圖及部份示意圖。

圖3所示的係根據本發明之一具體實施例之圖1的背景偵錯系統之方塊圖。

圖4所示的係根據本發明之一具體實施例之邏輯一符號、邏輯零符號、以及同步要求及回應之時序圖。

熟悉的技術人員可以發現，為了簡化及清楚起見，並沒有將圖式中的元件依照比例繪製。舉例來說，為了增進對本發明之具體實施例的了解，圖式中某些元件相對於其它元件的尺寸會特別放大。

發明詳細說明

如此處所使用的，專有名詞「匯流排」係用來表示多個信號或導體，其可用以傳送一或多種型式的資訊，例如資料、位址、控制或狀態。專有名詞「確認」係用於表示將信號、狀態位元或相同設備表現為其邏輯真狀態時。專有名詞「否定」或「取消確認」係用於表示將信號、狀態位元、或相同設備表現為其邏輯偽狀態時。如果信號(或狀態位元等)係為高作用，邏輯真狀態便是邏輯準位一，而邏輯偽狀態則係邏輯準位零。如果信號(或狀態位元等)係為低作用，邏輯真狀態便是邏輯準位零，而邏輯偽狀態則係邏

五、發明說明 (3)

輯準位一。同樣地，「高」可用以表示邏輯準位一，而「低」則可用以表示邏輯準位零。

圖1所示的係根據本發明之一具體實施例的資料處理系統10之方塊圖。資料處理系統10可以是任何的處理系統，例如微控制器、微處理器、數位信號處理器(DSP)等。資料處理系統10包括CPU 12、時脈單元19、記憶體模組16、其它模組18、偵錯模組20、內部位址匯流排22、內部資料匯流排24以及控制信號26。CPU 12包括一背景偵錯系統(BDS)14。BDS 14包括一背景通信介面52。內部資料匯流排24、內部位址匯流排22、以及控制信號26係耦合在CPU 12及資料處理系統10之週邊模組之間。時脈單元19係經由控制信號26耦合至CPU 12以及經由信號44及54耦合至BDS 14。時脈單元19也包括介面信號48及49用以耦合至振盪器電路。

操作時，CPU 12接收並且執行經由資料匯流排24儲存於記憶體模組16之軟體程式的指令。接著CPU 12會命令或利用資料處理系統之其它資源以執行特定的工作。記憶體模組16係為任何型式的記憶體包括，但並不限於，靜態隨機存取記憶體、動態隨機存取記憶體、或任何非揮發性記憶體，例如，快閃記憶體。其它模組18係為另一種記憶體模組、一類比數位轉換器、一計時器模組，一序列通信模組，舉例來說，一CAN模組、一通用輸入/輸出模組、或是類似的模組。偵錯模組20係為任何能夠進行程式偵錯的適當偵錯模組。

時脈單元19係經由EN_BDM 44以及背景偵錯時脈54耦合

五、發明說明 (4)

至背景偵錯系統 14。信號 48 及 49 會提供介面信號給外部振盪器組件。時脈單元 19 也會經由控制信號 26 接收並且提供控制信號。舉例來說，時脈單元 19 會經由控制信號 26 提供時脈信號給 CPU 12 並且接收 STOP 信號。時脈單元 19 也會提供系統時脈給 CPU 12、記憶體模組 16、偵錯模組 20、以及其它模組 18。(時脈單元 19 將會參考圖 2 作進一步的說明。)

BDS 14 尚包括可以讓主開發系統耦合至資料處理系統 10(其也可稱之為目標系統)之背景通信介面 52。所以該主開發系統便可以經由背景通信介面 52 執行偵錯作業。在一具體實施例中，背景通信介面 52 係為非同步的雙向單一線路介面。在此具體實施例中，BDS 14 只需要一外部針腳，便可以利用該主系統執行偵錯作業。在替代的具體實施例中，可以使用其它適合的通信介面，例如 JTAG 介面。

圖 2 所示的係圖 1 之部份時脈單元 19 及 CPU 12，及外部振盪器組件 30。在一具體實施例中，外部振盪器組件 30 包括一晶體或共振器 32、一回饋電阻器 34、以及兩個負載電容器 36 及 38，全部皆耦合在傳統的 Pierce 振盪器配置中。然而，替代的具體實施例可以使用其它合適的振盪器組件以及配置。時脈單元 19 包括反相器 42、NAND(反及)閘 66 及 62、以及時脈控制 46。NAND 閘 66 係耦合至 STOP 信號 68、反相器 42、以及 NAND 閘 62。NAND 閘 62(也稱之為振盪器放大器 62)係耦合至振盪器組件 30 及時脈控制 46。反相器 42 接收來自 BDS 14 的 EN_BDM 44 而時脈控制 46 提供背景偵錯時脈 54 給 BDS 14。CPU 12 包括經由命令位址 70 耦合至位址產生單元 74

五、發明說明 (5)

的BDS 14。位址產生單元74也會接收CPU位址72並且經由位址匯流排22提供系統位址。BDS 14也會雙向耦合至背景通信介面52、資料匯流排24、及控制信號26。

操作時，時脈單元19之振盪器放大器62可以利用取消確認高作用啟動信號64予以關閉。在先前技藝的系統中，該振盪器放大器可以在資料處理系統進入停止模式時便關閉(因此關閉該振盪器)以減少功率消耗。然而，在圖2之具體實施例中，啟動信號64係利用NAND閘66之輸出驅動。NAND閘66之兩個輸入係STOP信號68以及停止啟動控制信號40。在此具體實施例中應該注意的是，信號68及40皆為高作用信號。還應該注意的是STOP信號68係由CPU指令產生以便讓資料處理系統10進入停止模式(或低功率模式)以降低功率。在正常操作期間，一般並沒有主系統會耦合至背景通信介面52而且EN_BDM 44係低準位(換言之，BDS 14並未啟動)。所以，NAND閘66輸入處的停止啟動控制信號40係高準位。因此，在正常操作期間，STOP信號68會視STOP信號68係低準位或高準位而判斷該振盪器是否會運作或停止。同時，在正常操作期間，位址產生單元74會傳送來自CPU位址72之資訊給位址匯流排22。舉例來說，CPU位址72會接收來自CPU 12內之執行單元(圖中未顯示)的位址。

然而，在開發及偵錯操作期間，主系統一般會耦合至背景通信介面52並且EN_BDM 44係高準位。此會啟動BDS 14以及驅動該輸入至反相器42，使得停止啟動控制信號40為低準位。這會迫使NAND閘66之輸出不論STOP信號68之狀態

五、發明說明(6)

為何都會變成高準位。因此可以使BDS 14啟動振盪器放大器62而不受STOP信號68的影響。應該注意的是，STOP信號68也會驅動資料處理系統10內的其它電路，使得在偵錯操作期間，當BDS 14迫使振盪器保持運作時，其它的系統時脈仍然停止。BDS 14也會利用資料匯流排24、控制信號26、以及位址匯流排22以執行背景偵錯作業，舉例來說，從記憶體讀取及寫入記憶體。在此類偵錯操作期間，位址產生單元74會將BDS 14放在命令位址70上的位址傳送到位址匯流排22，使得BDS 14存取該資料處理系統記憶體。

因此，可以了解，根據本發明之各種具體實施例，當主開發系統耦合至背景通信介面而且啟動該背景偵錯模式時，振盪器停止模式的正常動作撤銷，使得該振盪器繼續運作。如此可使背景偵錯通信介面繼續運作，因此雖然為了節省功率而關閉其它資料處理系統模組，但是仍然可以執行正常的偵錯作業。舉例來說，當啟動背景偵錯模式時，雖然其餘的資料處理系統模組仍然維持關閉，但是主開發系統還是會傳送READ_STATUS命令以決定目標系統的狀態。

再次參考圖2，時脈控制46會接收來自振盪器組件30之參考振盪器信號48並且基於參考信號48提供背景偵錯時脈54給BDS 14。時脈控制46具有電路，例如除法器，用以調整參考振盪器信號。因此，主開發系統會發現只有振盪器參考信號的頻率而非時脈控制46的細節無法決定時脈控制46所產生之系統時脈之實際頻率。因此為了正確地以主系

五、發明說明 (7)

統執行偵錯作業，BDS 14必須提出此問題，其說明將參考圖3及4。

圖3所示的係BDS 14之一具體實施例。背景通信介面52，其會接收來自外部主開發系統(亦即外部偵錯主系統)之信號，係耦合至序列命令解碼器方塊56、命令響應方塊58、同步(sync)偵測方塊64、以及同步(sync)響應方塊66。背景偵錯時脈信號54控制序列命令解碼器方塊56、命令響應方塊58、同步偵測方塊64、以及同步響應方塊66中之操作時間。命令響應方塊58也耦合至資料匯流排24以及控制信號26，以讓序列背景命令可以讀取或寫入記憶體以及暫存器值或送出偵錯命令例如GO、TRACE、或enter-active-BACKGROUND。序列命令解碼器56也耦合至提供EN_BDM 44之BDM啟動電路43。

BDM啟動電路43包括一控制暫存器，用以儲存EN_BDM 44作為其中一個控制位元或是包括其它的電路設計以確認EN_BDM 44。在一具體實施例中，EN_BDM 44係一儲存在控制暫存器中之位元，該暫存器只能夠由主開發系統所發出的BDS命令經由背景通信介面52來存取。如此防止使用者編碼故意或不小心確認EN_BDM 44並且造成STOP信號68撤銷。在替代的具體實施例中，EN_BDM 44並不會儲存成控制位元而係由邏輯電路確認，該邏輯電路在發生有效的偵錯通信時，便會經由背景通信介面52進行偵測。另一具體實施例利用不同的機制以及電路，除了這些參考BDM啟動電路43所述的之外，可用以確認EN_BDM 44來啟動BDS 14。

五、發明說明 (8)

在背景偵錯操作期間，序列命令以及資料係經由背景通信介面52接收並且利用序列命令解碼器56解碼。接著命令響應方塊58會利用資料匯流排24以及控制信號26中的信號執行所要求的命令。對某些命令而言，資料會經由資料匯流排24以及控制信號26寫入資料處理系統10。對其它的命令而言，資料係經由資料匯流排24以及控制信號26從資料處理系統10中讀取，並且在背景通信介面52上以序列資料流傳送回主開發系統。在一具體實施例中，根據預設的通信協定，所有利用序列命令解碼器56以及命令響應方塊58所處理的命令及資料係遵照圖4所示的符號時序。在此範例協定中，耦合主開發系統耦合至背景通信介面52的線路並不會確認為低準位超過符號持續時間的四分之三，在此具體實施例中，該持續期間係背景偵錯時脈54之的16個週期。(應該注意的是在下面的說明中，背景通信介面52也稱之為從主開發系統耦合至背景通信介面52的通信線。換言之，當耦合至主開發系統時，背景通信介面52也稱之為背景通信線52。)

圖4所示的係背景通信線52上正常序列命令及資料的邏輯1符號持續期間(也就是位元時間)以及邏輯0符號持續期間(也就是位元時間)之時序圖。在此具體實施例中，每個符號係從下降邊緣開始並且係背景偵錯時脈54的16個週期。每個位元時間的邏輯值係在接近位元時間的中間位置取樣，如圖4中所示的「SAMPLING POINTS」。在邏輯1符號的例子中，該信號會低準位確認約四分之一的位元時間，

五、發明說明 (9)

因此當在位元時間的中間位置取樣時便成為邏輯1。另外，該信號可以低準位確認一段任何時間，只要在取樣點之前取消確認，便可以在取樣時產生正確的數值(邏輯1)。相同地，在邏輯0符號的例子中，該信號會低準位確認約四分之三的位元時間，因此當在位元時間的中間位置取樣時便成為邏輯0。另外，該信號可以低準位確認一段任何時間，只要在取樣點低準位確認並且在新符號開始之前取消，便可以在取樣時產生正確的數值(邏輯0)。也就是，對邏輯0符號而言，即使在目前符號的持續期間以外，該信號可以在下個符號開始前之某個時間取消確認以前，繼續維持低準位確認。在此具體實施例中，正常的偵錯通信期間並不會有背景通信線52低準位確認時間長於邏輯零的例子。

圖4也顯示利用如上所說明的範例協定之同步(sync)要求以及同步(sync)響應之時序圖。當外部主開發系統確認背景通信線52低準位至少背景偵錯時脈54之128個週期時，便會啟始同步要求。當資料處理系統10(換言之目標系統)之同步偵測方塊64偵測此同步要求時，其會等待直到背景通信線52返回到取消確認的高準位為止。接著該同步響應方塊66會延遲該背景偵錯時脈54的幾個週期(足以使背景通信線52至少返回到在該要求及響應之間提供清除暫停之高狀態)，並且接著會確認背景偵錯時脈54背景通信線52的128個週期。接著該外部主開發系統便可以測量此低同步響應信號之持續期間，以決定後續背景通信的正確速度。

五、發明說明 (10)

如上所述，外部主開發系統並無法偵測用以執行偵錯作業之正確處理器速度。因此，該同步要求及響應機制可以讓主開發系統按目標系統決定背景通信的正確時脈速度。總而言之，該主開發系統會利用確認背景通信信號時間長於正常通信的確認時間，以要從來自目標系統之同步時序脈衝。在確認該要求時，該目標系統會利用確認該背景通信信號維持一段該通信時脈信號之特定週期數量以進行響應。該主系統會測量此響應脈衝的長度以決定正確的通信速度。因此可以利用該同步要求及響應將第一資料處理系統與第二資料處理系統進行同步，並且並不只限制於主系統及目標系統。

替代的具體實施例可以根據其它通信協定進行通信，該協定會界定符號成具有不同的持續期間及格式。舉例來說，某個符號可以具有多於或少於如圖4所示的16個週期，並且可以在符號持續期間的不同點進行取樣。因此，同步要求可能多於或少於如上所示的128個週期。通常，同步要求實質上會比最大符號持續期間還長。舉例來說，在圖4之具體實施例中，該128個週期至少會大於16個週期(相當於正常符號持續期間)，並且可以在時脈信號中允許足夠的容限以及任何的測量誤差。在某些具體實施例中，會將同步要求之持續期間界定成至少為正常符號持續期間的兩倍。另一方面，目標系統所傳送的同步響應係固定持續期間，以便讓該主系統可以固定傳送的週期數量進行適當的時間測量。然而，因為主系統與目標系統非同步，所以在測

五、發明說明 (11)

量同步響應時可能會有不確定性。因此，該同步響應必須選取夠長的持續期間(與正常符號之持續期間作比較)，以便測量不確定性的效應降低到最少程度，並且讓主系統可以取得更精確的時序資訊。不過，替代的具體實施例可以利用不同的同步要求及同步響應組合。

在資料處理系統10之替代具體實施例中，BDS 14包括一獨立振盪器，例如電阻器-電容器(RC)振盪器等，其不受時脈單元19的影響。在此類系統中，可以利用與用於撤銷STOP信號68相同的邏輯，以適當地啟動該獨立振盪器。舉例來說，當在背景通信線52上偵測到有效的通信時，不管該系統振盪器的作業為何，都會啟動此獨立振盪器。因此，可以將該資料處理系統之系統振盪器設定成停止模式，並且無論如何BDS 14都會繼續執行偵錯作業。如果獨立振盪器，例如RC振盪器，係為BDM 14使用的話，該主系統通常不會事先知道其時序資訊。其部分原因係因為RC振盪器通常會具有相當廣的頻率容限，因此使其難以知道該頻率。然而，如上所述，主系統會利用該同步要求以便經由同步響應從BDM 14中取得適當的時間資訊。

雖然已經透過特定的導體形式或電位極性對本發明作說明，不過熟習的技術人員將會發現可以將導體形式及電位極性反向。舉例來說，原本設計為高作用的信號可以設計成低作用，以及原本設計成低作用的信號也可以設計成高作用。熟悉本技藝的人士將會了解如何修改該電路以適應這類改變。

五、發明說明 (12)

在上述的說明書中，本發明已經參考特定的具體實施例作說明。然而，對於熟習該技藝的人士將會發現，可以在不違背本發明於下面提出的申請專利範圍的範疇下，作出各種的修改及變化。因此，所有的說明書及圖式都僅係作解釋用途而非限制，並且希望全部此類的修改都涵蓋在本發明的範疇內。

已經參考特定的具體實施例說明好處、其它優點、以及問題的解決方法。然而，好處、優點、以及問題的解決方法，以及任何可以產生任何好處、其它優點、或解決方法的元件都不是申請專利範圍中任何一項的關鍵、必需、或基本特性或元件。如此處所使用的，專有名詞「包括」、「包含」或任何其變化，都係為了能夠全面性地涵蓋，因此包括表列元件的程序、方法、物品、或設備都不僅僅包括這些元件，同時還包括未表列的或是這類程序、方法、物品、或設備中原本就有的元件。

四、中文發明摘要(發明之名稱：具有晶片上背景偵錯系統之資料處理系統及其方法)

本發明之具體實施例係關於一種防止振盪器在主開發系統耦合至背景偵錯通信介面(52)且該背景偵錯模式已經啟動時遭受停止的機制。當目標資料處理系統處於低功率模式時，這樣可以讓背景偵錯操作得以繼續進行。其它的具體實施例係關於一種可以讓主開發系統從一目標資料處理系統要求同步時序脈衝的機制，以決定背景通信之正確時脈速度。替代的具體實施例係關於一種具有系統時脈單元以及背景偵錯系統(14)的資料處理系統，其中該背景偵錯系統包括一背景偵錯時脈單元，與該系統時脈單元分離，以及一啟動控制(44)。當確認啟動控制時，背景偵錯時脈單元便會被啟動，且不會受到系統時脈單元的支配。

英文發明摘要(發明之名稱："DATA PROCESSING SYSTEM HAVING AN ON-CHIP BACKGROUND DEBUG SYSTEM AND METHOD THEREFOR")

Embodiments of the present invention relate to a mechanism to prevent the oscillator from being stopped when a host development system is coupled to the background debug communications interface (52) and the background debug mode has been enabled. This allows background debugging operations to continue when the target data processing system is in a low power mode. Other embodiments relate to a mechanism for allowing a host development system to request a synchronization timing pulse from a target data processing system so the correct clock speed can be determined for background communications. Alternate embodiments relate to a data processing system having a system clock unit and a background debug system (14) where the background debug system includes a background debug clock unit, separate from the system clock unit, and an enable control (44). When the enable control is asserted, the background debug clock unit is enabled, independent of the system clock unit.

六、申請專利範圍

1. 一種資料處理系統，包括：

- 一具有一啟動控制(44)之背景偵錯系統(14)；以及
 - 一時脈單元(19)，耦合至該背景偵錯系統並且適於接收該啟動控制，該時脈單元能停止振盪；
- 其中當啟動控制確認時，可以避免該時脈單元停止振盪。

2. 一種操作具有耦合至一時脈單元(19)的一背景偵錯系統(14)之資料處理系統的方法，包括：

- 進入一低功率模式，其中在該低功率模式期間，該時脈單元可以停止振盪；
- 確認背景偵錯啟動控制(44)；以及
- 為響應確認背景偵錯啟動控制，該背景偵錯系統可以預防該時脈單元停止振盪。

3. 一種資料處理系統，包括：

- 一通信介面(52)，可以根據一預設的通信協定傳送具有一符號持續期間的符號；
- 一耦合至該通信介面並且適於接收一同步要求的同步偵測單元(64)，其中該同步要求的持續期間大於該符號持續期間；以及
- 一同步響應單元(66)，耦合至該通信介面並且適於提供同步響應給該同步要求。

4. 如申請專利範圍第3項之資料處理系統，其中該同步響應具有一預設的響應持續期間。

5. 如申請專利範圍第3項之資料處理系統，其中：

六、申請專利範圍

該同步要求係由該資料處理系統時之一主單元提供，
以及

該同步響應係由該資料處理系統提供給該主單元，該
主單元可以決定來自同步響應的時間資訊。

6. 一種資料處理系統，包括：

一非同步通信介面(52)，可以與該資料處理系統外之
一主單元通信；以及

一背景偵錯系統(14)，耦合至該非同步通信介面，該
背景偵錯系統包括：

一同步偵測單元(64)，適於接收來自主單元之同步
要求，以及

一同步響應單元(66)，適於提供一同步響應給主單
元，以響應該同步要求。

7. 如申請專利範圍第6項之資料處理系統，其中：

該非同步通信介面可以根據一通信協定，傳送具有一
預設符號持續期間之符號，以及

該主單元會確認同步要求的持續期間長於預設符號持
續期間。

8. 一種將一第一資料處理系統與一第二資料處理系統同步 化的方法，該第一及第二資料處理系統係根據一通信協 定進行通信，以傳送具有一預設符號持續期間的符號， 該方法包括：

提供具有一有持續期間長於預設符號持續期間之一同步
要求；以及

六、申請專利範圍

響應該同步要求，提供具有一固定預設持續期間之一同步響應。

9. 一種資料處理系統，包括：

一背景偵錯系統(14)，具有一背景偵錯時脈單元(19)及一耦合至該背景偵錯時脈單元的一啟動控制(44)；以及

一系統時脈單元，耦合至該背景偵錯系統，該系統時脈單元適於耦合至一系統振盪器，並且可以停止該系統振盪器之振盪；

其中當該啟動控制確認時，該背景偵錯時脈單元便會啟動。

10. 一種操作具有耦合至一系統時脈單元之一背景偵錯系統之資料處理系統的方法，該背景偵錯系統具有一背景偵錯時脈單元，該方法包括：

進入一低功率模式，其中在低功率模式期間，該系統時脈單元可以避免資料處理系統振盪；

確認一背景偵錯啟動控制；以及

響應確認背景偵錯啟動控制，啟動該背景偵錯時脈單元的振盪，不受系統時脈單元的影響。

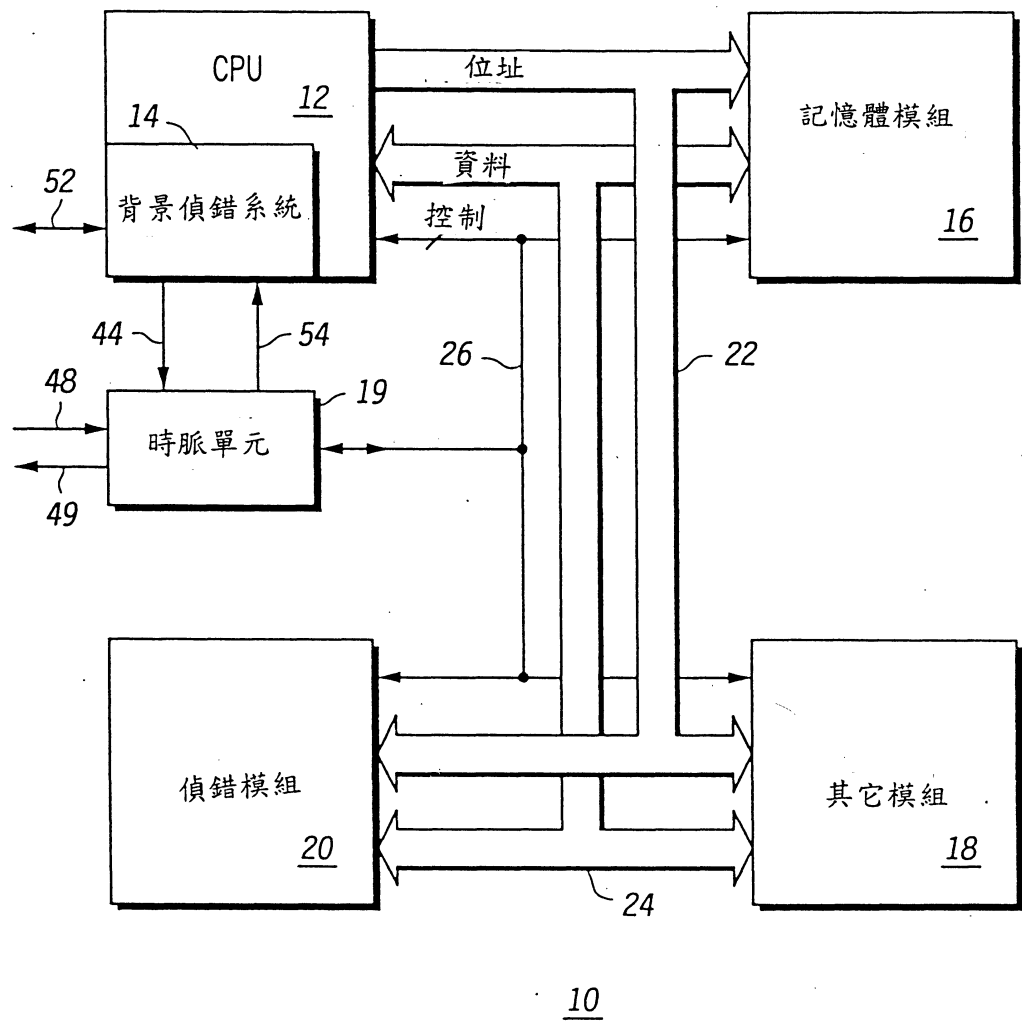


圖 1

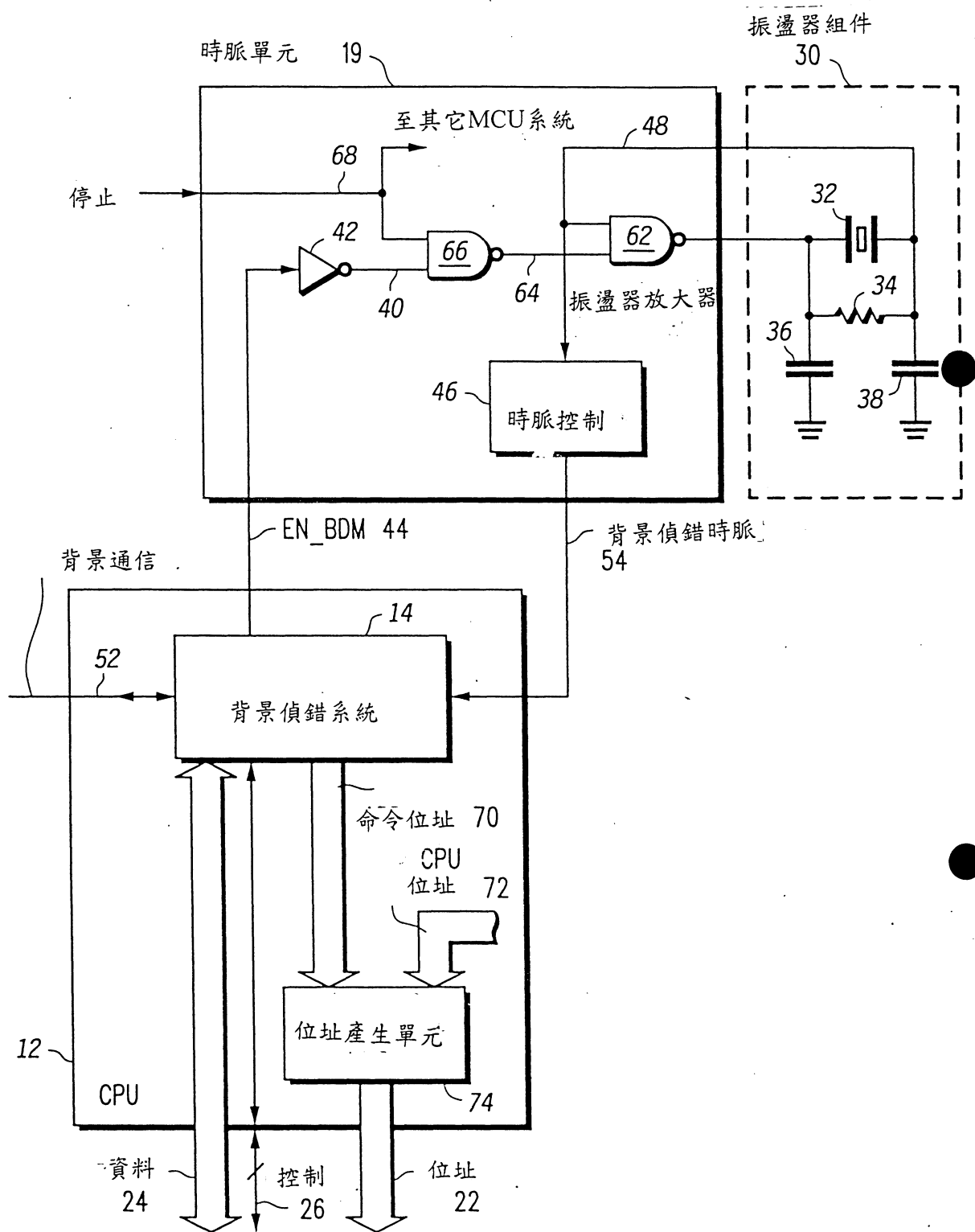


圖 2

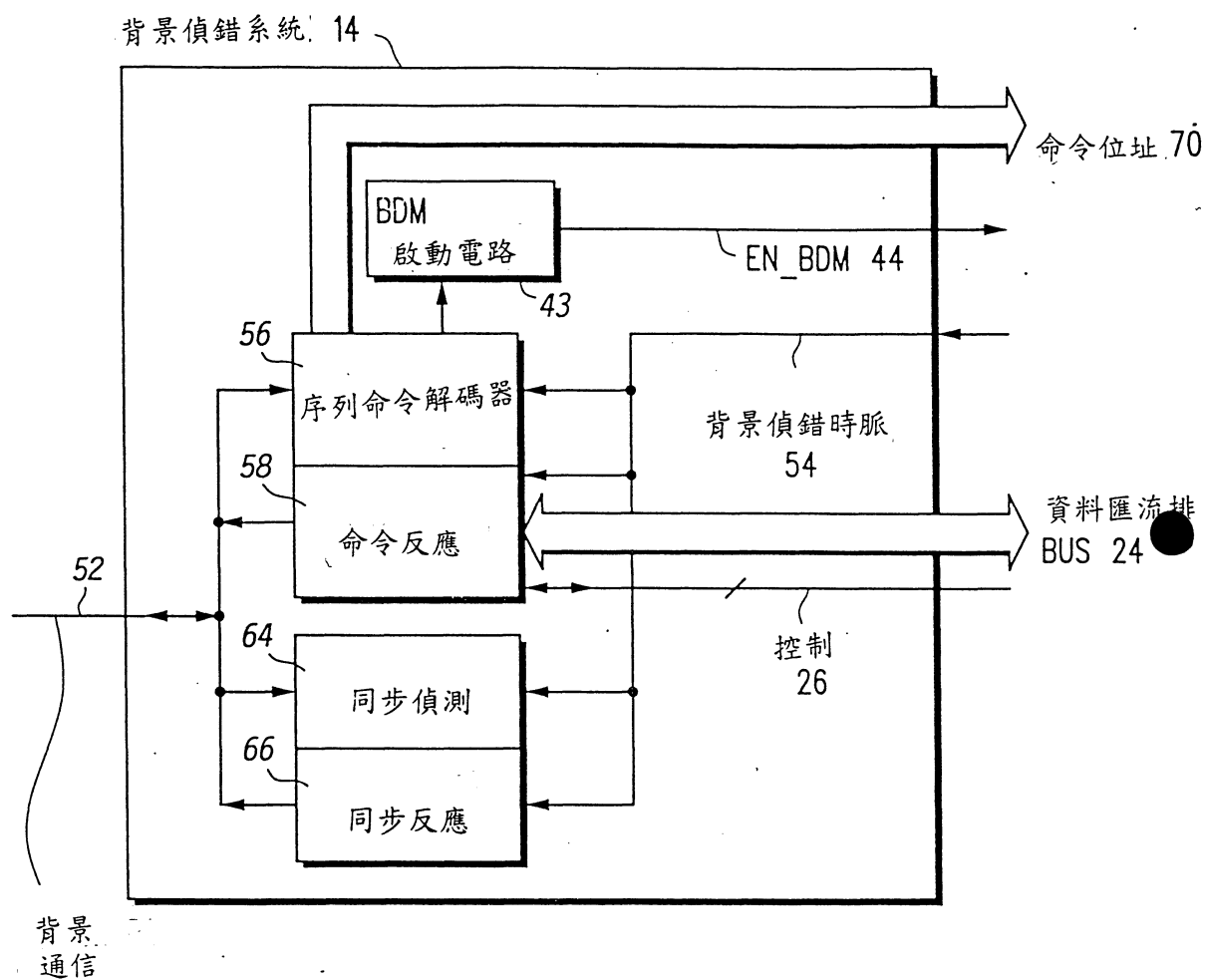


圖 3

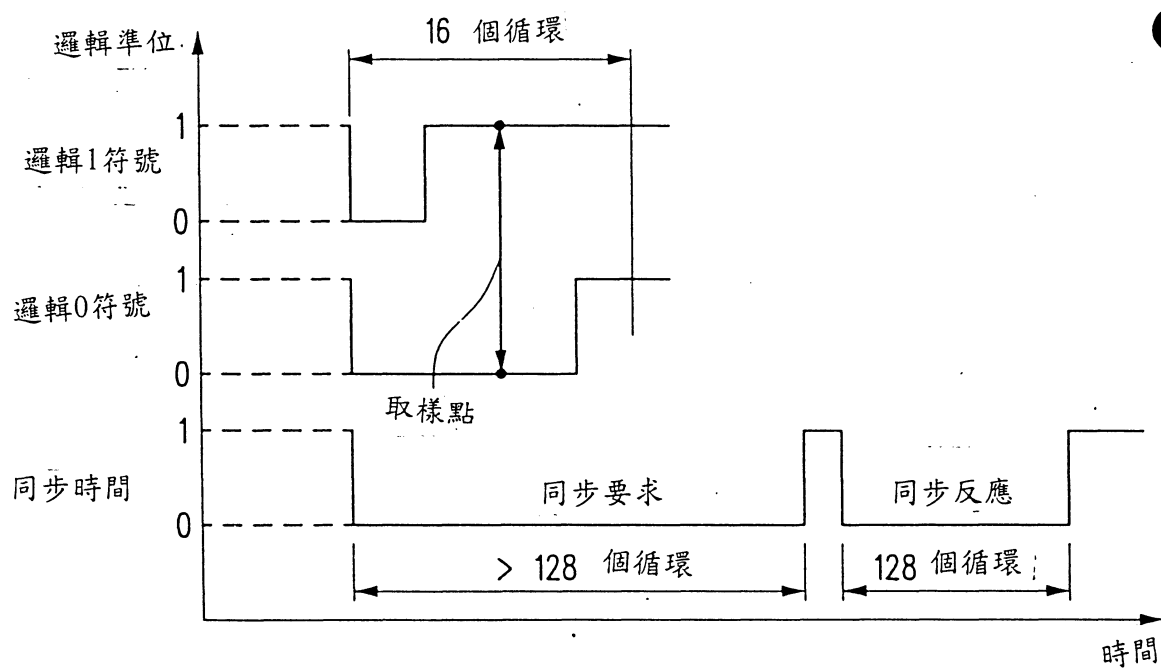


圖 4