



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0076509
(43) 공개일자 2024년05월30일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/423 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7813 (2013.01)
H01L 29/4236 (2013.01)
(21) 출원번호 10-2022-0157329
(22) 출원일자 2022년11월22일
심사청구일자 2022년11월22일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김광수
대전광역시 서구 청사로 70 누리아파트 113-406
나재엽
서울특별시 양천구 신월로20길 7(신월동, 신정뉴타운두산위브아파트) 104동 501호
(74) 대리인
정부연

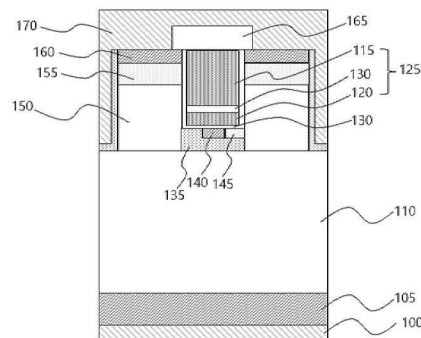
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 MOSFET 소자 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 MOSFET 소자는 반도체 기판 상부에 구비된 드리프트층과, 상기 드리프트층 상에 구비되며, 하단의 제1 게이트 패턴 및 상단의 제2 게이트 패턴으로 구성된 게이트 전극과, 상기 제1 게이트 패턴 하부 및 측벽 형성된 제1 게이트 산화막과, 상기 제2 게이트 패턴 하부 및 측벽에 형성된 제2 게이트 산화막과, 상기 게이트 전극 양측의 상기 드리프트층 상부에 형성된 전류 확산층과, 상기 전류 확산층 상부에서 상기 제2 게이트 패턴 측면과 중첩되어 수직으로 적층되어 배치된 제1 p 베이스 영역 및 제1 n+ 소스 영역과, 상기 게이트 전극과 상기 드리프트층 사이에 구비된 p+ 윙 영역과, 상기 p+ 윙 영역 내에서 상기 제1 게이트 패턴 하부와 중첩되어 수평으로 나란하게 배치된 제2 n+ 소스 영역과 제2 p 베이스 영역을 포함하는 것을 특징으로 한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/66734 (2013.01)

H01L 29/7804 (2013.01)

명세서

청구범위

청구항 1

반도체 기판 상부에 구비된 드리프트층;

상기 드리프트층 상에 구비되며, 하단의 제1 게이트 패턴 및 상단의 제2 게이트 패턴으로 구성된 게이트 전극;

상기 제1 게이트 패턴 하부 및 측벽에 형성된 제1 게이트 산화막;

상기 제2 게이트 패턴 하부 및 측벽에 형성된 제2 게이트 산화막;

상기 게이트 전극 양측의 상기 드리프트층 상부에 형성된 전류 확산층;

상기 전류 확산층 상부에서 상기 제2 게이트 패턴 측면과 중첩되어 수직으로 적층되어 배치된 제1 p-베이스 영역 및 제1 n+ 소스 영역

상기 게이트 전극과 상기 드리프트층 사이에 구비된 p+ 쉘딩 영역;

상기 p+ 쉘딩 영역 내에서 상기 제1 게이트 패턴 하부와 중첩되어 수평으로 나란하게 배치된 제2 n+ 소스 영역과 제2 p-베이스 영역;

을 포함하는 것을 특징으로 하는 MOSFET 소자.

청구항 2

제1 항에 있어서,

상기 제2 n+ 소스 영역은 상기 게이트 전극의 중앙부와 중첩되며, 상기 제2 p-베이스 영역은 상기 게이트 전극의 일부와 중첩되며, 상기 제2 n+ 소스 영역 일측에 형성된 것을 특징으로 하는 MOSFET 소자.

청구항 3

제1 항에 있어서,

상기 제1 게이트 패턴은 더미 게이트로 소스 콘택과 연결되며, 상기 제2 게이트 패턴은 콘트롤 게이트로 게이트 콘택과 연결되는 것을 특징으로 하는 MOSFET 소자.

청구항 4

제1 항에 있어서,

상기 제1 게이트 산화막은 상기 제2 게이트 산화막에 비해 얇은 두께를 가지며, 그 두께는 5 ~ 10nm인 것을 특징으로 하는 MOSFET 소자.

청구항 5

제1 항에 있어서,

상기 반도체 기판 하부에 드레인 메탈 라인을 더 포함하고, 상기 게이트 전극을 포함하는 반도체 기판 상부에 상기 제1 n+ 소스 영역과 접촉하는 소스 메탈 라인을 더 포함하는 것을 특징으로 하는 MOSFET 소자.

청구항 6

제1 항에 있어서,

상기 제1 게이트 패턴 하부에 형성된 제2 n+ 소스 영역 및 제2 p 베이스 영역과 상기 제2 게이트 패턴 측면부에 형성된 제1 n+ 소스 영역 및 제1 p 베이스 영역을 통해 각각의 채널이 형성되는 것을 특징으로 하는 MOSFET 소자.

청구항 7

반도체 기판 상부에 드리프트층을 형성하는 단계;

상기 드리프트층 상부에 전류 확산층, 제1 p 베이스 영역 및 제1 n+ 소스 영역을 형성하는 단계;

상기 제1 n+ 소스 영역, 제1 p 베이스 영역 및 전류 확산층을 식각하여 게이트 트렌치를 형성하는 단계;

상기 게이트 트렌치에 의해 노출된 전류 확산층 내에 p+ 쉘딩 영역을 형성하는 단계;

상기 p+ 쉘딩 영역내에 수평으로 나란하게 제2 n+ 소스 영역 및 제2 p 베이스 영역을 형성하는 단계;

상기 게이트 트렌치 내에 제1 게이트 산화막을 증착하고, 도전물질을 매립하여 제1 게이트 패턴을 형성하는 단계; 및

상기 제1 게이트 패턴 상부에 제2 게이트 산화막을 증착하고, 도전물질을 매립하여 제2 게이트 패턴을 형성하는 단계

를 포함하는 것을 특징으로 하는 MOSFET 소자 제조 방법.

청구항 8

제7 항에 있어서,

상기 제2 n+ 소스 영역 및 제2 p 베이스 영역을 형성하는 단계는

상기 게이트 트렌치 내에 이온 주입 공정을 진행하여,

상기 게이트 트렌치 중앙부에 제2 n+ 소스 영역을 형성하고, 상기 제2 n+ 소스 영역 일측에 제2 p 베이스 영역을 형성하는 것을 특징으로 하는 MOSFET 소자의 제조 방법.

청구항 9

제7 항에 있어서,

상기 제1 게이트 산화막 및 상기 제2 게이트 산화막은 열산화 공정을 통해 상기 게이트 트렌치 내벽에 산화막을 증착하는 것을 특징으로 하되, 상기 제1 게이트 산화막은 상기 제2 게이트 산화막보다 얇은 두께로 형성하며, 그 두께는 5 ~ 10nm인 것을 특징으로 하는 MOSFET 소자 제조 방법.

청구항 10

제7 항에 있어서,

상기 반도체 기판 하부에 드레인 메탈 라인을 형성하는 단계; 및

상기 게이트 전극을 포함하는 반도체 기판 상부에 상기 제1 n+ 소스 영역과 접촉하는 소스 메탈 라인을 형성하는 단계

를 더 포함하는 것을 특징으로 하는 MOSFET 소자 제조 방법.

청구항 11

제7 항에 있어서,

상기 제1 게이트 패턴은 상기 제2 게이트 패턴보다 낮은 높이를 가지며, 상기 제1 게이트 패턴은 더미 게이트로 사용되고, 상기 제2 게이트 패턴은 콘트롤 게이트로 사용되는 것을 특징으로 하는 MOSFET 소자 제조 방법.

청구항 12

제7 항에 있어서,

상기 제1 게이트 패턴 하부에 형성된 제2 n+ 소스 영역 및 제2 p 베이스 영역과 상기 제2 게이트 패턴 측면부에 형성된 제1 n+ 소스 영역 및 제1 p 베이스 영역을 통해 각각의 채널이 형성되는 것을 특징으로 하는 MOSFET 소자 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 MOSFET 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 상하로 분할된 게이트를 가지는 MCD-MOSFET(Mos Channel Diode MOSFET) 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0003] 4H-SiC(탄화규소)는 실리콘 대비 3배 넓은 에너지 밴드갭으로 인해 실리콘보다 항복 전압, 낮은 온 저항 및 높은 열 전도성을 가지며, 이로 인해 차세대 전력 소자의 물질로 각광받고 있다. SiC MOSFET의 구조는 크게 플래너 MOSFET(Planar MOSFET) 및 트렌치 MOSFET(Trench MOSFET) 두 가지로 나뉘는데, 플래너 MOSFET은 게이트 산화막에 적은 전계가 걸리지만 JFET 저항이 크다는 단점이 있어 주로 3.3kV 이상의 MOSFET에 쓰이며, 트렌치 MOSFET은 게이트의 트렌치 구조로 인해 셀 피치(cell pitch)가 감소하여 단위면적 당 전류 크기가 높으며, JFET 저항이 작아 온 저항이 감소한다는 장점이 있다. 하지만 게이트 산화막 코너 부분에 큰 전계가 걸려 주로 1.7kV 이하의 MOSFET에 사용된다.

[0005] 한국공개특허 제2019-0001233호는 소스전극, 유전체, 오믹층, p형 소스, n형 소스, 게이트절연막, 게이트전극, 드리프트층, 드레인전극을 포함하는 트렌치 게이트형 탄화규소 MOSFET(Metal Oxide Semiconductor Field Effect transistor) 구조에 있어서, 트렌치 바닥에 인가되는 강한 전계를 완화시키기 위해 상기 트렌치의 양측에 배치되어 상기 트렌치의 깊이보다 깊게 형성된 p형 베이스와; 상기 p형 베이스 사이 및 상기 트렌치 바닥에 도통저항을 낮추기 위해 배치된 n형 JFET(junction gate fieleffect tarnsistor)층과; 상기 n형 JFET층에 상기 p형 소스보다 얇은 두께로 이루어지는 p형 트렌치바닥접합을 포함하는 것을 특징으로 한다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국공개특허 제 10-2019-0001233호

발명의 내용

해결하려는 과제

- [0008] 본 발명의 일 실시예는 상하로 분할된 게이트를 가지며, 분할된 게이트 중 더미 게이트 하단의 p 베이스 영역에 다이오드 채널이 위치하는 구조를 형성함에 따라 온 상태에서 두 개의 채널이 형성되므로 채널 저항 및 온 저항의 저하없이 채널 다이오드를 내장할 수 있으며, 폴리실리콘 게이트를 증착하는데 있어서 종횡비(Aspect ratio)가 낮으므로 증착 시 문제가 발생할 가능성이 감소하는 MOSFET 소자 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0010] 본 발명의 일 실시예에 따른 MOSFET 소자는 반도체 기판 상부에 구비된 드리프트층과, 상기 드리프트층 상에 구비되며, 하단의 제1 게이트 패턴 및 상단의 제2 게이트 패턴으로 구성된 게이트 전극과, 상기 제1 게이트 패턴 하부 및 측벽에 형성된 제1 게이트 산화막과, 상기 제2 게이트 패턴 하부 및 측벽에 형성된 제2 게이트 산화막과, 상기 게이트 전극 양측의 상기 드리프트층 상부에 형성된 전류 확산층과, 상기 전류 확산층 상부에서 상기 제2 게이트 패턴 측면과 중첩되어 수직으로 적층되어 배치된 제1 p 베이스 영역 및 제1 n+ 소스 영역과, 상기 게이트 전극과 상기 드리프트층 사이에 구비된 p+ 쉐딩 영역과, 상기 p+ 쉐딩 영역 내에서 상기 제1 게이트 패턴 하부와 중첩되어 수평으로 나란하게 배치된 제2 n+ 소스 영역과 제2 p 베이스 영역을 포함하는 것을 특징으로 한다.
- [0011] 상기 제2 n+ 소스 영역은 상기 게이트 전극의 중앙부와 중첩되며, 상기 제2 p-베이스 영역은 상기 게이트 전극의 일부와 중첩되며, 상기 제2 n+ 소스 영역 일측에 형성된 것을 특징으로 한다.
- [0012] 상기 제1 게이트 패턴은 더미 게이트로 소스 콘택과 연결되며, 상기 제2 게이트 패턴은 콘트롤 게이트로 게이트 콘택과 연결되는 것을 특징으로 한다.
- [0013] 상기 제1 게이트 산화막은 상기 제2 게이트 산화막에 비해 얇은 두께를 가지며, 그 두께는 5 ~ 10nm인 것을 특징으로 한다.
- [0014] 상기 반도체 기판 하부에 드레인 메탈 라인을 더 포함하고, 상기 게이트 전극을 포함하는 반도체 기판 상부에 상기 제1 n+ 소스 영역과 접촉하는 소스 메탈 라인을 더 포함하는 것을 특징으로 한다.
- [0015] 상기 제1 게이트 패턴 하부에 형성된 제2 n+ 소스 영역 및 제2 p 베이스 영역과 상기 제2 게이트 패턴 측면부에 형성된 제1 n+ 소스 영역 및 제1 p 베이스 영역을 통해 각각의 채널이 형성되는 것을 특징으로 한다.
- [0016] 본 발명의 일 실시예에 따른 MOSFET 소자의 제조 방법은 반도체 기판 상부에 드리프트층을 형성하는 단계와, 상기 드리프트층 상부에 전류 확산층, 제1 p 베이스 영역 및 제1 n+ 소스 영역을 형성하는 단계와, 상기 제1 n+ 소스 영역, 제1 p 베이스 영역 및 전류 확산층을 식각하여 게이트 트렌치를 형성하는 단계와, 상기 게이트 트렌치에 의해 노출된 전류 확산층 내에 p+ 쉐딩 영역을 형성하는 단계와, 상기 p+ 쉐딩 영역내에 수평으로 나란하게 제2 n+ 소스 영역 및 제2 p 베이스 영역을 형성하는 단계와, 상기 게이트 트렌치 내에 제1 게이트 산화막을 증착하고, 도전물질질을 매립하여 제1 게이트 패턴을 형성하는 단계와, 상기 제1 게이트 패턴 상부에 제2 게이트 산화막을 증착하고, 도전물질질을 매립하여 제2 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0017] 상기 제2 n+ 소스 영역 및 제2 p 베이스 영역을 형성하는 단계는 상기 게이트 트렌치 내에 이온 주입 공정을 진행하여, 상기 게이트 트렌치 중앙부에 제2 n+ 소스 영역을 형성하고, 상기 제2 n+ 소스 영역 일측에 제2 p 베이스 영역을 형성하는 것을 특징으로 한다.
- [0018] 상기 제1 게이트 산화막 및 상기 제2 게이트 산화막은 열산화 공정을 통해 상기 게이트 트렌치 내벽에 산화막을 증착하는 것을 특징으로 하되, 상기 제1 게이트 산화막은 상기 제2 게이트 산화막보다 얇은 두께로 형성하며, 그 두께는 5 ~ 10nm인 것을 특징으로 한다.
- [0019] 상기 반도체 기판 하부에 드레인 메탈 라인을 형성하는 단계와, 상기 게이트 전극을 포함하는 반도체 기판 상부에 상기 제1 n+ 소스 영역과 접촉하는 소스 메탈 라인을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0020] 상기 제1 게이트 패턴은 상기 제2 게이트 패턴보다 낮은 높이를 가지며, 상기 제1 게이트 패턴은 더미 게이트로 사용되고, 상기 제2 게이트 패턴은 콘트롤 게이트로 사용되는 것을 특징으로 한다.

[0021] 상기 제1 게이트 패턴 하부에 형성된 제2 n+ 소스 영역 및 제2 p 베이스 영역과 상기 제2 게이트 패턴 측면부에 형성된 제1 n+ 소스 영역 및 제1 p 베이스 영역을 통해 각각의 채널이 형성되는 것을 특징으로 한다.

[0022]

발명의 효과

[0023] 개시된 기술은 다음의 효과를 가질 수 있다. 다만, 특정 실시예가 다음의 효과를 전부 포함하여야 한다거나 다음의 효과만을 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0024] 본 발명의 일 실시예에 따른 MOSFET 소자 및 그 제조 방법은 상하로 분할된 게이트를 가지며, 분할된 게이트 중 더미 게이트 하단의 p 베이스 영역에 다이오드 채널이 위치하는 구조를 형성함에 따라 온 상태에서 두 개의 채널이 형성되므로 채널 저항 및 온 저항의 저하없이 채널 다이오드를 내장할 수 있으며, 폴리실리콘 게이트를 증착하는데 있어서 종횡비(Aspect ratio)가 낮으므로 증착 시 문제가 발생할 가능성이 감소되는 효과가 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 MOSFET 소자를 설명하기 위한 단면도이다.

도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 MOSFET 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 3는 다양한 구조가 적용된 MOSFET 소자들의 온 상태 시 특성을 비교한 그래프이다.

도 4는 다양한 구조가 적용된 MOSFET 소자들의 전류 분포도를 비교한 것이다.

도 5는 본 발명의 MCD-MOSFET 소자의 전계 분포도를 나타낸 것이다.

도 6은 다양한 구조가 적용된 MOSFET 소자들의 온 상태 및 오프 상태 시 드레인 전류 및 항복 전압을 나타낸 그래프이다.

도 7은 다양한 구조가 적용된 MOSFET 소자들의 전류 특성을 도시한 그래프로

도 8은 다양한 구조가 적용된 MOSFET 소자들의 스위칭 시 바디 다이오드의 역회복 특성을 나타낸 그래프이다.

도 9은 다양한 구조가 적용된 MOSFET 소자들의 스위칭 오프 시 전력 밀도(power density)를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다. 또한, 본 발명에서 제시된 목적 또는 효과는 특정 실시예가 이를 전부 포함하여야 한다거나 그러한 효과만을 포함하여야 한다는 의미는 아니므로, 본 발명의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0028] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0029] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0030] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결될 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다고 언급된 때에는 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0031] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함

하다"또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0032] 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0033] 본 발명은 컴퓨터가 읽을 수 있는 기록매체에 컴퓨터가 읽을 수 있는 코드로서 구현될 수 있고, 컴퓨터가 읽을 수 있는 기록 매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다. 컴퓨터가 읽을 수 있는 기록 매체의 예로는 ROM, RAM, CD-ROM, 자기 테이프, 플로피 디스크, 광 데이터 저장 장치 등이 있다. 또한, 컴퓨터가 읽을 수 있는 기록 매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.
- [0034] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.
- [0036] 최근에는 Trench MOSFET 구조에 소스 트렌치를 더한 구조의 더블 트렌치를 통하여 전계를 분산시키고, 게이트 산화막의 코너 부분에 걸리는 전계를 완화시킬 수 있는 Double Trench MOSFET(DT-MOSFET) 구조와, 게이트를 콘트롤 게이트(control gate)와 더미 게이트(dummy gate)로 분할하여 콘트롤 게이트는 게이트 콘택, 더미 게이트는 소스 콘택을 통해 게이트-드레인 간 오버랩 영역을 줄이므로써 게이트-드레인 기생 커패시턴스를 최소화 하는 Split Gate MOSFET(SG-MOSFET) 구조가 연구되고 있다.
- [0037] 또한, DT-MOSFET 구조에서 채널 다이오드를 내장한 MOSFET 소자가 제안되었는데, 채널 다이오드를 내장한 MOSFET 소자는 쇼트키 배리어를 내장한 MOSFET 과 비교해 인터페이스 특성이 덜 고려되며, 고온 등에서 쇼트키 배리어 다이오드 대비 오프 상태 누설 전류가 작다는 장점이 있다. 그러나, 게이트를 한쪽만 사용하기 때문에 게이트와 연결되지 않은 더미 게이트 부분은 온 상태일 때 채널이 형성되지 않는다. 이로 인해 채널 저항 및 JFET 저항이 증가하며, 전체적인 온 저항 역시 증가하게 된다. 또한 게이트가 좌우로 분할되어 있기 때문에 폴리실리콘 게이트 증착 시 높은 중형비로 인하여 공정 레벨이 높고, 증착 과정에서 문제가 발생할 수 있으며, 이를 방지하기 위해서는 게이트 선평을 늘려야 하는데, 이는 셀 피치(cell pitch)의 증가로 인해 단위면적 당 MOSFET의 수가 감소하게 되는 현상이 발생한다.
- [0039] 본 발명은 이러한 현상을 해결하기 위해 더블 트렌치 구조에서 채널 다이오드를 내장한 MCD-MOSFET(Double Trench embedded MOS- channel diode MOSFET) 구조를 제안하고 있다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 MOSFET 소자를 설명하기 위한 단면도이다.
- [0042] 도 1을 참조하면, 하부에 드레인 메탈 라인(100)을 포함하는 반도체 기판(105)이 구비된다.
- [0043] 드레인 메탈 라인(100)은 전기적으로 반도체 기판(105)과 접속된다. 이때, 드레인 메탈 라인(100)은 전극으로 사용되는 공지된 도전성 물질일 수 있다. 예컨대, 드레인 메탈 라인(100)은 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 또는 WTi 일 수 있으나 이에 한정되지 아니한다. 또한, 반도체 기판(105)은 제1 도전형을 가지며, 제1 도전형은 n타입일 수 있다.
- [0044] 반도체 기판(105) 상부에 드리프트층(110)이 구비된다. 드리프트층(110)은 반도체 기판(105)으로부터 에피택셜 성장(Epitaxy Growth) 방법을 통해 형성될 수 있다. 드리프트층(110)은 반도체 기판(105)과 동일한 제1 도전형을 가지며, 바람직하게는 n타입으로 형성될 수 있다. 드리프트층(110)은 반도체 기판(105)에 비해 낮은 도핑 농도를 가지며, 반도체 소자의 내압을 결정짓는 역할을 한다.
- [0045] 드리프트층(110) 상에 게이트 전극(125)이 구비된다. 게이트 전극(125)은 n+ 폴리실리콘으로 형성되며, 상하로

분할된 게이트 형태로 형성될 수 있다. 분할된 게이트 중 상단에 위치한 게이트는 콘트롤 게이트(115)이며, 분할된 게이트 중 하단에 위치한 게이트는 더미 게이트(120)로 소스와 컨택되어 있다. 게이트 전극(125) 측벽 및 하부에 게이트 산화막(130)이 구비되고, 분할된 게이트 사이에도 게이트 산화막(130)이 구비된다. 이때, 더미 게이트(120) 하부에 형성된 게이트 산화막(130)은 게이트 전극 측벽 및 콘트롤 게이트 하부에 형성된 게이트 산화막(130)에 비해 얇은 두께로 형성되도록 하는 것이 바람직하며, 예를 들어 5 ~ 10nm의 두께로 형성할 수 있다.

[0046] 게이트 전극(125)과 드리프트층(110) 사이에 p+ 쉘딩 영역(135)이 배치된다. p+ 쉘딩 영역(135)은 채널 아래에 배치되어 드레인으로부터의 강한 전계를 막아주는 역할을 하여 소자의 정적 특성이 저하되지 않으면서, 소자의 신뢰성이 향상될 수 있도록 한다.

[0047] p+ 쉘딩 영역(135) 내에는 n+ 소스 영역(140) 및 p 베이스 영역(145)이 수평으로 나란하게 구비된다. n+ 소스 영역(140)은 게이트 전극(125)의 중앙부와 중첩되며, p+ 쉘딩 영역(135) 상부로부터 일정 깊이만큼 형성되고, p 베이스 영역(145)은 게이트 전극(125)의 일부와 중첩되며, n+ 소스 영역(140) 일측에 형성된다. 이와 같이 p+ 쉘딩 영역(135) 내에 n+ 소스 영역(140) 및 p 베이스 영역(145)이 형성됨에 따라 회로에서 스위칭 오프 동작 시 소스에 드레인보다 높은 바이어스가 인가된다. 이로 인해 더미 게이트(120) 하단의 p+ 쉘딩 영역(135)에 채널이 형성되고, 전자가 드레인으로부터 n+ 소스 영역(140)으로 이동하여 다이오드가 턴 온되게 된다.

[0048] 게이트 전극(125) 양측의 드리프트층(110) 상부에 전류 확산층(150), p 베이스 영역(155) 및 n+ 소스 영역(160)이 수직으로 적층된 적층 구조가 구비되고, 게이트 전극(125) 상부에는 절연막 패턴(165)이 구비된다.

[0049] 게이트 전극(125)을 양측의 적층 구조 측면으로 소스 트렌치가 형성되고, 소스 트렌치를 포함하는 전체 상부에 소스 메탈 라인(170)이 구비된다. 소스 메탈 라인(170)은 전극으로 사용되는 공지된 도전성 물질일 수 있다. 예컨대, 소스 메탈 라인(170)은 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 또는 WTi 일 수 있으나 이에 한정되지 아니한다.

[0051] 도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 MOSFET 소자의 제조 방법을 설명하기 위한 단면도들이다.

[0052] 도 2a를 참조하면, 하부에 드레인 메탈 라인(200)을 포함하는 반도체 기판(205)이 구비된다.

[0053] 드레인 메탈 라인(200)은 전기적으로 반도체 기판(205)과 접속된다. 이때, 드레인 메탈 라인(200)은 전극으로 사용되는 공지된 도전성 물질일 수 있다. 예컨대, 드레인 메탈 라인(200)은 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 또는 WTi 일 수 있으나 이에 한정되지 아니한다. 또한, 반도체 기판(205)은 제1 도전형을 가지며, 제1 도전형은 n타입일 수 있다.

[0054] 반도체 기판(205) 상부에 드리프트층(210)을 형성한다. 드리프트층(210)은 반도체 기판(205)으로부터 에피택셜 성장(Epitaxy Growth) 방법을 통해 형성할 수 있다. 드리프트층(210)은 반도체 기판(205)과 동일한 제1 도전형을 가지며, 바람직하게는 n타입으로 형성될 수 있다. 드리프트층(210)은 반도체 기판(205)에 비하여 낮은 도핑 농도를 갖는다. 드리프트층(210)은 반도체 소자의 내압을 결정짓는 역할을 한다.

[0055] 도 2b를 참조하면, 드리프트층(210) 상부에 전류 확산층(Current Spread Layer; 215)을 형성한다. 전류 확산층(215)은 드리프트층(210)과 마찬가지로 에피택셜 성장 방법으로 형성할 수 있다. 전류 확산층(215)은 드리프트층(210)에 비해 높은 농도로 형성되어 전류가 잘 흐르도록 돕는 역할을 한다. 드리프트층(215) 상부에 p 베이스 영역(220)을 형성하고, p 베이스 영역(220) 상부에는 n+ 소스 영역(225)을 형성한다. p 베이스 영역(220)과 n+ 소스 영역(225)은 멀티 이온 임플란트 공정(multi ion implantation)을 이용하여 형성할 수 있다.

[0056] 도 2c를 참조하면, n+ 소스 영역(225), p 베이스 영역(220) 및 전류 확산층(215)을 식각하여 게이트 예정 영역 양측에 소스 트렌치(230)를 형성한다. 소스 트렌치(230)는 이방성 식각 공정(anisotropic etch)을 통해 형성할 수 있다.

[0057] 도 2d를 참조하면, 소스 트렌치(230) 내벽에 p+ 쉘딩 영역(235)을 형성한다. p+ 쉘딩 영역(235)은 경사 이온 주입 공정을 통해 형성할 수 있으며, 소스 트렌치(230) 바닥면에 형성된 p+ 쉘딩 영역(235)이 소스 트렌치(230) 측면에 형성된 p+ 쉘딩 영역(235)이 더 두꺼운 두께로 형성될 수 있으나 반드시 이에 한정하지는 않는다.

[0058] 도 2e를 참조하면, 소스 트렌치(230)들 사이에 위치한 게이트 예정 영역의 n+ 소스 영역(225), p 베이스 영역(220) 및 전류 확산층(215)을 식각하여 게이트 트렌치(240)를 형성한다. 게이트 트렌치(240)는 이방성 RIE 식각(Reactive Ion Etch)을 통해 형성할 수 있으며, 게이트 트렌치(240) 하부에 일정 두께의 전류 확산층(215)이 남

겨지도록 한다.

- [0059] 이어서, 이온 주입 공정을 통해 게이트 트렌치(240) 하부에 남겨진 전류 확산층(215) 내에 p⁺ 섀딩 영역(245)을 형성한다. p⁺ 섀딩 영역(245)은 p⁺ 섀딩 영역(245)은 게이트 예정 영역을 오픈시키는 마스크 패턴을 형성하고, 마스크 패턴을 마스크로 이온 주입 공정을 진행하여 형성할 수 있다.
- [0060] 다음으로, p⁺ 섀딩 영역(245)의 중앙부에 일정 깊이의 n⁺ 소스 영역(250)을 형성한다. 그리고, p⁺ 섀딩 영역(245)에 형성된 n⁺ 소스 영역(250) 일측에 p 베이스 영역(255)을 형성한다. 형성된 n⁺ 소스 영역(250) 및 p 베이스 영역(255)은 이중 임플란트(double implantation) 공정을 통해 전체 상부에 일정 농도의 불순물을 도핑하여 진행할 수 있다. 여기에서, n형 불순물은 질소(nitrogen), 비소(As), 인(P), 비스무스(Bi) 및 안티몬(Sb) 중 적어도 어느 하나를 포함할 수 있고, p형 불순물은 알루미늄(Al), 붕소(B), 인듐(In) 및 갈륨(Ga) 중 적어도 어느 하나를 포함할 수 있다.
- [0061] 도 2f를 참조하면, 게이트 트렌치(240) 내벽에 제1 게이트 산화막(260)을 형성한다. 제1 게이트 산화막(260)은 열산화 공정(Thermal oxidation)을 통해 형성할 수 있으나 이에 한정되는 것은 아니며, 공지된 절연 물질을 열 증착, 전자빔 증착, 스퍼터링, 화학기상증착(Chemical Vapor Deposition), 원자층 증착(Atomic Layer Deposition) 방법 등을 이용하여 형성할 수 있다. 제1 게이트 산화막(260)은 5 ~ 10nm의 두께로 얇게 형성하도록 한다. 여기서 게이트 트렌치(240) 저부에 형성된 제1 게이트 산화막(260)이 더미 게이트의 게이트 산화막으로 사용되면서 얇은 산화막에 낮은 전계가 걸리게 된다.
- [0062] 도 2g를 참조하면, 제1 게이트 산화막(260)이 형성된 게이트 트렌치(240) 내에 게이트 도전물질을 매립한다. 게이트 도전물질은 실리콘계 물질(폴리실리콘, 비정질실리콘 등)이나 금속 물질 등으로 형성할 수 있으며, 바람직하게는 p⁺ 폴리실리콘으로 형성할 수 있다. 이후, 에치 백(Etch back) 및 RIE으로 게이트 도전물질을 식각하여 게이트 트렌치(240) 저부의 일정 깊이까지만 게이트 도전물질을 남겨 제1 게이트 패턴(265)을 형성한다. 이때, 제1 게이트 패턴(265)은 더미 게이트로 정의할 수 있다.
- [0063] 도 2h를 참조하면, 제1 게이트 패턴(265) 상부에 제2 게이트 산화막(270)을 형성한다. 제2 게이트 산화막(270)은 도 2f와 동일한 방법으로 형성할 수 있으며, 제1 게이트 패턴(265) 표면으로부터 50 ~ 70nm의 두께가 될 때까지 산화 공정을 진행한다. 여기서, 제2 게이트 산화막(270)은 후속으로 형성되는 콘트롤 게이트의 게이트 산화막으로 사용된다.
- [0064] 도 2i를 참조하면, 제2 게이트 산화막(270)이 형성된 게이트 트렌치(240) 내에 게이트 도전물질을 매립한다. 게이트 도전물질은 도 2g의 게이트 도전물질과 동일한 물질로 형성할 수 있으며, 실리콘계 물질(폴리실리콘, 비정질실리콘 등)이나 금속 물질, 바람직하게는 p⁺ 폴리실리콘으로 형성할 수 있다. 이어서, 에치백 공정을 진행하여 상부가 평탄화된 제2 게이트 패턴(275)을 형성한다. 제2 게이트 패턴(275)은 콘트롤 게이트로 정의할 수 있다.
- [0065] 도 2j를 참조하면, 제2 게이트 패턴(275) 상부에 n⁺ 소스 영역(255)을 오픈하는 절연막 패턴(280)을 형성한다. 절연막 패턴(280)은 산화 공정을 통해 형성된 산화막일 수 있다. 이후, 소스 트렌치(230) 및 절연막 패턴(280)을 포함하는 전체 상부에 소스 메탈 라인(285)을 형성한다. 소스 메탈 라인(285)은 전극으로 사용되는 공지된 도전성 물질일 수 있다. 예컨대, 소스 메탈 라인(285)은 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 또는 WTi 일 수 있으나 이에 한정되지 아니한다.
- [0067] 상술한 바와 같이 본 발명의 일 실시예에 따른 MOSFET 소자는 상하로 분할된 게이트를 가지며, 분할된 게이트 중 더미 게이트 하단의 p 베이스 영역에 다이오드 채널이 형성된다. 이를 통해 본 발명에 따른 MCD-MOSFET 소자는 온 상태에서 두 개의 채널이 형성되므로 채널 저항 및 온 저항의 저하없이 채널 다이오드를 내장할 수 있으며, 폴리실리콘 게이트를 증착하는데 있어서 종횡비(Aspect ratio)가 낮으므로 증착 시 문제가 발생할 가능성이 감소하는 효과를 얻을 수 있다.
- [0069] 본 발명에서 제안한 MCD-MOSFET 소자의 정적 특성 및 동적 특성을 DT-MOSFET 소자 및 SG-MOSFET 소자와 비교하여 설명하면 다음과 같다.
- [0070] 먼저, 도 3은 하나의 채널이 생성되는 MCD-MOSFET 소자(with one channel)와 본 발명과 같이 두 개의 채널이 생성되는 MCD-MOSFET 소자(with two channel)의 온 상태의 특성을 비교한 것으로, 본 발명과 같이 상하로 분할

된 게이트를 형성하여 두 개의 채널이 생성되는 MCD-MOSFET 소자가 기존의 MCD-MOSFET 소자에 비해 더 낮은 온 저항을 가지는 것을 알 수 있다. 도 3의 그래프에서는 기울기가 클수록 낮은 온 저항 특성을 가진다.

[0072] 도 4는 하나의 채널이 생성되는 MCD-MOSFET 소자와 본 발명과 같이 두 개의 채널이 생성되는 MCD-MOSFET 소자의 전류 분포도를 비교한 것으로, 하나의 채널이 생성되는 MCD-MOSFET 소자(a)는 온 상태에서 게이트와 연결된 좌측 콘트롤 게이트 부분의 p 베이스 영역에만 채널(A)이 형성되어 채널 저항 및 온 저항이 증가한다. 반면, 본 발명의 MCD-MOSFET 소자(b)는 콘트롤 게이트 양측에 p 베이스 영역이 위치하기 때문에 채널(A)이 좌우측에 모두 형성되어 기존보다 작은 온 저항을 갖는 것을 알 수 있다.

[0074] 도 5는 본 발명의 MCD-MOSFET 소자의 전계 분포도를 나타낸 것으로, p+ 웰딩 영역(500)에 의해 더미 게이트(510) 하단의 얇은 게이트 산화막(520)에 낮은 전계가 걸리게 되며, 이에 따라 산화막의 신뢰성 문제가 발생하지 않는 것을 알 수 있다.

[0076] 도 6은 다양한 구조가 적용된 MOSFET 소자와 본 발명의 일 실시예에 따른 MOSFET 소자의 온 상태 및 오프 상태에서의 특성을 설명하기 위한 것으로, 드레인 전류 및 항복 전압을 나타낸 그래프이다.

[0077] 도 6(a)을 참조하면, 온 상태 시 세 소자의 특성이 거의 비슷하므로 본 발명의 MCD-MOSFET 소자는 DT-MOSFET 소자 및 SG-MOSFET 소자 대비 온 저항의 저하가 일어나지 않는 것을 확인할 수 있다. 또한, 도 6(b)를 참조하면, 세 소자 모두 1700V 이상의 동일한 항복 전압 레벨을 갖는 것을 알 수 있으며, 누설 전류 레벨 또한 큰 차이가 없는 것을 알 수 있다.

[0079] 도 7은 다양한 구조가 적용된 MOSFET 소자와 본 발명의 일 실시예에 따른 MOSFET 소자의 전류 특성을 도시한 그래프로, 더욱 구체적으로는 내장 바디 다이오드 동작 시의 전류 특성을 나타낸 것이다.

[0080] 도 7을 참조하면, 바디 다이오드의 턴 온 전압은 드레인 전류가 100A일 때 기준으로 DT-MOSFET 소자와 SG-MOSFET 소자는 내장 PiN 바디 다이오드가 턴 온되어 턴 온 전압이 높지만, 본 발명의 MCD-MOSFET 소자는 턴 온 전압이 낮은 채널 다이오드가 내장되어 두 소자에 비해 낮은 턴 온 전압을 갖는 것을 알 수 있다.

[0082] 도 8은 다양한 구조가 적용된 MOSFET 소자와 본 발명의 일 실시예에 따른 MOSFET 소자의 스위칭 시 바디 다이오드의 역회복 특성을 나타낸 그래프이다.

[0083] 도 8을 참조하면, DT-MOSFET 소자와 SG-MOSFET 소자는 바디 다이오드 동작 시 PiN 다이오드가 동작하는데, 이는 전류 흐름에 전자(electron)와 홀(hole)이 모두 관여하게 된다. 따라서 다이오드가 온에서 오프가 될 때 드리프트 영역에 많은 홀들이 빠져나가지 못하고 남아 재결합이 될때까지 기다려야 하며, 이 때문에 역회복 전류 및 역회복 전하가 많이 발생한다. 그러나, MCD-MOSFET은 채널 다이오드가 동작하기 때문에 전류 흐름에 전자만이 관여하게 되고 이때문에 역회복 전류 및 역회복 전하가 상대적으로 매우 적다.

[0085] 도 9는 DT-MOSFET 소자와 SG-MOSFET 소자 및 본 발명의 MCD-MOSFET 소자의 스위칭 오프 시 전력 밀도(power density)를 나타내는 그래프이다.

[0086] 도 9를 참조하면, 그래프의 삼각형 내부의 면적(A)이 스위칭 오프 시 손실되는 에너지 로스를 나타낸다. MCD-MOSFET 소자는 채널 다이오드 동작으로 인해 DT-MOSFET 소자와 SG-MOSFET 소자보다 역회복 차이가 작기 때문에 MOSFET 소자의 스위칭 동작에서 스위칭 오프 시 더 작은 에너지 손실이 발생하는 것을 알 수 있다.

[0088] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0090]

100, 200 : 드레인 메탈 라인 105, 205 : 반도체 기판

110, 210 : 드리프트층 125 : 게이트 전극

130 : 게이트 산화막 120 : 더미 게이트

115 : 콘트롤 게이트 125 : 게이트 전극

135, 235, 245 : p+ 쉼딩 영역

140, 160, 225, 250 : n+ 소스 영역

145, 155, 220, 255 : p 베이스 영역

150, 215 : 전류 확산층 155, 220 : p 베이스 영역

165, 280 : 절연막 패턴 170, 285 : 소스 메탈 라인

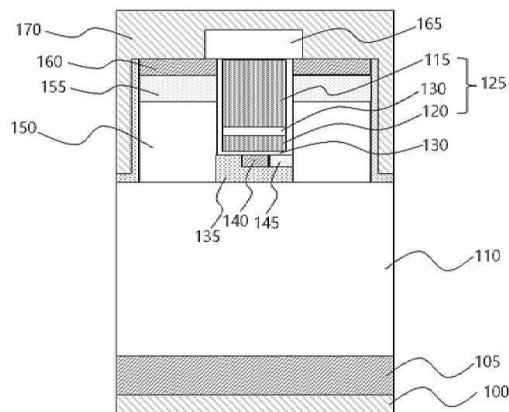
230 : 소스 트렌치 240 : 게이트 트렌치

260 : 제1 게이트 산화막 265 : 제1 게이트 패턴

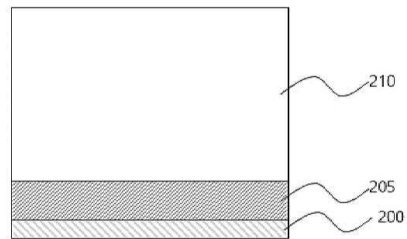
270 : 제2 게이트 산화막 275 : 제2 게이트 패턴

도면

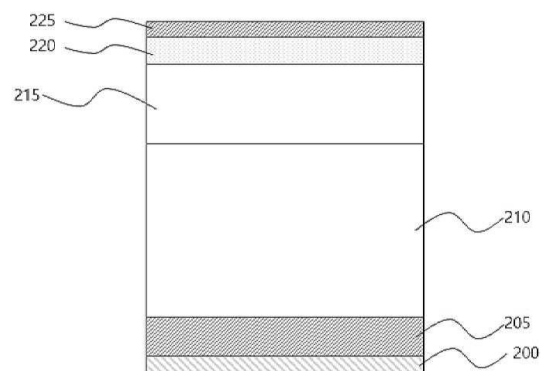
도면1



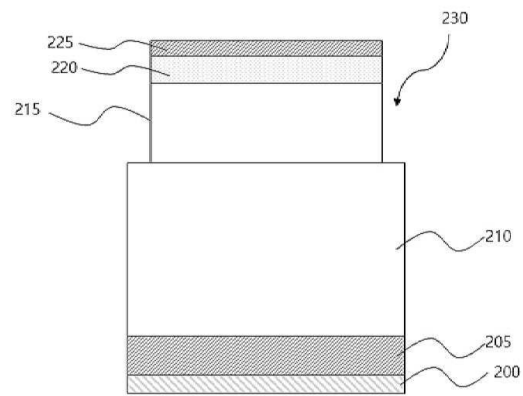
도면2a



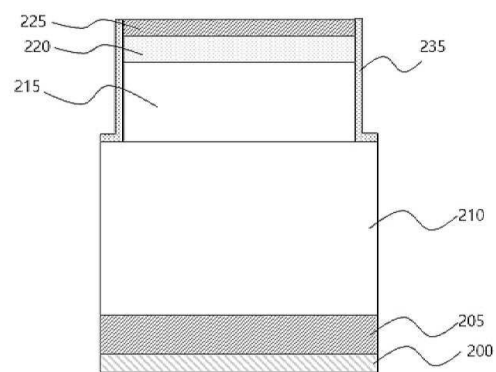
도면2b



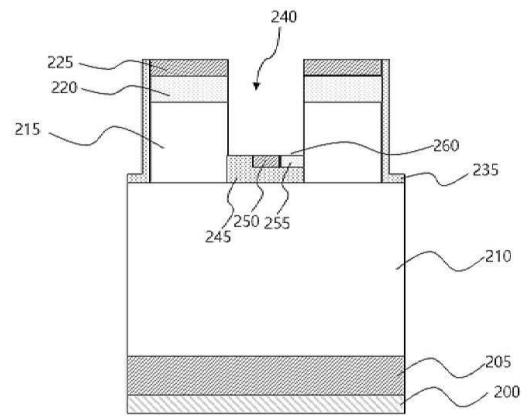
도면2c



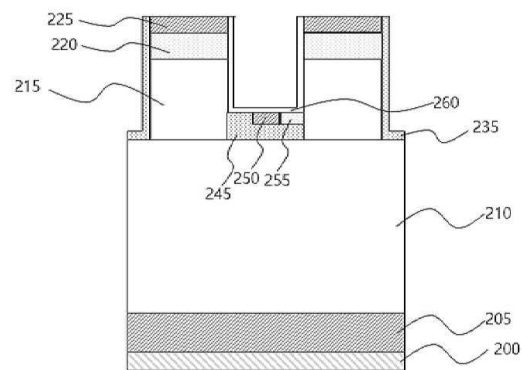
도면2d



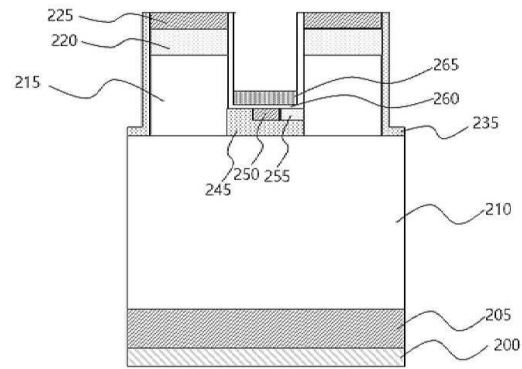
도면2e



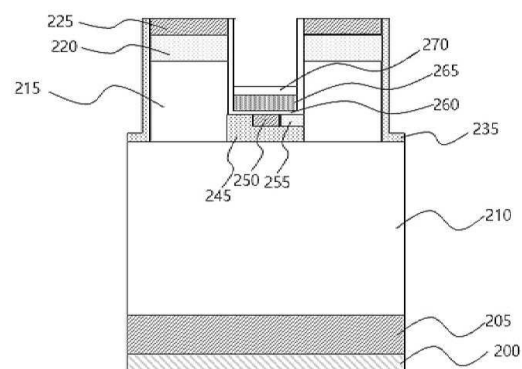
도면2f



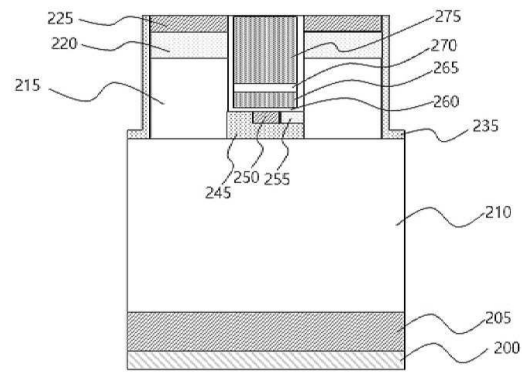
도면2g



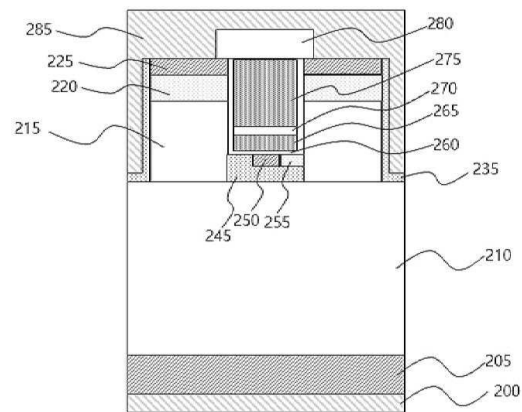
도면2h



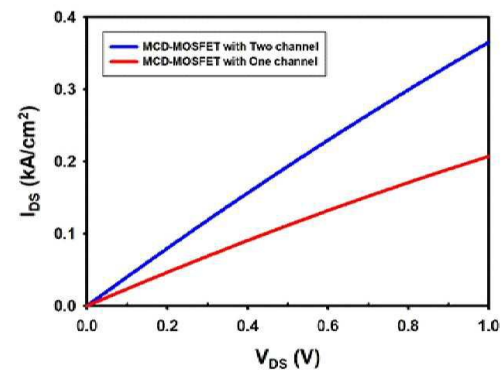
도면2i



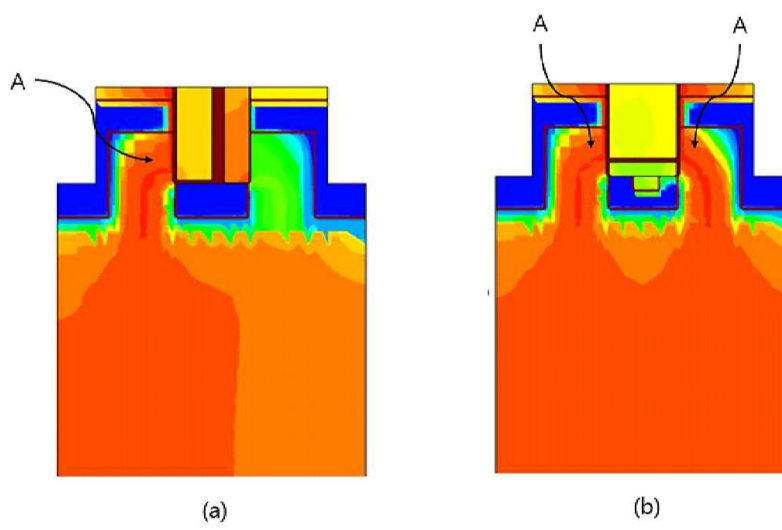
도면2j



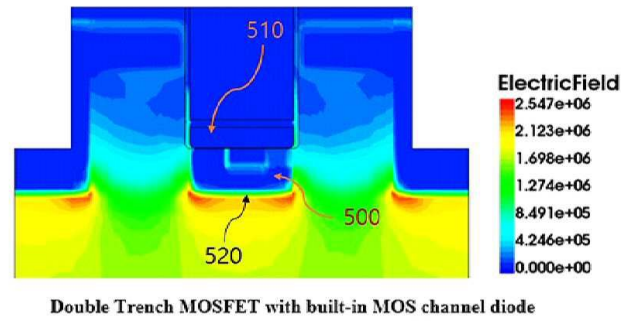
도면3



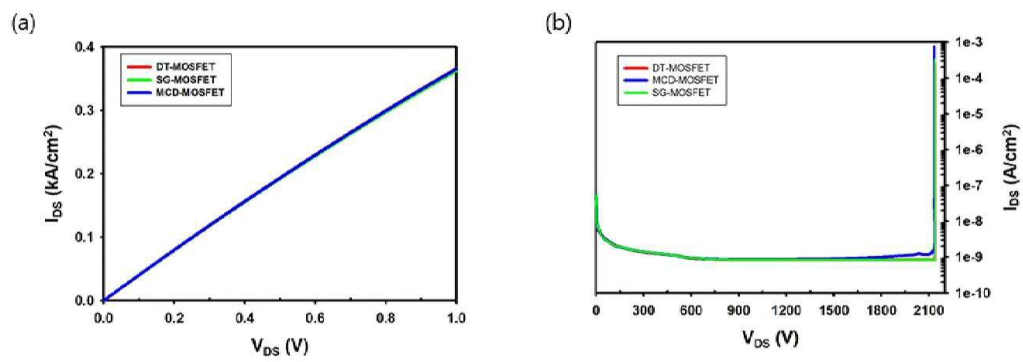
도면4



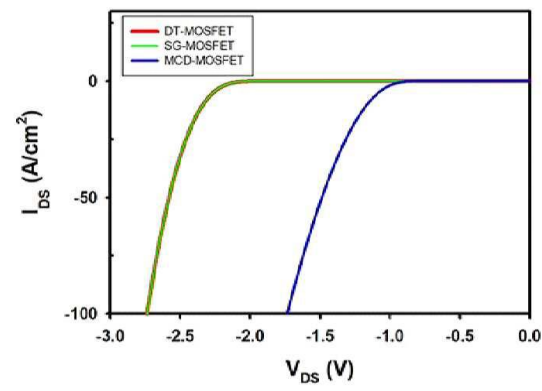
도면5



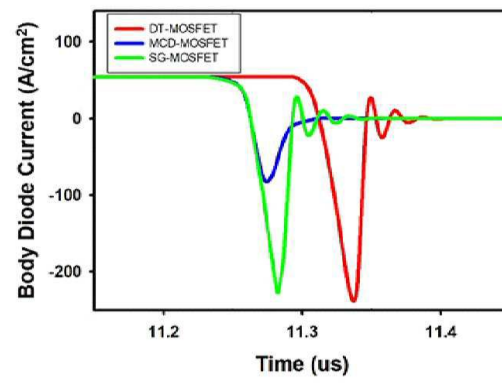
도면6



도면7



도면8



도면9

