

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/08

(45) 공고일자 1990년06월04일
(11) 공고번호 90-003940

(21) 출원번호	특1985-0001644	(65) 공개번호	특1985-0007315
(22) 출원일자	1985년03월14일	(43) 공개일자	1985년12월02일
(30) 우선권주장	86875 1984년04월28일	일본(JP)	
(71) 출원인	미쓰비시전기 주식회사 카다야마히도하지로 일본국 도쿄도 지요다구 마루노우치 2초메 2-3		
(72) 발명자	이나미 겐지 일본국 이다미시 미즈하라 4초메 1반지 미쓰비시 전기주식회사 엘. 에스. .아이켄큐쇼나이 요시모도 마시히꼬 일본국 이다미시 미즈하라 4초메 1반지 미쓰비시 전기주식회사 엘. 에스. 아이켄큐쇼나이 가모도 사도루 일본국 이다미시 미즈하라 4초메 1반지 미쓰비시 전기주식회사 엘. 에스. 아이켄큐쇼나이		
(74) 대리인	정우훈, 박태경		

심사관 : 정현영 (책자공보 제1895호)

(54) 상보형(相補形) 금속산화막 반도체 직접회로장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

상보형(相補形) 금속산화막 반도체 직접회로장치

[도면의 간단한 설명]

제 1 도는 CMOS 정적(static)RAM의 메모리셀(memory cell)의 평면도.

제 2 도는 제 1 도의 A-A' 단면도.

제 3 도는 종래의 CMOS정적 RAM의 구조도.

제 4 도는 제 3 도의 등가회로도.

제 5 도는 본 발명의 한 실시예에 따른 반도체장치의 구조도.

제 6 도는 제 5 도의 등가회로도.

제 7 도는 본 발명의 다른 실시예에 의한 반도체장치의 구조도.

제 8 도는 제 7 도의 등가회로도다.

* 도면의 주요부분에 대한 부호의 설명

도면중 51은 P형기판, 52는 n형 웰(well), 53은 제 1 도의 PMOS트랜지스터(12a)(12b)의 소오스, 드레인(source, drain) 영역, 전원(15)을 구성하는 P+확산영역, 54b는 NMOS트랜지스터 (11a)(11b)의 소오스, 드레인영역, 54a는 N웰에 접촉하기 위한 영역이 되는 N+확산영역, 55a, 55b, 55c, 55d는 분리산화막, 56a, 56b, 56 c는 전원선, 접지선 또는 신호선이 되는 알루미늄등의 금속 배선층, 61은 52, 51, 54b로 이루어진 NPN트랜지스터, 52는 53, 52, 51로 이루어진 PNP트랜지스터, 63은 N웰내의 기생저항, 64는 가판내의 기생저항, 65는 전원단자 66은 접지단자다.

[발명의 상세한 설명]

본 발명은 상보형(相補形)금속-산화막-반도체(이하 CMOS라고 칭한다)집적회로장치의 래치업(latch-up)내량(耐量)의 개선에 관한 것이다.

종래의 이러한 장치로서는 제 1 도-제 4 도에 보인 것들이 있었다. 제 1 도는 CMOS정적 RAM(Random Access Memory)의 메모리셀의 평면도이며, 제 2 도는 제 1 도의 A-A' 단면도다.

제 3 도는 제 1 도의 메모리셀의 전원의 공급방법을 보인 단면도이며, 제 4 도는 제 3 도의 등가회로다.

제 1 도의 11a, 11b는 N채널의 인버터트랜지스터, 12a, 12b는 P채널의 로드(load)트랜지스터, 13a, 13b는 판독/기록을 위한 N채널의 액세스트랜지스터, 14는 폴리실리콘으로 이루어진 워드선(word線), 15는 P+확산층으로 이루어진 전원선이며 P채널의 로드트랜지스터(12a)(12b)의 드레인에 접속되어 있다.

16은 접지(GNP), 17a, 17b는 N채널의 액세스트랜지스터(13a)(13b)의 드레인영역이며, 접촉을 통하여 도시에 없는 알루미늄으로 이루어진 비트선(bit線)에 접속되어 있다.

제 2 도에서, 21은 P형기판, 22는 n형 웰(well) 23a, 23b는 P+형 확산영역, 24a, 24b는 n+확산영역, 25a, 25b, 25c는 분리산화막, 26a, 26b, 26c는 게이트 또는 배선체가 되는 폴리실리콘, 27a, 27b는 게이트산화막이다.

제 3 도에 있어서, 31은 P형기판, 32는 n형 웰, 33은 제 1 도 PMOS트랜지스터(12a)(12b)의 소오스, 드레인영역, 전원선(15)를 구성하는 P⁺ 확산영역, 34b는(11)의 NMOS의 소오스드레인영역, 34a는 N웰에 접촉하기 위한 영역이 되는 n⁺ 확산영역, 35a, 35b, 35c는 분리산화막, 36a, 36b는 전원선, 접지선 혹은 신호선이 되는 알루미늄등의 금속배선층이다.

제 4 도에서, 41은 제 3 도의 (32)-(31)-(34b)로 이루어진 npⁿ 트랜지스터, 42는(33)-(32)-(31)로 이루어진 pnp 트랜지스터이며, 43은 N웰내의 기생저항, 44는 기판내의 기생저항, 45는 전원단자, 46은 접지단자다.

다음에 종래기술의 구성으로 이루어진 반도체장치의 동작에 관하여 설명한다. 종래장치에서는 NMOS를 P형 기판내에 구성하고 PMOS를 N웰내에 구성하여 기판을 접지에, 그리고 웰을 전원에 바이어스한 상태에서 상기 NMOS, PMOS 모두 정상동작을 시키고 있다. 또 N웰내의 P⁺ 영역으로 접촉홀(hole)을 통하여 외부전원(36a) 또는 전원단자(45)가 직접 접속되어 있다.

종래의 반도체장치는 이상과 같이 구성되어 있으므로 N웰(32) 또는 트랜지스터(42)의 베이스에 마이너스의 전기잠음이 가해졌을 때, 혹은 기판(31) 또는 트랜지스터(41)의 베이스에 플러스의 전기잠음이 가해졌을 때 트랜지스터(42) 또는 (41)의 에미터-베이스 사이가 순(順)바이어스 상태가 되어 트랜지스터(42)의 도통은 트랜지스터(41)의 도통을 일으키고 트랜지스터(41)의 도통은 트랜지스터(42)의 도통을 일으키게 되어 소위 래치업현상을 일으키는 결점이 있었다.

본 발명은 상기와 같이 종래의 제거하기 위하여 행해진 것으로 N웰내의 P⁺ 영역과 외부전원의 접속을, 전원에 바이어스된 N웰을 통하여 행하게 함으로써 래치업 내량이 큰 CMOS반도체 장치를 제공함을 목적으로 하고 있다. 아래에 본 발명의 한 실시예를 도면을 따라 설명한다.

제 5 도에 있어서, 51은 P형기판, 52는 n형 웰, 53은 제 1 도의 PMOS트랜지스터(12a)(12b)의 소오스, 드레인 영역 또는 전원선(15)을 구성하는 P⁺ 확산영역, 54b는 NMOS트랜지스터(11a) 또는 (11b)의 소오스, 드레인영역, 54a는 N웰에 접촉하기 위한 영역이 되는 n⁺ 확산영역, 55a, 55b, 55c, 55d는 분리산화막, 56a, 56b, 56c는 전원선, 접지선 또는 신호선이 되는 알루미늄등의 금속배선층이다.

제 5 도의 등가회로도인 제 6 도에 있어서, 61은 ()-(51)-(54b)로 이루어진 npn 트랜지스터, 62는 (53)-(52)-(51)로서 이루어진 pnp 트랜지스터이며, 63은 N웰내의 기생저항, 64는 기판내의 기생저항, 65는 전원단자, 66은 접지단자다.

본 발명에 의한 장치에서는 NMOS를 P기판내에 형성하고 PMOS를 N웰내에 형성하며 기판을 접지에, 그리고 웰을 전원에 바이어스한 상태에서 상기 NMOS, PMOS를 동작시키는 것은 종래의 장치와 마찬가지로이다. 종래의 장치와의 차이는 N웰내의 P⁺ 확산영역으로는 전원전압을, 전원에 바이어스된 웰내에, 상기 바이어스점(54a)과는 다른점(54c)에 n⁺ 영역을 설치하고, 이 영역(54c)에서 다른층(56c)를 경유하여 공급하고 있는 점이다.

이같은 구조로 함으로써 제 6 도의 등가회로에서 보이듯이 pnp 트랜지스터(62)의 에미터(53)전위는 N웰(52)내의 기생저항(63)→54c→56c 경로를 거쳐서 주어져므로 (54c)와 같은 전위의 베이스(52)보다도 항상 낮다. 따라서 이 pnp 트랜지스터(62)의 에미터(53), 베이스(52)가 순 바이어스되는 일은 없으며 npn, pnp의 양트랜지스터(61)(62)가 온(on)되지 않으므로 래치업현상은 일어날 수가 없다. 즉 웰에서의 전원공급부(54a)와 웰로부터의 전원인 출구(54c)를 웰내에 있어서 양단이 되도록 설치하면, 상기 pnp 에미터(53), 베이스(52)가 순 바이어스되는 일은 전혀 없게 되고 래치업현상은 발생할 수가 없다. 또 상기 실시예에서는 P기판을 사용한 N웰 구조의 것을 보였는데, 제 7 도와 같이 n기판을 사용한 P웰 구조의 것에 관하여 전원선 대신 접지선에 대하여 같은 방법을 사용하면 같은 효과를 나타낸다.

제 7 도에서, 71은 n형 기판, 72는 P형 웰, 73은 제 1 도의 NMOS트랜지스터(11a)(11b)의 소오스, 드레인영역, 접지(16)를 구성한 N⁺ 확산영역, 74a는 PMOS트랜지스터(12a)(12b)의 소오스,

드레인영역, 74b는 P웰에 접촉하기 위한 영역이 되는 P⁺ 확산영역, 75a, 75b, 75c, 75d는 분리산화막, 76a, 76b, 76c는 전원선, 접지선, 신호선이 되는 알루미늄 등의 금속배선층이다.

제 8 도는 제 7 도의 등가회로도다. 이 경우 npn트랜지스터(81)의 에미터전위가 베이스전위보다도 반드시 높으므로 npn트랜지스터(81)가 도통하는 일은 없으며, 래치업이 일어날 수가 없다. 또 본 발명의 실시예에서는 전원 또는 접지에 저항이 삽입되어 회로소자의 속도성능의 열화를 초래하는 일이 있으나 CMOS RAM의 메모리셀의 전원, 접지등 소비전력이 아주 작은 부분에 적용하면 전체의 속도성능을 전혀 손상하는일 없이 래치업내량을 향상시킬수가 있다.

위와 같이 본 발명에 의하면 N웰내의 전원 또는 P웰내의 접지로 웰을 거쳐서 급전하도록 구성한 것이므로 래치업으로 방지할 수가 있고, 신뢰성이 높은 CMOS집적회로장치를 얻을 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

적어도 P형기판과 기판내에 형성된 n형 웰과, 웰내에 형성되고 전원에 접촉홀을 통하여 접속된 제 1의 n형 확산영역과, 웰내에 형성된 P형 확산영역과, 상기 제1의 n형 확산영역과 독립으로 웰내의 형성된 제 2의 n형 확산영역과, P형기판내에 형성되고 접지에 접촉홀을 통하여 접속된 제 3의 n형 확산영역으로 이루어지며, 상기 P형 확산영역과 상기 제 2의 n형 확산영역이 같은 전위가 되도록 전기적으로 접속되어있는 것을 특징으로 하는 상보형 금속산화막 반도체집적회로장치.

청구항 2

적어도 n형과, n형 기판내에 형성된 P형웰과, 웰내에 형성되고, 접지에 접촉홀을 통하여 접속된 제 1의 P형 확산영역과, 웰내에 형성된 n형 확산영역과, 상기 제 1의 P형 확산영역과 독립하여 웰내에 형성된 제 2의 P형 확산영역과, n형 기판내에 형성되고 전원에 접촉홀을 통하여 접속된 제 3의 P형 확산영역으로 이루어지며, 상기 n형 확산영역과 상기 제 2의 P형 확산영역이 같은 전위가 되도록 전기적으로 접속되어있는 것을 특징으로 하는 상보형 금속산화막 반도체집적회로장치.

청구항 3

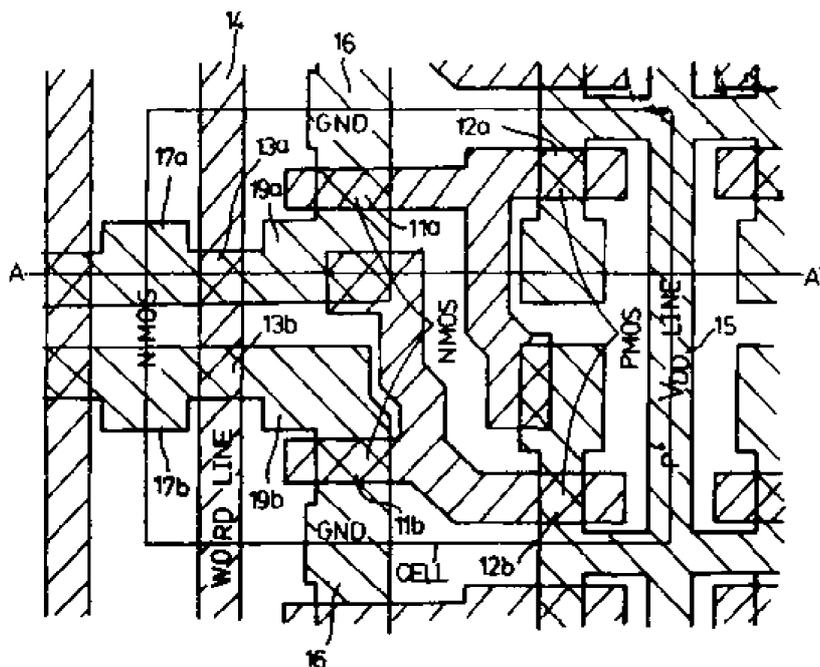
제 1 항에 있어서 상기 제 1의 n형 확산영역과, 제 2의 n형 확산영역을 서로 웰내의 양단부에 배치한 것을 특징으로 하는 상보형 금속산화막 반도체집적회로장치.

청구항 4

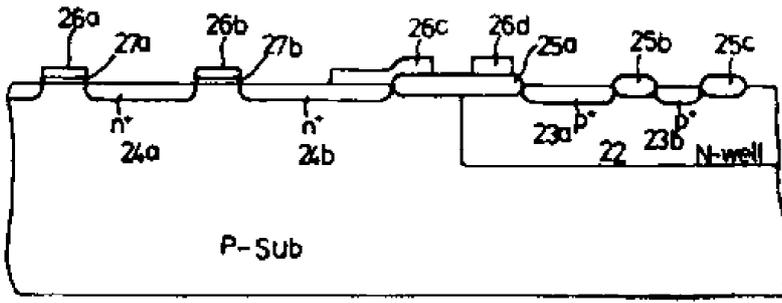
제 2 항에 있어서, 상기 제 1의 P형 확산영역과, 제 2의 P형 확산영역을 서로 웰내의 양단부에 배치한 것을 특징으로 하는 상보형 금속산화막 반도체 집적회로장치.

도면

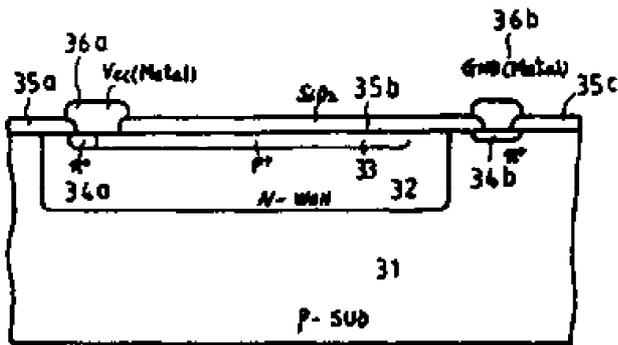
도면1



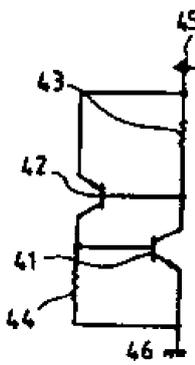
도면2



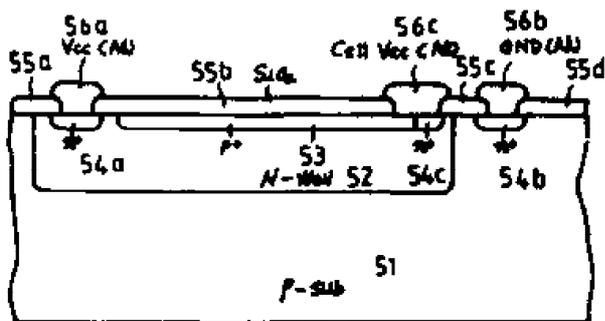
도면3



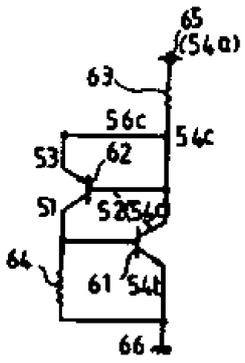
도면4



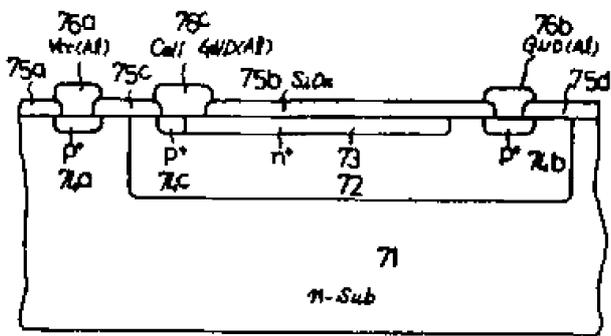
도면5



도면6



도면7



도면8

