



(12) 发明专利

(10) 授权公告号 CN 101212213 B

(45) 授权公告日 2011. 11. 23

(21) 申请号 200710199354. 3

(22) 申请日 2007. 12. 17

(30) 优先权数据

2006-351203 2006. 12. 27 JP

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 真壁良和 日高郁夫 冈浩二

尾关俊明

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 汪惠民

(51) Int. Cl.

H03K 3/037(2006. 01)

H03M 1/12(2006. 01)

(56) 对比文件

CN 1340247 A, 2002. 03. 13, 全文.

CN 1431778 A, 2003. 07. 23, 全文.

JP 2005-159808 A, 2005. 06. 16, 全文.

US 6771202 B2, 2004. 08. 03, 全文.

CN 1186384 A, 1998. 07. 01, 全文.

审查员 慈丽雁

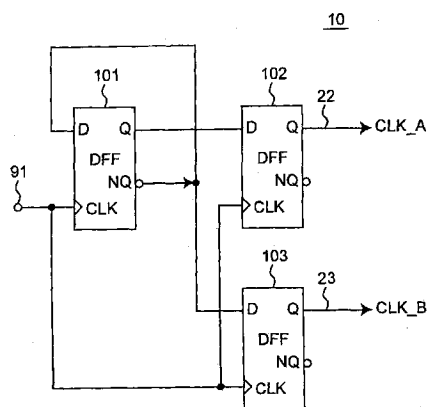
权利要求书 1 页 说明书 7 页 附图 8 页

(54) 发明名称

模拟 - 数字变换装置以及 IC 芯片

(57) 摘要

本发明提供一种时钟信号生成装置, 具备第一、第二及第三 D 触发器。第一 D 触发器的第一输出端子基于时钟信号, 输出给其第一 D 输入端子的输入信号, 其第一反相输出端子基于时钟信号, 对第一 D 输入端子的输入信号进行反相并输出, 并且将输出输入到第一 D 输入端子。第二 D 触发器的第二 D 输入端子, 输入来自第一 D 触发器的第一输出端子的输出, 其第二输出端子基于时钟信号, 将给其第二 D 输入端子的输入信号作为第 1 输出输出, 第三 D 触发器的第三 D 输入端子, 输入来自第一 D 触发器的第一反相输出端子的输出, 其第三输出端子基于时钟信号, 将给其第三 D 输入端子的输入信号作为第二输出输出。第一输出和第二输出具有在彼此相同的定时反相的信号波形。



1. 一种模拟 - 数字变换装置, 其特征在于,
具备时钟信号生成装置,
该时钟信号生成装置, 具备第一、第二及第三 D 触发器,
上述第一 D 触发器具备:
第一 D 输入端子;
输入时钟信号的第一时钟输入端子;
第一输出端子, 基于上述时钟信号, 保持给上述第一 D 输入端子的输入信号并输出; 和
第一反相输出端子, 基于上述时钟信号, 对给上述第一 D 输入端子的输入信号进行反相并输出, 并且将上述输出反馈输入到上述第一 D 输入端子,
上述第二 D 触发器具备:
第二 D 输入端子, 输入来自上述第一 D 触发器的上述第一输出端子的输出;
输入上述时钟信号的第二时钟输入端子; 和
第二输出端子, 基于上述时钟信号, 保持给上述第二 D 输入端子的输入信号并作为第一输出进行输出,
上述第三 D 触发器具备:
第三 D 输入端子, 输入来自上述第一 D 触发器的上述第一反相输出端子的输出;
输入上述时钟信号的第三时钟输入端子; 和
第三输出端子, 基于上述时钟信号, 保持给上述第三 D 输入端子的输入信号并作为第二输出进行输出,
来自上述第二 D 触发器的上述第二输出端子的上述第一输出、和来自上述第三 D 触发器的上述第三输出端子的上述第二输出, 具有以彼此相同的定时反相的信号波形,
上述第二 D 触发器和上述第三 D 触发器, 时钟信号所对应的同相输出的定时相同,
上述模拟 - 数字变换装置, 还具备 A/D 变换器, 用具有从上述时钟信号生成装置输出的具有彼此反相的信号波形的上述第一输出以及上述第二输出, 来切换采样期间和保持期间, 从而将所输入的模拟信号变换为数字信号。
2. 根据权利要求 1 所述的模拟 - 数字变换装置, 其特征在于,
上述 A/D 变换器, 具备:
A 信道侧变换器, 用从上述时钟信号生成装置输出的上述第一输出来切换 A 信道侧的采样期间和保持期间, 从而将所输入的上述模拟信号变换为数字信号; 和
B 信道侧变换器, 用从上述时钟信号生成装置输出的上述第二输出来切换 B 信道侧的采样期间和保持期间, 从而将所输入的上述模拟信号变换为数字信号。
3. 一种 IC 芯片, 搭载有权利要求 1 所述的上述模拟 - 数字变换装置。

模拟 - 数字变换装置以及 IC 芯片

技术领域

[0001] 本发明涉及时钟信号生成装置以及采用它的模拟 - 数字变换装置。

[0002] 背景技术

[0003] 近年来,在无线 LAN 等中的通信领域和数字 TV 等的视频领域中,要求以高精度且高速度进行 A/D 变换的技术。在 A/D 变换的高速化技术中,存在以时间分割来并行处理 A/B 两信道的 A/D 变换器的交叉存取 (interleave) 结构、还有在交叉存取间将运算放大器共有化的二次采样 (double sampling) 技术。通过交叉存取结构,能够以更高的速度进行 A/D 变换,但在 A/B 两信道的采样定时存在错位的情况下,存在由于该错位的影响而导致特性劣化的问题。

[0004] 在 A/D 变换器中,为了切换采样期间和保持期间,而采用时钟信号。尤其,在通过时间分割对上述的 A/B 两信道的 A/D 变换器进行并行处理的交叉存取结构的 A/D 变换装置中,采用彼此反相 (相位相差 180 度) 的两个时钟信号。以往,该彼此反相的两个时钟信号,例如通过图 6 所示的时钟信号生成装置 50 得到。

[0005] 图 6 为表示以往的时钟信号生成装置 50 的一般的电路结构的电路图。该时钟信号生成装置 50 由一个 D- 触发器 101 构成。此外,该时钟信号生成装置 50 具备主时钟信号输入端子 91、两个输出端子 12、13。主时钟信号输入端子 91,与 D- 触发器 101 的时钟输入端子连接。D- 触发器 101 的同相输出信号端子 (Q) 与输出端子 12 连接。此外,D- 触发器 101 的反相输出端子 (NQ) 与输出端子 13 连接,并且被反馈输入到 D 输入端子。从两个输出端子 12、13,输出对于主时钟信号被施以 1/2 分频,且分别具有大致 180° 相位差的两个时钟信号。另外,例如具有以时间分割并行处理 A/B 两信道的 A/D 变换器的交叉存取结构的 A/D 变换器中,两个时钟信号输出分别被输入到 A 信道侧采样时钟信号输出端子和 B 信道侧采样时钟信号输出端子。

[0006] 图 7 为图 6 所示的以往的时钟信号生成装置 50 的各部分中的波形图。图 7 中,(a) 为主时钟信号 (MCLK) 的波形,(b) 为 D- 触发器 101 的同相输出 (Q) 的波形 [CLK_A],(c) 为 D- 触发器 101 的反相输出 (NQ) 的波形 [CLK_B]。

[0007] 接下来,用图 7 对该时钟信号生成装置 50 的动作进行说明。

[0008] (a) 首先,在时刻 t1 主时钟信号的下降沿到来时,如图 7 所示,在时刻 t1 之前的 Q 输出为高电平,NQ 输出为低电平。此时,在 D- 触发器 101 中,在下降沿到来之后,Q 输出的定时 (tQ) 相对时刻 t1 为 Δt 时间后。因此,在从时刻 t1 到 Δt 时间后,Q 输出从高电平转移到低电平。另一方面,NQ 输出的定时 (tNQ) 相对时刻 t1 为 $(\Delta t + \Delta t_d)$ 时间后。即,该 NQ 输出中,通过 Q 输出进一步延迟 Δt_d 时间。因此,在从时刻 t1 到 $(\Delta t + \Delta t_d)$ 时间后,NQ 输出从低电平转移到高电平。

[0009] (b) 此外,在时刻 t2 主时钟信号的下降沿到来时,如果在时刻 t2 之前的 Q 输出为低电平、NQ 输出为高电平,则从时刻 t2 到 Δt 时间后,Q 输出从低电平转移到高电平,进而在从时刻 t2 到 $(\Delta t + \Delta t_d)$ 时间后,NQ 输出从高电平转移到低电平。

[0010] 如上所述,通过 D- 触发器 101 的动作,在 Q 输出 12 和 NQ 输出 13 中,主时钟信号

被 1/2 分频,得到彼此的相位差为大致 180° 的两个时钟信号。

[0011] 该以往例的时钟信号生成装置 50 中,将 D- 触发器 101 的 NQ 输出信号反馈输入到 D- 触发器 101 的 D 输入端子。此外, Q 输出和 NQ 输出彼此互相反相的信号。由此,该时钟信号生成装置 50 中,对于主时钟信号使其 1/2 分频,并且得到分别彼此大致反相的两个时钟信号。

[0012] 非专利文献 1:“Low-Power Pipeline ADC for Wireless LANs”、IEEE Journal of Solid-State Circuits、Vol. 39、No. 8、August 2004

[0013] 但是,图 6 的以往的时钟信号生成装置 50、以及采用该装置的交叉存取结构的 A/D 变换器中,存在如下的课题。即如图 7 所示,在 D- 触发器 101 中,来自同相输出端子 (Q) 的 Q 输出和来自反相输出端子 (NQ) 的 NQ 输出之间,产生由于反相所引起的延迟 (Δtd)。也即,存在从以往的时钟信号生成装置 50 输出的两个时钟信号,严格地说并不恰好为 180° 相位差,而错开延迟时间 Δtd 量的问题。因此,在采用该装置的交叉存取结构的 A/D 变换器中,也会产生两信道间的采样定时错位的问题。

[0014] < 关于两信道间的采样点的错位 >

[0015] 在此,对采用以往的时钟信号生成装置 50 的交叉存取结构的 A/D 变换装置中的问题点进行说明。

[0016] 考虑如下情况:即在通过时间分割对两信道的 A/D 变换器进行并行处理的交叉存取结构的 A/D 变换器中,将两个时钟信号输出分别作为 A 信道侧采样时钟信号 [CLK_A] 和 B 信道侧采样时钟信号 [CLK_B] 输入。此时,在 A 信道侧采样时钟信号 [CLK_A] 的上升沿和 B 信道侧采样时钟信号 [CLK_B] 的下降沿之间,如上所述产生 Δtd 的延迟。通过该 Δtd 的延迟,在 A 信道侧和 B 信道侧的两信道中,由于采样所输入的模拟信号的点从理想位置错位,因此存在产生 A/D 变换的特性劣化的问题。

[0017] 图 8 为表示 A/D 变换器的模拟输入信号和采样定时的关系的时序图。图 8 中,(a) 为模拟输入信号波形,(b) 为主时钟信号波形,(c) 为 A 信道侧采样时钟信号 [CLK_A] 波形,(d) 为 B 信道侧采样时钟信号 [CLK_B] 波形。图 8 中,将各采样时钟的下降沿作为采样点。

[0018] 在理想的情况下,输入的模拟信号的采样,在 CLK_A 的下降沿进行 A 信道侧的采样(图 8:●),在 CLK_B 的下降沿进行 B 信道侧的采样(图 8:▲),在 A/B 信道交替地采样。此时,A/B 信道间的采样点,如图 8 的●记号和▲记号之间的间隔所示的那样,对所输入的模拟信号为等间隔。

[0019] 但是,在采用以往的时钟信号生成装置 50 的情况下,D- 触发器 101 的 Q 输出和 NQ 输出间产生因反相引起的延迟 Δtd 。因此,在 CLK_A 的上升沿和 CLK_B 的下降沿之间、CLK_A 的下降沿和 CLK_B 的上升沿之间,分别产生延迟 Δtd 。因此,A/B 信道的各自的采样点,如图 8 的●记号和○记号所示,对所输入的模拟信号不呈等间隔,会对错离理想的采样点的模拟信号电平进行采样。由于该 A 信道和 B 信号的采样定时的错位所引起的信道间误差,导致模拟—数字变换精度劣化。

[0020] 基于上述背景,为了使两信道中的采样定时不产生错位,并且不受两信道间误差的影响,从而改善模拟—数字变换精度,希望有一种能够输出相位差恰好为 180° 的彼此反相的两个时钟信号的时钟信号生成装置。进而,希望有一种采用这种时钟信号生成装置的 A/D 变换装置。

发明内容

[0021] 本发明的目的在于,为了解决上述课题,提供一种输出具有以彼此相同的定时反相的信号波形的两个时钟信号的时钟生成装置、以及采用该生成装置的模拟—数字变换装置。

[0022] 本发明的时钟信号生成装置,具备第一、第二及第三 D 触发器,

[0023] 上述第一 D 触发器具备:

[0024] 第一 D 输入端子;

[0025] 输入时钟信号的第一时钟输入端子;

[0026] 第一输出端子,基于上述时钟信号,保持给上述第一 D 输入端子的输入信号并输出;和

[0027] 第一反相输出端子,基于上述时钟信号,对给上述第一 D 输入端子的输入信号进行反相并输出,并且将上述输出反馈并输入到上述第一 D 输入端子,

[0028] 上述第二 D 触发器具备:

[0029] 第二 D 输入端子,输入来自上述第一 D 触发器的上述第一输出端子的输出;

[0030] 输入上述时钟信号的第二时钟输入端子;和

[0031] 第二输出端子,基于上述时钟信号,保持给上述第二 D 输入端子的输入信号并作为第一输出进行输出,

[0032] 上述第三 D 触发器具备:

[0033] 第三 D 输入端子,输入来自上述第一 D 触发器的上述第一反相输出端子的输出;

[0034] 输入上述时钟信号的第三时钟输入端子;和

[0035] 第三输出端子,基于上述时钟信号,保持给上述第三 D 输入端子的输入信号并作为第二输出进行输出,

[0036] 来自上述第二 D 触发器的上述第二输出端子的上述第一输出、和来自上述第三 D 触发器的上述第三输出端子的上述第二输出,具有以彼此相同的定时反相的信号波形。

[0037] 此外,上述第二 D 触发器和上述第三 D 触发器,时钟信号所对应的同相输出的定时可相同。

[0038] 进而,也可将上述时钟信号生成装置搭载在 IC 芯片上。

[0039] 本发明的模拟—数字变换装置,具备:上述时钟信号生成装置;和 A/D 变换器,用具有从上述时钟信号生成装置输出的具有彼此反相的信号波形的上述第一输出以及上述第二输出,来切换采样期间和保持期间,从而将所输入的模拟信号变换为数字信号。

[0040] 此外,上述 A/D 变换器也可具备:A 信道侧变换器,用从上述时钟信号生成装置输出的上述第一输出来切换 A 信道侧的采样期间和保持期间,从而将所输入的上述模拟信号变换为数字信号;和

[0041] B 信道侧变换器,用从上述时钟信号生成装置输出的上述第二输出来切换 B 信道侧的采样期间和保持期间,从而将所输入的上述模拟信号变换为数字信号。

[0042] 另外,也可将上述模拟—数字变换装置搭载在 IC 芯片上。

[0043] 发明效果

[0044] 通过本发明的时钟信号生成装置以及采用该时钟信号生成装置的模拟—数字变

换装置,组合了三个 D- 触发器。第一触发器中,通过将其自身的 NQ 输出作为 D 输入反馈输入,从而使主时钟信号 1/2 分频,从 Q 输出和 NQ 输出,输出相位差为大致 180° 的两个时钟信号。进而,通过将第一触发器的 Q 输出输入到第二触发器,将第一触发器的 NQ 输出输入到第三触发器,从而能够以相同的 Q 输出的定时,输出相位差恰好为 180° 的具有彼此反相的信号波形的两个时钟信号。

[0045] 再有,通过采用上述时钟信号生成装置的交叉存取结构的 A/D 变换装置,能够将上述时钟信号生成装置的相位差恰好为 180° 的具有彼此反相的信号的波形的两个时钟信号,分别用于 A/B 信道的采样 / 保持定时的切换。由此,能够消除 A/B 两信道间的采样定时的错位,能够改善模拟—数字变换精度。

附图说明

[0046] 图 1 为表示本发明的实施方式 1 的时钟信号生成装置的结构电路图。

[0047] 图 2 为本发明的实施方式 1 的时钟信号生成装置各部分的波形图。

[0048] 图 3 为表示本发明的实施方式 2 的 A/D 变换装置的结构块图。

[0049] 图 4 为在图 3 的 A/D 变换器中,采用图 1 的时钟信号生成装置时的电路图。

[0050] 图 5 为表示本发明的实施方式 2 的 A/D 变换装置中的模拟信号及其采样定时的时序图。

[0051] 图 6 为表示以往的时钟信号生成装置的结构电路图。

[0052] 图 7 为以往的时钟信号生成装置各部分的波形图。

[0053] 图 8 为表示以往的 A/D 变换器中的模拟输入信号及其采样定时的时序图。

[0054] 图中:1- 模拟信号输入端子;2-A 信道侧 A/D 变换器模拟输入端子;3-A 信道侧 A/D 变换器;4-A 信道侧 A/D 变换器数字输出端子;5-B 信道侧 A/D 变换器模拟输入端子;6-B 信道侧 A/D 变换器;7-B 信道侧 A/D 变换器数字输出端子;8- 多路复用电路;9- 数字输出端子;10- 时钟信号生成装置;12-A 信道侧采样时钟;13-B 信道侧采样时钟;22-A 信道侧采样时钟;23-B 信道侧采样时钟;50- 时钟信号生成装置;91- 主时钟输入端子;100-A/D 变换装置;101 ~ 103-D- 触发器。

具体实施方式

[0055] 以下,用附图对本发明的实施方式的时钟信号生成装置以及 A/D 变换装置进行说明。另外,在附图中对实质相同的部件付与相同的符号。

[0056] (实施方式 1)

[0057] 图 1 为表示本发明的实施方式 1 的时钟信号生成装置 10 的结构电路图。该时钟信号生成装置 10,由三个 D- 触发器 101 ~ 103 构成。此外,对于输入输出,具备主时钟信号输入端子 91 和两个输出端子 22、23。通过两个输出端子 22、23 输出两个时钟信号,这两个时钟信号彼此的相位差为 180° 且对主时钟信号被 1/2 分频,并具有以相同的定时 (timing) 反相的信号波形。

[0058] 接下来,对该时钟信号生成装置 10 的详细结构进行说明。

[0059] 首先,主时钟信号输入端子 91,分别与第一 D- 触发器 101 的时钟端子、第二 D- 触发器 102 的时钟端子和第三 D- 触发器 103 的时钟端子连接。此外,第一 D- 触发器 101 的

反相输出端子 (NQ) 与第一 D- 触发器 101 的 D 输入端子和第三 D- 触发器 103 的 D 输入端子连接。另一方面,第一 D- 触发器 101 的同相输出端子 (Q) 与第二 D- 触发器 102 的 D 输入端子连接。

[0060] 另外,第二 D- 触发器 102 的同相输出端子 (Q) 与输出端子 22 连接,第三 D- 触发器 103 的同相输出端子 (NQ) 与输出端子 23 连接。在将该时钟信号生成装置用于具有 A/B 两信道的交叉存取结构的 A/D 变换装置的情况下,两个输出能够作为 A 信道侧采样时钟信号和 B 信道侧采样时钟信号输入。

[0061] 此外,该时钟信号生成装置 10 也可搭载在 IC 芯片上。

[0062] 图 2 为该时钟信号生成装置 10 的各部分的波形图。在图 2 中,(a) 为主时钟信号 (MCLK) 的波形,(b) 为第一 D- 触发器 101 的同相输出 (Q) 波形,(c) 为第一 D- 触发器 101 的反相输出 (NQ) 的波形,(d) 为第二 D- 触发器 102 的同相输出 (Q) 的波形 [CLK_A],(e) 为第三 D- 触发器 103 的同相输出 (Q) 的波形 [CLK_B]。

[0063] 接下来,参照图 2,对该时钟信号生成装置 10 的动作进行说明。

[0064] (a) 首先,在时刻 t_1 主时钟信号 MCLK 的下降沿到来时,如果在时刻 t_1 之前的第一 D- 触发器 101 的 Q 输出为高电平,第一 D- 触发器 101 的 NQ 输出为低电平,则第一 D- 触发器 101 的 Q 输出在距时刻 t_1 为 Δt 时间后 (t_Q) 从高电平转移到低电平。进而,第一 D- 触发器 101 的 NQ 输出在距时刻 t_1 为 $(\Delta t + \Delta t_d)$ 时间后 (t_{NQ}),从低电平转移到高电平。

[0065] 另外,在第一 D- 触发器 101 的 Q 输出和 NQ 输出之间,如上所述存在 Δt_d 的延迟。因此在两个输出之间,反相的定时错开 Δt_d 。

[0066] (b) 接下来,在第二 D- 触发器 102 中,在时刻 t_1 之前的第二 D- 触发器 102 的 D 输入端子中,被输入第一 D- 触发器 101 的 Q 输出 (高电平)。在时刻 t_1 ,主时钟信号的下降沿到来时,第二 D- 触发器 102 的 Q 输出,在距时刻 t_1 为 Δt 后 (Q 输出定时: t_Q) 输出高电平。

[0067] (c) 第三 D- 触发器 103 中,在时刻 t_1 之前的第三 D- 触发器 103 的 D 输入端子中,被输入第一 D- 触发器 101 的 NQ 输出 (低电平)。在时刻 t_1 主时钟信号的下降沿到来时,第三 D- 触发器 103 的 Q 输出,在距时刻 t_1 为 Δt 时间后 (Q 输出定时: t_Q) 输出低电平。

[0068] 如上所述,该时钟信号生成装置 10,将第一 D- 触发器 101 的 Q 输出作为第二触发器 102 的 D 输入输入,将第一触发器 101 的 NQ 输出作为第三触发器 103 的 D 输入输入。第一触发器 101 的 Q 输出和 NQ 输出之间存在延迟 Δt_d ,但通过采用具有相同 Q 输出的定时的第二以及第三触发器 102、103 能够输出两个时钟信号作为各自的 Q 输出,这两个时钟信号是主时钟信号被 1/2 分频,相位差恰好为 180° ,且具有彼此反相的信号波形。

[0069] 下面,对通过采用第二及第三触发器 102、103,作为各自的 Q 输出,输出相位差恰好为 180° 且具有彼此反相的信号波形的两个时钟信号的机制进行详细叙述。

[0070] 在此,在主时钟信号 MCLK 的下降沿 (图 2:时刻 t_1) 到来之前的状态,输入到第二 D- 触发器 102 的 D 输入端子的第一 D- 触发器 101 的 Q 输出信号 (图 2:(b))、和输入到第三 D- 触发器 103 的 D 输入端子的第一 D- 触发器 101 的 NQ 输出信号 (图 2:(c)),已经确定。进而,第二触发器 102 和第三触发器 103,从时钟信号的下降沿到来至 Q 输出为止的定时 (t_Q :从时刻 t_1 到 Δt 时间后) 相同。因此,在主时钟信号 MCLK 的下降沿到来时,来自第二 D- 触发器 102 的 Q 输出信号 22 和来自第三 D- 触发器 103 的 Q 输出信号 23,作为相

同的 Q 输出的定时,互不延迟地被在时刻 t_1 起 Δt 时间后分别输出。此外还有,第一触发器 101 的 Q 输出和 NQ 输出之间的延迟 Δt_d 比较小,下降沿到来时(图 2:时刻 t_1)的各个信号的值为彼此相反的值(高电平、低电平,或低电平、高电平)的组合。因此,来自第二 D-触发器 102 的 Q 输出信号 22 和来自第三 D-触发器 103 的 Q 输出信号 23,以相同 Q 输出的定时(t_Q)输出具有彼此反相的信号波形的两个时钟信号。

[0071] 通过本发明的实施方式 1 的时钟信号生成装置 10,能够输出将主时钟输入信号 $1/2$ 分频,且相位差恰好为 180° 的具有彼此反相的信号波形的两个时钟信号。

[0072] (实施方式 2)

[0073] 图 3 为表示本发明的实施方式 2 的交叉存取结构的模拟—数字(A/D)变换装置 100 的结构模块图。图 4 为表示作为图 3 的时钟信号生成装置 10,采用实施方式 1 的时钟信号生成装置 10 时的详细的结构的模块图。该 A/D 变换装置 100 的特征在于,具备本发明的实施方式 1 的时钟信号生成装置 10。再有,该 A/D 变换装置 100 具备时钟信号生成装置 10、模拟信号输入端子 1、一方侧(A 信道侧)A/D 变换器 3、另一方侧(B 信道侧)A/D 变换器 6、多路复用电路 8、数字信号输出端子 9。时钟信号生成装置 10 的结构,与图 1 所示的本发明的实施方式 1 时钟信号生成装置 10 相同,因此省略其说明。

[0074] A 信道侧 A/D 变换器 3,具有 A 信道侧模拟信号输入端子 2 和 A 信道侧数字信号输出端子 4,B 信道侧 A/D 变换器 6 具有 B 信道侧模拟信号输入端子 5 和 B 信道侧数字信号输出端子 7。

[0075] 另外,该模拟—数字变换装置 100 也可搭载在 IC 芯片上。

[0076] 接下来,对如图 3 所示构成的交叉存取结构的 A/D 变换装置的动作进行说明。

[0077] (a) 被输入到模拟信号输入端子的模拟信号,被输入到 A 信道侧的模拟信号输入端子 2 和 B 信道侧的模拟信号输入端子 5。

[0078] (b) 被输入到 A 信道侧的模拟信号输入端子 2 的模拟信号,通过 A 信道侧的 A/D 变换器 3 被从模拟信号 A/D 变换为数字信号,从 A 信道侧的数字信号输出端子 4 输出数字信号。

[0079] (c) 同样,被输入到 B 信道侧的模拟信号输入端子 5 的模拟信号,通过 B 信道侧的 A/D 变换器 6 被从模拟信号被 A/D 变换为数字信号,从 B 信道侧的数字信号输出端子 7 输出数字信号。

[0080] (d) 从 A 信道侧的数字信号输出端子 4 输出的数字信号、和从 B 信道侧的数字信号输出端子 7 输出的数字信号,由多路复用电路 8 合成,从数字信号输出端子 9 输出数字信号。

[0081] 再有,对该 A/D 变换装置 100 中的 A/B 两信道的采样定时进行说明。

[0082] (a) 输入到主时钟信号输入端子 91 的主时钟信号,通过时钟信号生成装置 10 被 $1/2$ 分频,生成 A 信道侧的采样时钟信号和 B 信道侧的采样时钟信号。

[0083] (b) 从 A 信道侧的采样时钟信号输出端子 22 输出 A 信道侧的采样时钟信号,从 B 信道侧的采样时钟信号输出端子 23 输出 B 信道侧采样时钟信号。另外,如上所述,A 信道侧的采样时钟信号和 B 信道侧的采样时钟信号,是具有彼此反相(相位恰好相差 180°)的信号波形的关系。

[0084] (c) 通过 A 信道侧的采样时钟信号 [CLK_A] 进行 A 信道侧的 A/D 变换器 3 的采样

期间和保持期间的切换,通过 B 信道侧的采样时钟信号 [CLK_B] 进行 B 信道侧的 A/D 变换器 6 的采样期间和保持期间的切换。

[0085] 在该 A/D 变换装置 100 中,采用与实施方式 1 的时钟信号生成装置 10 将主时钟输入信号进行 1/2 分频,得到相位差恰好为 180° 的具有彼此反相的信号波形的两个时钟信号。为了切换 A/B 两信道的采样 / 保持定时,能分别采用该两个时钟信号。由此,在该 A/D 变换装置 100 中,不产生 A/B 两信道中的采样定时的误差,并能够改善使两信道间的采样定时的间隔为等间隔的模拟—数字变换精度。

[0086] 图 5 为表示本发明的实施方式 2 的 A/D 变换装置 100 的模拟输入 (analog in) 信号和它的采样定时的关系的时序图。在图 5 中, (a) 为模拟输入信号波形, (b) 为主—时钟信号波形, (c) 为 A 信道侧采样时钟信号 [CLK_A] 波形, (d) 为 B 信道侧采样时钟信号 [CLK_B] 波形。

[0087] 用图 5 对该 A/D 变换装置 100 中,能够使 A/B 两信道间的采样定时的间隔为等间隔的机制进行说明。在图 5 中,将各个采样时钟的下降沿作为采样点。

[0088] 如上所述,通过时钟信号生成装置 10 生成的 A 信道侧的采样时钟信号 [CLK_A] 和 B 信道侧采样时钟信号 [CLK_B],相位差恰好为 180° 且具有彼此反相的信号波形。因此,CLK_A 的上升沿和 CLK_B 的下降沿一致,并且 CLK_A 的下降沿和 CLK_B 的上升沿一致。即,从 CLK_B 的下降沿 (图 5:▲) 到 CLK_A 的下降沿 (图 5:●) 的时间 (Δt_{BA})、和从 CLK_A 的下降沿 (图 5:●) 到 CLK_B 的下降沿 (图 5:▲) 的时间 (Δt_{AB}) 具有相同时间间隔,不会产生时间差。因此,在该 A/D 变换装置 100 中,所输入的模拟信号的采样,在 CLK_A 的下降沿 (图 5:●) 和 CLK_B 的下降沿 (图 5:▲) 被交替采样,如图 5 所示,各采样点相对于所输入的模拟信号为等间隔。由此,通过消除 A 信道和 B 信道的各个的采样定时的错位,能使 A/B 两信道间的采样定时具有等间隔,能够改善模拟—数字变换精度。

[0089] 产业上的利用可能性

[0090] 本发明的时钟信号生成装置,在通过交叉存取结构动作的 A/D 变换装置中有效。

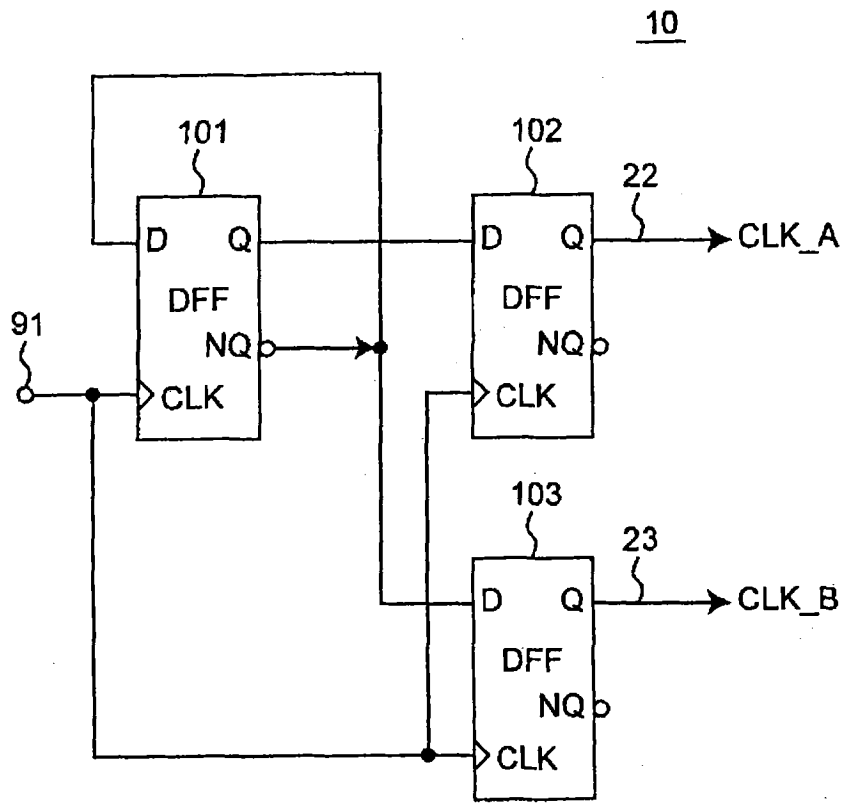


图 1

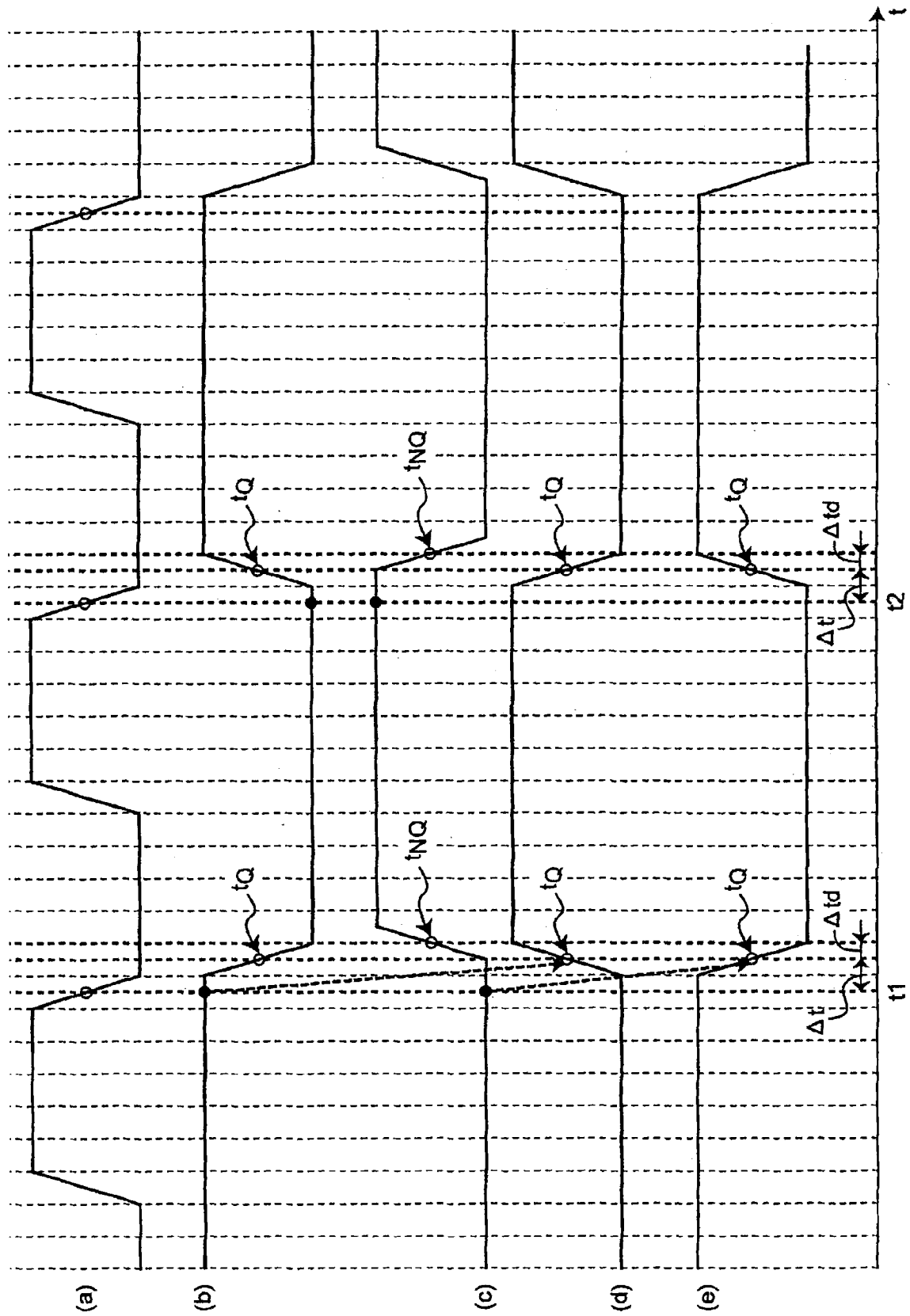


图 2

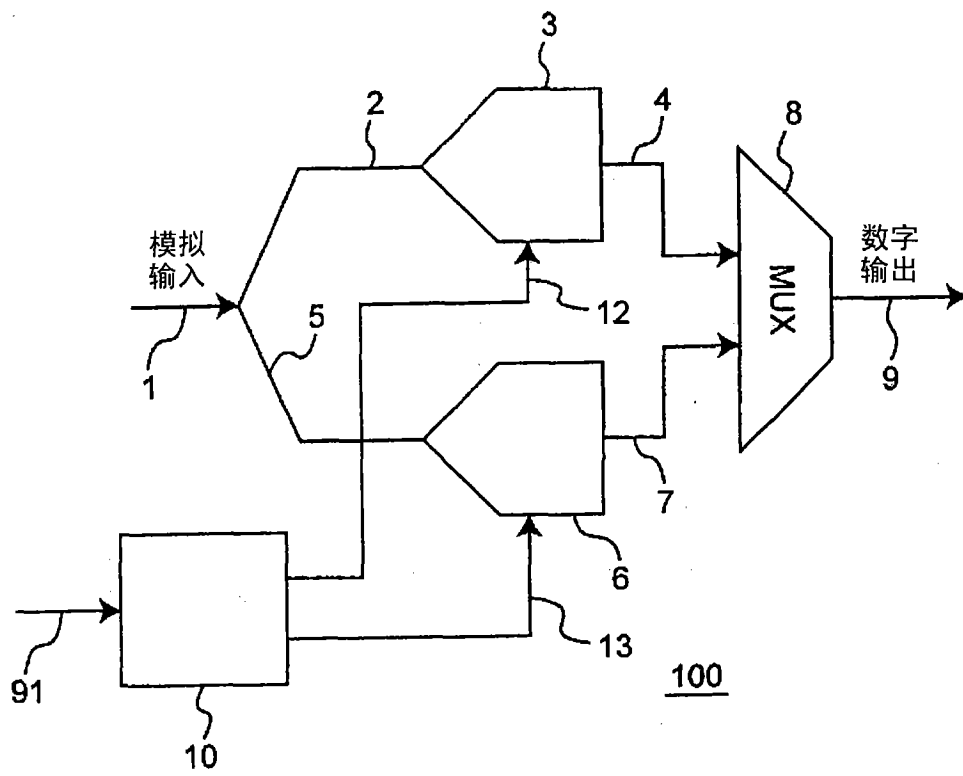


图 3

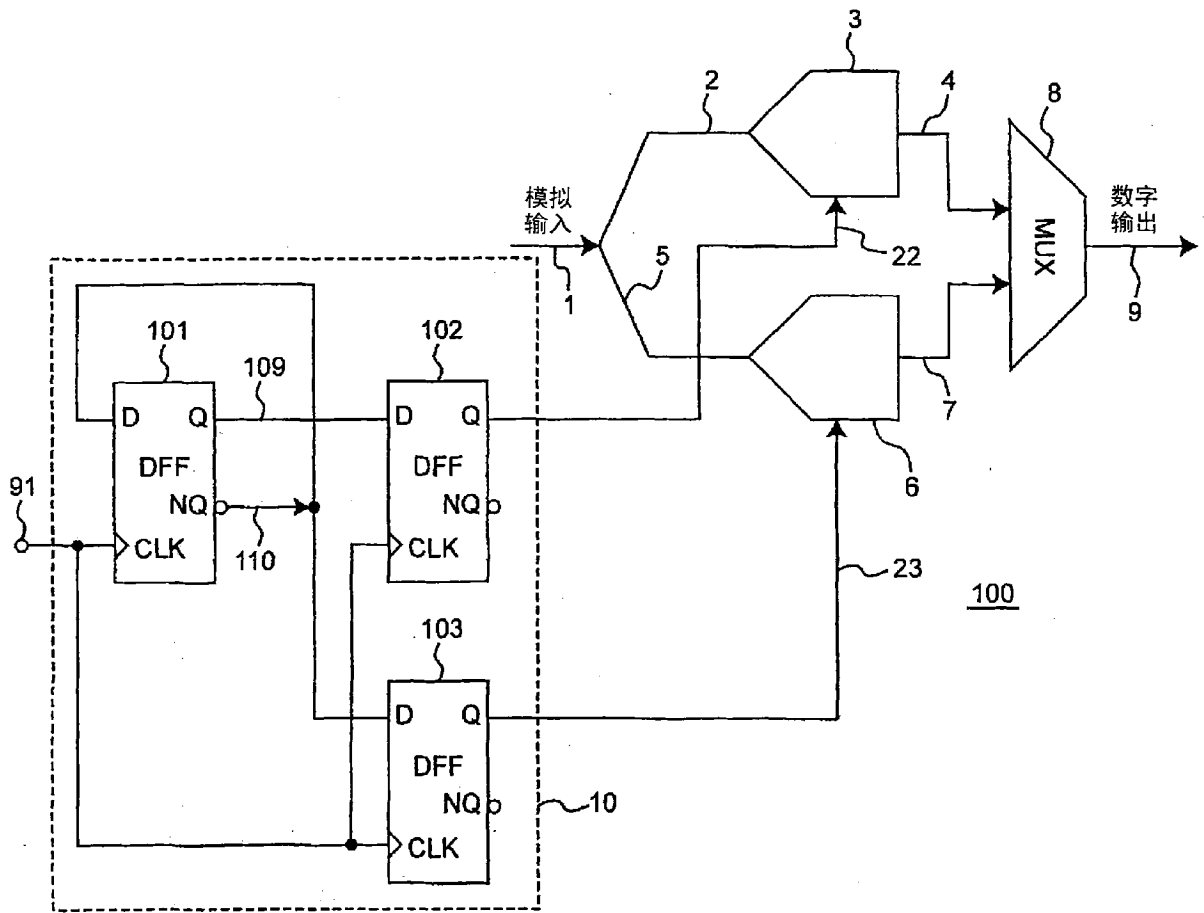


图 4

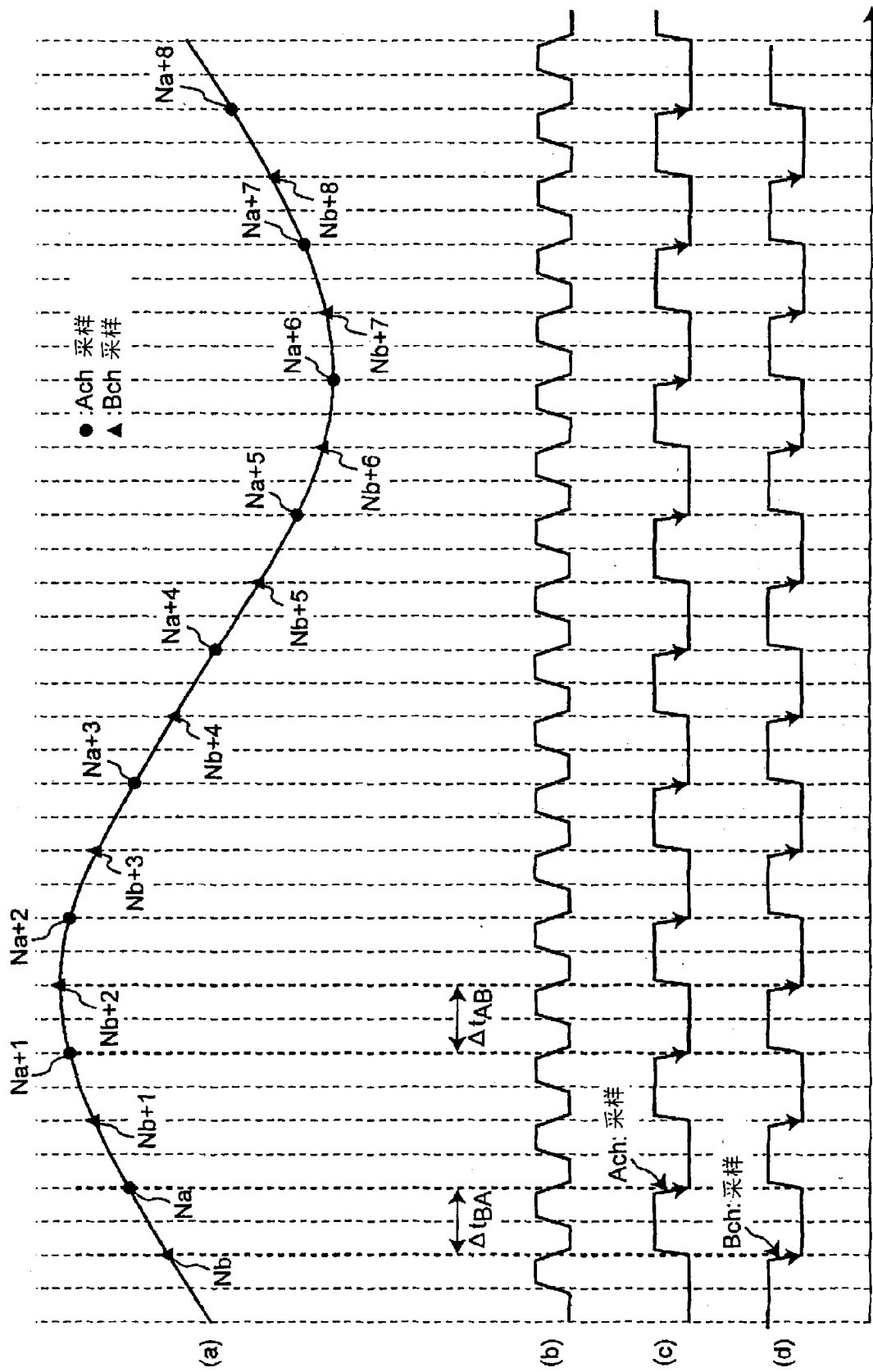


图 5

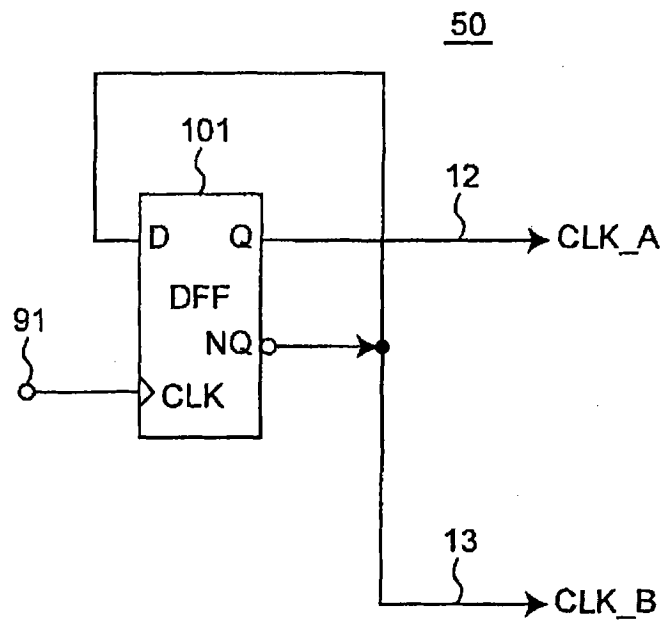


图 6

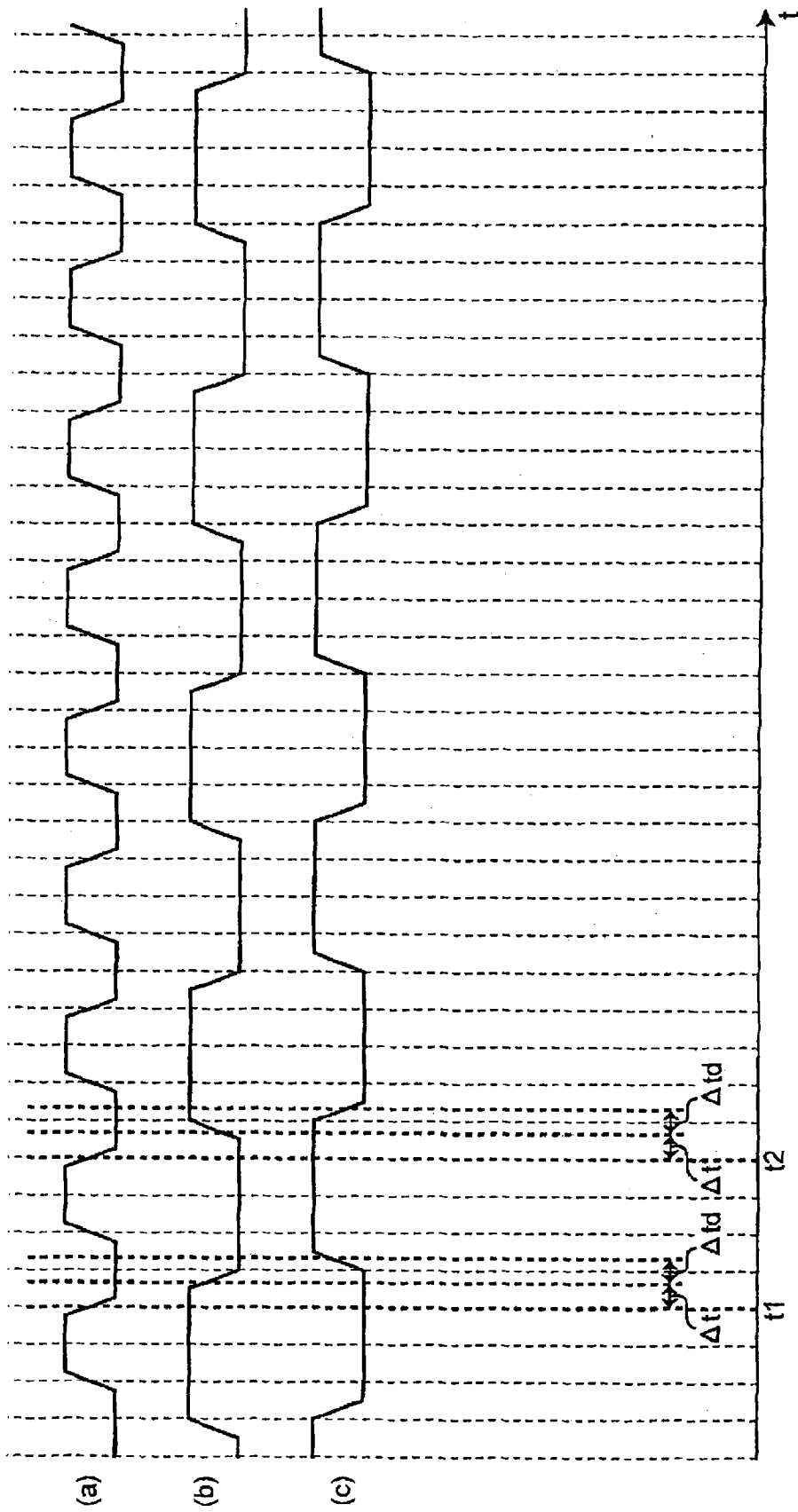


图 7

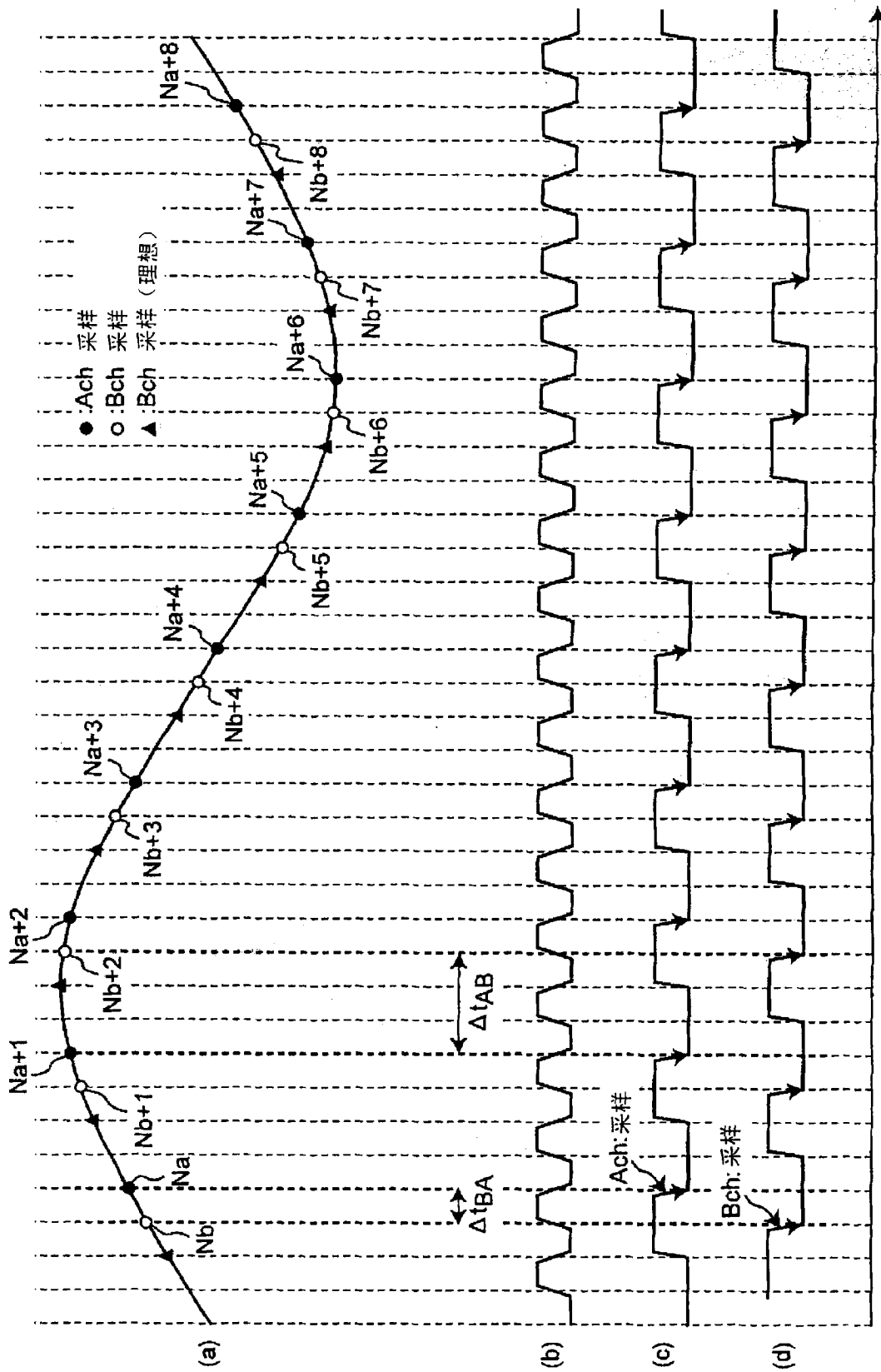


图 8