



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월26일  
(11) 등록번호 10-0854574  
(24) 등록일자 2008년08월20일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2003-0100925  
(22) 출원일자 2003년12월30일  
심사청구일자 2007년03월21일  
(65) 공개번호 10-2005-0070743  
(43) 공개일자 2005년07월07일  
(56) 선행기술조사문현

KR 1020030053686 A

(뒷면에 계속)

전체 청구항 수 : 총 2 항

심사관 : 박근용

(54) 반도체 소자의 제조 방법

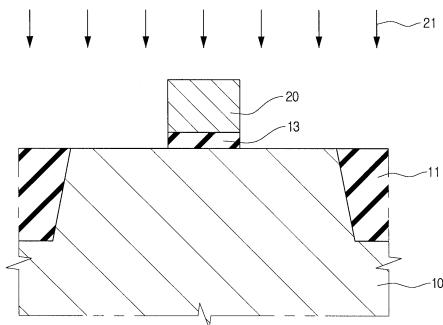
(57) 요 약

본 발명에 의한 반도체 소자의 제조 방법은 반도체 기판의 액티브 영역 상에 게이트 전극을 형성시키고, 상기 반도체 기판의 액티브 영역에 질소 이온을 이온주입시킨다. 이후, 상기 반도체 기판의 액티브 영역에 PMOS 트랜지스터 형성을 위한 엘디디 영역과 할로 영역 및 소스/드레인 영역을 형성한다.

따라서, 본 발명은 상기 PMOS 트랜지스터의 게이트 전극을 이온주입 마스크층으로 이용하여 반도체 기판의 액티브 영역에 질소 이온을 이온주입한 후 엘디디 영역과 할로 영역을 형성함으로써 보론 이온이 채널 영역의 가장자리부로 확산하는 것을 억제할 수 있다.

따라서, 본 발명은 상기 보론 이온이 상기 게이트 전극의 가장자리부 아래의 반도체 기판에 축적되는 것을 억제시킴으로써 상기 게이트 전극의 가장자리부의 축적 접합 커페시턴스를 저감시킨다. 또한, 상기 보론 이온의 확산을 억제함으로써 게이트-드레인 중첩 커페시턴스를 저감시킬 수 있다.

대표도 - 도2c



(56) 선행기술조사문현  
KR 1020000061321 A  
KR 1020010004452 A  
KR 1020000041139 A  
KR 1020010050044 A

---

## 특허청구의 범위

### 청구항 1

반도체 기판의 액티브 영역 상에 게이트 전극을 형성시키는 단계;

상기 반도체 기판의 채널 영역의 가장자리부로의 보론 이온 확산을 억제하기 위해 상기 게이트 전극을 이온주입 마스크층으로 이용하여 상기 반도체 기판의 액티브 영역에 질소 이온을 이온주입시키는 단계;

상기 게이트 전극을 포함하여 상기 기판 전면에 라이너 산화막을 형성하는 단계;

상기 반도체 기판의 액티브 영역에 보론 이온을 저농도로 이온주입시킴으로써 엘디디 영역을 형성하는 단계;

상기 반도체 기판의 액티브 영역에 할로 이온을 소정의 경사 각도로 이온주입시킴으로써 할로 영역을 형성하는 단계;

상기 엘디디 영역 및 상기 할로 영역의 접합을 위하여 급속 열처리 공정을 진행하는 단계;

상기 게이트 전극의 측벽에 스페이서를 형성시키는 단계;

상기 반도체 기판의 액티브 영역에 보론 이온을 고농도로 이온주입시킴으로써 소스/드레인 영역을 형성하는 단계;

상기 스페이서를 식각 마스크층으로 이용하여 상기 소스/드레인 영역 및 상기 게이트 전극 위의 라이너 산화막을 제거하는 단계; 및

상기 게이트 전극과 소스/드레인 영역 상에 실리사이드층을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

### 청구항 2

제 1 항에 있어서, 상기 질소 이온을 10~50 KeV의 에너지와, 1E14~5E14 ions/cm<sup>2</sup>의 농도로 이온주입시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 피모스(PMOS) 트랜지스터의 솟채널 효과(Short Channel Effect: SCE)와 역 솟채널 효과(Reverse Short Channel Effect: RSCE)를 억제하면서도 기생 커패시턴스를 저감시킴으로써 전기적인 특성을 향상시키도록 한 반도체 소자의 제조 방법에 관한 것이다.
- <4> 일반적으로, 반도체 소자의 고집적화가 진행됨에 따라 반도체 소자의 미세화가 진행되면, 예를 들어 모스 트랜지스터의 게이트 전극, 소스/드레인 등의 사이즈가 축소되므로 상기 모스 트랜지스터의 채널 길이가 축소된다. 상기 모스 트랜지스터의 채널 길이가 임의의 사이즈 이하로 축소되면, 상기 모스 트랜지스터의 바람직하지 못한 현상, 예를 들어 솟채널 효과(Short Channel Effect: SCE)와 역 솟채널 효과(Reverse Short Channel Effect: RSCE)가 크게 발생하므로 상기 모스 트랜지스터의 문턱전압의 조절이 매우 어려워진다.
- <5> 상기 솟채널 효과와 역 솟채널 효과를 억제하기 위해서는 상기 모스 트랜지스터의 게이트 전극 길이의 축소와 같은 수평 축소와 함께 상기 모스 트랜지스터의 게이트 절연막 두께 및 소스/드레인 접합(junction) 깊이의 축소와 같은 수직 축소도 함께 이루어지지 않으면 안된다. 또한, 상기 수평 축소와 수직 축소에 따라 구동 전원의 전압을 낮추고 반도체 기판의 도핑 농도를 높이며, 특히 채널 영역의 도핑 프로파일의 제어가 효율적으로 이루어져야 한다.
- <6> 그렇지만, 상기 반도체 소자의 사이즈가 급격히 축소되고 있으나 상기 반도체 소자를 적용한 전자 제품 등에서 요구되는 구동 전압이 여전히 높기 때문에 예를 들어, 일반적인 NMOS 트랜지스터의 경우, 소스에서 주입된 전자

가 드레인의 큰 전위 변동(potential gradient) 상태로 인하여 상기 드레인으로 심하게 가속됨으로써 상기 드레인 근처에서 핫 캐리어(hot carrier)가 발생하기 쉬운 취약한 구조를 갖고 있다. 이와 같은 핫 캐리어에 취약한 일반적인 모스 트랜지스터의 구조를 개선하기 위해 엘디디(LDD: lightly doped drain) 구조의 트랜지스터가 도입되었다.

<7> 이러한 LDD 구조의 NMOS 트랜지스터에서는 채널과 소스/드레인 사이에 위치한 저농도(n-) 영역의 LDD 영역이 상기 드레인 접합 근처의 높은 드레인-게이트 전압을 완화시킴으로써 심한 전위 변동을 감소시키고 나아가 핫 캐리어의 발생을 억제시킬 수 있다. 상기 LDD 구조의 트랜지스터를 제조하는 여러 가지 기술이 제안되어 왔는데, 이들 기술 중에서 게이트 전극의 양 측벽에 절연막의 스페이서(spacer)를 형성하는 방법이 상기 LDD 구조의 트랜지스터를 제조하는 가장 전형적인 방법이며 현재까지 대부분의 양산 기술로서 사용되고 있다.

<8> 최근에 들어, 반도체 소자의 고집적화가 진행됨에 따라 솟채널 효과(SCE)와 역 솟채널 효과(RSCE)를 효과적으로 억제하기 위해 접합 깊이를 아주 얕게 형성시키는 샐로우 정션(shallow junction) 기술이 필수적으로 도입되고 있다. 즉, 보론(B+) 이온이나  $BF_2^+$  이온을 저 이온주입 에너지로 이온주입 공정에 의해 상기 샐로우 정션을 형성하여 왔다. 그럼에도 불구하고, 반도체 소자의 초고집적화가 더욱 진행됨에 따라 상기 LDD 영역의 접합에 대한 원하는 프로파일을 얻기가 점차 어렵게 되었다. 그러므로, 상기 모스 트랜지스터의 문턱전압을 결정하는 채널 영역의 도핑 농도에는 영향을 주지 않으면서 소스/드레인의 공핍 영역이 수평 방향으로 서로 근접하는 것을 억제하는 할로(Halo) 구조를 추가로 도입하게 되었다.

<9> 상기 할로 구조는 상기 모스 트랜지스터의 게이트 전극에 이웃한 소스/드레인의 접합 근처 영역에 상기 소스/드레인의 불순물에 반대되는 타입의 불순물 즉, 할로 이온을 주입시킴으로써 형성될 수 있다. 이는 상기 모스 트랜지스터의 소스/드레인의 접합 근처에 웰(well)의 도핑 농도보다 높은 불순물 농도를 지닌 확산 영역을 형성시킴으로써 상기 소스/드레인 영역의 공핍(depletion) 영역을 축소시키기 위함이다.

<10> 이러한 할로 구조를 갖는 종래의 PMOS 트랜지스터에서는 도 1에 도시된 바와 같이, 반도체 기판(10)의 액티브 영역이 상기 반도체 기판(10)의 필드 영역의 소자 분리막(11)에 의해 정의되고, 상기 반도체 기판(10)의 액티브 영역 상에 게이트 절연막(13)을 개재하며 게이트 전극(20)이 형성되고, 상기 게이트 전극(20)을 가운데 두고 상기 반도체 기판(10)의 액티브 영역 내에 P-형 LDD 영역(30)이 형성되고, 상기 LDD 영역(30)의 접합 아래의 반도체 기판(10)에 할로 영역(H)(40)이 형성되고, 상기 게이트 전극(20)의 양 측벽에 절연막의 스페이서(50)가 형성되고, 상기 게이트 전극(20)과 스페이서(50)를 가운데 두고 P+형 소스/드레인 영역(60)이 상기 반도체 기판(10) 내에 형성되고, 상기 게이트 전극(20)과 소스/드레인 영역(60) 상에 실리사이드층(70)이 형성된다.

<11> 그런데, 종래의 PMOS 트랜지스터의 제조 방법은 상기 LDD 영역(30)을 형성하기 위한 보론(B) 이온 또는  $BF$  이온의 이온주입과, 상기 할로 영역(H)을 형성하기 위한 할로 이온(As)의 이온주입을 진행 완료한 후 급속 열처리 공정에 의해 상기 LDD 영역(30)의 보론 이온을 활성화시킨다.

<12> 그러나, 상기 할로 이온(As)의 이온주입에 의해 발생된 손상, 예를 들어 침입형 사이트(interstitial site)와 같은 결함을 감소시키지 않은 상태에서 상기 급속 열처리 공정을 진행하므로 보론 이온은 채널 영역의 가장자리부를 향하여 확산 촉진됨으로써 상기 게이트 전극(20)의 가장자리부 아래의 반도체 기판(10)에 축적된다. 이는 상기 게이트 전극(20)의 가장자리부에서의 측벽 접합 커페시턴스를 증가시킨다.

<13> 또한, 엘디디 영역(30)의 형성 때에 보론 이온이 상기 채널 영역의 가장자리부를 향하여 확산 촉진됨으로써 게이트-드레인 중첩 커페시턴스를 증가시킨다.

<14> 따라서, PMOS 트랜지스터의 기생 커페시턴스가 증가하므로 상기 PMOS 트랜지스터의 전기적 특성이 저하된다.

### 발명이 이루고자 하는 기술적 과제

<15> 따라서, 본 발명의 목적은 PMOS 트랜지스터의 채널 영역 가장자리부로의 보론 이온 확산을 억제함으로써 기생 커페시턴스를 저감시키는데 있다.

<16> 본 발명의 다른 목적은 PMOS 트랜지스터의 전기적인 특성 저하를 방지하는데 있다.

### 발명의 구성 및 작용

- <17> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자 제조 방법은
- <18> 반도체 기판의 액티브 영역 상에 게이트 전극을 형성시키는 단계; 상기 반도체 기판의 채널 영역의 가장자리부로의 보론 이온 확산을 억제하기 위해 상기 게이트 전극을 이온주입 마스크층으로 이용하여 상기 반도체 기판의 액티브 영역에 질소 이온을 이온주입시키는 단계; 상기 반도체 기판의 액티브 영역에 보론 이온을 저농도로 이온주입시킴으로써 엘디디 영역을 형성하는 단계; 상기 반도체 기판의 액티브 영역에 할로 이온을 소정의 경사 각도로 이온주입시킴으로써 할로 영역을 형성하는 단계; 상기 게이트 전극의 측벽에 스페이서를 형성시키는 단계; 상기 반도체 기판의 액티브 영역에 보론 이온을 고농도로 이온주입시킴으로써 소스/드레인 영역을 형성하는 단계; 및 상기 게이트 전극과 소스/드레인 영역 상에 실리사이드층을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <19> 바람직하게는, 상기 질소 이온을 10~50 KeV의 에너지와,  $1E14\sim5E14 \text{ ions/cm}^2$ 의 농도로 이온주입시킬 수가 있다.
- <20> 따라서, 본 발명은 PMOS 트랜지스터의 기생 커패시턴스를 저감시킴으로써 반도체 소자의 전기적인 특성을 향상시킬 수가 있다.
- <21> 이하, 본 발명에 의한 반도체 소자의 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일한 구성 및 동일한 작용의 부분에는 동일한 부호를 부여한다.
- <22> 도 2a 내지 도 2g는 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면 공정도이다.
- <23> 도 2a를 참조하면, 먼저, 반도체 기판(10), 예를 들어 단결정 실리콘 기판의 액티브 영역간의 전기적 절연(isolation)을 위해 아이솔레이션 공정, 예를 들어 샐로우 트렌치 아이솔레이션(Shallow Trench Isolation: STI) 공정 등을 이용하여 상기 반도체 기판(10)의 필드 영역에 산화막과 같은 절연막의 소자 분리막(11)을 형성한다.
- <24> 여기서, 도면에서 도시하지 않았으나, 상기 소자 분리막(11)의 형성 후에 문턱전압( $V_T$ )의 조절을 위한 이온주입, 펀치 스루(punch through)를 방지하기 위한 이온주입, 채널 스토퍼(channel stopper) 형성을 위한 이온주입, 웰(well) 형성을 위한 이온주입을 추가로 진행할 수 있다.
- <25> 상기 소자 분리막(11)의 형성이 완료되고 나면, 상기 반도체 기판(10)의 액티브 영역 상에 게이트 절연막(13), 예를 들어 게이트 산화막을 열산화(thermal oxidation) 공정에 의해  $20\sim100\text{\AA}$ 의 두께로 성장시킨다. 이어서, 상기 게이트 절연막(13) 상에 화학 기상 증착 공정, 예를 들어 저압 화학 기상 증착 공정에 의해 게이트 전극(20)을 위한 도전층, 예를 들어 다결정 실리콘층을  $1500\sim3000\text{\AA}$ 의 두께로 증착시킨다. 이때, 상기 다결정 실리콘층은 상기 게이트 전극(20)으로서의 역할을 수행하기 위해 고농도로 도핑되는데, 이를 위해 상기 다결정 실리콘층을 적층한 후 고농도의 불순물로 이온주입시키는 것이 일반적이다.
- <26> 도 2b를 참조하면, 이후, 사진식각 공정을 이용하여 상기 게이트 전극(20)의 다결정 실리콘층의 게이트 전극 형성 영역 상에 상기 게이트 전극(20)의 패턴에 해당하는 식각 마스크층(미도시), 예를 들어 감광막의 패턴을 형성한다.
- <27> 그다음, 건식 식각공정을 이용하여 상기 감광막의 패턴 아래의 상기 다결정 실리콘층 및 게이트 절연막(13)을 남기고 나머지 영역의 상기 다결정 실리콘층 및 게이트 절연막(13)을 완전히 제거시키고 나서 상기 감광막의 패턴을 제거시킴으로써 게이트 절연막(13)과 게이트 전극(20)의 패턴을 형성한다.
- <28> 도 2c를 참조하면, 이어서, 상기 게이트 전극(20)의 패턴을 이온주입 마스크층으로서 이용하여 상기 반도체 기판(10)의 액티브 영역에 보론 이온의 확산을 억제하기 위한 이온, 예를 들어 질소(N) 이온(21)을 10~50 KeV의 에너지와,  $1E14\sim5E14 \text{ ions/cm}^2$ 의 농도로 이온주입시킨다.
- <29> 따라서, 상기 질소 이온(21)은 상기 반도체 기판(10)의 실리콘(Si) 이온의 침입형 사이트(interstitial site)와 같은 결합과 재결합(recombination)을 촉진함으로써 보론 이온이 채널 가장자리부를 향하여 확산하는 것을 억제시키므로 상기 게이트 전극(20)의 가장자리부 아래의 반도체 기판(10)에 축적되는 것을 억제시킬 수가 있다. 이는 상기 게이트 전극(20)의 가장자리부의 측벽 접합 커패시턴스를 저감시킨다.
- <30> 또한, 상기 질소 이온(21)은 후속의 P-형 엘디디 영역의 형성 때에도 보론 이온의 확산을 억제함으로써 게이트-

드레인 중첩 커파시턴스를 저감시킬 수 있다.

<31> 따라서, 본 발명은 PMOS 트랜지스터의 기생 커파시턴스를 저감시킴으로써 반도체 소자의 전기적인 특성을 향상시킬 수가 있다.

<32> 도 2d를 참조하면, 그 다음에, 상기 게이트 전극(20)의 삭각면의 삭각 손상을 완화시키기 위해 상기 게이트 전극(20)을 포함하여 상기 반도체 기판(10)의 전역 상에 예를 들어 열산화공정에 의해 라이너 산화막(23)을 40~60 Å의 두께로 형성시킨다.

<33> 이어서, 상기 게이트 전극(20)을 이온주입 마스크층으로 이용하여 상기 반도체 기판(10)의 액티브 영역에 P-형 엘디디 영역 형성을 위한 불순물, 예를 들어  $\text{BF}_2$  이온(25)을 5~50 KeV의 에너지와  $1\text{E}14\sim5\text{E}15 \text{ ions/cm}^2$ 의 농도로 이온주입시킨다.

<34> 이때, 상기 반도체 기판(10)의 PMOS 트랜지스터를 위한 영역을 노출시키고 상기 반도체 기판(10)의 NMOS 트랜지스터를 위한 영역(미도시)을 마스킹하도록 상기 반도체 기판(10) 상에 이온주입 마스크층(미도시), 예를 들어 감광막의 패턴을 형성한 후 상기 PMOS 트랜지스터를 위한 영역의 반도체 기판(10)에 상기  $\text{BF}_2$  이온(25)을 이온주입시킨다.

<35> 이와 마찬가지로, 상기 반도체 기판(10)의 NMOS 트랜지스터를 위한 영역(미도시)을 노출시키고 상기 반도체 기판(10)의 PMOS 트랜지스터를 위한 영역을 마스킹하도록 상기 반도체 기판(10) 상에 이온주입 마스크층(미도시), 예를 들어 감광막의 패턴을 형성한 후 상기 NMOS 트랜지스터를 위한 영역의 반도체 기판(10)에 상기 NMOS 트랜지스터의 N-형 엘디디 영역 형성을 위한 불순물, 예를 들어 아세나이드(As)을 이온주입시킨다. 이때, 상기 아세나이드(As) 이온을 10~70 KeV의 에너지와  $1\text{E}14\sim5\text{E}15 \text{ atom/cm}^2$ 의 농도로 이온주입시킨다.

<36> 도 2e를 참조하면, 그 다음에, 상기 PMOS 트랜지스터를 위한 영역의 반도체 기판(10)에 할로 영역(H)(40)을 위한 할로 이온, 예를 들어 아세나이드(As) 이온(27)을 상기 반도체 기판(10)의 액티브 영역의 표면에 대해 예를 들어 10~40도의 경사 각도와, 10~60 KeV의 에너지와,  $1\text{E}14\sim1\text{E}15 \text{ ions/cm}^2$ 의 농도로 이온주입시킨다.

<37> 이때, 상기 반도체 기판(10)의 PMOS 트랜지스터를 위한 영역을 노출시키고 상기 반도체 기판(10)의 NMOS 트랜지스터를 위한 영역(미도시)을 마스킹하도록 상기 반도체 기판(10) 상에 이온주입 마스크층(미도시), 예를 들어 감광막의 패턴을 형성한 후 상기 PMOS 트랜지스터를 위한 영역의 반도체 기판(10)에 상기 아세나이드(As) 이온(27)을 이온주입시킨다.

<38> 이와 마찬가지로, 상기 반도체 기판(10)의 NMOS 트랜지스터를 위한 영역(미도시)을 노출시키고 상기 반도체 기판(10)의 PMOS 트랜지스터를 위한 영역을 마스킹하도록 상기 반도체 기판(10) 상에 이온주입 마스크층(미도시), 예를 들어 감광막의 패턴을 형성한 후 상기 NMOS 트랜지스터를 위한 영역의 반도체 기판(10)에 상기 NMOS 트랜지스터의 할로 영역 형성을 위한 불순물, 예를 들어 보론(B) 이온을 이온주입시킨다. 이때, 상기 보론(B) 이온을 10~60 KeV의 에너지와  $1\text{E}14\sim1\text{E}15 \text{ atom/cm}^2$ 의 농도로 이온주입시킨다.

<39> 이후, 열처리공정, 예를 들어 급속 열처리공정을 600~800°C의 온도와 불활성 가스, 예를 들어 질소( $\text{N}_2$ ) 가스의 분위기에서 10~60초의 시간동안 진행함으로써 상기 할로 이온과 엘디디 영역 형성을 위한 불순물을 활성화시킴으로써 상기 P-형 엘디디 영역(30)과 할로 영역(H)(40)의 접합을 형성한다.

<40> 이때, 상기 질소 이온(21)은 상기 반도체 기판(10)의 실리콘(Si) 이온의 침입형 사이트(interstitial site)와 같은 결합과 재결합(recombination)을 촉진함으로써 보론 이온이 채널 가장자리부를 향하여 확산하는 것을 억제시킨다. 그러므로, 상기 질소 이온(21)은 상기 게이트 전극(20)의 가장자리부 아래의 반도체 기판(10)에 축적되는 것을 억제시킴으로써 상기 게이트 전극(20)의 가장자리부의 측벽 접합 커파시턴스를 저감시킨다. 또한, 상기 보론 이온의 확산을 억제함으로써 게이트-드레인 중첩 커파시턴스를 저감시킬 수 있다.

<41> 따라서, 본 발명은 PMOS 트랜지스터의 기생 커파시턴스를 저감시킴으로써 반도체 소자의 전기적인 특성을 향상시킬 수가 있다.

<42> 도 2f를 참조하면, 이후, 상기 라이너 산화막(23) 상에 절연막, 예를 들어 질화막을 화학 기상 증착 공정 등에 의해 증착시키고, 상기 질화막을 비등방성 삭각 특성을 갖는 건식 삭각 공정에 의해 삭각시킴으로써 상기 게이트 전극(20)의 양 측벽에 스페이서(50)를 형성시킨다.

- <43> 이어서, 상기 게이트 전극(20)과 상기 스페이서(50)를 이온주입 마스크로 이용하여 상기 반도체 기판(10)의 액티브 영역에 소스/드레인 영역 형성을 위한 P형 불순물, 예를 들어 보론(B) 이온(29)을 3~20 KeV의 이온주입 에너지와,  $1E15\sim5E15$  ions/cm<sup>2</sup>의 이온주입 농도로 이온주입시킨다.
- <44> 이때, 상기 반도체 기판(10)의 PMOS 트랜지스터를 위한 영역을 노출시키고 상기 반도체 기판(10)의 NMOS 트랜지스터를 위한 영역(미도시)을 마스킹하도록 상기 반도체 기판(10) 상에 이온주입 마스킹층(미도시), 예를 들어 감광막의 패턴을 형성한 후 상기 보론(B) 이온(29)을 이온주입한다.
- <45> 이와 마찬가지로, 상기 반도체 기판(10)의 NMOS 트랜지스터를 위한 영역(미도시)을 노출시키고 상기 반도체 기판(10)의 PMOS 트랜지스터를 위한 영역을 마스킹하도록 상기 반도체 기판(10) 상에 이온주입 마스킹층(미도시), 예를 들어 감광막의 패턴을 형성한 후 상기 NMOS 트랜지스터를 위한 영역의 반도체 기판(10)에 상기 NMOS 트랜지스터의 소스/드레인 영역 형성을 위한 불순물, 예를 들어 아세나이드(As) 이온을 이온주입시킨다.
- <46> 이후, 열처리공정, 예를 들어 급속 열처리 공정을 소스/드레인 형성을 위한 이온을 활성화시킴으로써 상기 P+형 소스/드레인 영역(60)과 상기 N+형 소스/드레인 영역(미도시)의 접합을 최종적으로 형성한다.
- <47> 도 2g를 참조하면, 그 다음에, 상기 스페이서(50)를 식각 마스크층으로 이용하여 상기 소스/드레인 영역(60)과 게이트 전극(20) 상의 라이너 산화막(23)을 제거시킴으로써 상기 소스/드레인 영역(60)과 게이트 전극(20)과 함께 상기 NMOS 트랜지스터 형성 영역의 소스/드레인 영역과 게이트 전극을 노출시킨다.
- <48> 이후, 통상적인 살리사이드공정을 이용하여 상기 소스/드레인 영역(60)과 게이트 전극(20)과 함께 상기 NMOS 트랜지스터 형성 영역의 소스/드레인 영역과 게이트 전극 상에 살리사이드층(70)을 형성한다.
- <49> 그 다음에, 도면에 도시하지 않았으나, 상기 소스/드레인 영역과 상기 게이트 전극의 콘택 공정, 금속배선 공정 등과 같은 일련의 후속 공정을 진행함으로써 본 발명의 제조 공정을 완료한다. 이에 대한 상세한 설명은 본 발명의 요지에 관련성이 적으므로 설명의 편의상 생략하기로 한다.
- <50> 따라서, 본 발명은 상기 PMOS 트랜지스터의 게이트 전극을 이온주입 마스크층으로 이용하여 반도체 기판의 액티브 영역에 질소 이온을 이온주입한 후 엘디디 영영과 할로 영역을 형성함으로써 보론 이온이 채널 영역의 가장 자리부로 확산하는 것을 억제할 수 있다.
- <51> 따라서, 본 발명은 상기 보론 이온이 상기 게이트 전극의 가장자리부 아래의 반도체 기판에 축적되는 것을 억제 시킴으로써 상기 게이트 전극의 가장자리부의 측벽 접합 커패시턴스를 저감시킨다. 또한, 상기 보론 이온의 확산을 억제함으로써 게이트-드레인 중첩 커패시턴스를 저감시킬 수 있다.
- <52> 따라서, 본 발명은 PMOS 트랜지스터의 기생 커패시턴스를 저감시킴으로써 반도체 소자의 전기적인 특성을 향상 시킬 수가 있다.
- <53> 또한, 본 발명은 상기 PMOS 트랜지스터를 위한 반도체 기판에 할로 영역을 형성함으로써 종래와 마찬가지로 PMOS 트랜지스터의 솟채널 효과와 역 솟채널 효과를 억제할 수 있다.

### 발명의 효과

- <54> 이상에서 상세히 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 반도체 기판의 액티브 영역 상에 게이트 전극을 형성시키고, 상기 반도체 기판의 액티브 영역에 질소 이온을 이온주입시킨다. 이후, 상기 반도체 기판의 액티브 영역에 PMOS 트랜지스터 형성을 위한 엘디디 영역과 할로 영역 및 소스/드레인 영역을 형성한다.
- <55> 따라서, 본 발명은 상기 PMOS 트랜지스터의 게이트 전극을 이온주입 마스크층으로 이용하여 반도체 기판의 액티브 영역에 질소 이온을 이온주입한 후 엘디디 영영과 할로 영역을 형성함으로써 보론 이온이 채널 영역의 가장 자리부로 확산하는 것을 억제할 수 있다.
- <56> 따라서, 본 발명은 상기 보론 이온이 상기 게이트 전극의 가장자리부 아래의 반도체 기판에 축적되는 것을 억제 시킴으로써 상기 게이트 전극의 가장자리부의 측벽 접합 커패시턴스를 저감시킨다. 또한, 상기 보론 이온의 확산을 억제함으로써 게이트-드레인 중첩 커패시턴스를 저감시킬 수 있다.
- <57> 따라서, 본 발명은 PMOS 트랜지스터의 기생 커패시턴스를 저감시킴으로써 반도체 소자의 전기적인 특성을 향상

시킬 수가 있다.

<58> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

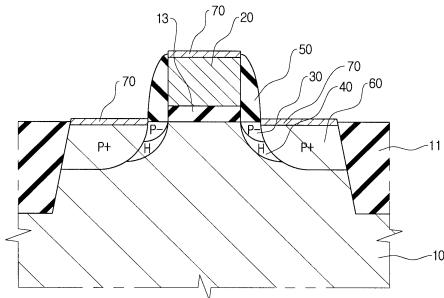
### 도면의 간단한 설명

<1> 도 1은 종래 기술에 의한 반도체 소자를 나타낸 단면 구조도.

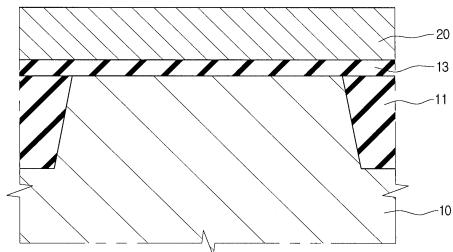
<2> 도 2a 내지 도 2g는 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면 공정도.

### 도면

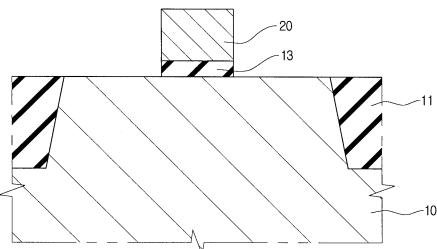
#### 도면1



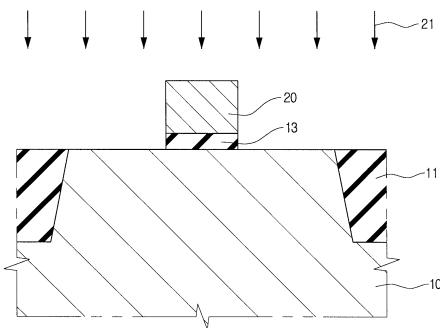
#### 도면2a



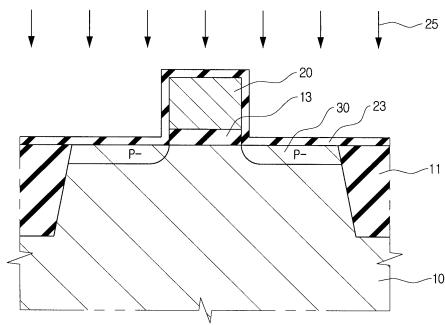
#### 도면2b



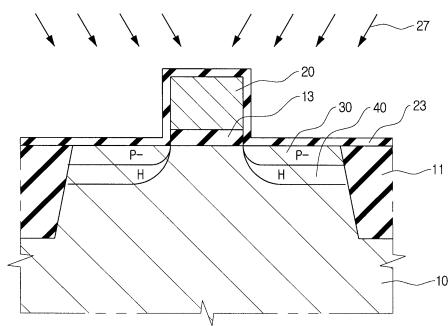
도면2c



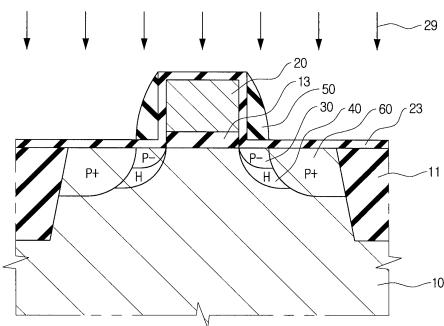
도면2d



도면2e



도면2f



도면2g

