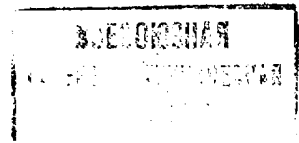




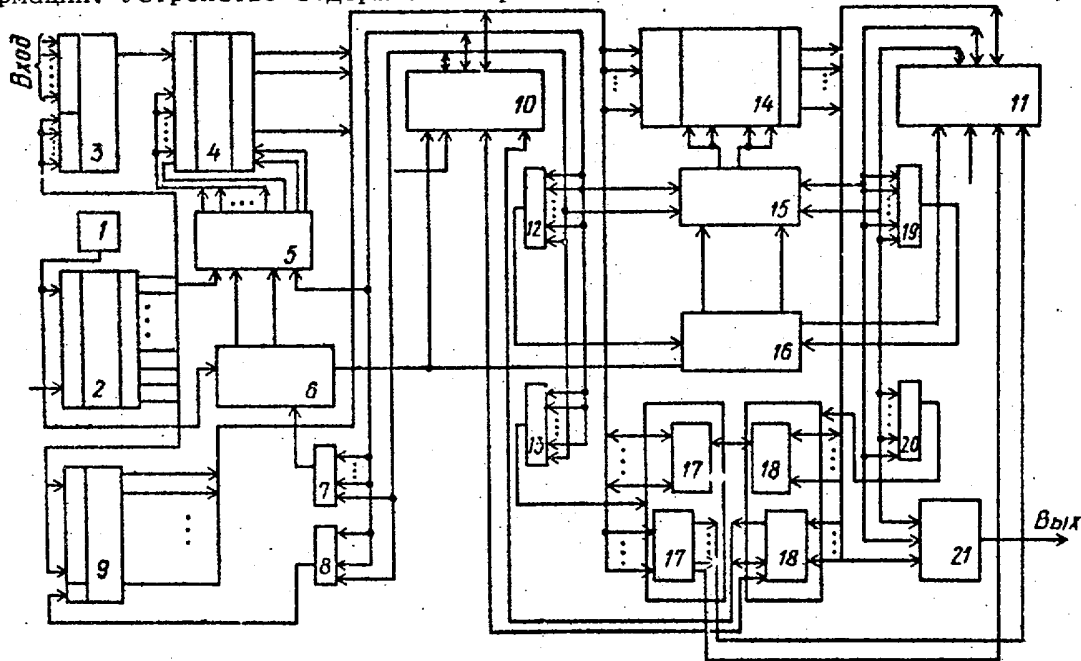
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4415267/24-24
(22) 25.02.88
(46) 07.11.90. Бюл. № 41
(72) В.Л.Чураков, А.В.Кремнев,
А.Н.Шахов, С.П.Никитина
и Т.Л.Крепышева
(53) 621.398 (088.8)
(56) Авторское свидетельство СССР
№ 1117677, кл. G 08 C 15/06, 1983.
(54) МНОГОКАНАЛЬНОЕ УСТРОЙСТВО ДЛЯ
СБОРА ИНФОРМАЦИИ
(57) Изобретение относится к автома-
тике, телемеханике и вычислитель-
ной технике и может быть использо-
вано в системах передачи и приема
информации. Цель изобретения - повы-
шение достоверности принимаемой ин-
формации. Устройство содержит генера-

тор 1 импульсов, счетчик 2, мульти-
плексор 3, первый 4 и второй 14 бло-
ки памяти, первый 5 и второй 15 фор-
мирователи адреса, первый 6 и второй
16 блоки сравнения приоритетов, эле-
менты И 7, 8, 12, 13, 19, 20, первый 9
и второй 21 блоки управления переда-
чей, первый 10 и второй 11 блоки об-
работки информации, первый 17 и вто-
рой 18 параллельные интерфейсы. Уст-
ройство позволяет обнаружить "сраба-
тывание" любого канала, аппрокси-
мировать это "срабатывание", т.е.
очистить от "дребезга", точно привя-
зать ко времени, когда это "сраба-
тывание" произошло, и формировать вы-
ходную информацию о каждом "сраба-
тывании" в любом канале. 8 ил., 1 табл.



Фиг. 1

Изобретение относится к автоматике, телемеханике и вычислительной технике и может найти применение в многоканальных системах передачи и приема информации.

Цель изобретения - повышение достоверности принимаемой информации.

На фиг.1 представлена функциональная схема устройства; на фиг.2 - функциональная схема первого блока памяти; на фиг.3 - функциональная схема первого формирователя адреса; на фиг.4 - схема первого и второго блоков обработки информации; на фиг.5 - функциональная схема второго формирователя адреса; на фиг.6 - функциональная схема второго блока управления передачей; на фиг.7 - структурная схема информации в первом блоке памяти; на фиг.8 - то же, во втором блоке памяти.

Устройство содержит генератор 1 импульсов, счетчик 2, мультиплексор 3, первый блок 4 памяти, первый формирователь 5 адреса, первый блок 6 сравнения приоритетов, первый 7 и второй 8 элементы И, первый блок 9 управления передачей, первый 10 и второй 11 блоки обработки информации, третий 12 и четвертый 13 элементы И, второй блок 14 памяти, второй формирователь 15 адреса, второй блок 16 сравнения приоритетов, первый 17 и второй 18 параллельные интерфейсы, пятый 19 и шестой 20 элементы И, второй блок 21 управления передачей.

Кроме того, на фиг.1 обозначены магистрали данных MD для микроЭВМ, адреса MA и управления МУ.

Блок памяти (фиг.2) содержит элементы 22₁ - 22₁₆ памяти по числу кристаллов, которые можно выполнить на микросхемах серии 132 РУЗ.

Формирователь адреса (фиг.3) содержит дешифратор 23, выполненный на микросхеме серии 533 ИД7, мультиплексор 24, микросхему серии 533 КП11, элементы ИЛИ 25₁ - 25₁₆. Каждый блок обработки информации, выполненный на микроЭВМ (фиг.4), содержит микропроцессор 26 типа 1810 ВМ86, регистр адреса 27 - микросхема 533ТМ9, ОЗУ 28 сегмента стека - микросхема 541, РУ2 ПЗУ 29 сегмента прерывания, ПЗУ 30 сегмента кода, ПЗУ 31 начального запуска. Все ПЗУ выполнены на микросхеме 556РТ7. Второй формирователь адреса (фиг.5) содержит шинные формиро-

ватели 32 - 35 на микросхемах 589АП26.

Блок выдачи информации (фиг.6) содержит элемент И 36, буферный регистр 37, блок управления БУ 38, выполненный по схеме распределителя импульсов на микросхеме 533 ИР16, сдвиговый регистр 39.

Для обеспечения работоспособности устройства входящие в его состав остальные блоки могут быть выполнены как параллельно программируемые интерфейсы типа 580ВВ55, первый блок 9 управления передачей - 589АП26, мультиплексор 3 - 533КП11.

Устройство работает следующим образом.

Перед началом работы устройства поступает сигнал "Сброс", который приводит в исходное состояние блоки 10 и 11 и устанавливает в нуль счетчик 2.

Затем счетчиком 2 пересчитываются импульсы с генератора 1 для оцифровки времени и управления мультиплексором 3. Мультиплексор 2 опрашивает входные каналы и информация с входа устройства последовательно записывается в первый блок 4 памяти в соответствии с адресом, формируемым младшими разрядами $C_1, \dots, n$ счетчика 2. За время первого измерения, определяемого одним циклом опроса всех каналов, информация с них записывается в первые разряды с 1-й по 2-ю ячейки блока 4 памяти, как показано на фиг.7 ($A_1^1 - A_2^{2^n}$). При втором измерении (второй цикл опроса) информация, поступающая по всем каналам, записывается во вторые разряды этих же ячеек (фиг.7, $A_2^1 - A_2^{2^n}$) и т.д.

В результате шестнадцать измерений (по числу разрядов ОЗУ блока 4 памяти) записываются в первые 2ⁿ ячеек блока 4 памяти. Следовательно, при чтении блоком 10 (микроЭВМ) первой ячейки блока 4 памяти в регистр общего назначения (РОН) записываются 16 измерений первого канала. Затем начинается запись информации во вторую группу ячеек 2ⁿ + 1, ..., 2x2ⁿ, которые содержат измерения с 17 по 32 каждого из каналов фиг.7 ($A_{17}^{2^n}, A_{32}^{2^n} - A_{32}^{2^n}$).

Блок 10 (микроЭВМ) по обращении к внешнему устройству, дешифрируемому на элементе И 8, считывает содержимое (адрес и время) счетчика 2.

через блок 9, т.е. адрес записи информации в блок 4 памяти. Так как блок 4 памяти представляет сегмент данных DS для блока 10 (микроЭВМ), то адрес чтения формируется в регистре SI. Блок 10 (микроЭВМ) рассчитывает разность адресов записи и чтения и, если эта разность больше величины группы, т.е. между адресом считывания и адресом записи располагается целая группа каналов, то блок 10 переходит на алгоритм обработки информации каналов этой группы.

Для устранения конфликтных ситуаций, возникающих при одновременном обращении к блоку 4 памяти на запись (от генератора 1) и чтение (от блока 10), включен блок 6 сравнения приоритетов. Если в блок 4 памяти производится запись информации и в это время блок 10 обращается к этому же блоку на чтение, то чтение информации будет произведено после окончания цикла записи, а на время записи информации с блока 10 снимается сигнал готовность (RDY). Если блок 4 памяти занят чтением информации в блок 10 и в это время пришел запрос на запись, тогда обращение на запись произойдет после окончания цикла чтения.

Сигналы управления записью и чтением с блока сравнения приоритетов 6 поступают на формирователь 5, который коммутирует адрес обращения к блоку 4 памяти. Структура записи информации в блок 4 памяти обеспечивается архитектурой самого блока 4 памяти и формирователей 5 адреса.

Дешифратор 23 (фиг.3) обеспечивает выбор кристалла в блоке 4 памяти (фиг.2, 22₁ - 22₁₆) по каждому из 16 разрядов ячеек, по адресу которых поступает со счетчика 2 (разряды n+1...+n4).

Обращение к блоку 4 памяти (чтение или запись) осуществляется через мультиплексор 24, который коммутирует младшие разряды адреса блока 4 памяти ИЛИ с магистральной адреса блока 10 (микроЭВМ) или с выходов счетчика 2.

Алгоритм блока 10 (микроЭВМ) заключается в определении факта срабатывания канала (под фактом срабатывания сигнального канала понимают изменения информации в канале в пределах

шестнадцати измерений, которые записаны в одной ячейке блока 4 памяти. С этой целью в начальной области сегмента стека SS (ОЗУ 28 сегмента стека), адресуемой регистром BP процессора 26, располагаются предыдущие состояния всех 2ⁿ входных сигнальных каналов.

Срабатывание по каналу должно фиксироваться, если проход в новое состояние подтверждается не менее чем двумя измерениями. Для пояснения приводится числовой пример.

Пусть измерения по одному из каналов равны

$A_1 A_2 A_3 A_4 A_5 A_6 A_7 A_8 A_9 A_{10} A_{11} A_{12} A_{13} A_{14} A_{15} A_{16}$
0 0 0 1 0 0 0 1 0 0 0 1 0 0 0 0

такие однократные переходы в единицу не считаются срабатыванием. Предположим, что предыдущее состояние этого канала также равно 0. Для определения наличия срабатывания микропроцессор логически умножает этот двоичный код, сдвинутый на один разряд вправо, при этом место крайнего левого разряда занимает предыдущее состояние этого канала

8 0001 0001 0001 0000
Предыдущее состояние 0000 1000 1000 1000
0000 0000 0000 0000

Нулевой результат логического умножения обозначает, что срабатывания по каналу нет. Пусть измерения по одному каналу равны

$A_1 A_2 A_3 A_4 A_5 A_6 A_7 A_8 A_9 A_{10} A_{11} A_{12} A_{13} A_{14} A_{15} A_{16}$
1 1 1 1 0 1 1 1 1 0 1 1 1 0 1 1

Предыдущее состояние равно единице. В этом случае логически перемножаются инверсные измерения по каналу со сдвинутой на один разряд вправо той же инверсией

8 0000 10000 1000100
Предыдущее состояние 0000 01000 0100010
0000 00000 0000000

Таким образом, если хотя бы одна из двух описанных проверок дает нулевой результат, значит срабатыва-

20

25

40

45

40

Рассматриваем предыдущее значение (0) и два следующих $A_1; A_2$ (0, 0, 0) и в текущее (преобразованное измерение) записываем 0. Затем рассматривается полученное преобразованное измерение (0) и два последующих ($A_1 = 0$ и $A_2 = 0$) и в текущее состояние снова записывается 0. Далее рассматривают записанное текущее (0) и измерения $A_2 = 0$ и $A_3 = 0$ и т.д. в соответствии с приведенной таблицей.

[illegible]

Далее определяется порядковый номер измерения, после которого произошло срабатывание канала, в данном случае № 6. Так как каждое последующее измерение по каналу отстает на временный интервал, определяемый временем опроса всех каналов (циклом опроса) — $t_{\text{ц}}$, то для определения точного времени срабатывания $t_{\text{ср.к}}$ канала количество измерений до срабатывания $N = 6$ умножается на величину $t_{\text{ц}}$ (время цикла опроса) и к полученному результату прибавляют значение интервала времени (t_1) первого измерения в группе из 16 каналов

$$t_{\text{ср.к}} = t_1 + N t_{\text{ц}}$$

Далее второй блок 11 (вторая микроЭВМ) выдает информацию о срабатывании канала (точное время $t_{\text{ср.к}}$ срабатывания, номер канала N , новое состояние канала, в данном случае "1") на вход блока 21.

Выдача информации осуществляется в следующем порядке.

Значение времени срабатывания канала $t_{\text{ср.к}}$ заносится в регистр 37 по обращению блока 11, как ко внешнему устройству, адрес обращения дешифрируется на элементе И 36, сигналом с которого запускают блок 38 управления, который переписывает содержимое регистра 37 в регистр 39 сдвига. По сигналам, формируемым блоком 38 управления, информация из регистра 39 поступает на выход устройства.

Таким же образом выдается на выход устройства вся остальная информация о срабатывании канала. Далее описываются устройства, которые выполняют вспомогательные функции, т.к. обращение к блоку 14 памяти производится от двух блоков 10 и 11 (двух микроЭВМ), причем эти обращения дешифруются на элементах И 12 и 19, поэтому введен второй блок 16 сравнения приоритетов, который распределяет по времени обращения к общему блоку 14 памяти от двух блоков (микроЭВМ) и управляет вторым формирователем 15 адреса. В этом блоке поочередно открываются шинные формирователи 32, 33 или 34, 35 (фиг. 5), подключая к магистрали адреса (МА) и управления (МУ) блока 14 памяти магистрали адреса и управления одного из двух блоков (микроЭВМ). Для реализации двухсторонней связи между блоками

10 и 11 (микроЭВМ) применены два параллельных интерфейса 17 и 18 типа 580 ВВ55. С помощью регистров А этих интерфейсов осуществляется двухсторонний обмен информацией между блоками 10 и 11. С этой целью в соответствии с программой работы ЭВМ 10 и 11 в регистры А интерфейсов 17 и 18 записывается программа режима II, обеспечивающая двухсторонний синхронный обмен между регистрами А параллельно программируемых интерфейсов.

Регистры В интерфейсов предназначены для формирования векторов прерывания и в соответствии с программой каждой микроЭВМ 10 и 11 в них записывается программа режима I — односторонняя синхронная запись в регистр 13.

Работу параллельно-программируемых интерфейсов 17 и 18 рассмотрим применительно к решению задачи передачи адреса записи блока 14 памяти, который занесен в блоки 10 и 11. Этот адрес записи находится в регистре Д1 блока 10 (первой микроЭВМ), который является дополнительным сегментом (ES).

Данный адрес записи необходимо передать блоку 11 (второй микроЭВМ), чтобы при чтении информации из второго блока 14 памяти адрес чтения не превысил адреса записи. Блок 11 (вторая микроЭВМ), обращаясь через И 20 к внешнему устройству интерфейса 18, вписывает в его регистр вектор прерывания для блока 10 (первой микроЭВМ).

Блок 10 (первая микроЭВМ) по этому вектору, который поступает на вход VEC к запросу прерывания (вход INI), прерывает выполнение своей основной программы поиска сработавшего канала и переходит на программу прерывания. По программе прерывания первый микропроцессор записывает содержимое регистра Д1 во внешнее устройство, которым является регистр А интерфейса 17.

Так как оба регистра А запрограммированы в режиме II работы, то информация из регистра А интерфейса 17 переписывается в регистр А интерфейса 18. Затем блок 10 (первой микроЭВМ) записывает в регистр В интерфейса 17 вектор прерывания для блока 11 (второй микроЭВМ), по этому запросу на прерывание блок 11 (второй микроЭВМ) прекращает выполнить свою

основную программу и переходит на выполнение программы прерывания. По этой программе блок 11 (вторая микроЭВМ) опрашивает регистр А интерфейса 18 и записывает его содержимое в микропроцессор второй микроЭВМ.

Многоканальное устройство для сбора информации позволяет обнаружить "срабатывание" любого канала, аппроксимировать это срабатывание, т.е. очищать от "дребезга", точно привязывать ко времени, когда это срабатывание произошло, и формировать выходной последовательный кадр, содержащий информацию о каждом срабатывании в любом канале.

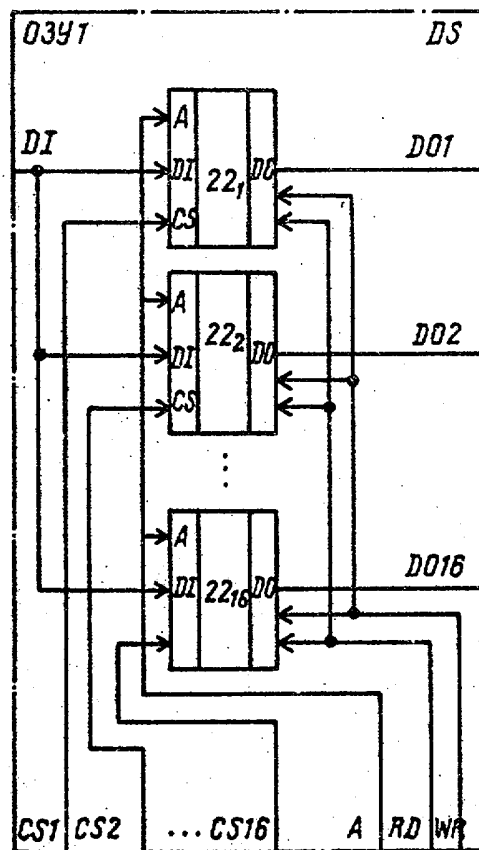
Ф о р м у л а и з о б р е т е н и я

Многоканальное устройство для сбора информации, содержащее генератор импульсов, первый элемент И, выход которого подключен к первому входу первого блока сравнения приоритетов, первый блок памяти, счетчик, первый вход которого является управляющим входом устройства, второй, третий и четвертый элементы И, отличающееся тем, что, с целью повышения достоверности принимаемой информации, в него введены мультиплексор, первый и второй формирователи адреса, второй блок сравнения приоритетов, первый и второй блоки управления передачей, первый и второй блок обработки информации, второй блок памяти, пятый и шестой элементы И, первый и второй параллельные интерфейсы, информационные входы мультиплексора являются информационными входами устройства, выход мультиплексора подключен к информационному входу первого блока памяти, выходы которого объединены с соответствующими выходами первого блока управления передачей и подключены к соответствующим информационным входам второго блока памяти, первого параллельного интерфейса и к соответствующим информационным входам-выходам первого блока обработки информации и первого параллельного интерфейса, выход генератора импульсов подключен к вторым входам счетчика и первого блока сравнения приоритетов, первый и второй выходы последнего подключены соответственно к первому и второму управляющим вхо-

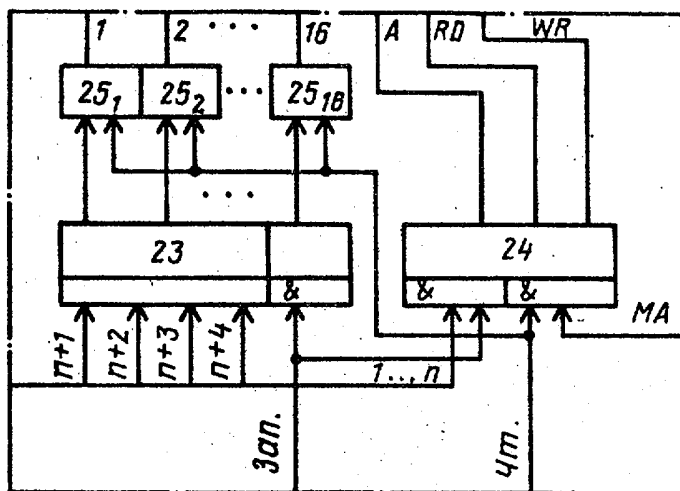
дам первого формирователя адреса, информационные выходы последнего подключены к соответствующим адресным входам первого блока памяти, первый, второй и третий управляющие входы которого подключены к одноименным управляющим выходам первого формирователя адреса, выходы счетчика подключены к соответствующим адресным входам мультиплексора, первым адресным входам первого формирователя адреса и к информационным входам первого блока управления передачей, адресные входы-выходы первого блока обработки информации подключены к соответствующим адресным входам второго формирователя адреса и к соответствующим первым входам первого и четвертого элементов И, вторые входы которых подключены к соответствующим управляющим выходам первого блока обработки информации, выход второго элемента И подключен к управляющему входу первого блока управления передачей, выход третьего элемента И подключен к первому входу второго блока сравнения приоритетов, первый и второй выходы которого подключены к одноименным управляющим входам второго формирователя адреса, третий управляющий вход которого подключен к соответствующему управляющему выходу первого блока обработки информации, выход четвертого элемента И подключен к управляющему входу первого параллельного интерфейса, выходы второго блока памяти подключены к соответствующим информационным входам-выходам второго блока обработки информации, первым информационным входам-выходам и входам второго параллельного интерфейса, информационным входам второго блока управления передачей, выход которого является информационным выходом устройства, адресные входы-выходы второго блока обработки информации подключены к соответствующим вторым адресным входам второго формирователя адреса, адресным входам второго блока управления передачей, первым входам пятого и шестого элементов И, вторые входы которых, четвертый управляющий вход второго формирователя адреса и управляющий вход второго блока управления передачей подключены к соответствующим управляющим выходам второго блока обработки информации, выход

пятого элемента И подключен к второму входу второго блока сравнения приоритетов, выход шестого элемента И подключен к управляющему входу второго параллельного интерфейса, третьи 5 выходы первого и второго блока сравнения приоритетов подключены к разрешающему входу первого блока обработки информации, управляющий вход запроса режима работы и задающие входы 10 режима работы которого подключены соответственно к первому информационному выходу и к соответствующим вторым информационным выходам второго 15 параллельного интерфейса, вторые информационные входы-выходы которого подключены к соответствующим вторым информационным входам-выходам первого блока параллельного интерфейса, первый 20

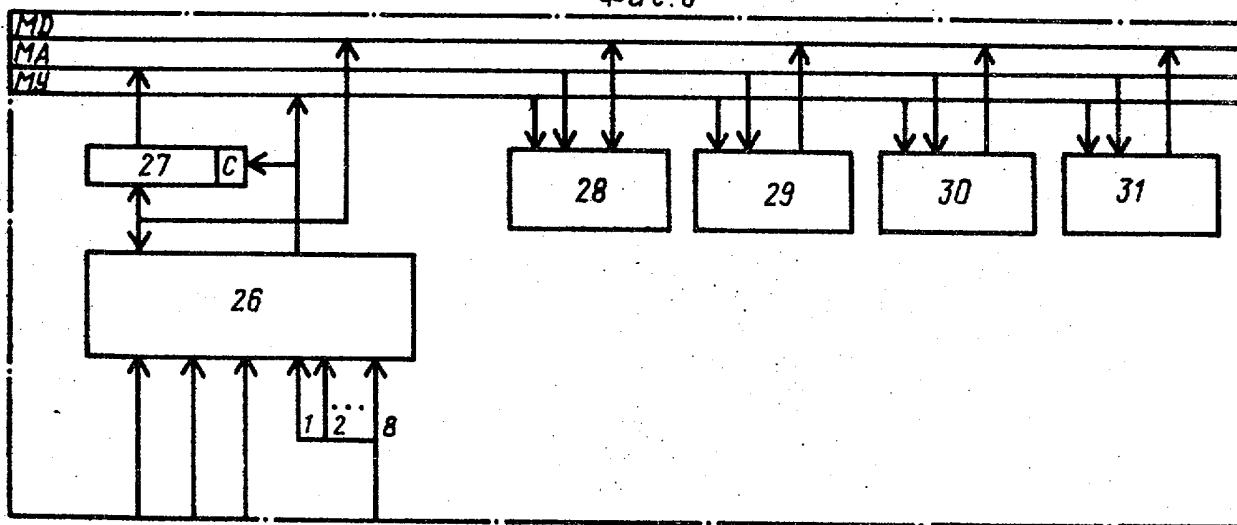
информационный выход и вторые информационные выходы которого подключены соответственно к управляющему входу запроса режима работы и соответствующим задающим входам режима работы второго блока обработки информации, информационные выходы второго формирователя адреса подключены к соответствующим адресным входам второго блока памяти, управляющие входы которого подключены к соответствующим управляющим выходам второго формирователя адреса, установочные входы первого и второго блоков обработки информации объединены с первым входом счетчика, четвертый выход второго блока сравнения приоритетов подключен к разрешающему входу второго блока обработки информации.



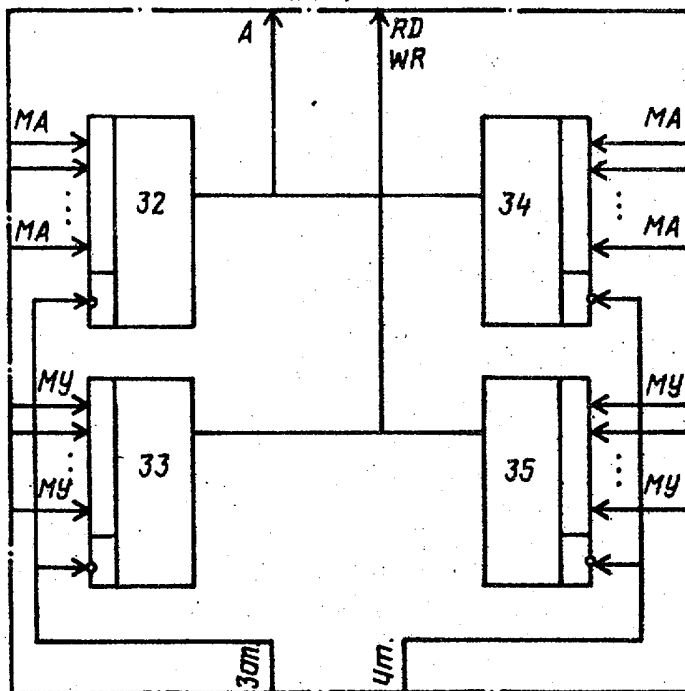
Фиг. 2



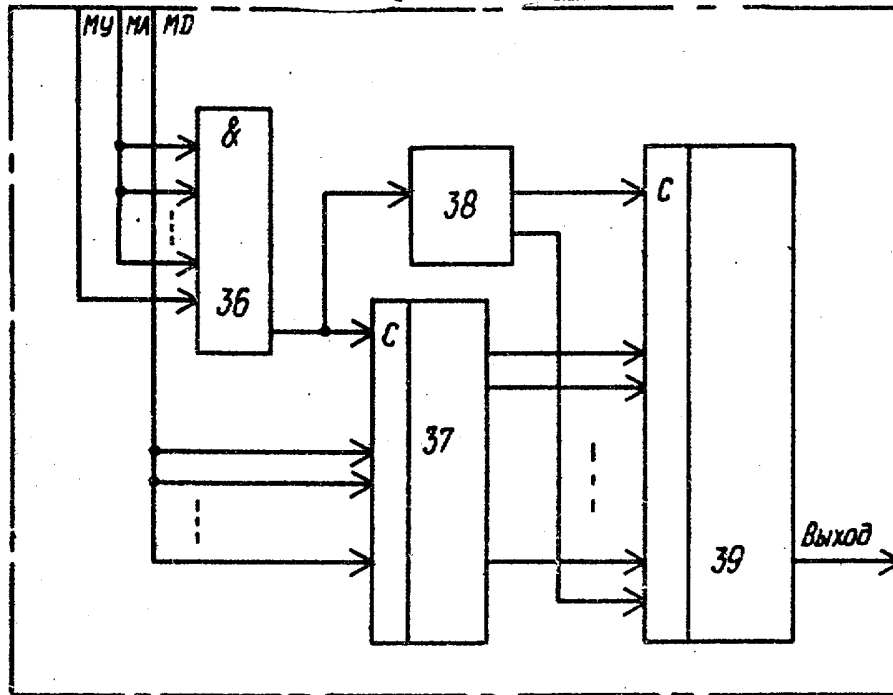
Фиг. 3



Фиг. 4



Фиг. 5



Фиг. 6

Первый цикл							Второй цикл						
№	1	2	3	4	...	2^n	2^{n+1}	2^{n+2}	2^{n+3}	2^{n+4}		$2 \cdot 2^n$	$2 \cdot 2^{n+1}$
№	1	2	3	4	...	2^n	1	2	3	4	...	2^n	1
№	A_1^1	A_1^2	A_1^3	A_1^4	...	$A_1^{2^n}$	A_{17}^1	A_{17}^2	A_{17}^3	A_{17}^4		$A_{17}^{2^n}$	A_{33}^1
2	A_2^1	A_2^2	A_2^3	A_2^4		$A_2^{2^n}$	A_{18}^1	A_{18}^2	A_{18}^3	A_{18}^4		$A_{18}^{2^n}$	A_{34}^1
3	A_3^1	A_3^2	A_3^3	A_3^4		$A_3^{2^n}$	A_{19}^1	A_{19}^2	A_{19}^3	A_{19}^4		$A_{19}^{2^n}$	A_{35}^1
4	A_4^1	A_4^2	A_4^3	A_4^4	...	$A_4^{2^n}$	A_{20}^1	A_{20}^2	A_{20}^3	A_{20}^4	...	$A_{20}^{2^n}$	A_{36}^1
5													A_{37}^1
6	.					.	.				...	.	
7													.
8	.					.							
9						.							
10	.					.	.						
11	A_{11}^1	A_{11}^2	.	.	.	$A_{11}^{2^n}$							.
12	.					.							
13	.					.							
14	.					.	.					.	
15													.
16	A_{16}^1	A_{16}^2	A_{16}^3	A_{16}^4	...	$A_{16}^{2^n}$	A_{32}^1	A_{32}^2	A_{32}^3	A_{32}^4	...	$A_{32}^{2^n}$	A_{48}^1

Фиг. 7

$\frac{N_2}{N_1}$ разр.	1	2	3	4	5	6	7	8
1	содерж. счетчика 2 ст. разряды	содерж. счетчика 2 мл. разряды	адрес считывания блока памяти первого (SI)	A_2^L	содерж. счетчика 2 ст. разряды	содерж. счетчика 2 мл. разряды	адрес считывания блока памяти первого (SI)	A_2^K
2				A_{i+1}^L				A_{i+1}^K
3				A_{i+1}^L				A_{i+2}^K
4								A_{i+3}^K
5								
6								
7								
8								
9								
10								
11								
12								
13								
14								
15								
16				A_{i+5}^L				A_{i+5}^K

Запись первого
срабатывания
канала

Запись второго
срабатывания
канала

Структура информации в блоке памяти 14

Фиг. 8

Редактор Н.Лазоренко Составитель В.Струков
Техред М.Дидык Корректор М.Максимишинец

Заказ 3455 Тираж 444 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101