

(12) 发明专利申请

(10) 申请公布号 CN 102456686 A

(43) 申请公布日 2012. 05. 16

(21) 申请号 201110241588. 6

(22) 申请日 2011. 08. 19

(30) 优先权数据

12/906, 498 2010. 10. 18 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 黄新言

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 高雪琴

(51) Int. Cl.

H01L 27/02 (2006. 01)

H01L 29/06 (2006. 01)

H01L 29/74 (2006. 01)

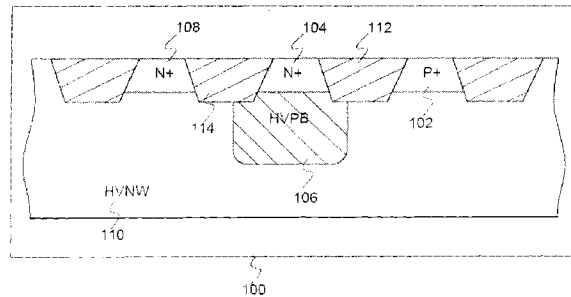
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

静电放电保护电路

(57) 摘要

本发明公开了一种静电放电 (ESD) 保护结构, 包括设置在 N+ 区下面的高电压 P 型注入区。该高电压 P 型注入区和 N+ 区根据不同的掺杂浓度形成反向二极管或齐纳二极管。该 ESD 保护结构还包括多个 P+ 和 N+ 区。该高电压 P 型注入区和 P+ 和 N+ 区形成具有击穿特性的半导体器件。在一个实施例中, 该半导体器件可以是双极 PNP 晶体管。串联连接的该双极 PNP 晶体管和齐纳二极管形成 ESD 保护电路。在另一实施例中, 该半导体器件可以是可控硅整流器 (SCR), 其与反向二极管串联连接。这两个实施例均提供了可靠的 ESD 保护。



1. 一种静电放电 (ESD) 保护设备, 包括:
二极管, 其阳极电连接至半导体器件的第一端子; 所述二极管包括:
由高电压 P 型注入区和设置在所述高电压 P 型注入区上的 N+ 区形成的结; 以及
所述半导体器件, 具有第一击穿电压; 所述半导体器件还包括所述第一端子和第二端子, 其中, 在跨越所述第一端子和所述第二端子的电压超过所述第一击穿电压后, 电流流入所述第一端子并流出所述第二端子。
2. 根据权利要求 1 所述的设备, 其中, 所述二极管是齐纳二极管, 以及其中, 所述齐纳二极管的第二击穿电压处于 5V 和 7V 之间。
3. 根据权利要求 1 所述的设备, 其中, 所述半导体器件是双极 PNP 晶体管, 以及其中, 所述双极 PNP 晶体管具有基极, 所述基极浮置或电连接至所述二极管。
4. 根据权利要求 1 所述的设备, 其中, 所述半导体器件是可控硅整流器 (SCR), 且所述 SCR 包括:
双极 PNP 晶体管; 以及
第一双极 NPN 晶体管,
其中, 所述双极 PNP 晶体管的基极与所述第一双极 NPN 晶体管的集电极互连, 而所述双极 PNP 晶体管的集电极与所述第一双极 NPN 晶体管的基极互连。
5. 一种 ESD 保护结构, 包括:
高电压 N 阱;
高电压 P 型注入区, 设置在所述高电压 N 阱上且部分地位于所述高电压 N 阱内;
第一 N+ 区, 设置在所述高电压 P 型注入区上;
P+ 区, 设置在所述高电压 N 阱上; 以及
第二 N+ 区, 设置在所述高电压 N 阱上。
6. 根据权利要求 5 所述的结构, 还包括第一隔离体, 其中, 所述第一 N+ 区设置在所述第一隔离体的一侧, 所述 P+ 区设置在所述第一隔离体的另一侧。
7. 根据权利要求 5 所述的结构, 还包括第二隔离体, 其中, 所述第一 N+ 区设置在所述第二隔离体的一侧, 所述第二 N+ 区设置在所述第二隔离体的另一侧。
8. 一种 ESD 保护结构, 包括:
N+ 埋层;
高电压 N 阱, 设置在所述 N+ 埋层上;
高电压 P 型注入区, 设置在所述高电压 N 阱上且部分地位于所述高电压 N 阱内;
第一 N+ 区, 设置在所述高电压 P 型注入区上;
高电压 P 阱, 设置在所述 N+ 埋层上;
第二 N+ 区, 设置在所述高电压 P 阱上; 以及
P+ 区, 设置在所述高电压 P 阱上。
9. 根据权利要求 8 所述的结构, 还包括第一隔离体, 其中, 所述第一 N+ 区设置在所述第一隔离体的一侧, 所述 P+ 区设置在所述第一隔离体的另一侧。
10. 根据权利要求 8 所述的结构, 其中, 所述高电压 P 型注入区、所述高电压 N 阱和所述高电压 P 阱形成双极 PNP 晶体管; 以及所述高电压 N 阱、所述高电压 P 阱和所述第二 N+ 区形成双极 NPN 晶体管,

以及其中,所述双极 PNP 晶体管和所述双极 NPN 晶体管形成可控硅整流器 (SCR)。

静电放电保护电路

技术领域

[0001] 本发明涉及电路领域,更具体地,涉及一种静电放电保护电路。

背景技术

[0002] 静电放电 (ESD) 是由于静电电荷的建立而在两个物体之间流动的快速放电。由于这种快速放电会产生相对较大的电流,因此 ESD 可能会烧毁半导体器件。为了减少 ESD 引起的半导体损坏,已经研发了 ESD 保护电路来提供电流放电路径。当 ESD 事件发生时,放电电流经放电路径传导而不会通过受保护的内部电路。

[0003] 在半导体技术中, NMOS 晶体管、可控硅整流器 (SCR) 和 RC 触发的 PMOS 晶体管被广泛应用。然而,随着亚微米半导体工艺的发展,现有的 ESD 保护方案已不能满足半导体工业日益增长的需要。例如,在高电压应用中,由于保持电压 (holding voltage) 不够高,基于 SCR 或 NMOS 的 ESD 保护电路会引起闩锁失效。另一方面,即使具有相对高的保持电压,RC 触发的 PMOS 晶体管也会占用较大的芯片面积。

[0004] 因此,本领域需要一种具有高保持电压的 ESD 保护电路。更具体地,该 ESD 保护电路要能够提供可靠的保护且具有最优化的半导体芯片尺寸。

发明内容

[0005] 为解决上述问题,本发明提供了一种静电放电 (ESD) 保护设备,包括:二极管,其阳极电连接至半导体器件的第一端子;二极管包括:由高电压 P 型注入区和设置在高电压 P 型注入区上的 N+ 区形成的结;以及半导体器件,具有第一击穿电压;半导体器件还包括第一端子和第二端子,其中,在跨越第一端子和第二端子的电压超过第一击穿电压后,电流流入第一端子并流出第二端子。

[0006] 其中,二极管是齐纳二极管。

[0007] 其中,齐纳二极管的第二击穿电压处于 5V 和 7V 之间。

[0008] 其中,二极管是反向二极管。

[0009] 其中,半导体器件是双极 PNP 晶体管。

[0010] 其中,双极 PNP 晶体管具有基极,基极浮置或电连接至二极管。

[0011] 其中,半导体器件是可控硅整流器 (SCR),且 SCR 包括:双极 PNP 晶体管;以及第一双极 NPN 晶体管。

[0012] 其中,双极 PNP 晶体管的基极与第一双极 NPN 晶体管的集电极互连,而双极 PNP 晶体管的集电极与第一双极 NPN 晶体管的基极互连。

[0013] 此外,还提供了一种 ESD 保护结构,包括:高电压 N 阱;高电压 P 型注入区,设置在高电压 N 阱上且部分地位于高电压 N 阱内;第一 N+ 区,设置在高电压 P 型注入区上;P+ 区,设置在高电压 N 阱上;以及第二 N+ 区,设置在高电压 N 阱上。

[0014] 该结构还包括第一隔离体,其中,第一 N+ 区设置在第一隔离体的一侧,P+ 区设置在第一隔离体的另一侧。

[0015] 该结构还包括第二隔离体,其中,第一 N+ 区设置在第二隔离体的一侧,第二 N+ 区设置在第二隔离体的另一侧。

[0016] 其中,第一 N+ 区和高电压 P 型注入区形成齐纳二极管,且齐纳二极管的击穿电压处于 5V 和 7V 之间。

[0017] 其中,高电压 P 型注入区、高电压 N 阱和 P+ 区形成双极 PNP 晶体管。

[0018] 其中,高电压 N 阱电连接至第二 N+ 区。

[0019] 此外,还提供了一种 ESD 保护结构,包括:N+ 埋层;高电压 N 阱,设置在 N+ 埋层上;高电压 P 型注入区,设置在高电压 N 阱上且部分地位于高电压 N 阱内;第一 N+ 区,设置在高电压 P 型注入区上;高电压 P 阱,设置在 N+ 埋层上;第二 N+ 区,设置在高电压 P 阱上;以及 P+ 区,设置在高电压 P 阱上。

[0020] 该结构还包括第一隔离体,其中,第一 N+ 区设置在第一隔离体的一侧,P+ 区设置在第一隔离体的另一侧。

[0021] 该结构还包括第二隔离体,其中,第二 N+ 区设置在第二隔离体的一侧,P+ 区设置在第二隔离体的另一侧。

[0022] 其中,第一 N+ 区和高电压 P 型注入区形成具有击穿电压的反向二极管。

[0023] 其中,高电压 P 型注入区、高电压 N 阱和高电压 P 阱形成双极 PNP 晶体管;以及高电压 N 阱、高电压 P 阱和第二 N+ 区形成双极 NPN 晶体管。

[0024] 其中,双极 PNP 晶体管和双极 NPN 晶体管形成可控硅整流器 (SCR)。

附图说明

[0025] 对于本发明的更完整理解以及本发明的优点,结合附图以及下列描述来进行参考,在附图中:

[0026] 图 1 示出了根据一个实施例的 ESD 保护结构的简化的截面图;

[0027] 图 2 示出了图 1 中所示的 ESD 保护结构的等效电路图;

[0028] 图 3 示出了传统 ESD 保护电路和图 2 中的 ESD 保护电路的 I-V 曲线;

[0029] 图 4 示出了根据另一实施例的 ESD 保护结构的简化的截面图;

[0030] 图 5 示出了图 4 中所示的 ESD 保护结构的等效电路图;

[0031] 图 6 示出了不具有高电压 P 型注入区的传统 ESD 保护电路和图 5 中的 ESD 保护电路的 I-V 曲线;

[0032] 图 7 示出了集成电路级 ESD 保护图;以及

[0033] 图 8 示出了采用多个串联连接的 ESD 保护电路的另一 ESD 保护方案。

[0034] 不同图中相应的数字和符号大体上指相应的部分,除非另有说明。绘制这些图来清楚地表示不同实施例的相关方面,且这些图不需按比例绘制。

具体实施方式

[0035] 下面将详细讨论当前优选实施例的构造和使用。然而应当理解,本发明提供了许多实用的发明概念,其可实现于多种特定的上下文之中。讨论的这些具体实施例仅是构造和使用本发明的具体方式的实例,而并不用于限制本发明的范围。

[0036] 图 1 示出了根据一个实施例的 ESD 保护结构 100 的简化的截面图。该 ESD 保护结

构 100 包括 P+ 区 102、第一 N+ 区 104、第二 N+ 区 108、第一隔离区 112、第二隔离区 114、高电压 P 型注入区 106 和高电压 N 阱 (HVNW) 110。第一 N+ 区 104 和高电压 P 型注入区 106 依次设置在 HVNW 110 上。高电压 P 型注入区 106 设置在第一 N+ 区 104 之下。P+ 区 102 设置在第一 N+ 区 104 一侧处的 HVNW 110 中。P+ 区 102 通过第一隔离区 112 与第一 N+ 区 104 分离。第二 N+ 区 108 设置在第一 N+ 区 104 另一侧处的 HVNW 110 中。第二 N+ 区 108 通过第二隔离区 114 与第一 N+ 区 104 分离。对于 ESD 保护的应用, 第一 N+ 区 104 通常连接至输入 / 输出 (I/O) 焊盘且 P+ 区 102 通常连接至电源 VSS 焊盘, 该电源 VSS 焊盘通常接地。

[0037] 图 2 示出了图 1 中所示的 ESD 保护结构 100 的等效电路图。图 1 中所示的 ESD 保护结构等效电路包括齐纳二极管 204、双极 PNP 晶体管 202 和电阻器 206。再次参照图 1, 高电压 P 型注入区 106 设置在第一 N+ 区 104 下面。高电压 P 型注入区 106 和第一 N+ 区 104 之间的结形成图 2 中所示的齐纳二极管 204。齐纳二极管 204 具有阴极 216 和阳极 214。阴极 216 位于第一 N+ 区 104 中。阳极 214 位于高电压 P 型注入区 106 中。齐纳二极管 204 具有通常 5V 的击穿电压。根据第一 N+ 区 104 和高电压 P 型注入区 106 的扩散参数, 齐纳二极管 204 的击穿电压可达到 7V。

[0038] 然而, 本领域普通技术人员能够认识到, 上述齐纳二极管 204 以及其相关联的半导体结构仅仅是示例性的并且不旨在以任何方式限制本发明。通过选择不同的扩散参数, 可以在上面描述的 ESD 保护电路中使用任何合适的齐纳电压额定值。

[0039] 双极 PNP 晶体管 202 具有发射极 208、基极 210 和集电极 212。发射极 208、基极 210 和集电极 212 分别由 P+ 区 102、HVNW110 和高电压 P 型注入区 106 形成 (在此未示出 HVNW 110 而在图 1 中示出)。发射极 208 连接至齐纳二极管 204 的阳极 214。基极 210 通过电阻器 206 连接至第二 N+ 区 108。电阻器 206 表示 HVNW 110 (在此未示出而在图 1 中示出) 中的寄生电阻。总之, 简化电路图 200 描述了由齐纳二极管 204 和双极 PNP 晶体管 202 串联连接而形成的 ESD 保护结构 100 的相应电路。

[0040] 然而, 应当认识到, 尽管图 2 示出了具有一个齐纳二极管和一个双极 PNP 晶体管 (例如齐纳 204 和 PNP 晶体管 202) 的 ESD 保护电路, 但该 ESD 保护电路也可以适应任意数目的齐纳二极管和双极晶体管。此外, 可以理解, 可以使用多个串联连接的齐纳二极管或双极 PNP 晶体管来实现 ESD 保护电路。另一方面, 多个齐纳二极管和双极 PNP 晶体管的其它结构

[0041] (诸如并联连接的齐纳二极管和并联连接的双极 PNP 晶体管连接) 也包含在本实施例的预期范围内。

[0042] 如本领域中公知的, 双极 PNP 晶体管 202 具有击穿电压。当较大的电压尖峰施加到发射极 208 和集电极 212 之间时, 双极 PNP 晶体管 202 可经历一个雪崩击穿, 其中允许较大的电流从发射极 208 流至集电极 212。从发射极 208 到集电极 212 的电流路径可提供一 ESD 电流旁路并且将发射极 208 和集电极 212 之间的电压钳制在内部电路的最大额定电压以下的电平, 使其有助于防止较大的电压尖峰损坏受保护的内部电路。相似地, 当电压施加在阴极 216 和阳极 214 之间时, 齐纳二极管 204 具有击穿电压 (例如 5V)。总之, ESD 保护电路 200 的击穿电压等效于双极 PNP 晶体管 202 的击穿电压加上齐纳 204 的击穿电压。

[0043] ESD 保护电路 200 通常设置在受保护设备 (在此未示出而在图 7 中示出) 的 VSS 以及 I/O 焊盘处。第一 N+ 区 104 通常连接至 I/O 焊盘且 P+ 区 102 通常连接至 VSS, 该 VS

S 通常接地。如果 ESD 事件发生,则电压尖峰被施加在第一 N+ 区 104 和 P+ 区 102 之间。首先,齐纳二极管 204 和双极 PNP 晶体管 202 经历该电压尖峰,其可能超过齐纳二极管 204 和双极 PNP 晶体管 202 两者的击穿电压。当跨越阴极 216 和阳极 214 的电压超过齐纳二极管 204 的击穿电压(例如 5V)时,齐纳二极管 204 允许 ESD 电流从阴极 216 流至阳极 214。此外,齐纳二极管 204 可将阴极 216 和阳极 214 之间的电压钳制在其击穿电压(例如 5V)。

[0044] 此外,如果电压尖峰减去 5V 仍超过双极 PNP 晶体管 202 的击穿电压,则双极 PNP 晶体管 202 进入雪崩导电模式。随后,双极 PNP 晶体管提供一电流路径使得 ESD 放电电流能够从发射极 208 流至集电极 212。齐纳 204 和双极 PNP 202 两者的传导将阴极 216 和集电极 212 之间的电压钳制在较低的电平,使得连接至阴极 216 的内部电路受到保护。

[0045] 应当注意到,齐纳二极管 204 和双极 PNP 晶体管 202 可几乎同时导通。然而,为了方便,上面的描述使用略微较早导通的齐纳二极管 204 作为实例来描述击穿机制。可以理解,齐纳二极管 204 和双极 PNP 晶体管 202 之间的导通顺序在该实施例中不产生影响。可以以任意顺序执行 ESD 保护电路 200 中的两个串联连接的元件(例如齐纳二极管 204 和 PNP 晶体管 202)的击穿。然而,上面具体描述的实例是优选的。

[0046] 再次参照图 2,基极 210 通过电阻器 206 连接至阴极 216。在该实施例中,电阻器 206 代表 HVNW 110 的体电阻。应当注意到,基极 210 和发射极 208 之间的电阻可能对双极 PNP 晶体管 202 的集电极-发射极击穿电压具有影响。第二 N+ 区 108 和第一 N+ 区 104 之间的直接连接仅为了示例性目的而提供,并且仅用于提供可包含在该实施例中的功能性的一个实例。本领域普通技术人员可以意识到,在 ESD 保护应用中,第二 N+ 区 108 可漂浮(float)或通过 ESD 保护结构 100 之外的外部电阻器连接至第一 N+ 区。

[0047] 图 3 示出了诸如 PNP 场氧化器件的传统 ESD 保护电路和图 2 中的 ESD 保护电路 200 的 I-V 曲线。图 3 的横轴表示跨越 ESD 保护电路(例如 ESD 保护电路 200)的 ESD 电压。图 3 的纵轴表示流经 ESD 保护电路的 ESD 电流。曲线 302 示出了施加电压尖峰时流经传统 ESD 保护电路的电流。曲线 302 上的方形指示横轴处对应的 ESD 电压和纵轴处对应的 ESD 电流。如图 3 所示,方形 306 指示传统 ESD 保护电路的击穿电压。在曲线 302 上,在施加的电压达到方形 306 之前,ESD 电流约等于 0。一旦施加的 ESD 电压超过对应的 ESD 电压为约 18V 的方形 306 时,ESD 电流与所施加的 ESD 电压即成比例地增加。在该实施例中,传统 ESD 保护电路的峰值 ESD 电流达到约 3A 且保持电压约 30V。

[0048] 曲线 304 表示 ESD 测试期间 ESD 保护电路 200 的 I-V 关系。相似地,曲线 304 上的等腰三角形指示 ESD 保护电路 200 的 I-V 关系。如图 3 所示的等腰三角形 308 指示 ESD 保护电路 200 的击穿电压(如图 3 所示约 23V)。在发生过击穿之后,曲线 304 约与曲线 302 平行,但具有如图 3 所示的约 5V 的电压隙。描述的实施例的有利特征是齐纳二极管 204 有助于提供更高的 ESD 击穿电压。

[0049] 图 4 示出了根据另一实施例的 ESD 保护结构 400 的简化的截面图。ESD 保护结构 400 包括第一 N+ 区 402、P+ 区 414、第二 N+ 区 424、第一隔离区 408、第二隔离区 410 和第三隔离区 426。第一 N+ 区 402 通过第二隔离区 410 与 P+ 区 414 分离。同样地,第二 N+ 区 424 通过第三隔离区 426 与 P+ 区 414 分离。ESD 保护结构 400 还包括高电压 P 型注入区 404、HVNW 422、高电压 P 阱 (HVPW) 420 和 N+ 埋层 (NBL) 406。高电压 P 型注入区 404 和第一 N+ 区 402 依次设置在 HVNW 422 上。高电压 P 型注入区 404 设置在第一 N+ 区 402 之下。P+ 区

414 和第二 N+ 区 424 设置在 HVPW 420 中。H VNW 422 和 HVPW 420 设置在 NBL 406 上。对于 ESD 保护的应用,第一 N+ 区 402 通常连接至输入 / 输出 (I/O) 焊盘且第二 N+ 区 424 通常连接至电源 VSS 焊盘,该电源 VSS 焊盘通常接地。

[0050] 图 5 示出了图 4 中所示的 ESD 保护结构 400 的等效电路图。该等效电路包括反向二极管 504 和可控硅整流器 (SCR) 502。如上所述,第一 N+ 区 402 设置在高电压 P 型注入区 404 的顶部上。高电压 P 型注入区 404 和第一 N+ 区 402 之间的结形成反向二极管 504。反向二极管 504 具有阴极 516 和阳极 514。阴极 516 位于第一 N+ 区 402 中。阳极 514 位于高电压 P 型注入区 404 中。反向二极管 504 的击穿电压可取决于多个半导体的扩散参数,例如高电压 P 型注入区 404 的掺杂浓度。

[0051] SCR 502 包括具有第一发射极 518、第一基极 522 和第一集电极 524 的双极 PNP 晶体管 532,以及具有第二发射极 520、第二基极 528 和第二集电极 526 的双极 NPN 晶体管 534。第一发射极 518、第一基极 522 和第一集电极 524 分别由高电压 P 型注入区 404、HVNW 422 和 HVPW 420 形成 (在此未示出而在图 4 中示出)。第二集电极 526、第二基极 528 和第二发射极 520 分别由 HVNW 422、HVPW 420 和第二 N+ 区 424 形成 (在此未示出而在图 4 中示出)。如图 5 所示,双极 PNP 晶体管 532 的第一基极 522 连接至双极 NPN 晶体管 534 的第二集电极 526,且双极 PNP 晶体管 532 的第二集电极 524 连接至双极 NPN 晶体管 534 的第二基极 528。作为独立块的 SCR 502 通常具有暴露于外部电路的两个端子 (例如,第一发射极 518 和第二发射极 520)。在该实施例中,第一发射极 518 连接至阳极 514。第二发射极 520 连接至第二 N+ 区 424。总之,简化的等效电路图 500 示出了具有与 SCR 502 串联连接的反向二极管 504 的 ESD 保护电路。

[0052] 如本领域中公知的,SCR (例如图 5 中所示的 SCR 502) 具有被称为“快速跳回 (snapback)”的特征,其表示当高电压尖峰施加至 SCR 时,SCR 可导通。在图 5 中,SCR 502 可在电压尖峰被施加至第一发射极 518 和第二发射极 520 之间后导通。ESD 电流流经 SCR 502,使得第一发射极 518 和第二发射极 520 之间的电压快速跳回并且被降低。在快速跳回之后 SCR 502 两端的电压可部分地由 HVNW 422 和 HVPW 420 (在此未示出而在图 4 中示出) 中的掺杂浓度确定。跨越 SCR 502 的更低的电压可防止较大的电压尖峰损坏受保护的内部电路。

[0053] ESD 保护电路 500 通常设置在受保护设备的 VSS 和 I/O 焊盘处。在图 5 中,第一 N+ 区 402 通常连接至 I/O 焊盘且第二 N+ 区 424 通常连接至 VSS,该 VSS 通常接地。如果 ESD 事件发生,则电压尖峰被施加在第一 N+ 区 402 和第二 N+ 区 424 之间。首先,反向二极管 504 和 SCR 502 经历该电压尖峰,其可能超过反向二极管 504 和 SCR 502 两者的击穿电压。当跨越阴极 516 和阳极 514 的电压超过反向二极管 504 的击穿电压 (例如 5V) 时,反向二极管 504 允许 ESD 电流从阴极 516 流至阳极 514。

[0054] 此外,如果电压尖峰减去 5V 仍超过 SCR 502 的击穿电压,则 SCR 502 进入快速跳回模式。随后,SCR 502 提供电流路径使得 ESD 放电电流能够流入第一发射极 518 并流出第二发射极 520。同时,SCR 502 和反向二极管 504 两者的击穿电压将跨越 ESD 保护电路 500 的电压钳制在较低的电压电平,使得连接至 ESD 保护电路 500 的电路受到保护。

[0055] 应当注意到,SCR 502 和反向二极管 504 几乎同时导通。为了方便,上面的描述假设反向二极管 504 比 SCR 502 略微较早导通。该导通顺序仅仅是示例性的,并且不旨在以

任何方式限制本发明。SCR 502 和反向二极管 504 之间的任何合适的导通顺序均包括在本实施例中。

[0056] 图 6 示出了传统 ESD 保护电路和 ESD 保护电路 500 的 I-V 曲线。图 6 中的横轴表示跨越 ESD 保护电路（例如 ESD 保护电路 500）的 ESD 电压。图 6 中的纵轴表示流经 ESD 保护电路的 ESD 电流。曲线 604 示出了施加电压尖峰时流经传统 ESD 保护电路的电流。曲线 604 上的菱形指示横轴处对应的 ESD 电压和纵轴处对应的 ESD 电流。

[0057] 如图 6 所示，菱形 608 指示传统 ESD 保护电路的击穿电压（如图 6 中所示约 53V）。在曲线 604 上，在施加的电压达到菱形 608 之前，ESD 电流约等于 0。一旦施加的 ESD 电压超过菱形 608，则 ESD 电流与施加的 ESD 电压成比例地略微增加，直到 ESD 电压达到菱形 610。从菱形 608 到菱形 610 的缓坡指示该电流路径具有高电阻，这并不是 ESD 保护电路的期望特征。一旦 ESD 电压超过 70V，传统的 ESD 保护电路即具有急促的快速跳回，其中跨越传统 ESD 保护电路的电压下降至一较低的电压电平（例如，如图 6 中所示约 7V）。该较低的电压指示传统 ESD 保护电路被永久性地损坏。

[0058] 相反，曲线 602 示出了 ESD 保护电路 500 的优点。曲线 602 上的等腰三角形指示 ESD 保护电路 500 的 I-V 关系。如图 6 所示的等腰三角形 606 指示 ESD 保护电路 500 的击穿电压。在发生过击穿之后，曲线 602 弯曲回。因此，ESD 电流指数级增长。在图 6 中，ESD 电流可达到 3A。同时，ESD 保护电路 500 具有相对高的保持电压（例如，在 ESD 电流为 3A 时为 20V）。总之，ESD 保护电路 500 提供高 ESD 电流路径和相对高的 ESD 保持电压。这两个特征对可靠的 ESD 保护电路都是有益的。

[0059] 图 7 示出了集成电路级 ESD 保护图。集成电路芯片 700 具有 VDD 焊盘 708、I/O 焊盘 706 和 VSS 焊盘 704。内部电路 702 连接至 VDD 焊盘 708 和 VSS 焊盘 704。内部电路 702 还包括连接至 I/O 焊盘 706 的输入。根据一个实施例，ESD 保护电路 200 和 ESD 保护电路 500 均连接在 I/O 焊盘 706 和 VSS 焊盘 704 之间。应当注意到，ESD 保护电路 200 或 ESD 保护电路 500 之一均能够保护内部电路 702。仅为了示例的目的将两者均提供在图 7 中。

[0060] 当 ESD 事件发生在 I/O 焊盘 706 和 VSS 焊盘 704 之间时，ESD 保护电路 200 或 ESD 保护电路 500 传导 ESD 电流，并且 ESD 保护电路（例如 ESD 保护电路 200）的导通将 I/O 焊盘 706 和 VSS 焊盘 704 之间的电压钳制在内部电路 702 指定的最大电压以下，使得连接在 I/O 焊盘 706 和 VSS 焊盘 704 之间的内部电路 702 受到保护。所描述的电路级 ESD 保护的一个有利特征是 ESD 保护电路为 ESD 电流流动提供旁路，使得内部电路受到保护。

[0061] 应当注意到，如图 7 中虚线所指示的，ESD 保护电路 200 和 ESD 保护电路 500 可连接在 VDD 焊盘 708 和 VSS 焊盘 704 之间。当在 VDD 焊盘 708 和 VSS 焊盘 704 之间发生 ESD 事件时，ESD 保护电路的传导钳制 VDD 焊盘 708 和 VSS 焊盘 704 之间的电压，使得诸如内部电路 702 的内部电路受到保护。简言之，图 7 中 ESD 设备 200 和 500 的连接仅是一个实例，其不应过度限制权利要求的范围。本领域技术人员可以认识到多种变化、改变和修改。

[0062] 图 8 示出了通过在 I/O 焊盘和 VSS 焊盘之间采用多个串联连接的 ESD 保护电路的另一 ESD 保护方案。与图 7 相似，图 8 包括集成电路 700、VDD 焊盘 708、I/O 焊盘 706、VSS 焊盘 704 和内部电路 702。然而，图 8 还包括电连接至 I/O 焊盘 706 和 VSS 焊盘 704 的多个串联连接的 ESD 保护电路。在高电压应用中，诸如图 7 中所示的 ESD 保护电路 200 的单一 ESD 保护电路可能不提供可靠的 ESD 保护。相反，串联连接的多个 ESD 保护电路 200 可

提供可调节的 ESD 保护击穿点以及可调节的 ESD 保护保持电压。

[0063] 在图 8 中,如果 ESD 事件发生,则电压尖峰被施加到 I/O 焊盘 706 和 VSS 焊盘 704 之间。串联连接的 ESD 保护电路可几乎同时导通。每个 ESD 保护电路提供一 ESD 保护保持电压。所有串联连接的 ESD 保护电路的击穿电压的总和将 I/O 焊盘 706 的电压钳制在内部电路 702 的最大额定电压以下,使得内部电路 702 受到保护。

[0064] 如上相对于图 7 进行的描述,在图 8 中将 ESD 设备放置于 I/O 焊盘 706 和 VSS 焊盘 704 之间仅是一个实例。本领域技术人员可以认识到多种变化、改变和修改,例如如图 8 中虚线所指示的,将 ESD 设备连接在 VDD 焊盘 708 和 VSS 焊盘 704 之间。

[0065] 在本实施例中,通过将高电压 P 型注入区设置在 N+ 区下面,ESD 保护电路可提供可靠的 ESD 保护路径和更高的 ESD 击穿电压。

[0066] 根据一个实施例,ESD 保护设备具有二极管,该二极管具有电连接至具有击穿特征的半导体器件的第一端子的阳极。该二极管还包括由高电压 P 型注入区和设置在高电压 P 型注入区顶部上的 N+ 区形成的结。当跨越 ESD 保护设备的电压超过二极管和半导体器件的击穿电压之和时,电流可流经由二极管和半导体器件形成的 ESD 路径。

[0067] 根据另一实施例,ESD 保护结构包括高电压 N 阱、设置在高电压 N 阱顶部上且部分位于高电压 N 阱中的高电压 P 型注入区,以及依次设置在高电压 P 型注入区顶部上的第一 N+ 区。该结构还包括设置在高电压 N 阱顶部上的 P+ 区和设置在高电压 N 阱顶部上的第二 N+ 区。在 ESD 保护结构中,第一 N+ 区和高电压 P 型注入区形成齐纳二极管且该齐纳二极管具有 5V 和 7V 之间的击穿电压。此外,高电压 P 型注入区、高电压 N 阱和 P+ 区形成双极 PNP 晶体管。该双极 PNP 晶体管与齐纳二极管串联连接以形成 ESD 保护电路。

[0068] 根据又一实施例,ESD 保护结构包括 N+ 埋层、设置在高电压 N 阱顶部上的高电压 N 阱、设置在高电压 N 阱顶部上且部分位于高电压 N 阱中的高电压 P 型注入区。该结构还包括依次设置在高电压 P 型注入区顶部上的第一 N+ 区、设置在高电压 N 阱顶部上的高电压 P 阱、设置在高电压 P 阱顶部上的第二 N+ 区和设置在高电压 P 阱顶部上的 P+ 区。在该结构中,第一 N+ 区和高电压 P 型注入区形成反向二极管,且该反向二极管具有击穿电压。此外,高电压 P 型注入区、高电压 N 阱和高电压 P 阱形成双极 PNP 晶体管;高电压 N 阱、高电压 P 阱和第二 N+ 区形成双极 NPN 晶体管。该双极 PNP 晶体管和双极 NPN 晶体管形成可控硅整流器 (SCR)。该 SCR 和反向二极管串联连接形成 ESD 保护电路。

[0069] 尽管已经详细地描述了本发明及其优势,但应该理解,可以在不背离所附权利要求限定的本发明主旨和范围的情况下,做各种不同的改变,替换和更改。

[0070] 而且,本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员应理解,通过本发明,现有的或今后开发的用于执行与根据本发明所采用的所述相应实施例基本相同的功能或获得基本相同结果的工艺、机器、制造,材料组分、装置、方法或步骤根据本发明可以被使用。因此,所附权利要求应该包括在这样的工艺、机器、制造、材料组分、装置、方法或步骤的范围内。

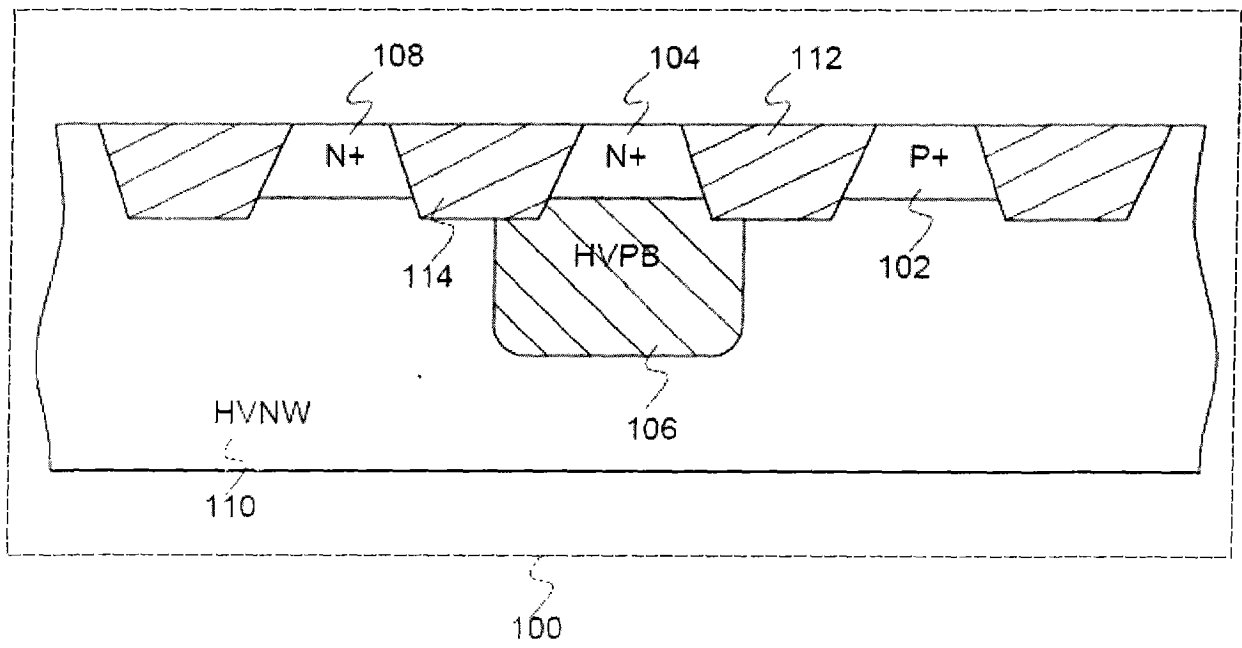


图 1

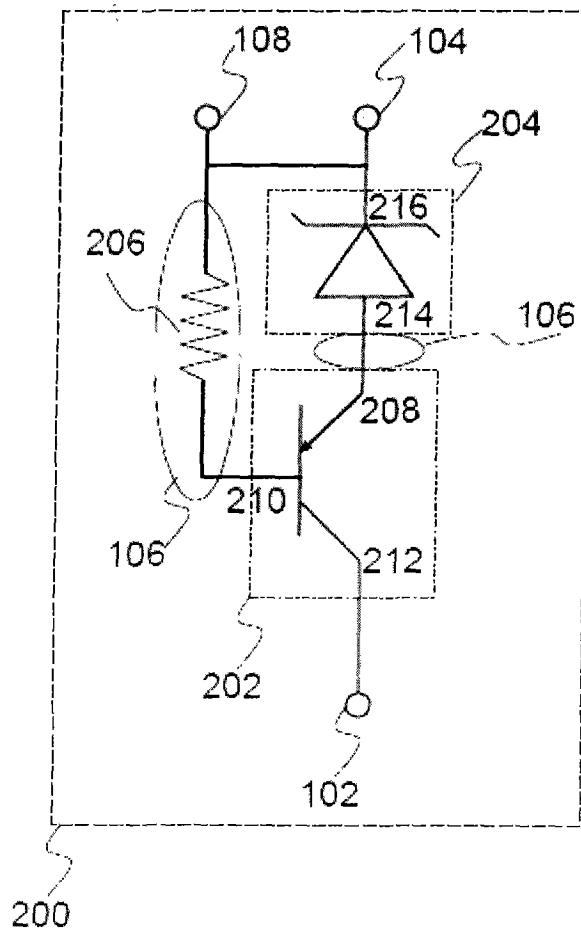


图 2

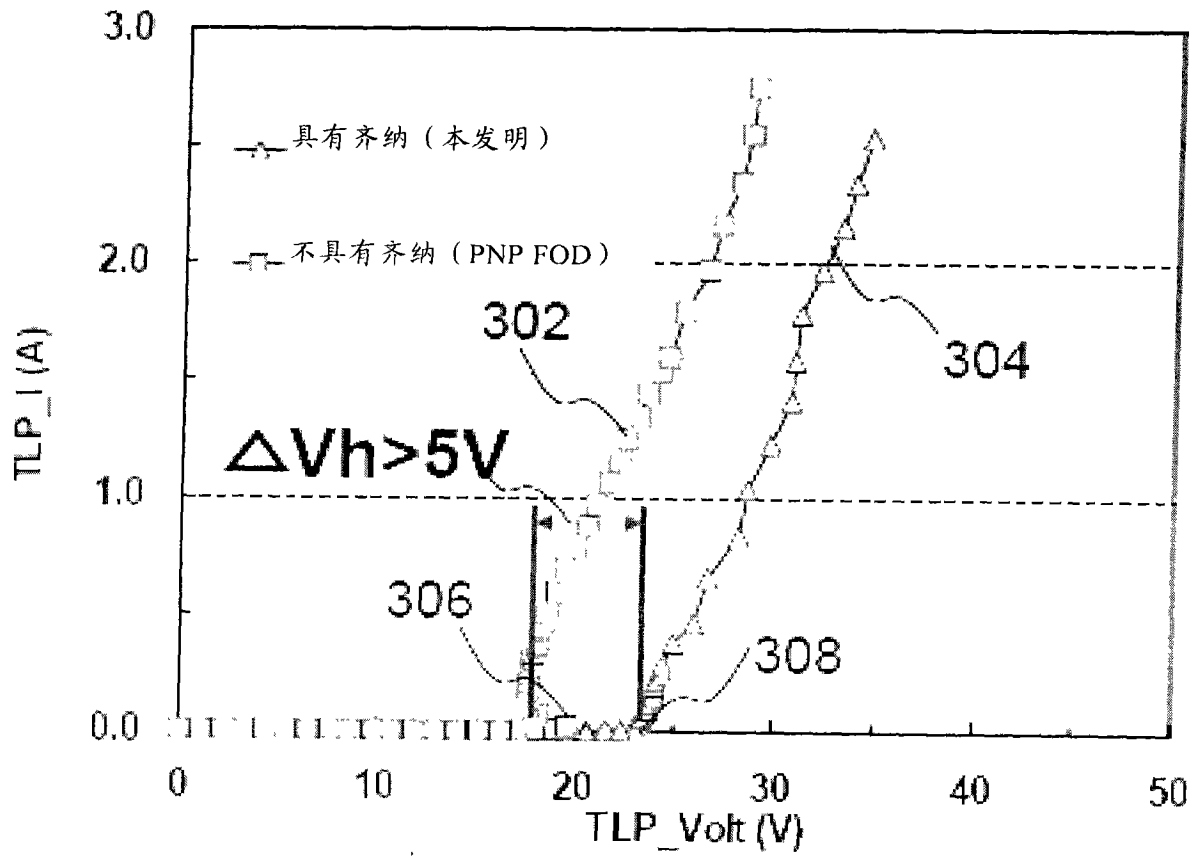


图 3

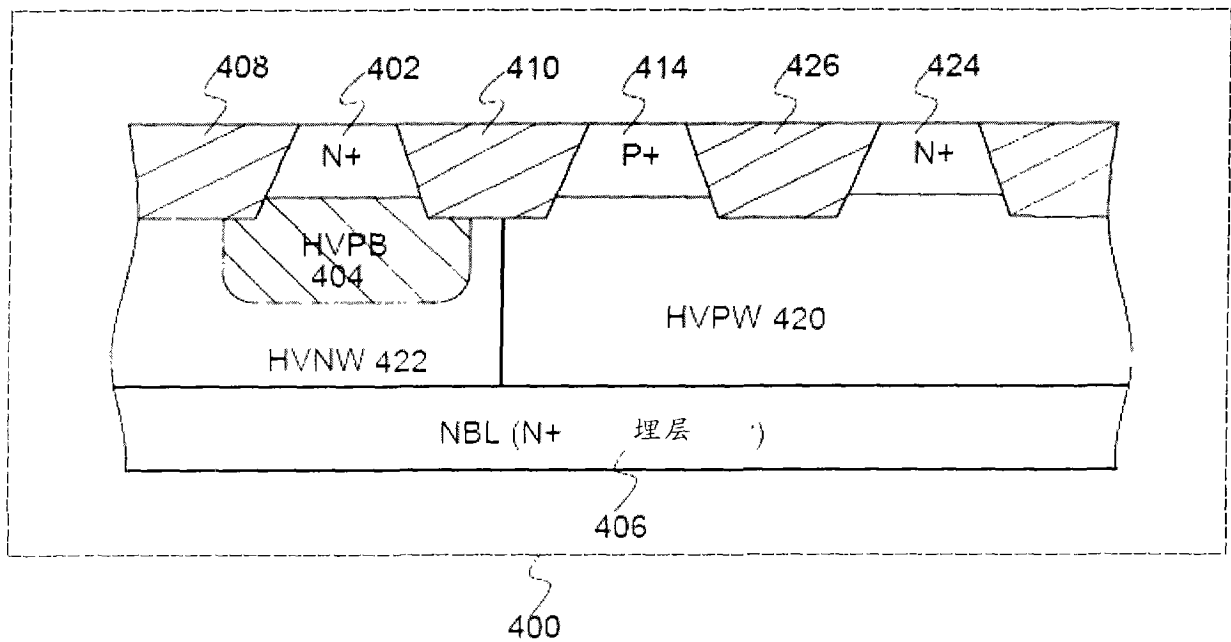


图 4

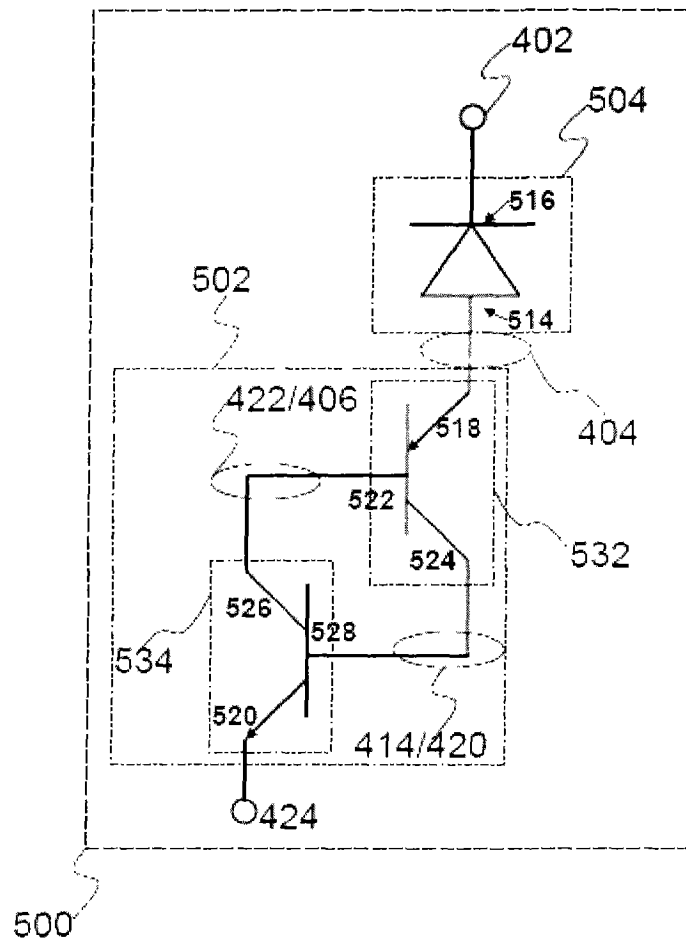


图 5

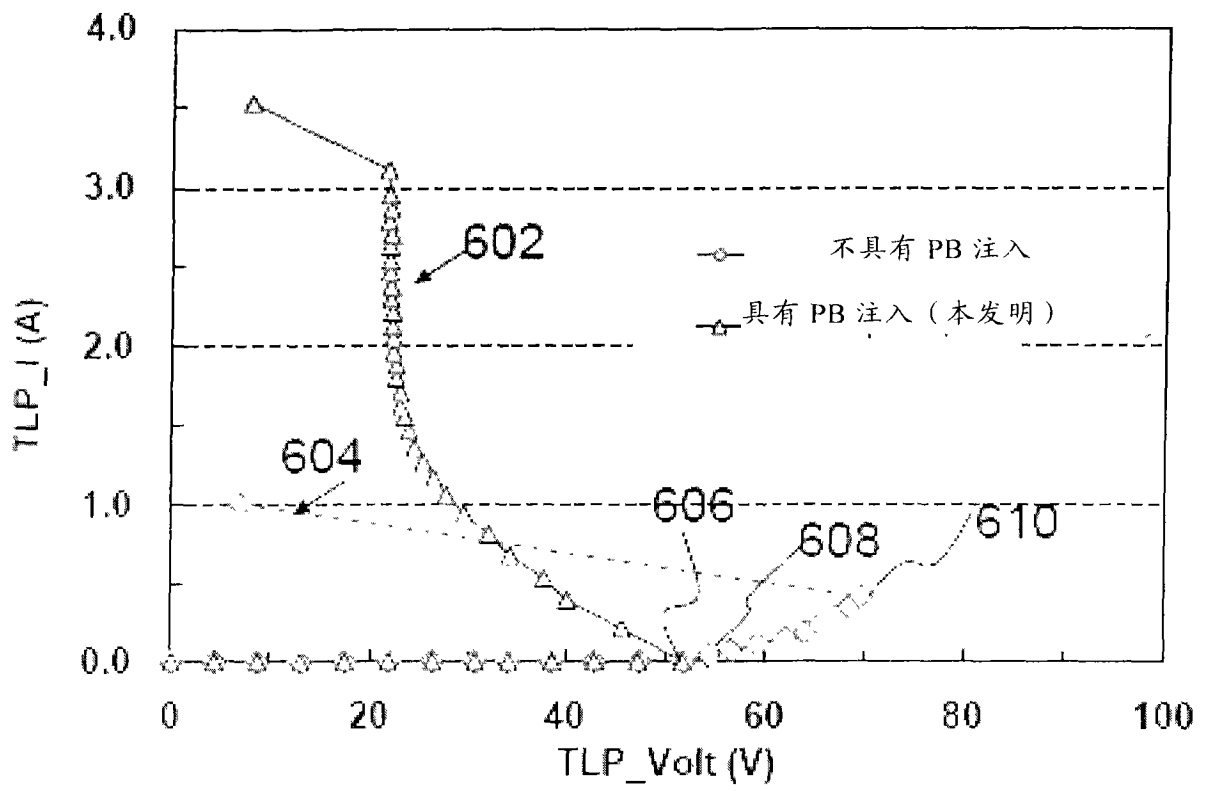


图 6

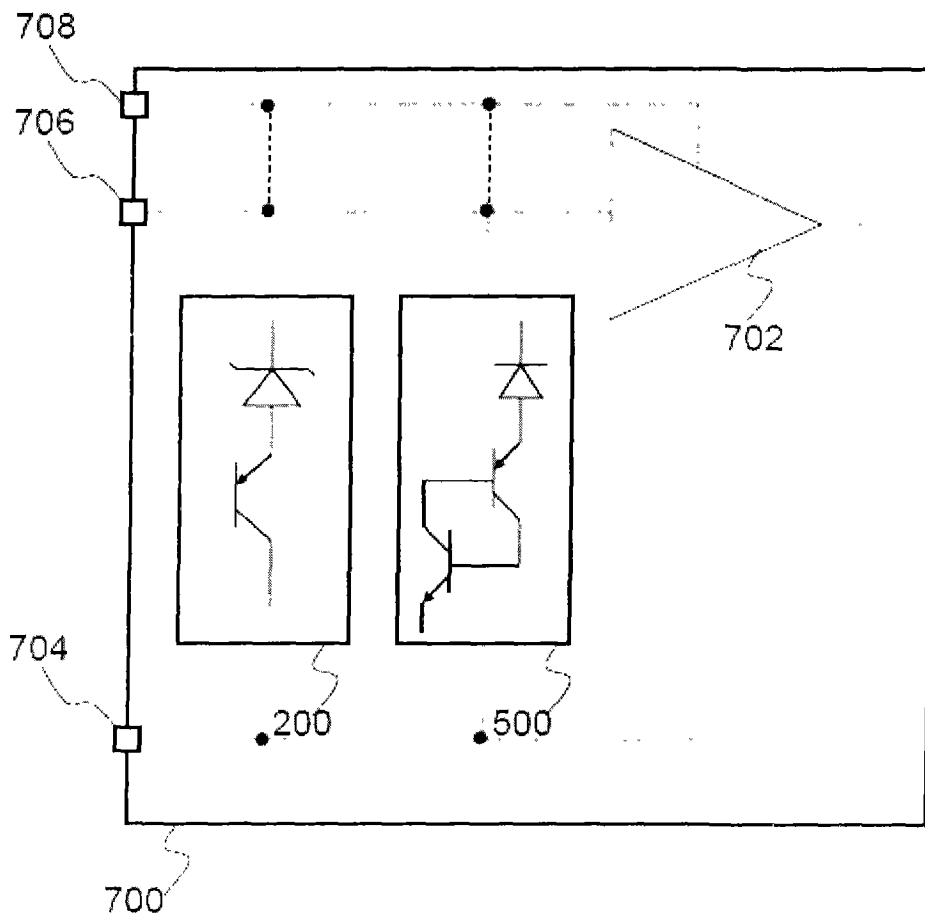


图 7

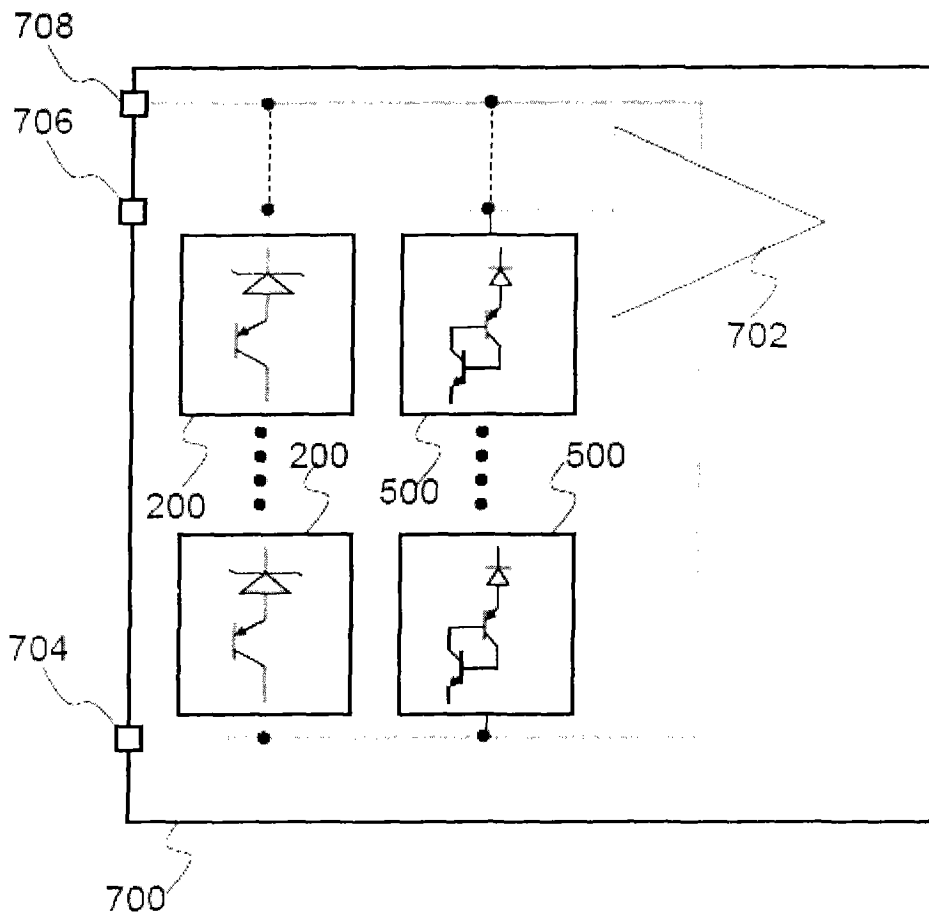


图 8